



NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告 (条約第21条(3))

the ground potential; and is configured in a manner such that the series connection point between the constant voltage source or semiconductor element and the second semiconductor switching element provided on the ground potential side is connected to the IGBT gate. The drive circuit is also equipped with a second series circuit comprising third and fourth semiconductor switching elements which are connected in series, and configured in a manner such that the series connection point between the third and fourth semiconductor switching elements is connected to the IGBT emitter. The drive circuit is also equipped with a control circuit for turning the first through fourth semiconductor switching elements on and off in association with one another according to a control signal.

(57) 要約: IGBTをオン・オフ駆動する駆動回路において、IGBTに過剰な電界を印加することなくIGBTを正バイアスすることができ、IGBTの短絡耐量を低減することのできる駆動回路を提供する。正の温度特性を有する半導体素子または定電圧源を間にして直列に接続された第1および第2の半導体スイッチ素子を備え、電源電圧と接地電位との間に設けられると共に、接地電位側に設けられた第2の半導体スイッチ素子と半導体素子または定電圧源との直列接続点をIGBTのゲートに接続した第1の直列回路を備える。更に直列に接続された第3および第4の半導体スイッチ素子からなり、第3および第4の半導体スイッチ素子の直列接続点をIGBTのエミッタに接続した第2の直列回路を備える。更に制御信号に応じて第1～第4の半導体スイッチ素子のそれぞれを互いに関連させてオン・オフさせる制御回路を備える。

明 細 書

発明の名称：電力素子の駆動回路

技術分野

[0001] 本発明は、ＩＧＢＴ等の電力素子をオン・オフ駆動する駆動回路に係り、特に温度依存性を有する電力素子の動作電圧閾値の影響を受けることなく前記電力素子の電力変換効率の向上を図ることのできる簡易な構成の電力素子の駆動回路に関する。

背景技術

[0002] 図６は、ＩＧＢＴ等からなる電力素子２をオン・オフ駆動する従来の駆動回路１の一例を示す概略構成である。この駆動回路１は、ＩＧＢＴ（電力素子）２のゲートに印加する駆動信号をオン・オフし、該ＩＧＢＴ２のコレクタ・エミッタ間に流れる主電流を制御する役割を担う。このＩＧＢＴ２のオン・オフにより、主電源３とＩＧＢＴ２との間に接続された負荷（ＲＬ）に対する供給電流 I_c が制御される。

[0003] 概略的には駆動回路１は、直列に接続されて電源４の電源端子（ V_{cc} ）と接地端子（ GND ）との間に設けられた第１の半導体スイッチ素子 Q_1 と第２の半導体スイッチ素子 Q_2 とを備える。更に駆動回路１は、直列に接続されて電源４の電源端子（ V_{cc} ）と接地端子（ GND ）との間に設けられた第３の半導体スイッチ素子 Q_3 と第４の半導体スイッチ素子 Q_4 とを備える。第１および第２の半導体スイッチ素子 Q_1, Q_2 は、その直列接続点（ノード P_1 ）をゲート抵抗 R_G を介してＩＧＢＴ２のゲートに接続したものである。また第３および第４の半導体スイッチ素子 Q_3, Q_4 は、その直列接続点（ノード P_2 ）をＩＧＢＴ２のエミッタに接続したものである。

[0004] これらの第１～第４の半導体スイッチ素子 Q_1, Q_2, Q_3, Q_4 のそれぞれは、例えば $MOS-FET$ からなり、制御回路５の制御の下で互いに関連してオン・オフされることでＩＧＢＴ２をオン・オフ駆動するスイッチ・マトリックス回路を構成する。尚、制御回路５は、外部から与えられる制御信号 S

Gに応じて第1～第4の半導体スイッチ素子Q1, Q2, Q3, Q4のそれぞれを、互いに関連させてオン・オフさせてIGBT2のオン・オフを制御する。

[0005] 図7は、制御信号SGに応じた駆動回路1の各部の状態変化と、IGBT2の電圧変化を表す動作タイミングを示している。尚、図7においてV(P1)はノードP1の電圧変化、V(E)はIGBT2のエミッタ（ノードP2）の電圧変化、V(G)はIGBT2のゲートの電圧変化、そしてVgeはIGBT2のゲート・エミッタ間電圧の変化をそれぞれ示している。

[0006] 図7に示すように駆動回路1は、制御信号SGに応じてIGBT2のゲート・エミッタ間電圧Vgeを正バイアスまたは負バイアスすることでIGBT2をオン・オフ駆動する。即ち、駆動回路1は、第1および第4の半導体スイッチ素子Q1, Q4をオンにすると共に、第2および第3の半導体スイッチ素子Q2, Q3をオフにすることで、ノードP1の電圧を電源電圧Vccに設定し、ノードP2の電圧を接地端子（GND）の電圧（0V）に設定する。そして駆動回路1は、エミッタが0Vに設定されたIGBT2のゲートに、ゲート抵抗RGを介してノードP1の電圧（電源電圧Vcc）を加えることでIGBT2を正バイアスする。IGBT2は、そのゲート・エミッタ間に加えられる正バイアス（+Vcc）によってターン・オンする。

[0007] また駆動回路1は、第1および第4の半導体スイッチ素子Q1, Q4をオフにすると共に、第2および第3の半導体スイッチ素子Q2, Q3をオンにすることで、ノードP1の電圧を0Vに設定すると共に、ノードP2の電圧を電源電圧Vccに設定する、そして駆動回路1は、エミッタが電源電圧Vccに設定されたIGBT2のゲートを、ゲート抵抗RGを介して接地することでIGBT2を負バイアスする。IGBT2は、そのゲート・エミッタ間に加えられる負バイアス（-Vcc）によってターン・オフする。このように構成された駆動回路1については、例えば特許文献1に詳しく紹介される通りである。

先行技術文献

特許文献

[0008] 特許文献1：特許第5011585号公報

発明の概要

発明が解決しようとする課題

[0009] ところで特許文献1に開示される駆動回路1は、電源4が出力する正の電源電圧 V_{cc} だけを用いてIGBT2を正バイアスまたは負バイアスしてIGBT2をオン・オフすることができ、負の電源を必要としない点で優れている。しかしながらこの従来の駆動回路1は、ノードP1の電圧 $V(P1)$ をゲート抵抗 R_G を介してIGBT2のゲートに印加し、これによってIGBT2のゲート容量を充放電する構成である。この為、IGBT2のターン・オン時、およびターン・オフ時におけるスイッチング損失が大きいという不具合がある。

[0010] この点、特許文献1には、第1～第4の半導体スイッチ素子Q1, Q2, Q3, Q4をオン・オフするタイミングにずれを持たせることで、IGBT2のターン・オン時、およびターン・オフ時におけるスイッチング損失を軽減することが開示されている。しかしながら第1～第4の半導体スイッチ素子Q1, Q2, Q3, Q4をそれぞれオン・オフするタイミングにずれを持たせる場合には、制御回路5の構成が複雑化するという新たな問題が発生する。

[0011] ところでIGBT2は、温度が高くなるに伴ってその動作電圧閾値 V_{th} が低くなるという負の温度特性を有している。これにも拘わらず従来の駆動回路1においては、IGBT2のオン時には、単にノードP1の電圧（電源電圧 V_{cc} ）をゲート抵抗 R_G を介してIGBT2のゲートに正のバイアス電圧として加えているだけである。この為、例えば温度の上昇に伴ってIGBT2の動作電圧閾値 V_{th} が低下した場合、IGBT2のゲートには、そのオン状態を保つ上で必要な正のバイアス電圧以上の電圧が印加されることになる。

[0012] 従ってIGBT2としては、該IGBT2の動作電圧閾値 V_{th} の低下を見込んで、短絡耐量が十分大きいIGBTを用いることが必要となる。ちなみ

に短絡耐量の大きい I G B T は一般的には高価であり、これに伴って I G B T 2 を用いた電力変換器の全体構成が大掛かりで高価なものとならざるを得ない。

- [0013] 本発明はこのような事情を考慮してなされたもので、その目的は、上述したゲート抵抗を用いることなく電力素子を最適にオン・オフ制御することができ、特に電力素子の正バイアス時における該電力素子の制御電極に対する過剰な電圧の印加を防ぎ、以て電力素子に要求される短絡耐量を低減することのできる簡易な構成の電力素子の駆動回路を提供することにある。

課題を解決するための手段

- [0014] 本発明に係る電力素子の駆動回路は、制御電極に印加される駆動信号に応じて第 1 の主電極と第 2 の主電極との間に流れる主電流を制御する電力素子、例えば I G B T または N 型のパワー M O S - F E T をオン・オフ駆動するものである。
- [0015] 特に本発明に係る電力素子の駆動回路は、正の温度特性を有する半導体素子または定電圧源を間にして直列に接続された第 1 の半導体スイッチ素子と第 2 の半導体スイッチ素子とを備えて構成された第 1 の直列回路を備える。この第 1 の直列回路は、電源端子と接地端子との間に設けられると共に、前記正の温度特性を有する半導体素子または定電圧源と接地端子側に設けられた前記第 2 の半導体スイッチ素子との直列接続点を前記電力素子の制御電極に接続して設けられる。
- [0016] また本発明に係る電力素子の駆動回路は、直列に接続された第 3 の半導体スイッチ素子と第 4 の半導体スイッチ素子とを備えて構成される第 2 の直列回路を備える。この第 2 の直列回路は、前記電源端子と前記接地端子との間に設けられ、前記第 3 の半導体スイッチ素子と第 4 の半導体スイッチ素子との直列接続点を前記電力素子の第 2 の主電極に接続して設けられる。
- [0017] 更に本発明に係る電力素子の駆動回路は、上述した第 1 および第 2 の直列回路に加えて、制御信号に応じて前記第 1 ～第 4 の半導体スイッチ素子のそれぞれを互に関連させてオン・オフさせて前記電力素子のオン・オフを制

御する制御回路を備えたことを特徴としている。

[0018] ちなみに前記電力素子は、例えば前記制御電極をゲート、前記第1の主電極をコレクタ、および前記第2の主電極をエミッタとするIGBTであって、前記第1～第4の半導体スイッチ素子のそれぞれは、前記制御回路から各ゲートに印加される電圧に応じてオン・オフするMOS-FETからなる。或いは前記電力素子は、例えば前記制御電極をゲート、前記第1の主電極をソース、および前記第2の主電極をドレインとするN型のパワーMOS-FETであって、前記第1～第4の半導体スイッチ素子のそれぞれは、前記制御回路から各ゲートに印加される電圧に応じてオン・オフするMOS-FETからなる。

[0019] また前記正の温度特性を有する半導体素子は、例えば温度の上昇に伴って逆方向降伏電圧が上昇するツェナー・ダイオードからなる。また前記定電圧源は、温度補償されて温度変化に拘わることなく一定電圧を出力する定電圧ダイオード回路からなる。

[0020] 好ましくは前記制御回路は、前記電力素子をオン・オフ駆動する通常動作時には、前記第1および第4の半導体スイッチ素子をそれぞれオンすると共に、前記第2および第3の半導体スイッチ素子をそれぞれオフさせて前記電力素子をターン・オンさせ、更に前記第1および第4の半導体スイッチ素子をそれぞれオフすると共に、前記第2および第3の半導体スイッチ素子をそれぞれオンさせて前記電力素子をターン・オフさせるように構成される。

[0021] また前記制御回路は、前記電力素子を強制的にオフさせる短絡遮断時には、前記第1および第3の半導体スイッチ素子をそれぞれオンさせると共に、前記第2および第4の半導体スイッチ素子をそれぞれオフさせるように構成される。或いは前記制御回路は、前記電力素子を強制的にオフさせる短絡遮断時には、前記第2および第4のスイッチ素子をそれぞれオンさせると共に、前記第1および第3の半導体スイッチ素子をそれぞれオフさせるように構成される。

発明の効果

[0022] 本発明によれば、第1の直列回路に設けられたツェナー・ダイオードの逆方向降伏電圧が正の温度特性を有することを利用することで、前記電力素子の動作電圧閾値の変化に拘わることなく該電力素子を一定の電圧で安定に正バイアスすることが可能となる。或いは本発明によれば、一定電圧を出力する定電圧ダイオード回路の下で前記電力素子の動作電圧閾値の変化に拘わることなく該電力素子のゲートに、そのオン状態を安定に保ち得る所定の電圧を印加して電力素子を安定に正バイアスすることができる。

[0023] 従って電力素子（IGBT）の動作電圧閾値 V_{th} の温度変化に拘わることなく、電力素子を一定電圧にて安定に正バイアスして確実にターン・オンさせ、そのオン状態を安定に保つことが可能となる。しかも、例えば電源電圧の変動を見込んで電力素子のゲートに過剰な電界を印加する必要もなくなる。更には電力素子を一定電圧にて正バイアスすることができるので、電力素子に要求される短絡耐量を低減することが可能となる。この結果、電力素子に対して過剰な仕様を要求する必要がなくなり、電力素子自体のコストを低減することも可能となる等の効果が奏せられる。

[0024] 従って本発明によれば、図6に例示した従来の駆動回路におけるゲート抵抗を用いることなく、前記電力素子（IGBT）のターン・オン時およびターン・オフ時における該電力素子でのスイッチング損失を低減することが可能となる。更には電力素子の駆動回路をコンパクトに集積回路化することが可能となり、回路構成自体を簡素化してその製造コストの低価格を図ることが可能となる等の実用上多大なる効果が奏せられる。

図面の簡単な説明

[0025] [図1]本発明の一実施形態に係る電力素子の駆動回路の概要を示す概略構成図。

[図2]図1に示す駆動回路の具体的な構成例を示す図。

[図3]図2に示す駆動回路における制御回路の別の構成例を示す図。

[図4]図2に示す駆動回路における制御回路の更に別の構成例を示す図。

[図5]図1に示す駆動回路の別の具体的な構成例を示す図。

[図6]従来の電力素子の駆動回路の一例を示す概略構成図。

[図7]従来の電力素子の駆動回路による電力素子のオン・オフ駆動形態を示すタイミング図。

発明を実施するための形態

[0026] 以下、図面を参照して本発明に係る電力素子の駆動回路10について説明する。

[0027] 図1は、本発明の一実施形態に係る電力素子の駆動回路10の概要を示す概略構成図であり、図6に示した従来の駆動回路1と同一部分には同一符号を付して示してある。

[0028] この駆動回路10は、例えば正の温度特性を有するツェナー・ダイオードZDを間にして直列に接続された第1の半導体スイッチ素子Q1および第2の半導体スイッチ素子Q2からなる第1の直列回路を備える。この第1の直列回路は、電源端子(Vcc)と接地端子(GND)との間に設けられると共に、ツェナー・ダイオードZDのアノードと接地端子側に設けられた第2の半導体スイッチ素子Q2との直列接続点(ノードP1)をIGBT2のゲートに接続して設けられる。更に駆動回路10は、直列に接続された第3の半導体スイッチ素子Q3と第4の半導体スイッチ素子Q4とを有する第2の直列回路を備える。この第2の直列回路は、電源端子(Vcc)と接地端子(GND)との間に設けられると共に、第3の半導体スイッチ素子Q3と第4の半導体スイッチ素子Q4との直列接続点(ノードP2)をIGBT2のエミッタに接続して設けられる。

[0029] ちなみに第1～第4の半導体スイッチ素子Q1, Q2, Q3, Q4のそれぞれは、例えばMOS-FETからなる。具体的には第1～第4の半導体スイッチ素子Q1, Q2, Q3, Q4は、基本的には互いに同じスイッチ特性を有する同一の電流容量で、且つ同一の耐圧を有するスイッチング用のMOS-FETからなる。これらの第1～第4の半導体スイッチ素子Q1, Q2, Q3, Q4は、制御回路5の制御の下で互に関連してオン・オフ制御されることで、IGBT2をオン・オフ駆動するスイッチ・マトリックス回路を形成する

。

[0030] 特にこのスイッチ・マトリックス回路は、図6に示した従来の駆動回路1におけるゲート抵抗 R_G を用いることなく、ツェナー・ダイオード Z_D のアノードと接地端子側に設けられた第2の半導体スイッチ素子 Q_2 との直列接続点（ノード P_1 ）の電圧をIGBT2のゲートに直接印加する。更にスイッチ・マトリックス回路は、第3および第4の半導体スイッチ素子 Q_3, Q_4 の直列接続点であるノード P_2 の電圧をIGBT2のエミッタに印加するように構成したことを特徴としている。

[0031] ところで駆動回路10は、基本的にはIGBT2をオン・オフ駆動する通常動作時には、第1および第4の半導体スイッチ素子 Q_1, Q_4 をそれぞれオンすると共に、第2および第3の半導体スイッチ素子 Q_2, Q_3 をそれぞれオフすることでIGBT2をターン・オンさせる。このIGBT2のターン・オン時には、IGBT2のエミッタが0Vに設定され、そのゲートに電源電圧 V_{cc} が印加される。この結果、IGBT2は、そのゲート・エミッタ間に電源電圧 V_{cc} が印加されて正バイアスされた状態となる。

[0032] また駆動回路10は、第1および第4の半導体スイッチ素子 Q_1, Q_4 をそれぞれオフすると共に、第2および第3の半導体スイッチ素子 Q_2, Q_3 をそれぞれオンさせることでIGBT2をターン・オフさせる。このIGBT2のターン・オフ時には、IGBT2のゲートが0Vに設定され、そのエミッタに電源電圧 V_{cc} が印加される。この結果、IGBT2は、基本的にはそのゲート・エミッタ間に負の電源電圧（ $-V_{cc}$ ）が印加され、負バイアスされた状態となる。

[0033] ところでIGBT2は、その動作電圧閾値 V_{th} が温度の上昇に伴って低下すると言う負の温度特性を有している。これに対してツェナー・ダイオード Z_D は、その逆方向降伏電圧 V_r が温度の上昇に伴って増加する正の温度特性を有する半導体素子である。このようなツェナー・ダイオード Z_D を備えて構成された第1の直列回路は、第1の半導体スイッチ素子 Q_1 がオンであるとき、電源電圧 V_{cc} にツェナー・ダイオード Z_D の逆方向降伏電圧 V_r を差し

引いた電圧 ($V_{cc} - V_r$) をノード P 1 に生起する。そしてこのノード P 1 の電圧 ($V_{cc} - V_r$) が IGBT 2 のゲートに印加される。この結果、IGBT 2 は、そのゲート・エミッタ間に正の電源電圧 ($V_{cc} - V_r$) が印加され、正バイアスされた状態となる。

[0034] 従って第 1 の半導体スイッチ素子 Q 1 がオンであり IGBT 2 がオン状態であるとき、温度変化により IGBT 2 の動作電圧閾値 V_{th} が変化した場合、これに伴ってノード P 1 から IGBT 2 のゲートに加えられる電圧も変化する。換言すれば IGBT 2 の動作電圧閾値 V_{th} の温度変化に合わせて、IGBT 2 を正バイアスする電圧 ($V_{cc} - V_r$) も変化する。しかも IGBT 2 のゲートにはノード P 1 の電圧が直接加えられる。

[0035] この結果、IGBT 2 を正バイアスしている状態においては、IGBT 2 の動作電圧閾値 V_{th} の変化に応じて、IGBT 2 のオン状態を維持し得る電圧が IGBT 2 のゲートに印加される。従って IGBT 2 のゲートに、そのオン状態を維持するに必要な電圧以上の過剰な電圧が印加されることがなくなる。この結果、IGBT 2 の動作電圧閾値 V_{th} の変化を見込んで IGBT 2 のゲートに印加する電圧を大きく設定する必要がなくなる。換言すれば IGBT 2 に要求される短絡耐量を必要以上に大きく設定する必要がなくなり、必要な短絡耐量を持つ安価な IGBT 2 を採用することが可能となる。従って IGBT 2 のオン・オフを利用した電力変換器の構成その簡素化を図ることができる。

[0036] 尚、上述した正の温度特性を有するツェナー・ダイオード ZD に代えて、一定の電圧を生成する定電圧素子 ZDT を用いることも可能である。この定電圧素子 ZDT は、例えば温度変化に拘わることなく一定の逆方向降伏電圧を生成する温度補償された定電圧ダイオード回路として実現される。具体的には、特に図示しないが正の温度特性を有するツェナー・ダイオード ZD と負の温度特性を有するダイオード D とを用い、ツェナー・ダイオード ZD の逆方向降伏電圧の変化を直列接続されたダイオード D の順方向電圧により補償し、これによって温度変化に拘わることなく一定の電圧を生成する回路と

して実現される。

[0037] このような定電圧素子 ZDT を、前述したツェナー・ダイオード ZD に代えて用いた駆動回路 10 においても、IGBT2 のゲートに印加する正のバイアス電圧を、そのオン動作に必要な電圧に抑えることができる。従ってこの場合においても、IGBT2 に要求される短絡耐量を必要以上に大きく設定する必要がなくなり、必要な短絡耐量を持つ安価な IGBT2 を採用することが可能となる。そして IGBT2 のオン・オフを利用した電力変換器の構成の簡素化を図ることが可能となる。

[0038] 尚、第 1 ～第 4 の半導体スイッチ素子 Q1, Q2, Q3, Q4 を互いに関連させてオン・オフする制御回路 5 は、例えば図 2 に示すように構成される。具体的には制御回路 5 は、制御信号 SG を反転させて第 1 および第 4 の半導体スイッチ素子 Q1, Q4 をオン・オフする駆動信号を生成する第 1 のインバータ回路 5a を備える。この第 1 のインバータ回路 5a が出力する駆動信号は、第 1 および第 4 の半導体スイッチ素子 Q1, Q4 をオン・オフするべく、電源 4 の電源電圧 Vcc または接地端子の電圧 (0V) の 2 値をとる。

[0039] 更に制御回路 5 は、第 1 のインバータ回路 5a の出力を反転して第 2 および第 3 の半導体スイッチ素子 Q2, Q3 をオン・オフする駆動信号を生成する第 2 のインバータ回路 5b を備える。この第 2 のインバータ回路 5b が出力する駆動信号もまた、電源 4 の電源電圧 Vcc または接地端子の電圧 (0V) の 2 値をとる。

[0040] このように構成された制御回路 5 によれば、直列に接続された第 1 および第 2 の半導体スイッチ素子 Q1, Q2 は、第 1 および第 2 のインバータ回路 5a, 5b の出力を受けて互いに相反してオン・オフする。また直列に接続された第 3 および第 4 の半導体スイッチ素子 Q3, Q4 もまた、第 1 および第 2 のインバータ回路 5a, 5b の出力を受けて互いに相反してオン・オフする。そして制御回路 5 による第 1 ～第 4 の半導体スイッチ素子 Q1, Q2, Q3, Q4 の互いに関連したオン・オフ制御により、IGBT2 のターン・オンおよびターン・オフが制御され、これによって IGBT2 がオン・オフ駆動される

。

[0041] ところで IGBT2 を介して電流 I_c が供給される負荷側において短絡が検出された場合には、IGBT2 を強制的にオフさせて過大な短絡電流から IGBT2 や負荷 (RL) を保護し、更には駆動回路 1, 10 を保護することが行われる。

[0042] この短絡遮断による IGBT2 の保護動作は、例えば第 1 および第 3 の半導体スイッチ素子 Q1, Q3 をそれぞれオンすると共に、第 2 および第 4 の半導体スイッチ素子 Q2, Q4 をそれぞれオフにすることによって達せられる。具体的には短絡遮断検出時に第 1 および第 3 の半導体スイッチ素子 Q1, Q3 をそれぞれ強制的にオンする場合には、例えば図 3 に示すように制御回路 5 を構成し、短絡検出信号 CO に応じて第 1 ~ 第 4 の半導体スイッチ素子 Q1, Q2, Q3, Q4 に対するオン・オフ信号を切り替えるようにすれば良い。

[0043] この図 3 に示す制御回路 5 は、短絡検出信号 CO に応じてゲートが開成される 4 つのアンド回路 51a, 51b, 51c, 51d を備える。これらアンド回路 51a, 51b, 51c, 51d は、短絡検出信号 CO が印加されないとき、換言すれば短絡検出信号 CO がローレベル (L) であり、IGBT2 を通常動作させるとき、インバータ回路 52 を介してそれぞれ開成される。そしてアンド回路 51a, 51b, 51c, 51d は、制御信号 SG またはインバータ回路 53 を介して制御信号 SG を反転した信号を、ドライブ回路 54a, 54b, 54c, 54d にそれぞれ与える。尚、これらのドライブ回路 54a, 54b, 54c, 54d は、第 1 ~ 第 4 の半導体スイッチ素子 Q1, Q2, Q3, Q4 をそれぞれオン・オフするのに必要な出力電圧を生成するものである。

[0044] これに対して短絡検出信号 CO が印加されたとき、換言すれば短絡検出信号 CO がハイレベル (H) になった時、アンド回路 51a, 51b, 51c, 51d がそれぞれ閉じられる。そして短絡検出信号 CO が、オア回路 55a, 55c を介してドライブ回路 54a, 54c にそれぞれ与えられると共に、インバータ回路 52 により反転された短絡検出信号 CO が、アンド回路 51b, 51d を介してドライブ回路 54b, 54d にそれぞれ与えられる。

[0045] 従って短絡検出信号COが与えられたときには第1および第3の半導体スイッチ素子Q1, Q3がそれぞれ強制的にオンされ、同時に第2および第4の半導体スイッチ素子Q2, Q4がそれぞれ強制的にオフされる。この結果、IGBT2のゲート電圧V(G)が電源電圧($V_{cc}-V_r$)に設定されると共に、該IGBT2のエミッタ電圧V(E)は電源電圧(V_{cc})に設定される。するとIGBT2のゲート・エミッタ間がツェナー・ダイオードZDの逆方向降伏電圧 V_r 分だけ負バイアスされ、IGBT2が強制的にオフに設定される。そしてIGBT2の強制的なオフに伴って負荷(R_L)に流れる電流 I_c が遮断され、負荷短絡に伴う過電流からIGBT2等が保護される。

[0046] このように構成された駆動回路10によれば、第1および第3の半導体スイッチ素子Q1, Q3をそれぞれオンし、IGBT2のゲートに加わる電圧を電源電圧($V_{cc}-V_r$)とし、およびIGBT2のエミッタに加わる電圧を電圧 V_{cc} に設定する。この際、IGBT2のゲート容量の充電に要する時間、IGBT2のゲート・エミッタ間電圧 V_{ge} が負電圧となり、IGBT2がターン・オフする。そしてIGBT2のターン・オフに伴ってIGBT2のゲート容量が第1の半導体スイッチ素子Q1を介して放電される。そしてIGBT2のゲート・エミッタ間電圧 V_{ge} が電圧($-V_r$)に保たれるので、IGBT2は負バイアスされてオフ状態を維持する。

[0047] 従って短絡遮断検出時に第1および第3の半導体スイッチ素子Q1, Q3をそれぞれ強制的にオンする場合であっても、従来のようにゲート抵抗RGを介するIGBT2のゲート容量の充放電がないので、IGBT2のターン・オフ時におけるスイッチング損失を低減することができる。従って駆動回路10での消費電力を小さくすることができる。

[0048] 尚、短絡遮断における上述した第1および第3の半導体スイッチ素子Q1, Q3の強制的なオンに代えて、第2および第4の半導体スイッチ素子Q2, Q4を強制的にオンすることも可能である。この場合、第2および第4の半導体スイッチ素子Q2, Q4の強制的にオンに連動させて第1および第3の半導体スイッチ素子Q1, Q3を強制的にオフすることは言うまでもない。

[0049] このようにして第1および第3の半導体スイッチ素子 Q_1 , Q_3 をオフにし、同時に第2および第4の半導体スイッチ素子 Q_2 , Q_4 をオンにすれば、 I_{GBT2} のゲート電圧 $V(G)$ が接地電位(0V)に設定されると共に、該 I_{GBT2} のエミッタ電圧 $V(E)$ もまた接地電圧(0V)に設定される。この結果、 I_{GBT2} のゲート・エミッタ間電圧 V_{ge} が0Vとなり、該 I_{GBT2} が強制的にオフとなる。そして I_{GBT2} の強制的なオフに伴って負荷(R_L)に流れる電流 I_c が遮断され、負荷短絡に伴う過電流から I_{GBT2} 等が保護される。

[0050] 尚、短絡検出信号 CO が与えられたときに上述した如く第1および第3の半導体スイッチ素子 Q_1 , Q_3 をそれぞれ強制的にオンする場合には、制御回路5を、例えば図4に示すように構成すれば良い。図4に示す制御回路5は、短絡検出信号 CO を、オア回路55b, 55dを介してドライブ回路54b, 54dに与えると共に、インバータ回路52により反転された短絡検出信号 CO を、アンド回路51a, 51cを介してドライブ回路54a, 54cにそれぞれ与えるように構成される。

[0051] このように構成された駆動回路10によれば、オン抵抗 R_{on} が小さい第2および第4の半導体スイッチ素子 Q_2 , Q_4 をオンするだけなので、 I_{GBT2} のターン・オフ時におけるスイッチング損失を更に小さくすることができる。そして I_{GBT2} のゲート容量のゲート抵抗 R_G を介する充放電を伴うことがない分、駆動回路10での消費電力を小さくすることができる。

[0052] しかも従来の制御回路1において用いられていたゲート抵抗 R_G を省いた上で第1の半導体スイッチ素子 Q_1 の小型化を図ることができる。従って駆動回路10を集積回路化する上でチップ面積を小さくすることができる。また半導体チップ上にMOS-FET等と並べてゲート抵抗 R_G を形成する必要がないので、その製造コストを低く抑えることが可能となる等の効果が奏せられる。

[0053] ところで上述した説明においては、第1および第3の半導体スイッチ素子 Q_1 , Q_3 としてP型のMOS-FETを用い、第2および第4の半導体ス

ッチ素子Q 2, Q 4としてN型のMOS-FETを用いた例について示した。しかし図5に例示するように、第1～第4の半導体スイッチ素子Q 1, Q 2, Q 3, Q 4のそれぞれにN型のMOS-FETを用いてスイッチ・マトリックス回路を構成することも可能である。この場合においても第1の半導体スイッチ素子Q 1として、第2～第4の半導体スイッチ素子Q 2, Q 3, Q 4よりもオン抵抗 R_{on} の大きいMOS-FETを用いることは言うまでもない。

[0054] この場合、N型のMOS-FETからなる第1および第3の半導体スイッチ素子Q 1, Q 3のオン動作条件が、図2に示した駆動回路10におけるP型のMOS-FETからなる第1および第3の半導体スイッチ素子Q 1, Q 3のオン動作条件とは異なる。即ち、第1および第3の半導体スイッチ素子Q 1, Q 3は、第1～第4の半導体スイッチ素子Q 1, Q 2, Q 3, Q 4のオン・オフに伴って変化するノードP 1, P 2の電圧を基準電位としてオン・オフ動作する。

[0055] 従ってこの場合には、図5に示すように制御信号SGを反転するインバータ回路5cの入力と出力とをレベルシフト回路5d, 5eを介して第1および第3の半導体スイッチ素子Q 1, Q 3の各ゲートにそれぞれ印加するように制御回路5を構成すれば良い。このように第1～第4の半導体スイッチ素子Q 1, Q 2, Q 3, Q 4としてN型のMOS-FETを用いてスイッチ・マトリックス回路を構成した駆動回路10においても、第1および第2の半導体スイッチ素子Q 1, Q 2の直列接続点であるノードP 1の電圧をIGBT2のゲートに直接印加するので、前述した実施形態と同様な効果が奏せられる。

[0056] 尚、本発明は上述した実施形態に限定されるものではない。例えば特に図示しないが第1～第4の半導体スイッチ素子Q 1, Q 2, Q 3, Q 4としてP型のMOS-FETをそれぞれ用いることも勿論可能である。また第1および第2の半導体スイッチ素子Q 1, Q 2としてN型のMOS-FETを用い、第3および第4の半導体スイッチ素子Q 3, Q 4としてP型のMOS-FETを用いることも勿論可能である。

[0057] また前述したように電力素子としてパワーMOS-FETを駆動する場合に

も本発明を適用可能なことは勿論である。更には第1～第4の半導体スイッチ素子Q1, Q2, Q3, Q4としてバイポーラ・トランジスタを用いても良いことは言うまでもない。更には制御回路5については、スイッチ・マトリックス回路の構成や、スイッチ・マトリックス回路を構成する第1～第4の半導体スイッチ素子Q1, Q2, Q3, Q4に対するオン・オフ駆動形態等に応じて種々変化可能である。その他、本発明はその要旨を逸脱しない範囲で種々変形して実施することができる。

符号の説明

- [0058] 1, 10 駆動回路
- 2 電力素子 (IGBT)
- 3 主電源
- 4 電源 (Vcc)
- 5 制御回路 (CONT)
- Q1 第1の半導体スイッチ素子 (MOS-FET)
- Q2 第2の半導体スイッチ素子 (MOS-FET)
- Q3 第3の半導体スイッチ素子 (MOS-FET)
- Q4 第4の半導体スイッチ素子 (MOS-FET)
- ZD 正の温度特性を有する半導体素子 (ツェナー・ダイオード)
- ZDT 定電圧素子 (温度補償された定電圧ダイオード回路)
- RG ゲート抵抗

請求の範囲

[請求項1] 制御電極に印加される駆動信号に応じて第1の主電極と第2の主電極との間に流れる主電流を制御する電力素子をオン・オフ駆動する駆動回路であって、

正の温度特性を有する半導体素子または定電圧素子を間にして直列に接続された第1の半導体スイッチ素子と第2の半導体スイッチ素子とを備えて構成され、電源端子と接地端子との間に設けられると共に、前記正の温度特性を有する半導体素子または定電圧素子と接地端子側に設けられた前記第2の半導体スイッチ素子との直列接続点を前記電力素子の制御電極に接続した第1の直列回路と、

直列に接続された第3の半導体スイッチ素子と第4の半導体スイッチ素子とを備えて構成され、前記電源端子と前記接地端子との間に設けられると共に、前記第3の半導体スイッチ素子と第4の半導体スイッチ素子との直列接続点を前記電力素子の第2の主電極に接続した第2の直列回路と、

制御信号に応じて前記第1～第4の半導体スイッチ素子のそれぞれを互いに関連させてオン・オフさせて前記電力素子のオン・オフを制御する制御回路と

を具備したことを特徴とする電力素子の駆動回路。

[請求項2] 前記正の温度特性を有する半導体素子は、温度の上昇に伴って逆方向降伏電圧が増加するツェナー・ダイオードであって、

前記第1の直列回路は、前記電力素子の動作電圧閾値の変化に合わせて前記第1の半導体スイッチ素子のオン時に前記電力素子の制御電極に加える電圧を変化させるものである請求項1に記載の電力素子の駆動回路。

[請求項3] 前記定電圧素子は、温度変化に拘わることなく一定の逆方向降伏電圧を生成する温度補償された定電圧ダイオード回路であって、

前記第1の直列回路は、前記電力素子の動作電圧閾値の変化に拘わ

りなく前記第1の半導体スイッチ素子のオン時に、前記電力素子のオン動作に必要な電圧を前記電力素子の制御電極に加えるものである請求項1に記載の電力素子の駆動回路。

[請求項4] 前記制御回路は、前記電力素子をオン・オフ駆動する通常動作時には、前記第1および第4の半導体スイッチ素子をそれぞれオンすると共に、前記第2および第3の半導体スイッチ素子をそれぞれオフさせて前記電力素子をターン・オンさせ、

前記第1および第4の半導体スイッチ素子をそれぞれオフすると共に、前記第2および第3の半導体スイッチ素子をそれぞれオンさせて前記電力素子をターン・オフさせるものである請求項1に記載の電力素子の駆動回路。

[請求項5] 前記制御回路は、前記電力素子を強制的にオフさせるときには、前記第1および第3の半導体スイッチ素子をそれぞれオンさせると共に、前記第2および第4の半導体スイッチ素子をそれぞれオフさせるものである請求項1に記載の電力素子の駆動回路。

[請求項6] 前記制御回路は、前記電力素子を強制的にオフさせるときには、前記第2および第4のスイッチ素子をそれぞれオンさせると共に、前記第1および第3の半導体スイッチ素子をそれぞれオフさせるものである請求項1に記載の電力素子の駆動回路。

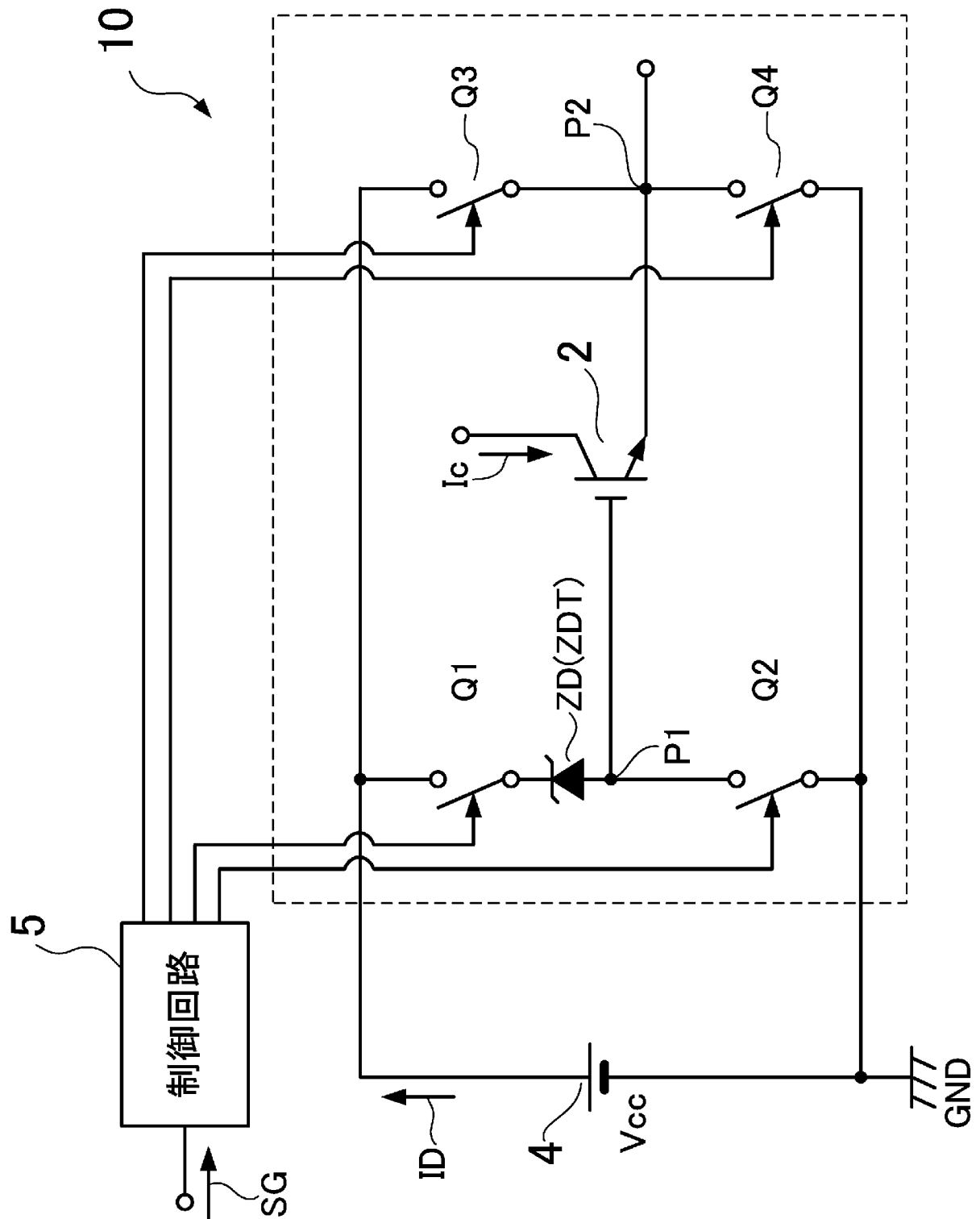
[請求項7] 前記電力素子は、前記制御電極をゲート、前記第1の主電極をコレクタ、および前記第2の主電極をエミッタとするIGBTであって、
前記第1～第4の半導体スイッチ素子のそれぞれは、前記制御回路から各ゲートに印加される電圧に応じてオン・オフするMOS-FETである請求項1に記載の電力素子の駆動回路。

[請求項8] 前記電力素子は、前記制御電極をゲート、前記第1の主電極をソース、および前記第2の主電極をドレインとするN型のパワーMOS-FETであって、

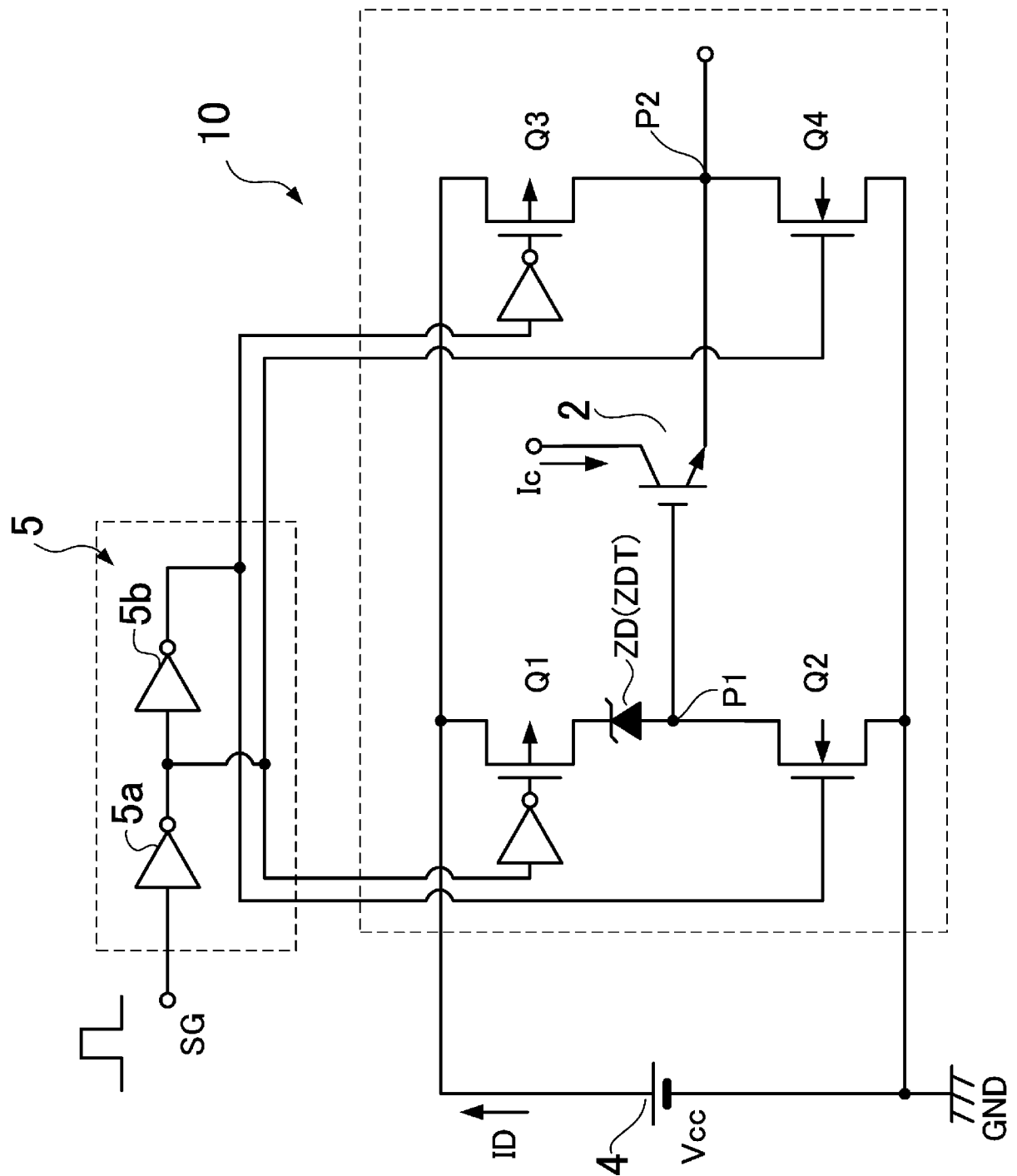
前記第1～第4の半導体スイッチ素子のそれぞれは、前記制御回路

から各ゲートに印加される電圧に応じてオン・オフするMOS-FETである請求項1に記載の電力素子の駆動回路。

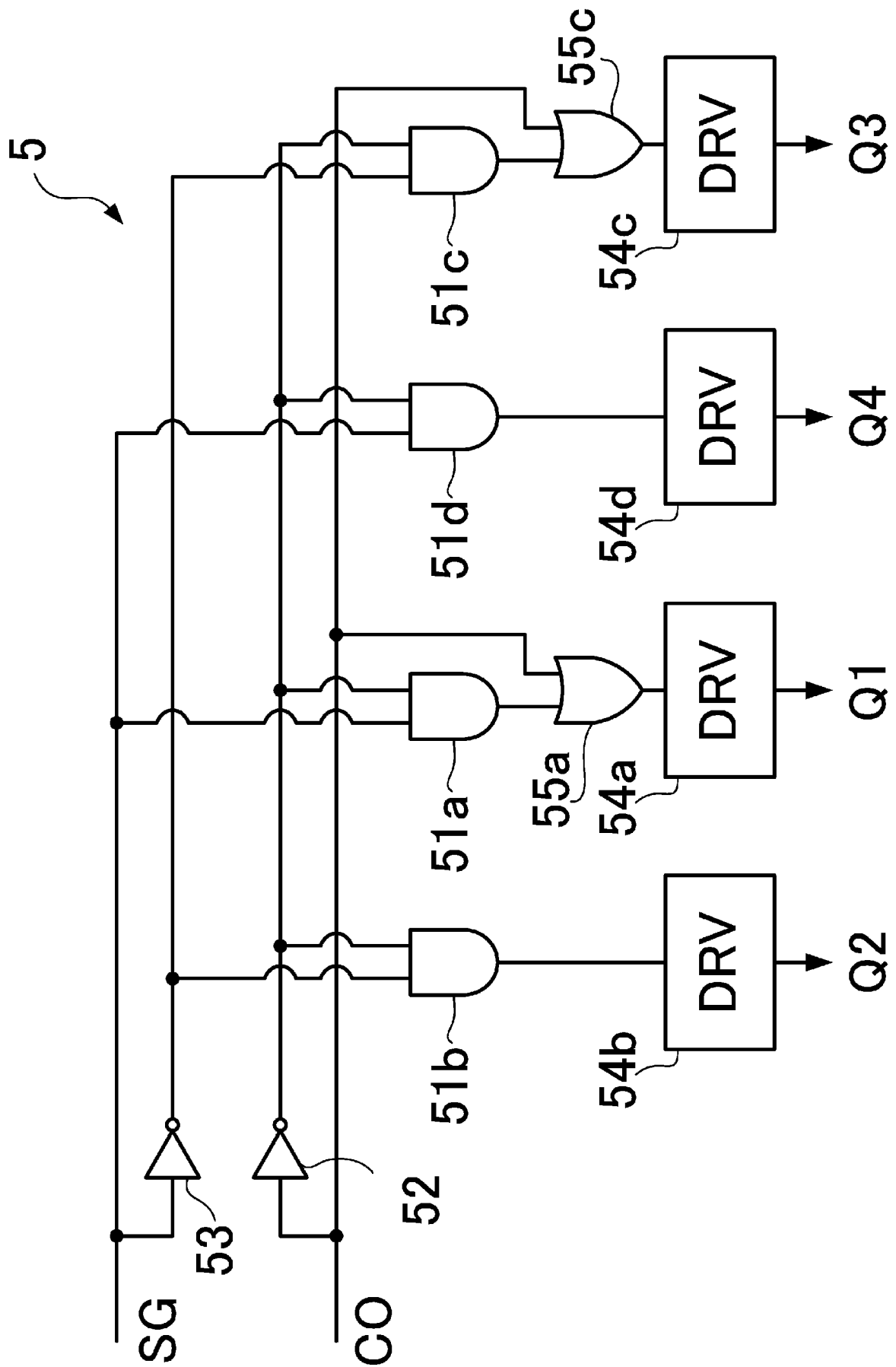
[図1]



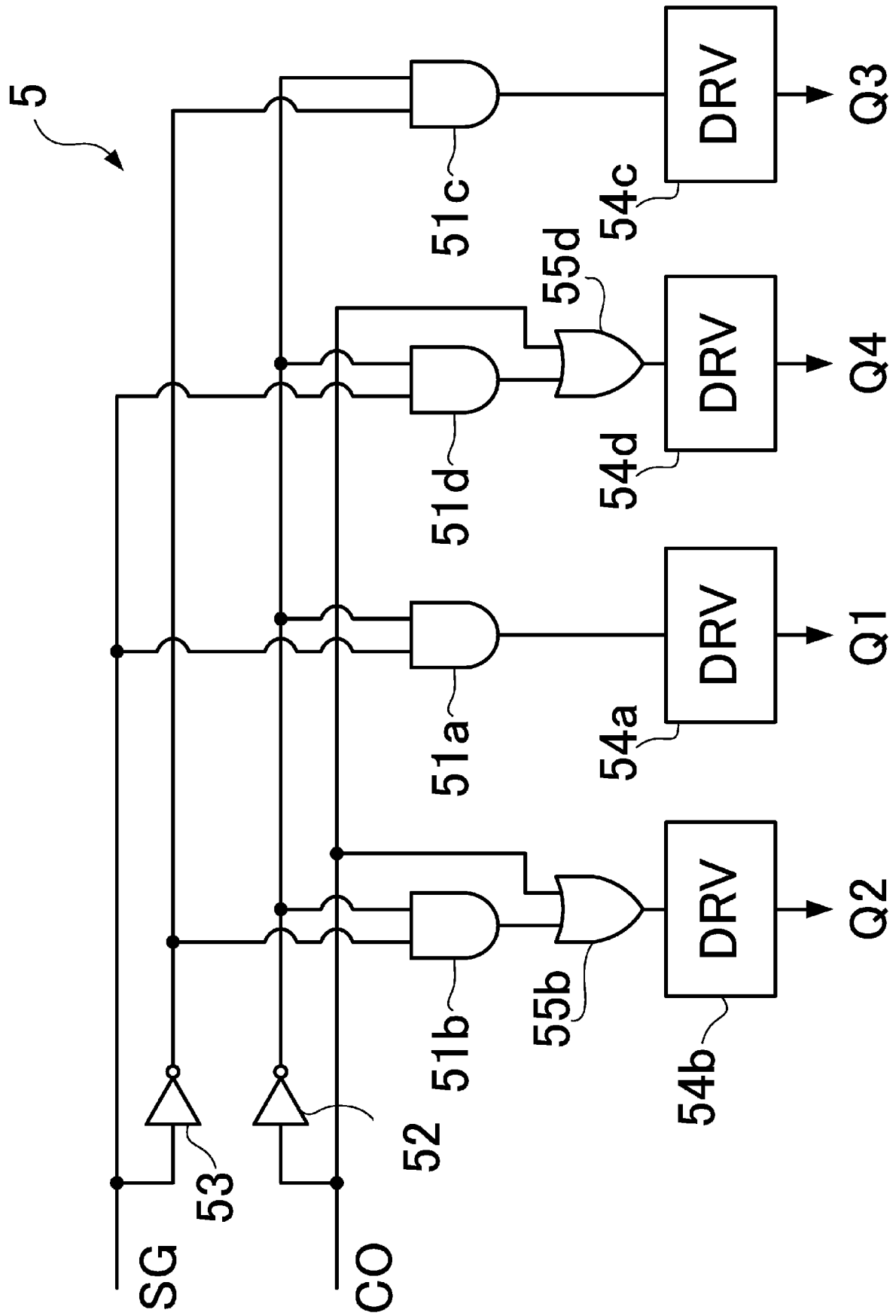
[図2]



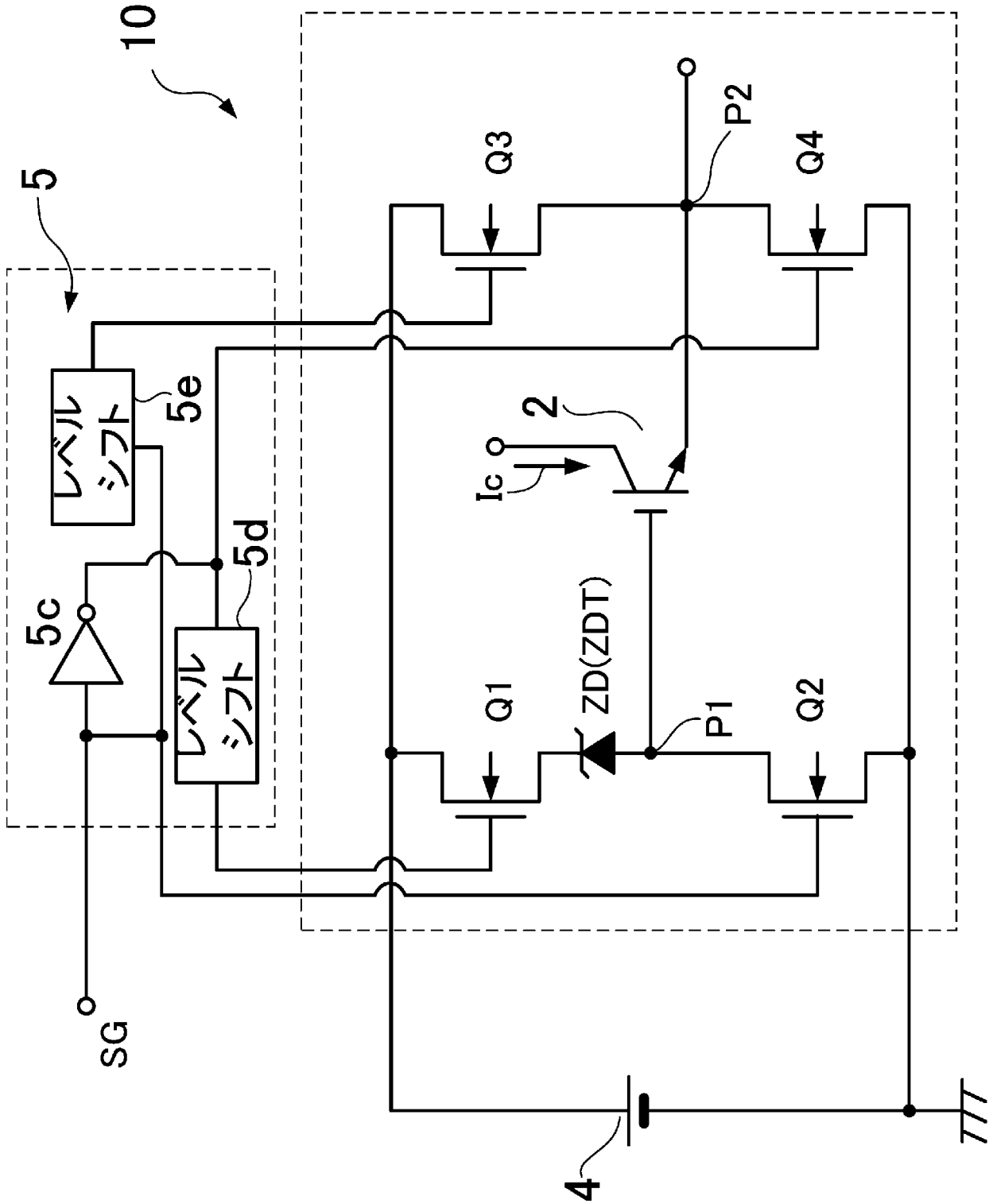
The diagram illustrates a 4-bit parallel adder circuit, designated by the reference numeral 5. It features two 4-bit input buses, SG and CO, and four output lines, Q1, Q2, Q3, and Q4. Each input bus is connected to a series of inverters (53) and a series of NAND gates (51a, 51b, 51c, 51d). The outputs of the NAND gates are connected to OR gates (54a, 54b, 54c, 54d) and then to drivers (DRV). The circuit is labeled 5.



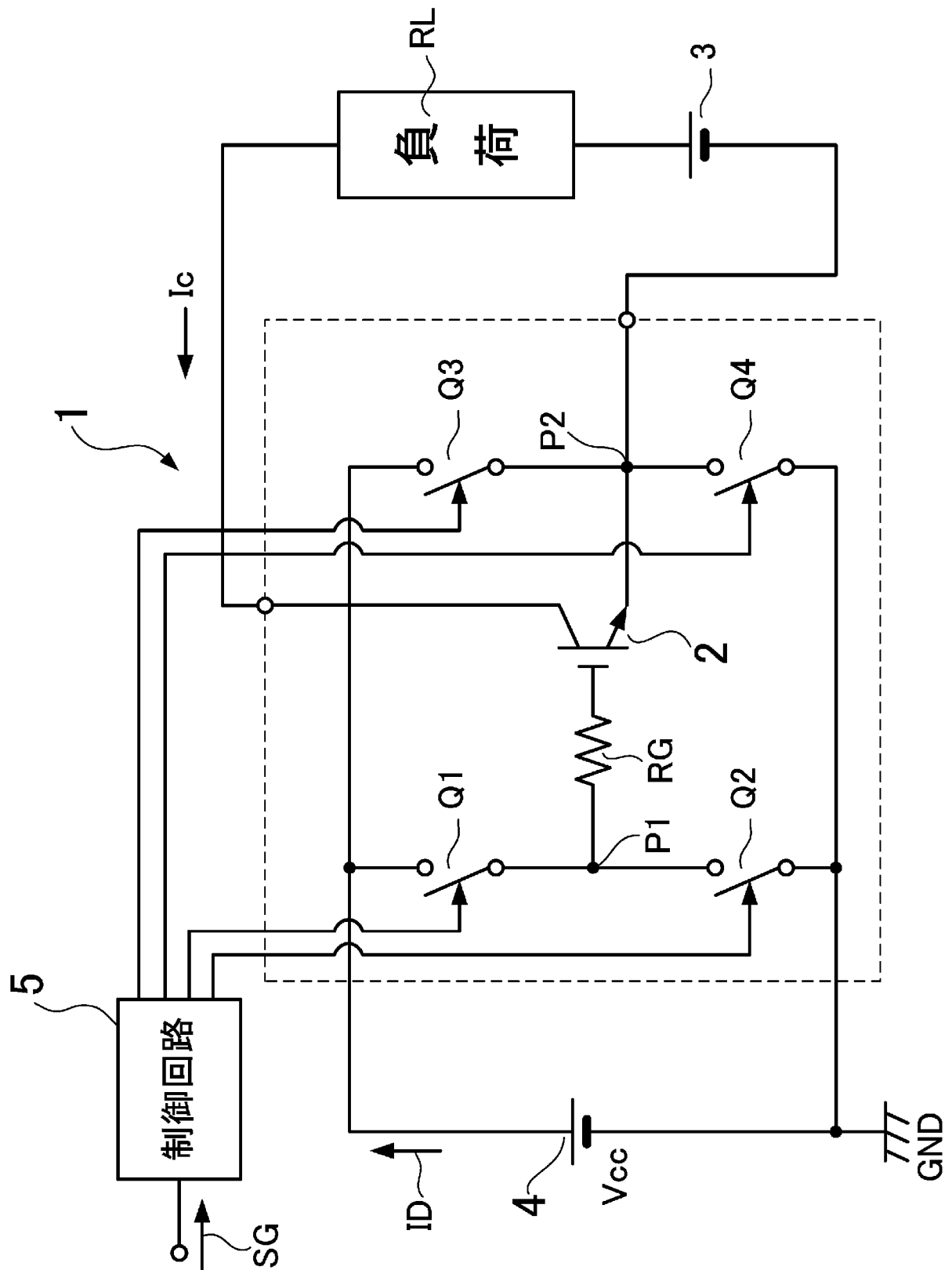
[図4]



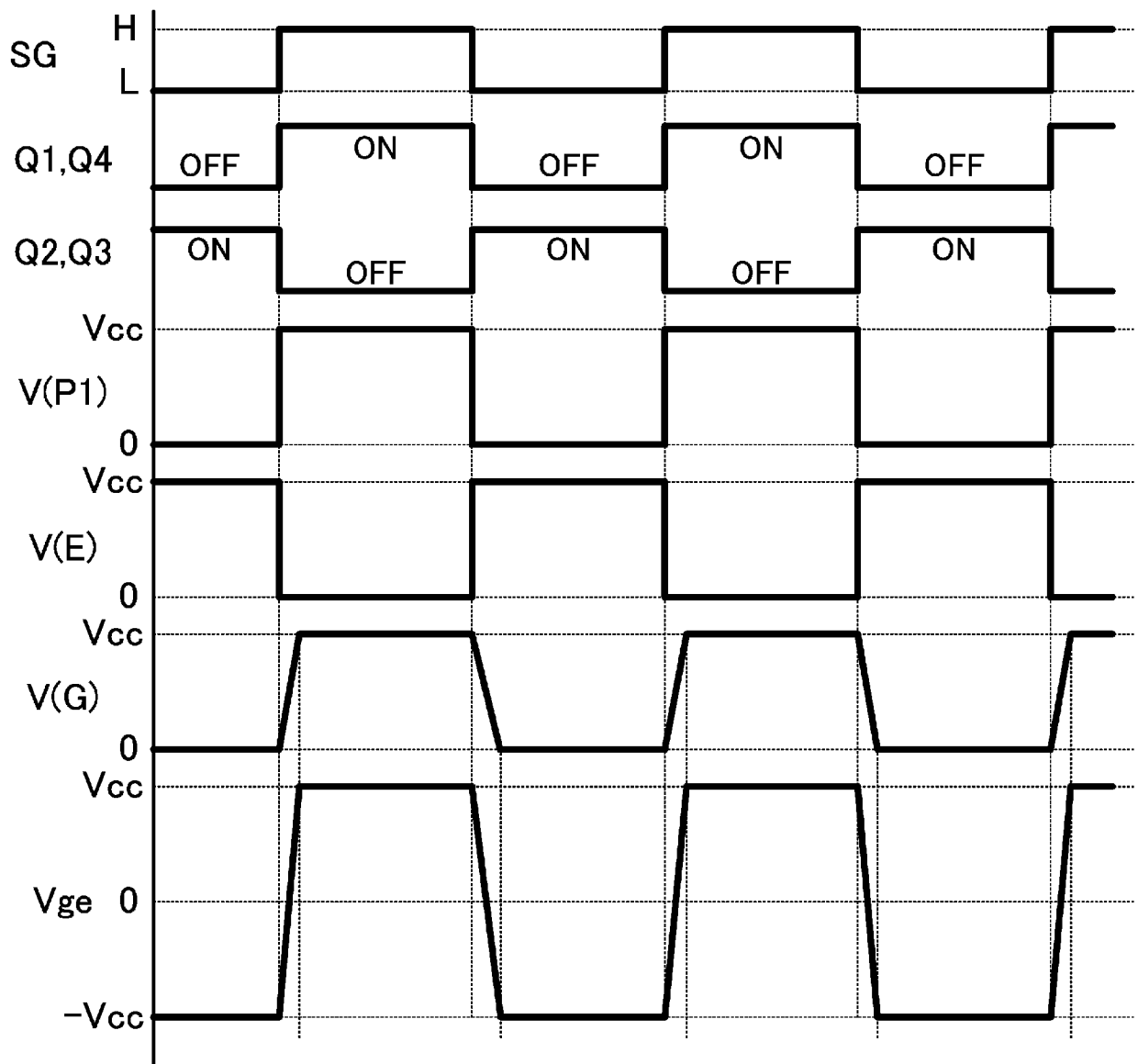
【図5】



[図6]



[図7]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/036047

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. H02M1/08 (2006.01) i, H03K17/08 (2006.01) i, H03K17/14 (2006.01) i, H03K17/567 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H02M1/08, H03K17/08, H03K17/14, H03K17/567

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2017

Registered utility model specifications of Japan 1996-2017

Published registered utility model applications of Japan 1994-2017

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 5011585 B2 (MITSUBISHI ELECTRIC CORPORATION) 29 August 2012, all pages, all figures & US 2010/0141304 A1, all pages, all figures & WO 2009/004715 A1 & EP 2164155 A1 & CN 101689799 A	1-8
A	JP 2001-024492 A (TOYOTA AUTOM LOOM WORKS LTD.) 26 January 2001, paragraph [0034], fig. 1, 4, 5 (Family: none)	1-8

☐ Further documents are listed in the continuation of Box C.	☐ See patent family annex.
---	---

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 14 November 2017	Date of mailing of the international search report 28 November 2017
Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Authorized officer Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H02M1/08(2006.01)i, H03K17/08(2006.01)i, H03K17/14(2006.01)i, H03K17/567(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H02M1/08, H03K17/08, H03K17/14, H03K17/567

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2017年
日本国実用新案登録公報	1996-2017年
日本国登録実用新案公報	1994-2017年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 5011585 B2 (三菱電機株式会社) 2012.08.29, 全文, 全図 & US 2010/0141304 A1, all pages, all figures, & WO 2009/004715 A1 & EP 2164155 A1 & CN 101689799 A	1-8
A	JP 2001-024492 A (株式会社豊田自動織機製作所) 2001.01.26, 段 落 34, 図 1, 4-5 (ファミリーなし)	1-8

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

14.11.2017

国際調査報告の発送日

28.11.2017

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)
郵便番号 100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

柳下 勝幸

5G

9561

電話番号 03-3581-1101 内線 3526