

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4840536号  
(P4840536)

(45) 発行日 平成23年12月21日(2011.12.21)

(24) 登録日 平成23年10月14日(2011.10.14)

(51) Int.Cl.		F I	
HO 1 L 27/14	(2006.01)	HO 1 L 27/14	D
HO 1 L 27/146	(2006.01)	HO 1 L 27/14	A
HO 4 N 5/374	(2011.01)	HO 4 N 5/335	7 4 O

請求項の数 16 (全 20 頁)

(21) 出願番号	特願2011-130806 (P2011-130806)	(73) 特許権者	000002185
(22) 出願日	平成23年6月13日 (2011.6.13)		ソニー株式会社
(62) 分割の表示	特願2006-76693 (P2006-76693) の分割		東京都港区港南1丁目7番1号
原出願日	平成18年3月20日 (2006.3.20)	(74) 代理人	100120640
(65) 公開番号	特開2011-187990 (P2011-187990A)		弁理士 森 幸一
(43) 公開日	平成23年9月22日 (2011.9.22)	(74) 代理人	100118290
審査請求日	平成23年6月13日 (2011.6.13)		弁理士 吉井 正明
(31) 優先権主張番号	特願2005-85106 (P2005-85106)	(74) 代理人	100094363
(32) 優先日	平成17年3月24日 (2005.3.24)		弁理士 山本 孝久
(33) 優先権主張国	日本国 (JP)	(72) 発明者	城戸 英男
			東京都港区港南1丁目7番1号 ソニー株式会社内
		(72) 発明者	石渡 宏明
			東京都港区港南1丁目7番1号 ソニー株式会社内

最終頁に続く

(54) 【発明の名称】 固体撮像素子及び撮像装置

(57) 【特許請求の範囲】

【請求項1】

入射光を電気信号に変換する光電変換部を有する単位領域が複数個隣接して設けられており、

前記複数個の単位領域間の境界位置の側へ、それぞれの光電変換部が各単位領域の中心位置から偏位して設けられ、

前記の偏位した光電変換部上に高屈折率材料層が配置され、前記偏位の方とは逆方向の側の光電変換部上に前記高屈折率材料層と接して低屈折率材料層が配置され、

前記高屈折率材料層及び前記低屈折率材料層によって前記入射光が光路変更されて前記光電変換部に入射し、

前記境界位置において、前記複数個の光電変換部に共通の出力取り出し領域が形成され、

この出力取り出し領域を構成するフローティングディフュージョン部上方に前記高屈折率材料層が配置され、それ以外の領域には前記低屈折率材料層が配置されている、  
固体撮像素子。

【請求項2】

前記フローティングディフュージョン部を覆うように前記高屈折率材料層が配置されている、請求項1に記載した固体撮像素子。

【請求項3】

前記複数個の光電変換部のそれぞれと、前記共通の出力取り出し領域との間で、電荷転

送ゲートが構成されている、請求項 1 に記載した固体撮像素子。

【請求項 4】

前記複数個の単位領域において、前記偏位の大きさが互いに同じである、請求項 1 に記載した固体撮像素子。

【請求項 5】

前記境界位置上に前記高屈折率材料層及び前記低屈折率材料層の各中心位置が存在している、請求項 4 に記載した固体撮像素子。

【請求項 6】

前記高屈折率材料層が、窒化シリコン系材料又は酸化チタン分散ポリイミドからなる、請求項 1 に記載した固体撮像素子。

10

【請求項 7】

前記低屈折率材料層が、フッ素系ポリマー又は酸化シリコン系材料からなる、請求項 1 に記載した固体撮像素子。

【請求項 8】

前記高屈折率材料層及び前記低屈折率材料層が、前記光電変換部の出力信号を伝達する配線を埋め込んだ絶縁層と、オンチップレンズ部との間に設けられている、請求項 1 に記載した固体撮像素子。

【請求項 9】

前記高屈折率材料層及び前記低屈折率材料層が、前記絶縁層上のパッシベーション膜と、前記オンチップレンズ部下のフィルタ層との間に設けられている、請求項 8 に記載した固体撮像素子。

20

【請求項 10】

前記高屈折率材料層がレンズ形状を有し、前記低屈折率材料層が前記高屈折率材料層の上部又は下部まで延在している、請求項 1 に記載した固体撮像素子。

【請求項 11】

前記レンズ形状を有する前記高屈折率材料層が第 1 のレンズ部であり、前記第 1 のレンズ部の上方に設けられた第 2 のレンズ部を有し、前記第 2 のレンズ部は光軸が前記単位領域の前記中心位置に一致するように等間隔に設けられている、請求項 10 に記載した固体撮像素子。

【請求項 12】

30

前記光電変換部上に、前記光電変換部が形成されている半導体基体の前記光電変換部以外の領域を前記入射光から遮光する遮光部が、その開口部の中心が前記単位領域の前記中心位置に一致するように設けられている、請求項 11 に記載した固体撮像素子。

【請求項 13】

CMOS (Complementary Metal Oxide Semiconductor) イメージセンサーとして構成され、複数の前記フローティングディフュージョン部間が配線によって接続されている、請求項 1 に記載した固体撮像素子。

【請求項 14】

前記配線に沿って、前記高屈折率材料層と前記低屈折率材料層とが交互に配置されている、請求項 13 に記載した固体撮像素子。

40

【請求項 15】

前記 CMOS イメージセンサーにおいて、増幅用トランジスタ、垂直選択用トランジスタ及びノリセットトランジスタの上方に前記低屈折率材料層が配置されている、請求項 13 に記載した固体撮像素子。

【請求項 16】

請求項 1 ~ 15 のいずれか 1 項に記載した固体撮像素子と、この固体撮像素子の出力信号を処理する信号処理部と、この信号処理部の出力信号を記録する記録部とを有する、撮像装置。

【発明の詳細な説明】

【技術分野】

50

## 【 0 0 0 1 】

本発明は、光電変換手段などを有する固体撮像素子、詳しくは光路変更手段を設けた固体撮像素子、及び撮像装置に関するものである。

## 【 背景技術 】

## 【 0 0 0 2 】

近年、ビデオカメラや電子カメラが広く普及している。これらのカメラには、CCD (Charge Coupled Device) 固体撮像素子や、CMOS (Complementary Metal Oxide Semiconductor) イメージセンサなどの増幅型固体撮像素子が用いられている。固体撮像素子の撮像部には、フォトダイオードからなる光電変換部が複数個 2 次元アレイ状に配置され、各光電変換部を中心的機能部として単位領域 ( 単位画素 ) が形成されている。

10

## 【 0 0 0 3 】

CCD 型固体撮像素子では、各単位画素に入射した光をフォトダイオードによって光電変換し、生じた信号電荷を垂直 CCD 転送レジスタおよび水平 CCD 転送レジスタを介して、出力部に設けたフローティングディフュージョン ( FD ) 部に転送する。そして、この FD 部の電位変動を MOS トランジスタによって検出、増幅することにより、撮像信号として出力する。

## 【 0 0 0 4 】

一方、CMOS イメージセンサは、各単位画素内に FD 部や転送、増幅などのための各種 MOS トランジスタを有し、CCD 型固体撮像素子よりも低電圧で動作可能であり、複雑な信号処理機能も容易にワンチップ化できるため、撮像素子の小型化や省電力化に適している。

20

## 【 0 0 0 5 】

図 6 は、従来の CMOS イメージセンサの撮像部の構成と単位画素 1 個分の等価回路との一例を示す説明図である。図 6 に示す CMOS イメージセンサでは、フォトダイオード 102 からなる光電変換部と、信号電荷を電圧信号に変換して出力するための 4 つの MOS トランジスタ 103 および 105 ~ 107 とが、各単位画素 100 に設けられている。

## 【 0 0 0 6 】

受光動作時には、フォトダイオード 102 に蓄積された信号電荷 ( 電子 ) は、読み出し信号線 109 から電荷転送ゲート 103 のゲート電極に印加される読み出しパルスに基づいて、電荷転送ゲート 103 を介してフローティングディフュージョン ( FD ) 部 104 に転送される。FD 部 104 は、増幅用トランジスタ 105 のゲート電極に接続されており、信号電荷 ( 電子 ) による FD 部 104 の電位変化が、増幅用トランジスタ 105 によって電圧信号にインピーダンス変換され、垂直信号線 15 に出力される。垂直選択用トランジスタ 106 は、垂直選択線 13 からゲート電極に印加される垂直選択パルスに基づいて ON、OFF し、所定の期間だけ増幅用トランジスタ 105 を駆動する働きをする。リセットトランジスタ 107 は、垂直リセット線 14 からゲート電極に印加される垂直リセットパルスに基づいて、FD 部 104 の電位を電源線 108 の電位にリセットする働きをする。

30

## 【 0 0 0 7 】

各単位画素 100 は、垂直走査回路 11 および水平走査回路 12 によって 1 サイクルの間に 1 度ずつ、下記のように走査される。すなわち、1 サイクルの間の一定期間、垂直走査回路 11 から 1 つの垂直選択線 13 に垂直選択パルスが出力され、この垂直選択線 13 に対応する行の画素が選択され、各画素の出力信号がそれぞれの垂直信号線 15 に出力される。そして、この一定期間の間に水平走査回路 12 から各水平選択線 17 に水平選択パルスが順次出力され、対応する各垂直信号線 15 の出力信号が、水平選択用トランジスタ 16 を介して、水平信号線 18 に順次取り出される。1 つの行の全画素の走査が終了すると、次の行の垂直選択線 13 に垂直選択パルスが出力され、上記と同様にしてこの新しい行の各画素が走査される。以上の動作を繰り返して、1 サイクルの間に全ての行の全画素が 1 度ずつ走査され、その出力信号が時系列的に水平信号線 18 に取り出される。

40

## 【 0 0 0 8 】

50

図7(a)は、従来のCMOSイメージセンサの撮像部の構造を示す断面図である。図7(b)は、図7(a)の断面図だけでは表しきれないFD部104と周辺の不純物層の接続関係を概念的に示す説明図である。

【0009】

図7(a)に示すように、p型シリコン基板101には埋め込みフォトダイオードからなる光電変換部102が形成されている。また、その周囲には電荷転送ゲート103などのMOSトランジスタを構成するn型不純物層が形成されている。図7(b)に示すように、埋め込みフォトダイオード102、FD部104およびリセットトランジスタ107を形成するn型不純物層はゲート電極下部のチャンネル領域によって連結されるように設けられており、効率的な信号電荷の転送と消去ができるようになっている。

10

【0010】

MOSトランジスタからなる回路部に光が漏れ入ると、光電変換が起こり、その結果生じた電子によって偽信号が発生し、ノイズとなる。従って、このアクティブ領域に光が入射しないように、図示省略した遮光膜を配置し、入射光から遮光するのが一般的である。

【0011】

シリコン基板101の上部には酸化シリコンなどからなる絶縁層124を介して、例えばアルミニウムなどからなる多層配線が形成されている。この多層配線において、例えば、1層目の配線121は画素トランジスタ間などを接続する局所的な配線であり、2層目の配線122および3層目の配線123は、上記トランジスタを駆動する垂直選択線13などの制御信号線や、増幅用トランジスタ105によって増幅された電気信号を伝達する垂直信号線15などの信号線や、電源線などの大域的な配線である。

20

【0012】

この多層配線は、単位画素内で入射光を遮る領域を形成している。従って、フォトダイオード102にできるだけ多くの光を導入するためには、フォトダイオード102の開口率を向上させる必要があり、フォトダイオード102の上方には、できるだけ配線を配置しないようにレイアウトする。

【0013】

さらにその上部には、窒化シリコンなどからなるパッシベーション膜125や平坦化膜などが形成され、その上に画素カラーフィルタ126およびオンチップレンズ127が配置されている。オンチップレンズ127や層内レンズは、入射光が遮られる領域を避け、フォトダイオード102に入射光を集光するために用いられる。通常、これらのオンチップレンズ127や層内レンズは、一定のピッチで等間隔に形成される。

30

【0014】

上記のCMOSイメージセンサでは、単位画素における、フォトダイオード102、画素トランジスタ103、105~107や画素内配線、およびオンチップレンズ127や層内レンズの相対的な位置関係は、各単位画素で共通である。すなわち、各部材は同じ並進対称性をもつように同じピッチで等間隔に配列されている。この結果、入射光は、各単位画素でフォトダイオード102に同じように入射することになり、単位画素ごとのばらつきのない小さい良質な画像を得ることができる。

【0015】

ところで、CMOSイメージセンサなどの増幅型固体撮像素子では、上記のように少なくとも2層、望ましくは3層以上の多層配線が必要であり、フォトダイオード102の上部に作られる構造が厚くなる。例えば、フォトダイオード102の表面から最上部の3層目配線までの高さは3~5 $\mu\text{m}$ になり、これは画素サイズと同程度である。このため、被写体をレンズにより結像して撮像する固体撮像装置においては、撮像領域の周辺部寄りの領域でシェーディングが大きいという問題、すなわち、斜めに入射する光が遮光膜や配線によって遮られ、フォトダイオードに集光される光量が減少し、画質劣化が顕著になるという問題がある。

40

【0016】

そこで、撮像領域の周辺部寄りの領域においては、斜めに入射する光もフォトダイオ-

50

ドに集光されるように、瞳補正と称してオンチップレンズや遮光膜の開口部の位置を補正し、シェーディングを軽減することがある。具体的には、フォトダイオードから見て光が入射して来る方向にオンチップレンズおよび遮光膜開口部を配置する。また、後述の特許文献1では、撮像領域の中心部から周辺部に行くに従って各单位画素に対する信号線（配線）の相対位置が撮像領域の中心に近づく方向にずれていることを特徴とする固体撮像素子が提案されている。

【0017】

本発明に関連して重要なことは、撮像領域の周辺部でこのような補正が行われる例も含めて、CMOSイメージセンサなどの固体撮像素子では、通常、単位領域（単位画素）の中心位置に光電変換部（フォトダイオード）が配置され、オンチップレンズの各画素レンズは透過光が単位画素の中心位置に集光されるように設計されていることである。より一般的に言えば、光電変換部は常に単位領域の中の一定位置（上記の例では、中心位置）に配置され、単位領域の配列と同じ並進対称性をもつように各光電変換部は一定のピッチで等間隔に配列されており、かつ、その光電変換部に集光できるように、オンチップレンズを構成する各画素レンズも、光電変換部と同じ又はほぼ同じピッチで並進対称性をもつように配列されていることである。

10

【0018】

なお、本明細書でいう単位領域（単位画素）とは、1つの光電変換部を中心的機能部として、その機能を実現するための部分が配置された基板上の領域を指すものとする。また、単位領域の配列の並進対称性とは、同じ大きさの単位領域中の一定位置（例えば中心の位置）を占める点の集合によって形成される配列の規則性を指すものとする。

20

【0019】

さて、近年、携帯電話などのモバイル機器へのカメラ機能搭載の目的から、固体撮像素子の小型化に対する要求が強まっている。この固体撮像素子の小型化と高画素数化による単位画素の縮小化にともない、単位画素あたりの受光領域が減少し、飽和信号量や感度などの固体撮像素子の特性が低下するという問題が生じている。

【0020】

従来、この特性低下を防止するために、単位画素内のトランジスタの面積を減少させることで、フォトダイオードの面積の減少を抑える方法などが用いられてきた。しかし、そのような方法で固体撮像素子の特性を保つのに限界がある。

30

【0021】

そこで、後述の特許文献2および3では、次世代へのブレークスルーとして、各画素に必須であるフォトダイオード102および電荷転送ゲート103以外の、従来すべての画素に設けられていたFD部104、増幅用トランジスタ105、垂直選択用トランジスタ106、およびリセットトランジスタ107を複数の隣接単位画素間で共有するCMOSイメージセンサが提案されている。このCMOSイメージセンサでは、単位画素当りのトランジスタ数および配線数を減らすことができ、その結果として、十分なフォトダイオードの面積を確保し、また、配線によるケラレを減少させることができるので、単位画素の縮小化に有効に対応することができるかと期待されている。

【先行技術文献】

40

【特許文献】

【0022】

【特許文献1】特開2003-273342（第3-5頁、図1及び10）

【特許文献2】特開昭63-100879（第4頁、図4）

【特許文献3】特開2004-128193（第5-8頁、図2）

【発明の概要】

【発明が解決しようとする課題】

【0023】

上記の例として、後に本発明の実施の形態1において図1～3を用いて詳述するように、2個または4個の単位画素に共通のFD部4を設け、増幅用トランジスタ5、垂直選択

50

用トランジスタ6およびリセットトランジスタ7を隣接単位画素間で共有し、単位画素当りのトランジスタ数および配線数を減らすようにCMOSイメージセンサを構成することができる。

【0024】

ただし、この場合、単位画素内に、画素固有のフォトダイオード2などと、複数の単位画素に共有される共有領域とが混在することになる。共有領域が単位画素内で占める相対位置は、隣接単位画素間では必ず異なるから、フォトダイオード2が単位画素内で占める相対位置も、自ずと隣接単位画素間で異なることになる。すなわち、共有領域を有するCMOSイメージセンサでは、従来の通常のCMOSイメージセンサ(図7参照。)と違って、フォトダイオード2を単位画素と同じ並進対称性をもつように同じピッチで配置することはできない。以下、これらのこと、およびこのような基板に従来と同様のオンチップレンズを形成した場合の問題点について図を用いて説明する。

10

【0025】

図8は、上記のフォトダイオード2やトランジスタが形成されたシリコン基板1の上に、従来と同様のオンチップレンズ27や層内レンズ131などが形成されたCMOSイメージセンサの撮像部の構造を示す断面図である。図8は、主として3個の単位画素を示しており、左側の単位画素10と中央の単位画素20とは境界位置31において互いにFD部4を共有しているが、右側の単位画素60と中央の単位画素20とはFD部4を共有していない。

20

【0026】

図7(b)を用いて先述したように、フォトダイオード2のn型領域とFD部4のn型領域とは、効率的な信号電荷の転送が行えるように、電荷転送ゲート3のチャネル領域を介して連結されるように設けられている。従って、光電変換部2は単位画素の中心位置よりも、FD部4の側(境界位置31の側)に偏位して設けられている。そして、境界位置31の反対側の境界位置32の近傍には、(図示省略した)画素間で共有される増幅用トランジスタや垂直選択用トランジスタやリセットトランジスタなどが形成されている。

【0027】

この結果、図8の横方向において各単位画素のフォトダイオード2が形成する配列は、(FD部4を共有し合う単位画素間における)ピッチが小さい区間と、(FD部4を共有しない単位画素間における)ピッチが大きい区間とが交互に現れる配列になる。すなわち、図7(a)を用いて先述した、通常のCMOSイメージセンサにおける並進対称性をもった等間隔の配列から偏位している。

30

【0028】

一方、図8に示すように、シリコン基板1の上部には酸化シリコンなどからなる絶縁層24が形成され、これを介して、図示省略した多層配線が形成されている。多層配線は、フォトダイオード2にできるだけ多くの光を導入できるように、フォトダイオード2の上方を避けるようにレイアウトする。また、MOSトランジスタからなる回路部に光が入射しないように、図示省略した遮光膜が配置されている。

【0029】

さらにその上部には、窒化シリコンなどからなるパッシベーション膜25や平坦化膜などが形成され、その上に層内レンズ131や遮光膜37が形成され、さらにその上に画素カラーフィルタ26およびオンチップレンズ27が配置されている。

40

【0030】

被写体に最も近いレンズであるオンチップレンズ27は、その光軸の位置が単位画素の中心位置に一致するように設けられている。また、シリコン基板1の光電変換部2以外の領域を入射光から遮光する遮光膜37は、その開口部の中心が単位画素の中心位置に一致するように設けられている。このようにすると、各画素で被写体からの入射光を取り込む位置が一定のピッチで配置されることになり、画質が向上する。また、層内レンズ131の光軸の位置も単位画素の中心位置に一致するように設けられている。この結果、光軸に平行にオンチップレンズ27に入射した光は、オンチップレンズ27を透過した後、図1

50

に点線で示したように各单位画素の中心位置のやや深い位置に焦点を結ぶように集光される。この光は、さらに層内レンズ131によって各单位画素の中心位置のより浅い位置に焦点を結ぶように集光される。

【0031】

一方、前述したように、フォトダイオード2は、各单位画素の中心位置よりも、FD部4の側(境界位置31の側)に偏位して設けられ、多層配線もフォトダイオード2の上部を避けるように各单位画素の中心位置から変位して形成されている。

【0032】

以上の結果、オンチップレンズ27および層内レンズ131によって集光された光の一部が、フォトダイオード2をはずれてトランジスタが形成されているシリコン基板1の共有領域の上部の(図示省略した)遮光膜に入射したり、多層配線によってケラレたりするという問題が生じる。この際、共有領域におけるトランジスタの配置や多層配線の配置は、隣接各单位画素間で様ではないから、この問題はフォトダイオード2に入射する入射光量が減少する原因になるばかりでなく、入射光量が各单位画素間でばらつく原因にもなる。各单位画素間でフォトダイオード2に入射する入射光量がばらつく場合、各单位画素で感度が一定にならず、撮像特性として好ましくない。

【0033】

図9は、上記の問題点の対策として、フォトダイオード2からはずれたり、多層配線によってケラレたりする光を予め除いてしまうように、遮光膜141をフォトダイオード2の配置に対応させて形成し、遮光膜141の開口部の面積を小さくしたCMOSイメージセンサの撮像部の構造を示す断面図である。

【0034】

この方法では、入射光の一部が、シリコン基板1の共有領域の上部の遮光膜に入射したり、多層配線によってケラレたりするということが少なくなるので、各单位画素間での入射光量のばらつきが小さくなり、各单位画素間の感度のばらつきが減少して、好ましい撮像特性が得られるかもしれないが、それは入射光の一部を捨てることによって実現しているのであって、CMOSイメージセンサの感度が低下するという許容し難い問題点がある。

【0035】

また、遮光膜141で反射された光が、多重反射して別の各单位画素のフォトダイオードに入射すると、混色の原因となる。また、遮光膜141をフォトダイオード2の配置に対応させて形成したため、各单位画素で被写体からの入射光を取り込む開口部の位置が、一定のピッチで配置されておらず、被写体の位置情報に係わる画質が低下する。

【0036】

以上に述べたように、CMOSイメージセンサの隣接各单位画素間で増幅用トランジスタ(AMP)、垂直選択用トランジスタ(SEL)およびリセットトランジスタ(RST)などを共有する画素共有技術では、各单位画素当りのトランジスタ数を減らして、フォトダイオードの受光面積を十分に確保することができる。しかし、この方法では、光電変換部は各单位画素の中心位置から偏位した位置に設けられるので、その光軸が各单位画素の中心位置に配置されているオンチップレンズで集光すると、入射光を効果的に光電変換部に集光することができず、各光電変換部に集光される光量が減少したり、各单位画素ごとに光量が大きくばらついたりすることになる。

【0037】

本発明は、このような状況に鑑みてなされたものであって、その目的は、光電変換部が並進対称性配列の位置から位置ずれて配置されていても、入射光を光電変換部に効果的に集光することができる固体撮像素子、及びその固体撮像素子を用いた撮像装置を提供することにある。

【課題を解決するための手段】

【0038】

即ち、本発明は、入射光を電気信号に変換する光電変換部を有する単位領域が複数個隣接して設けられている固体撮像素子であって、

10

20

30

40

50

前記複数個の単位領域間の境界位置の側へ、それぞれの光電変換部が各単位領域の中心位置から偏位して設けられ、

前記の偏位した光電変換部上に高屈折率材料層が配置され、前記偏位の方向とは逆方向の側の光電変換部上に前記高屈折率材料層と接して低屈折率材料層が配置され、

前記高屈折率材料層及び前記低屈折率材料層によって前記入射光が光路変更されて前記光電変換部に入射する、  
固体撮像素子に係わるものである。

【 0 0 3 9 】

また、本発明は、前記固体撮像素子と、この固体撮像素子の出力信号を処理する信号処理部と、この信号処理部の出力信号を記録する記録部とを有する、撮像装置に係わるもの  
10  
でもある。

【発明の効果】

【 0 0 4 0 】

本発明の固体撮像素子によれば、前記の偏位した光電変換部上に高屈折率材料層が配置され、前記偏位の方向とは逆方向の側の光電変換部上に前記高屈折率材料層と接して低屈折率材料層が配置されている。

【 0 0 4 1 】

このため、前記光電変換部に近い位置にある前記高屈折率材料層に斜めに入射して来る光は、前記高屈折率材料層表面で入射角よりも屈折角が小さくなるように屈折するので、前記単位領域間の前記境界位置へ近づく方向に光路が変更され、直進すれば前記光電変換部を外れてしまう光の一部が前記光電変換部に入射するようになり、この結果、より多くの光が前記光電変換部に入射するようになる。  
20

【 0 0 4 2 】

また、前記光電変換部から遠い位置にある前記低屈折率材料層に斜めに入射して来る光は、前記低屈折率材料層表面で入射角よりも屈折角が大きくなるように屈折するので、前記単位領域間の前記境界位置へ近づく方向に光路が変更され、直進すれば前記光電変換部を外れてしまう光の一部が前記光電変換部に入射するようになり、この結果、より多くの光が前記光電変換部に入射するようになる。

【 0 0 4 3 】

上記のように、前記光電変換部に近い位置に前記高屈折率材料層を配置し、前記光電変換部に遠い位置に前記低屈折率材料層を配置することによって、前記光電変換部に入射する光が増加するように光の進路を変更することができる。  
30

【 0 0 4 4 】

以上のようにして、本発明の固体撮像素子によれば、前記光電変換部が、前記複数個の単位領域間の境界位置の側へ、各単位領域の中心位置から偏位して設けられていても、前記偏位によって前記光電変換部へ入射する光量が減少することが抑えられる。そして、前記単位領域間の境界位置に、隣接する光電変換部に共通のFD部を配置できるため、素子の小型化、高密度化を実現することができる。

また、本発明の撮像装置によれば、前記固体撮像素子と、この固体撮像素子の出力信号を処理する信号処理部と、この信号処理部の出力信号を記録する記録部とを有しているので、前記固体撮像素子によって得られた撮像信号を、信号処理した上で記録することができる。  
40

【図面の簡単な説明】

【 0 0 4 5 】

【図1】本発明の実施の形態1に基づくCMOSイメージセンサの撮像部の構造を示す要部断面図である。

【図2】同、CMOSイメージセンサの撮像部の構造を示す要部平面図である。

【図3】同、CMOSイメージセンサの撮像部の、トランジスタを共有する4個の単位画素の等価回路を示す説明図である。

【図4】本発明の実施の形態2に基づくCMOSイメージセンサの撮像部の構造を示す要  
50

部断面図である。

【図5】本発明の実施の形態3に基づく撮像装置の構成を示すブロック図である。

【図6】従来のCMOSイメージセンサの構成と単位画素1個分の等価回路の一例を示す説明図である。

【図7】同、CMOSイメージセンサの撮像部の構造を示す断面図(a)と、図7(a)の断面図だけでは表しきれないFD部の周辺の不純物層の接続関係を概念的に示す説明図(b)とである

【図8】共有領域を有するシリコン基板上に、従来と同様のオンチップレンズおよび層内レンズが形成されたCMOSイメージセンサの撮像部の構造の一例を示す要部断面図である。

【図9】共有領域を有するシリコン基板上に、従来と同様のオンチップレンズおよび層内レンズが形成されたCMOSイメージセンサの撮像部の構造の別の例を示す要部断面図である。

【発明を実施するための形態】

【0046】

本発明の固体撮像素子において、前記境界位置において、前記複数個の光電変換部に共通の出力取り出し領域が形成されているのがよい。この際、前記複数個の光電変換部のそれぞれと、前記共通の出力取り出し領域との間で、電荷転送ゲートが構成されているのがよい。このようにすることで前記共通の出力取り出し領域から後の出力用回路を前記複数個の光電変換部で共用することができ、出力に要する基板上の面積を縮小することができるので、前記固体撮像素子を小型化あるいは高画素数化したり、前記固体撮像素子の小型化あるいは高画素数化にともなう単位領域における受光面積の減少を防止したりすることができる。前記複数個の光電変換部の出力は、前記電荷転送ゲートによって選別して取り出すことができる。

【0047】

また、前記複数個の単位領域において、前記偏位の大きさが互いに同じであるのがよい。この際、前記境界位置上に前記高屈折率材料層及び前記低屈折率材料層の各中心位置が存在しているのがよい。これは、前記境界位置に関して左右対称であるということである。前記境界位置の両側には同じ構成をもつ前記単位領域が配置されているので、これは当然のこととも言えるが、何らかの対称性があると、形成工程が簡易になるなどのメリットがある。

【0048】

また、前記高屈折率材料層や前記低屈折率材料層の材料は、特に限定されるものではないが、前記高屈折率材料層は、できるだけ屈折率が大きい材料、例えば、窒化シリコン系材料(屈折率:約2.0)又は酸化チタン分散ポリイミド(屈折率:約1.8)からなり、また、前記低屈折率材料層は、できるだけ屈折率が小さい材料、例えば、フッ素系ポリマー(屈折率:1.3~1.4)又は酸化シリコン系材料(屈折率:1.4~1.5)からなるのがよい。このようにすると、本発明の前記高屈折率材料層及び前記低屈折率材料層の効果がよりよく発揮される。

【0049】

また、前記高屈折率材料層及び前記低屈折率材料層が、前記光電変換部の出力信号を伝達する配線を埋め込んだ絶縁層と、オンチップレンズ部との間に設けられているのがよい。この際、また、前記高屈折率材料層及び前記低屈折率材料層が、前記絶縁層上のパッシベーション膜と、前記オンチップレンズ部下のフィルタ層との間に設けられているのがよい。このような配置で、本発明の前記高屈折率材料層及び前記低屈折率材料層の効果が最もよく発揮される。

【0050】

また、前記高屈折率材料層がレンズ形状を有し、前記低屈折率材料層が前記高屈折率材料層の上部又は下部まで延在しているのがよい。このようにすると、前記の偏位した光電変換部上に、前記高屈折率材料層が配置され、前記偏位の方向とは逆方向の側の光電変換

10

20

30

40

50

部上に前記高屈折率材料層と接して前記低屈折率材料層が配置されるとともに、前記高屈折率材料層がレンズ形状を有し、前記低屈折率材料層が前記高屈折率材料層の上部又は下部まで延在しているため、上述した前記高屈折率材料層および前記低屈折率材料層の効果に加え、レンズ効果によって入射光を偏位して存在する前記光電変換部へ向けて集光することができる。この際、前記低屈折率材料層が前記高屈折率材料層の上部まで延在する場合には、この2層で上に凸の凸レンズを構成し、前記低屈折率材料層が前記高屈折率材料層の下部まで延在する場合には、この2層で下に凸の凸レンズを構成する。

#### 【0051】

この場合、前記レンズ形状を有する前記高屈折率材料層が第1のレンズ部であり、前記第1のレンズ部の上方に設けられた第2のレンズ部を有し、前記第2のレンズ部は光軸が前記単位領域の前記中心位置に一致するように等間隔に設けられているのがよい。前記第2のレンズ部は被写体に最も近いレンズであるから、その光軸の位置は前記単位領域の前記中心位置に一致するように等間隔に設けられているのがよい。そして、前記光電変換部上に、前記光電変換部が形成されている半導体基体の前記光電変換部以外の領域を前記入射光から遮光する遮光部が、その開口部の中心が前記単位領域の前記中心位置に一致するように設けられているのがよい。以上のようにすると、各画素で被写体からの入射光を取り込む位置が、前記光電変換部を設ける位置とは関係なく、互いに一定のピッチで配置されることになり、画質が向上する。

10

#### 【0052】

更にこの場合、前記境界位置において、前記複数個の光電変換部に共通の出力取り出し領域が形成されているのがよい。この際、前記複数個の光電変換部のそれぞれと、前記共通の出力取り出し領域との間で、電荷転送ゲートが構成されているのがよい。このようにすることで前記共通の出力取り出し領域から後の出力用回路を前記複数個の光電変換部で共用することができ、出力に要する基板上の面積を縮小することができるので、前記固体撮像素子を小型化あるいは高画素数化したり、前記固体撮像素子の小型化あるいは高画素数化にともなう単位領域における受光面積の減少を防止したりすることができる。前記複数個の光電変換部の出力は、前記電荷転送ゲートによって選別して取り出すことができる。

20

#### 【0053】

次に、本発明の好ましい実施の形態を図面参照下に具体的かつ詳細に説明する。

30

#### 【0054】

##### 実施の形態1

実施の形態1では、請求項1～9に記載した固体撮像素子の例として、CMOSイメージセンサについて説明する。このCMOSイメージセンサでは、前記複数個の光電変換部に共通の出力取り出し領域として、2個または4個の単位領域（以下、単位画素と言う。）に共通のFD（フローティングディフュージョン）部を設け、増幅用トランジスタ、垂直選択用トランジスタおよびリセットトランジスタをこれらの単位画素間で共有することによって単位画素当りのトランジスタ数を減らして、フォトダイオードの受光面積を十分に確保するように構成されている。

#### 【0055】

40

この結果として、光電変換部を各単位画素の中心位置から偏位させて設けざるを得なくなる。これに対応するために、実施の形態1では、前記の偏位した光電変換部上に高屈折率材料層を配置し、かつ、前記偏位の方向とは逆方向の側の光電変換部上に低屈折率材料層を配置することによって、前記入射光の光路を変更し、前記入射光が前記の偏位した光電変換部に入射するようにする。

#### 【0056】

図1と図2は、実施の形態1に基づくCMOSイメージセンサの撮像部の構造を示す断面図（図1）と平面図（図2）とである。図1は、図2に1F-1F線で示した位置における断面図である。なお、図2では、トランジスタ5～7を共有する4個の単位画素の光電変換部2を、同じ記号（2a、2b、2c、2d、・・・2x）を付して示している。ま

50

た、単位画素の位置を示すために、左上に原点(0, 0)をとり、縦方向の位置を示すx(行番号)と横方向の位置を示すy(列番号)との組(x, y)を用いるものとする。

【0057】

図1は、主として3個の単位画素を示しており、左側の単位画素10と中央の単位画素20とは境界位置31において互いにFD部4を共有しているが、右側の単位画素60と中央の単位画素20とはFD部4を共有していない。各単位画素10、20、60では、シリコン基板1中に埋め込みフォトダイオードからなる光電変換部2(図2では、それぞれ、2a、2a、2c)が形成されている。

【0058】

図7(b)を用いて既述したように、フォトダイオード2のn型領域とFD部4のn型領域とは、効率的な信号電荷の転送が行えるように、電荷転送ゲート3のチャネル領域を介して連結されるように設けられている。従って、図8を用いて既述したように、光電変換部2は単位画素の中心位置よりも、FD部4の側(境界位置31の側)に偏位して設けられている。そして、図2に示すように、単位画素の、FD部4とは反対側の領域(図1では、境界位置32およびその近傍)には、画素間で共有される増幅用トランジスタ5や垂直選択用トランジスタ6やリセットトランジスタ7などが形成されている。この結果、各光電変換部2が形成する配列は、図2の斜め下方向において、ピッチが小さい区間(FD部4を共有し合う単位画素間)とピッチが大きい区間(FD部4を共有しない単位画素間)とが交互に現れる配列になる。これは、図7(a)を用いて先述した、従来のCMOSイメージセンサにおける並進対称性をもった等間隔の配列から偏位している。

【0059】

一方、図1に示すように、シリコン基板1の上には酸化シリコンなどからなる絶縁層24が形成され、これを介して、図示省略するが、例えばアルミニウムなどからなる多層配線が形成されている。この多層配線において、図7(a)を用いて既述したように、例えば、1層目の配線は画素トランジスタ間などの局所的な配線であり、2層目の配線および3層目の配線は垂直選択線13や垂直信号線15などの大域的な配線である。多層配線は、フォトダイオード2にできるだけ多くの光を導入できるように、フォトダイオード2の開口率を上げる必要があり、フォトダイオード2の上方をできるだけ避けるようにレイアウトする。また、MOSトランジスタによる回路部に光が入射しないように、図示省略した遮光膜が配置されている。

【0060】

さらにその上部には、窒化シリコンなどからなるパッシベーション膜25や平坦化膜などが形成され、その上に本実施の形態の特徴である高屈折率材料層33および低屈折率材料層34が形成され、さらにその上に画素カラーフィルタ26およびオンチップレンズ27が配置されている。

【0061】

図1および図2に示すように、単位画素(i, j)10の光電変換部2aと、単位画素(i+1, j+1)20の光電変換部2aとは、FD部4を中心として中心対称に配置されている。これと同様に、図2のi番目の行の各光電変換部2b、2c、2d、・・・は、それぞれ、(i+1)番目の行の、1つ右の列の光電変換部2b、2c、2d、・・・とFD部4を中心として中心対称に配置されている。これに合わせて、高屈折率材料層33および低屈折率材料層34は、図2に点線で示すように、長さ方向が図2の横方向に一致する帯形状に形成され、両者が幅方向に交互に並ぶように設けられるのがよい。この際、高屈折率材料層33の中心線がFD部4の真上にあり、帯形の高屈折率材料層33の幅と、帯形の低屈折率材料層34の幅とが等しくなっているのがよい。高屈折率材料層33および低屈折率材料層34の幅は、これ限られるものではないが、両者の効果のバランスを考慮すると、同程度の幅にするのがよい。また、高屈折率材料層33および低屈折率材料層34に加えて、中間の屈折率をもつ材料の層を設けてもよい。

【0062】

高屈折率材料層33や低屈折率材料層34の材料は、特に限定されるものではないが、

10

20

30

40

50

高屈折率材料層 33 は、できるだけ屈折率が高い材料、例えば、窒化シリコン系材料（屈折率：約 2.0）又は酸化チタン分散ポリイミド（屈折率：約 1.8）からなり、また、低屈折率材料層 34 は、できるだけ屈折率が小さい材料、例えば、フッ素系ポリマー（屈折率：1.3 ~ 1.4）又は酸化シリコン系材料（屈折率：1.4 ~ 1.5）からなるのがよい。このようにすると、高屈折率材料層 33 および低屈折率材料層 34 の効果がよりよく発揮される。

#### 【0063】

図 1 に示すオンチップレンズ 27 を構成する各画素レンズは、単位画素の配列と同じ並進対称性をもつように等間隔に配列されている。そのため、高屈折率材料層 33 および低屈折率材料層 34 が無い従来の場合には、入射光は、各画素レンズを透過した後、図 1 に点線で示したように各単位画素の中心位置に焦点を結ぶように集光される。一方、光電変換部 2 は、前述したように各単位画素の中心位置から境界位置 31 の側に偏位して配置されているから、この状態では入射光を光電変換部 2 に効果的に集光することはできない。

10

#### 【0064】

それに対し、本実施の形態では高屈折率材料層 33 および低屈折率材料層 34 が設けられている。このため、光電変換部 2 に近い位置にある高屈折率材料層 33 に、オンチップレンズ 27 から斜めに入射して来る光は、高屈折率材料層 33 の表面で入射角よりも屈折角が小さくなるように屈折するので、単位画素間の境界位置 31 へ近づく方向に光路が変更され、直進すれば光電変換部 2 を外れてしまう光の一部が光電変換部 2 に入射するようになり、この結果、より多くの光が光電変換部 2 に入射するようになる。

20

#### 【0065】

また、光電変換部 2 から遠い位置にある低屈折率材料層 34 に、オンチップレンズ 27 から斜めに入射して来る光は、低屈折率材料層 34 の表面で入射角よりも屈折角が大きくなるように屈折するので、単位画素間の境界位置 31 へ近づく方向に光路が変更され、直進すれば光電変換部 2 を外れてしまう光の一部が光電変換部 2 に入射するようになり、この結果、より多くの光が光電変換部 2 に入射するようになる。

#### 【0066】

以上の結果、高屈折率材料層 33 および低屈折率材料層 34 が無い場合には図 1 に点線で示したように進む光の進路が、高屈折率材料層 33 および低屈折率材料層 34 が設けられている場合には図 1 に実線で示したように変更され、単位画素の中心位置から偏位して設けられている光電変換部 2 に入射光が効果的に集光される。

30

#### 【0067】

なお、図 1 は、複雑化を避け本質がわかりやすくなるように、高屈折率材料層 33 および低屈折率材料層 34 の屈折率が、それぞれ 1.8 および 1.4 であり、その前後の画素カラーフィルタ 26 や絶縁層 24 の屈折率はすべて 1.6 であると単純化して作図した。

#### 【0068】

図 2 の平面図に示すように、本実施の形態に基づく CMOS イメージセンサの撮像部では、4 個の単位画素、例えば単位画素 (i, j) 10、単位画素 (i + 1, j + 1) 20、単位画素 (i + 2, j) 30 および単位画素 (i + 3, j + 1) 40 が、増幅用トランジスタ 5 や垂直選択用トランジスタ 6 やリセットトランジスタ 7 などを共有している。この際、単位画素 10 と 20、および、単位画素 30 と 40 とは、それぞれ、FD 部 4 を共有し、2 つの FD 部 4 は FD 部配線 4a で連結され、増幅用トランジスタ 5 のゲート電極に接続される。なお、図 2 では、FD 部配線 4a は FD 部 4 やトランジスタ 5 ~ 7 に重ねて描かれているが、実際には、層間絶縁膜を介して形成され、トランジスタ等と接続プラグによって接続されている。

40

#### 【0069】

図 3 は、本実施の形態に基づく CMOS イメージセンサの撮像部の、トランジスタを共有する 4 個の単位画素の等価回路を示す説明図である。この CMOS イメージセンサの撮像部の構成は、図 5 を用いて既述した、従来の CMOS イメージセンサの撮像部の構成と基本的には同様であるが、4 個の単位画素 10 ~ 40 に共通の FD 部 4 を設け、増幅用ト

50

ランジスタ 5, 垂直選択用トランジスタ 6 およびリセットトランジスタ 7 をこれらの単位画素間で共有するように構成されている点が異なっている。各単位画素の光電変換部 2 a は図 1 を用いて説明したように、電荷転送ゲート 3 を介して F D 部 4 に接続されている。

【 0 0 7 0 】

受光動作時には、各単位画素は、垂直走査回路および水平走査回路によって 1 サイクルの間に 1 度ずつ、下記のように走査される。すなわち、1 サイクルの間の一定期間、垂直走査回路から 1 つの垂直選択線 1 3 に垂直選択パルスが出力され、この垂直選択線 1 3 に対応する 4 個で 1 組の単位画素 1 0 ~ 4 0 が選択される。この際、各単位画素 1 0 ~ 4 0 の光電変換部 2 に蓄積された信号電荷 (電子) は、読み出し信号線 9 から電荷転送ゲート 3 のゲート電極に印加される読み出しパルスに基づいて、順次、電荷転送ゲート 3 を介してフローティングディフュージョン ( F D ) 部 4 に転送され、信号電荷 (電子) による F D 部 4 の電位変化が、増幅用トランジスタ 5 によって電圧信号に変換され、垂直信号線 1 5 に出力される。

10

【 0 0 7 1 】

そして、この一定期間の間に水平走査回路から各水平選択線 1 7 に水平選択パルスが順次出力され、対応する各垂直信号線 1 5 の出力信号が、水平選択用トランジスタ 1 6 を介して、水平信号線 1 8 に順次取り出される。1 つの行の全画素の走査が終了すると、次の行の垂直選択線 1 3 に垂直選択パルスが出力され、上記と同様にしてこの新しい行の各画素が走査される。以上の動作を繰り返して、1 サイクルの間に全ての行の全画素が 1 度ずつ走査され、その出力信号が時系列的に水平信号線 1 8 に取り出される。

20

【 0 0 7 2 】

垂直選択用トランジスタ 6 が、垂直選択線 1 3 からゲート電極に印加される垂直選択パルスに基づいて O N、O F F し、所定の期間だけ増幅用トランジスタ 5 を駆動する働きをし、リセットトランジスタ 7 が、垂直リセット線 1 4 からゲート電極に印加される垂直リセットパルスに基づいて、F D 部 4 の電位を電源線 8 の電位にリセットする働きをするのは従来と同じである。

【 0 0 7 3 】

以上に説明したように、本実施の形態に基づく固体撮像素子である C M O S イメージセンサにおいては、共通の出力取り出し領域として、4 個の単位画素に共通の F D 部 4 を画素間の境界位置に設け、増幅用トランジスタ 5、垂直選択用トランジスタ 6 およびリセットトランジスタ 7 をこれらの単位画素間で共有するので、単位画素当りのトランジスタ数を減らすことができる。この結果、出力に要する基板上の面積を縮小することができるので、C M O S イメージセンサを小型化あるいは高画素数化したり、C M O S イメージセンサの小型化あるいは高画素数化にともなう単位画素における受光面積の減少を防止したりすることができる。

30

【 0 0 7 4 】

この際、単位画素の配列で規定される並進対称の位置から位置ずれして光電変換部 2 が配置されていても、光電変換部 2 とオンチップレンズ 2 7 との間に高屈折率材料層 3 3 および低屈折率材料層 3 4 を設けることで、従来の各画素レンズが並進対称性をもって配列しているオンチップレンズを用いて、光電変換部に入射光を効果的に集光することができる。その結果、感度の低下や、画素間での感度のばらつきを抑えることができる。

40

【 0 0 7 5 】

#### 実施の形態 2

実施の形態 2 では、請求項 1 0 ~ 1 4 に記載した固体撮像素子の例として、C M O S イメージセンサについて説明する。

【 0 0 7 6 】

この C M O S イメージセンサでは、実施の形態 1 と同様、前記複数個の光電変換部に共通の出力取り出し領域として、2 個または 4 個の単位領域 (以下、単位画素と言う。) に共通の F D 部を設け、増幅用トランジスタ、垂直選択用トランジスタおよびリセットトランジスタをこれらの単位画素間で共有することによって単位画素当りのトランジスタ数を

50

減らして、フォトダイオードの受光面積を十分に確保するように構成されている（図2参照）。

【0077】

この結果として、光電変換部を各单位画素の中心位置から偏位させて設けざるを得なくなる。これに対応するために、実施の形態2では、前記の偏位した光電変換部上に、入射光の光路に沿って1個又は複数個のレンズを設け、そのうち、少なくとも1個は、光軸の位置が各单位画素の中心位置から前記偏位の方向と同じ方向に偏位するように設け、レンズ効果によって入射光の光路を変更し、入射光が前記の偏位した光電変換部に入射するようにする。この点を除けば他は実施の形態1と同様であるので、以下、相違点に重点を置いて説明する。

10

【0078】

図4は、実施の形態2に基づくCMOSイメージセンサの撮像部の構造を示す断面図である。図1と同様、図4は図2に1F-1F線で示した位置における断面図である。図4は、主として3個の各单位画素を示しており、左側の各单位画素10と中央の各单位画素20とは境界位置31において互いにFD部4を共有しているが、右側の各单位画素60と中央の各单位画素20とはFD部4を共有していない。

【0079】

実施の形態1で既述したように、光電変換部2は各单位画素の中心位置よりも、FD部4の側（境界位置31の側）に偏位して設けられており、従来のCMOSイメージセンサにおける並進対称性をもった等間隔の配列から偏位している。また、各单位画素の、FD部4とは反対側の領域（境界位置32およびその近傍）には、画素間で共有される増幅用トランジスタ5や垂直選択用トランジスタ6やリセットトランジスタ7などが形成されている。

20

【0080】

一方、シリコン基板1の上部には酸化シリコンなどからなる絶縁層24が形成され、これを介して、図示省略した多層配線が形成されている。多層配線は、フォトダイオード2にできるだけ多くの光を導入できるように、フォトダイオード2の上方を避けるようにレイアウトする。また、MOSトランジスタからなる回路部に光が入射しないように、図示省略した遮光膜が配置されている。

【0081】

さらにその上部には、窒化シリコンなどからなるパッシベーション膜25や平坦化膜などが形成され、その上に本実施の形態の特徴である層内レンズ35や遮光膜37が形成され、さらにその上に画素カラーフィルタ26およびオンチップレンズ27が形成されている。なお、層内レンズ35が前記高屈折率材料層に相当する。層内レンズ35の間から上部に延設して形成される平坦化膜は、層内レンズ35を形成する材料よりも屈折率の小さい材料からなる低屈折率材料層36であり、前記低屈折率材料層に相当する。

30

【0082】

前記被写体に最も近いレンズであるオンチップレンズ27は、その光軸の位置が各单位画素の中心位置に一致するように設けられている。また、前記半導体基体の前記光電変換部以外の領域を前記入射光から遮光する前記遮光部である遮光膜37は、その開口部の中心が各单位画素の中心位置に一致するように設けられている。このようにすると、各单位画素で被写体からの入射光を取り込む位置が、光電変換部2を設ける位置とは関係なく、一定のピッチで配置されることになり、画質が向上する。

40

【0083】

これに対し、層内レンズ35の光軸の位置は、各单位画素の中心位置から光電変換部2の偏位の方向と同じ方向、すなわちFD部4側（境界位置31側）に偏位して設けられている。すなわち、光電変換部2の間隔が狭まっている箇所では、層内レンズ35の間隔も狭め、逆に光電変換部2の間隔が広がっている箇所では、層内レンズ35の間隔も広げるように配置されている。

【0084】

50

既に図8を用いて説明したように、光軸に平行にオンチップレンズ27に入射した光は、オンチップレンズ27を透過した後、図4に点線で示すように各单位画素の中心位置のやや深い位置に焦点28を結ぶように集光される。この光は、さらに層内レンズ35によって、より浅い位置に焦点を結ぶように集光される。

【0085】

この際、仮に層内レンズ35の光軸の位置が各单位画素の中心位置に一致するように設けられているとすると、図8に示したように、入射光は各单位画素の中心位置に焦点を結ぶように集光されてしまい、中心位置から偏位して設けられた光電変換部2に効果的に入射光を導くことはできない。

【0086】

実際には、層内レンズ35の光軸の位置は境界位置31側に偏位して設けられているので、図4に示すように、入射光は層内レンズ35によって境界位置31へ近づく方向に光路が変更される。この結果、図4を図8と比べればわかるように、層内レンズ35の光軸の位置が各单位画素の中心位置にあれば光電変換部2を外れてしまう光が、光電変換部2に入射するようになり、入射光は効果的に光電変換部2に導かれるようになる。

【0087】

また、オンチップレンズ27および層内レンズ35によって集光された光の一部が、シリコン基板1の共有領域の上部の(図示省略した)遮光膜に入射したり、多層配線によってケラレたりするというのも少なくなるので、各单位画素間での入射光量のばらつきが小さくなり、各单位画素で感度がそろい、好ましい撮像特性が得られる。ケラレた光が隣接画素に漏れ入ると、混色が起こる懸念があるが、光のケラレが最小限に抑えられることで、混色も減少する。

【0088】

絶縁層24の上部には、トランジスタの動作を制御する制御信号線や、画素から画素信号を出力する出力信号線などの大域的な配線38が形成されている。レンズのみではなく、これらの大域的な配線38も、光電変換部2の位置に合わせて偏位させて配置することにより、偏させない場合よりも配線によるケラレを減少させることができるので、有効である。

【0089】

本実施の形態では、オンチップレンズ27と層内レンズ35との2つのレンズを用いる例を示したが、これに限られるものでなく、必ずしも1画素あたり複数のレンズが必要というわけではなく、また、複数のレンズが存在する場合であっても、その数は2つに限定されず、3つ以上であってもよい。

【0090】

本実施の形態は、光路変更手段として光軸が偏位して配置されたレンズを用いること以外は実施の形態1と同じであるから、共通点に関しては実施の形態1と同様の作用効果が得られることは言うまでもない。すなわち、図3を用いて既に説明したように、本実施の形態に基づくCMOSイメージセンサにおいては、共通の出力取り出し領域として、4個の各单位画素に共通のFD部4を画素間の境界位置に設け、増幅用トランジスタ5、垂直選択用トランジスタ6およびリセットトランジスタ7をこれらの各单位画素間で共有するので、各单位画素当りのトランジスタ数を減らすことができる。この結果、出力に要する基板上の面積を縮小することができるので、CMOSイメージセンサを小型化あるいは高画素数化したり、CMOSイメージセンサの小型化あるいは高画素数化にともなう各单位画素における受光面積の減少を防止したりすることができる。

【0091】

この際、各单位画素の配列で規定される並進対称の位置から位置ずれて光電変換部2が配置されていても、光電変換部2の偏位方向と同じ方向に光軸を偏位させて層内レンズ35を設けることで、従来と同様のオンチップレンズを用いて光電変換部2に入射光を効果的に集光することができる。その結果、感度の低下や、画素間での感度のばらつきを抑えることができる。

10

20

30

40

50

## 【 0 0 9 2 】

## 実施の形態 3

図 5 は、本発明の実施の形態 3 に基づく撮像装置の構成を示すブロック図である。この撮像装置は、実施の形態 1 または 2 に記載した CMOS イメージセンサを撮像素子 4 1 として備える他に、A E (自動露光) 機構 4 5 を備えた操作回路部 4 2、A W B (自動ホワイトバランス) 機構 4 6 を備えた信号処理部 4 4、表示部 4 8、並びに記録部 4 9 を備えているので、CMOS イメージセンサ 4 1 を適正に制御し、それによって得られた撮像信号に信号処理を加えた上で表示及び / 又は記録を行うことができ、容易に高品質の撮像結果を得ることができる。

## 【 0 0 9 3 】

プロセス世代により、最小素子分離幅、最小トランジスタ幅が決まっている。画素微細化を、基本構造を変更せず、しかもプロセス世代を進めずに行うには、フォトダイオード面積の縮小で対応せざるを得ない。このため、単位画素に占めるフォトダイオード面積の割合は減少する傾向になるがこれにも限界がある。これに対し、基本構造を変更し、隣接単位画素間で増幅用トランジスタ (AMP)、垂直選択用トランジスタ (SEL) およびリセットトランジスタ (RST) を共有する画素共有技術では、単位画素当りのトランジスタ数を減らして、フォトダイオードの受光面積を十分に確保することができる。単位画素が微細で、画素共有技術を適用した場合に、フォトダイオードの間隔の等間隔性が悪化する場合でも、本発明によれば、フォトダイオードへの入射光の光路を変更することによって、画素共有技術の適用を可能にすることができる。

## 【 0 0 9 4 】

以上、本発明を実施の形態に基づいて説明したが、本発明はこれらの例に何ら限定されるものではなく、発明の主旨を逸脱しない範囲で適宜変更可能であることは言うまでもない。

## 【 0 0 9 5 】

例えば、入射光の光路を変更する手段として、本発明の実施の形態 1 の方法と、実施の形態 2 の方法とを併用することができる。すなわち、前記の偏位した光電変換部上に高屈折率材料層を配置し、かつ、前記偏位方向とは逆方向の側の光電変換部上に低屈折率材料層を配置することによって、第 1 の光路変更手段を形成し、その先の入射光の光路上に、その光軸の位置が単位画素の中心位置から前記偏位方向と同じ方向に偏位するように凸レンズを設けることによって、第 2 の光路変更手段を形成するようにしてもよい。

## 【 産業上の利用可能性 】

## 【 0 0 9 6 】

本発明の固体撮像素子及びその製造方法、並びに撮像装置は、CMOS イメージセンサ並びに電子カメラなどに応用され、CMOS イメージセンサの小型化あるいは高画素数化や、飽和信号量や感度の低下などの撮像特性の低下の防止に寄与することができる。

## 【 符号の説明 】

## 【 0 0 9 7 】

1 ... シリコン基板、2 ... 光電変換部 (フォトダイオード)、3 ... 電荷転送ゲート、4 ... フローティングディフュージョン (FD) 部、4 a ... FD 部配線、5 ... 増幅用トランジスタ、6 ... 垂直選択用トランジスタ、7 ... リセットトランジスタ、8 ... 電源線、9 ... 読み出し信号線、10 ... 単位画素、11 ... 垂直走査回路、12 ... 水平走査回路、13 ... 垂直選択線、14 ... 垂直リセット線、15 ... 垂直信号線、16 ... 水平選択用トランジスタ、17 ... 水平選択線、18 ... 水平信号線、20 ... 単位画素、24 ... 絶縁層 (酸化シリコン)、25 ... パッシベーション膜 (窒化シリコンなど)、26 ... 画素カラーフィルタ層、27 ... オンチップレンズ、28 ... オンチップレンズによる焦点、30 ... 単位画素、31 ... FD 部を共有し合う単位画素間の境界位置、32 ... FD 部を共有しない単位画素間の境界位置、33 ... 高屈折率材料層、34 ... 低屈折率材料層、35 ... 層内レンズ (高屈折率材料層)、36 ... 低屈折率材料層、37 ... 遮光膜、38 ... 大域的な配線、40 ... 単位画素、41 ... レンズ、42 ... 撮像素子、43 ... 操作回路部、44 ... 信号処理部、45 ... A E (自動露光) 機構

10

20

30

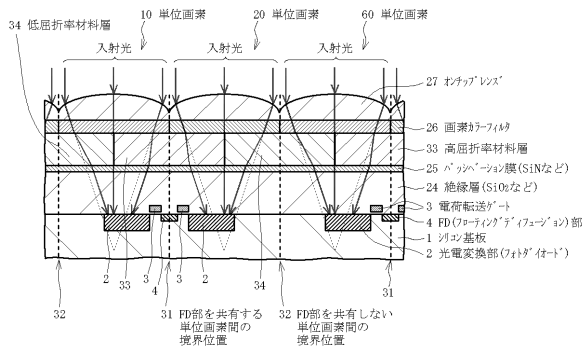
40

50

、 4 6 ... A W B (自動ホワイトバランス) 機構、 4 7 ... タイミング発生器、 4 8 ... 積分、  
 4 9 ... 表示部、 5 0 ... 記録部、 6 0 ... 単位画素、 1 0 0 ... 単位画素、 1 0 1 ... シリコン基  
 板、 1 0 2 ... 光電変換部 (フォトダイオード)、 1 0 3 ... 電荷転送ゲート、 1 0 4 ... フロ  
 ーティングディフュージョン (FD) 部、 1 0 5 ... 増幅用トランジスタ、 1 0 6 ... 垂直選  
 択選択用トランジスタ、 1 0 7 ... リセットトランジスタ、 1 0 8 ... 電源線、 1 0 9 ... 読み  
 出し信号線、 1 2 1 ... 1 層目の配線、 1 2 2 ... 2 層目の配線、 1 2 3 ... 3 層目の配線、 1  
 2 4 ... 絶縁層 (酸化シリコン)、 1 2 5 ... パッシベーション膜 (窒化シリコンなど)、 1  
 2 6 ... 画素カラーフィルタ層、 1 2 7 ... オンチップレンズ、 1 3 1 ... 層内レンズ、 1 3 2  
 ... 低屈折率材料層、 1 3 3 ... 層内レンズを付加した場合の焦点、 1 4 1 ... 遮光膜

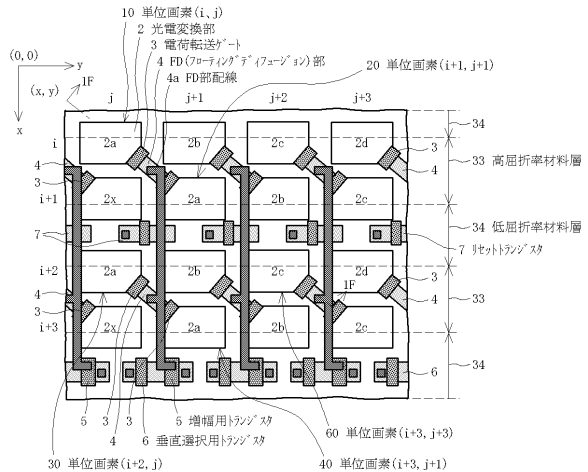
【図 1】

本発明の実施の形態 1 に基づく CMOS イメージセンサの撮像部の構造を示す  
要部断面図



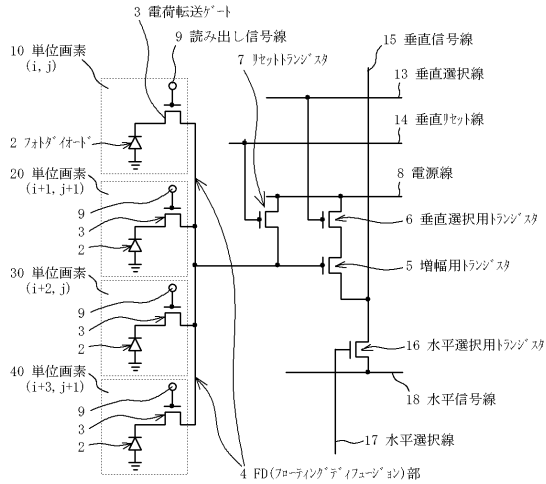
【図 2】

本発明の実施の形態 1 に基づく CMOS イメージセンサの、撮像部の構造を示す  
要部平面図



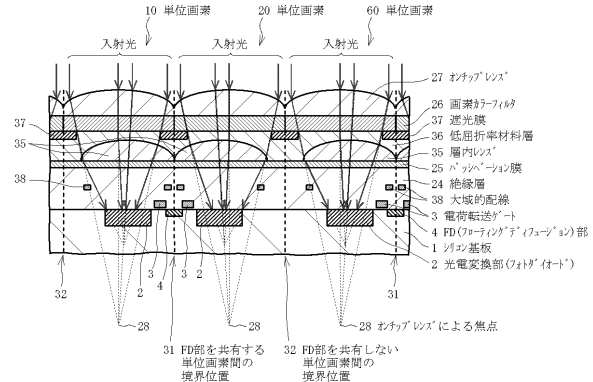
【図3】

本発明の実施の形態1に基づくCMOSイメージセンサの撮像部の、トランジスタを共有する4個の単位画素の等価回路を示す説明図



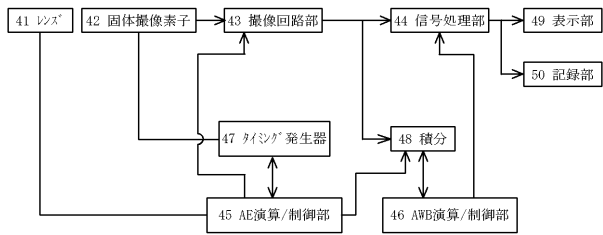
【図4】

本発明の実施の形態2に基づくCMOSイメージセンサの撮像部の構造を示す要部断面図



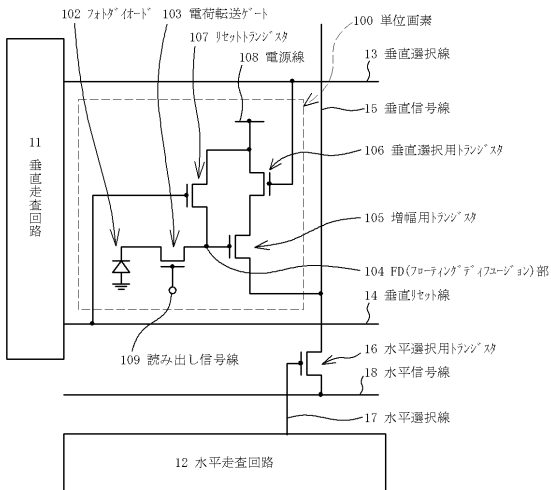
【図5】

本発明の実施の形態3に基づく撮像装置



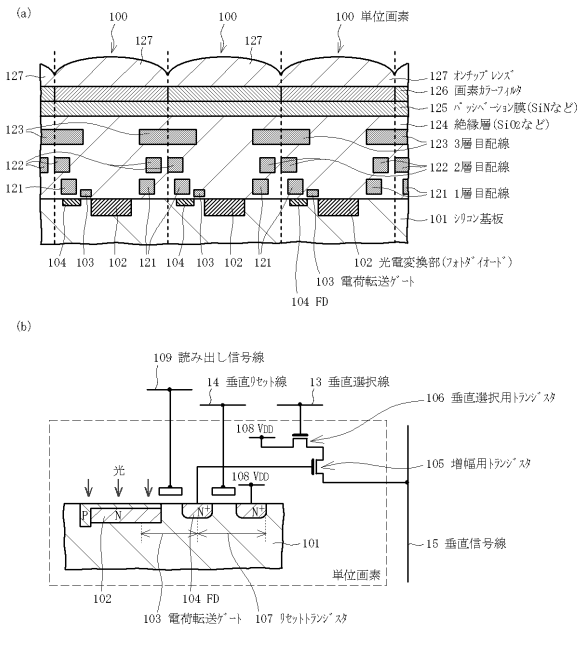
【図6】

従来のCMOSイメージセンサの撮像部の構成と単位画素1個分の等価回路の一例を示す説明図



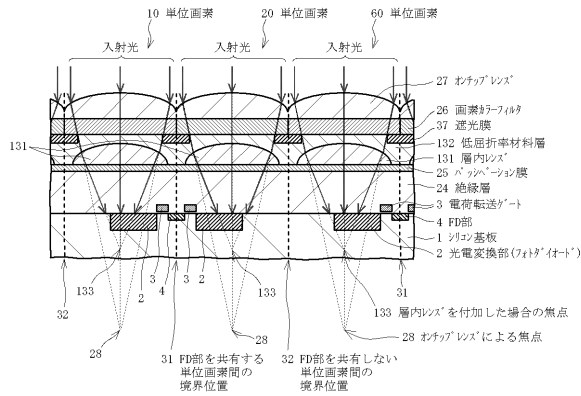
【図7】

従来のCMOSイメージセンサの単位画素の構造を示す断面図



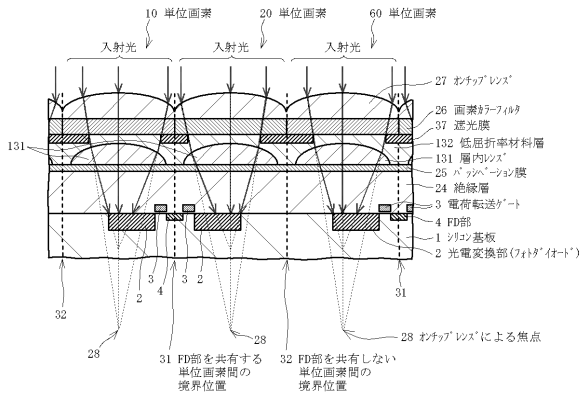
【図8】

共有領域を有するシリコン基板上に、従来と同様のオンチップレンズおよび層内レンズが形成されたCMOSイメージセンサの撮像部の構造の一例を示す要部断面図



【図9】

共有領域を有するシリコン基板上に、従来と同様のオンチップレンズおよび層内レンズが形成されたCMOSイメージセンサの撮像部の構造の別の例を示す要部断面図



---

フロントページの続き

審査官 行武 哲太郎

(56)参考文献 特開平6 - 163866 (JP, A)  
特開2005 - 244947 (JP, A)  
米国特許出願公開第2005 / 0051860 (US, A1)

(58)調査した分野(Int.Cl., DB名)  
H01L 27/14 - 27/148