



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2013-0082299

(43) 공개일자 2013년07월19일

(51) 국제특허분류(Int. Cl.)

H03K 3/356 (2006.01) *H03K 3/023* (2006.01)

H03K 17/00 (2006.01)

(21) 출원번호 10-2012-0003437

(22) 출원일자 2012년01월11일

심사청구일자 없음

(71) 출원인

에스케이하이닉스 주식회사

경기도 이천시 부발읍 경충대로 2091

고려대학교 산학협력단

서울 성북구 안암동5가 1

(72) 발명자

리이페이

서울시 성북구 안암동5가 1-2 고려대학교 제2공학
관 2층 218호

김석기

서울시 성북구 안암동5가 고려대학교 자연계캠퍼스 공학관722호

(74) 대리인

특허법인 이노

전체 청구항 수 : 총 11 항

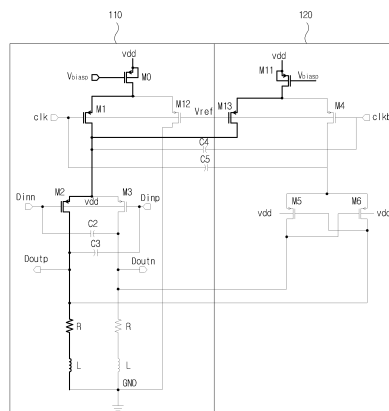
(54) 발명의 명칭 고속 통신용 래치 회로

(57) 요약

본 발명에 따르면, 전류원을 모드에 따라 선택적으로 공유할 수 있고, 센싱 유닛의 스위칭 소자의 크기를 줄일 수 있으며, 전력 소비를 줄일 수 있는 래치 회로를 제공할 수 있다.

본 발명에 따른 고속 통신용 래치 회로는, 클럭 신호에 동기되어 입력되는 데이터 신호를 센싱하는 센싱 유닛; 및 클럭 신호에 동기되어 출력되는 데이터 신호의 전압 레벨을 변경하는 홀딩 유닛을 포함하고, 센싱 유닛은, 클럭 신호의 제1 레벨 구간 동안 센싱 유닛 내에 형성되는 제1 전류 경로와 홀딩 유닛 내에 형성되는 제2 전류 경로에서의 전류의 합이 통과하는 제3 전류 경로를 포함한다.

대표도 - 도1a



특허청구의 범위

청구항 1

클럭 신호에 동기되어 입력되는 데이터 신호를 센싱하는 센싱 유닛; 및

상기 클럭 신호에 동기되어 출력되는 데이터 신호의 전압 레벨을 변경하는 홀딩 유닛을 포함하고,

상기 센싱 유닛은, 상기 클럭 신호의 제1 레벨 구간 동안 상기 센싱 유닛 내에 형성되는 제1 전류 경로와 상기 홀딩 유닛 내에 형성되는 제2 전류 경로에서의 전류의 합이 통과하는 제3 전류 경로를 포함하는 고속 통신용 래치 회로.

청구항 2

제1항에 있어서, 상기 센싱 유닛은,

상기 클럭 신호의 제2 레벨 구간 동안 상기 센싱 유닛 내에 단일의 전류 경로를 형성할 수 있는 고속 통신용 래치 회로.

청구항 3

제1항에 있어서, 상기 클럭 신호의 제1 논리 레벨 동안,

상기 센싱 유닛 내 마주하는 복수의 스위칭소자 중 어느 하나는 상기 클럭 신호에 제어되어 활성영역에서 동작함으로써 상기 제1 전류 경로를 형성하고, 상기 홀딩 유닛 내의 마주하는 복수의 스위칭소자 중 어느 하나는 기준전압 신호에 제어되어 활성영역에서 동작함으로써 상기 제2 전류 경로를 형성하는 고속 통신용 래치 회로.

청구항 4

제3항에 있어서,

상기 기준전압 신호의 레벨은 바이어스전압 신호의 레벨보다 낮고, 상기 클반전된 클럭 반전 신호에 제어되어 컷오프영역에서 동작하는 고속 통신용 래치 회로.

청구항 5

제4항에 있어서, 상기 클럭 신호의 제1 논리 레벨 동안,

상기 센싱 유닛 내 마주하는 복수의 스위칭 소자 중 어느 하나가 상기 클럭 신호에 제어되어 활성영역에서 동작하는 동안, 다른 하나는 상기 기준전압 신호에 제어되어 컷오프영역에서 동작하는 고속 통신용 래치 회로.

청구항 6

제4항에 있어서, 상기 클럭 신호의 제2 논리 레벨 동안,

상기 센싱 유닛 내 마주하는 복수의 스위칭 소자 중 어느 하나가 상기 기준전압 신호에 제어되어 활성영역에서 동작하는 동안, 다른 하나는 상기 클럭 신호에 제어되어 컷오프영역에서 동작하는 고속 통신용 래치 회로.

청구항 7

제4항에 있어서, 상기 클럭 신호의 제1 논리 레벨 동안,

상기 홀딩 유닛 내 마주하는 복수의 스위칭 소자 중 어느 하나가 상기 클럭 신호가 반전된 클럭 반전 신호에 제어되어 활성영역에서 동작하는 동안, 다른 하나는 상기 기준전압 신호에 제어되어 컷오프영역에서 동작하는 고속 통신용 래치 회로.

청구항 8

제4항에 있어서, 상기 클럭 신호의 제2 논리 레벨 동안,

상기 홀딩 유닛 내 마주하는 복수의 스위칭 소자 중 어느 하나가 상기 클럭 신호가 반전된 클럭 반전 신호에 제어되어 활성영역에서 동작하는 동안, 다른 하나는 상기 기준전압 신호에 제어되어 컷오프영역에서 동작하는 고속 통신용 래치 회로.

청구항 9

제4항에 있어서,

상기 센싱 유닛 내 스위칭 소자는 PMOS 트랜지스터인 고속 통신용 래치 회로.

청구항 10

제4항에 있어서,

상기 센싱 유닛 내 스위칭 소자는 NMOS 트랜지스터인 고속 통신용 래치 회로.

청구항 11

제1항 내지 제10항 중 어느 한 항에 있어서,

상기 클럭 신호가 인에이블 되는 동안, 상기 홀딩 유닛은 상기 센싱 유닛 내 상기 데이터 신호에 제어되는 스위칭 소자에 흐르는 전류를 분담할 수 있는 고속 통신용 래치 회로.

명세서

기술분야

[0001] 본 발명은 고속 통신용 래치 회로에 관한 것으로, 더욱 상세하게는 전류원을 공유할 수 있는 고속 통신용 래치 회로를 제공함에 목적이 있다.

배경기술

[0002] 래치 회로는 외부로부터 공급되는 외부 클럭에 동기되어 입력되는 데이터 신호를 유지 및 출력하는 회로로서, 최근 통신 데이터의 고속 처리에 래치 회로의 중요성은 더욱 강조되고 있다.

[0003] 종래의 래치 회로는 각각 별개의 센싱 유닛 전류원과 홀딩 유닛 전류원을 가지고 있으며, 이들 센싱 유닛 전류원은 센싱 유닛에 전류를 공급하고, 홀딩 유닛 전류원은 홀딩 유닛에 전류를 공급한다.

[0004] 그리고, 대체적으로 통신 데이터의 고속 처리를 위하여 센싱 유닛에 흐르는 전류를 홀딩 유닛에 흐르는 전류보다 크게 한다. 이를 위하여 센싱 전압을 높게 하고, 홀딩 전압을 낮게 하여야 한다. 그런데, 종래의 래치 회로는 모드에 무관하게 센싱 전압의 전위를 높게 유지한다. 이는 센싱 유닛에 더 큰 전류를 흘릴 수 있는 스위칭 소자의 설계를 요구하므로, 소자의 고집적화를 방해하고, 소자의 소비전력을 증가시키는 요인이 된다.

선행기술문헌

특허문헌

[0005] (특허문헌 0001) 일본공개특허 2008-153983호 래치 회로 및 디시리얼라이저 회로

비특허문헌

[0006] (비특허문헌 0001) Payam Heydari and Ravindran Mohanavelu, "Design of Ultrahigh-Speed Low-Voltage CMOS CML Buffers and Latches" IEEE TRANSACTIONS ON VLSI SYSTEMS, VOL. 12, NO. 10, Oct. 2004

발명의 내용

해결하려는 과제

- [0007] 본 발명에 따르면, 전류원을 모드에 따라 선택적으로 공유할 수 있는 래치 회로를 제공할 수 있다.
- [0008] 또한, 본 발명에 따르면, 센싱 유닛의 스위칭 소자의 크기를 줄일 수 있는 래치 회로를 제공할 수 있다.
- [0009] 또한, 본 발명에 따르면, 전력 소비를 줄일 수 있는 래치 회로를 제공할 수 있다.

과제의 해결 수단

- [0010] 본 발명에 따른 고속 통신용 래치 회로는, 클럭 신호에 동기되어 입력되는 데이터 신호를 센싱하는 센싱 유닛; 및 클럭 신호에 동기되어 출력되는 데이터 신호의 전압 레벨을 변경하는 홀딩 유닛을 포함하고, 센싱 유닛은, 클럭 신호의 제1 레벨 구간 동안 센싱 유닛 내에 형성되는 제1 전류 경로와 홀딩 유닛 내에 형성되는 제2 전류 경로에서의 전류의 합이 통과하는 제3 전류 경로를 포함한다.
- [0011] 또한, 본 발명에 따른 센싱 유닛은, 클럭 신호의 제2 레벨 구간 동안 센싱 유닛 내에 단일의 전류 경로를 형성할 수 있다.
- [0012] 또한, 본 발명에 따르면, 클럭 신호가 인에이블 되는 동안, 홀딩 유닛은 센싱 유닛 내 상기 데이터 신호에 제어되는 스위칭 소자에 흐르는 전류를 분담할 수 있다.

발명의 효과

- [0013] 본 발명의 래치 회로에 따르면, 모드에 따라 전류원을 선택적으로 공유할 수 있고, 스위칭 소자들의 크기를 줄일 수 있으며, 이에 따라 전력 소비를 줄일 수 있다.

도면의 간단한 설명

- [0014] 도 1a는 본 발명의 제1 실시예에 따른 래치 회로의 센싱 주기에서의 전류 경로,
- 도 1b는 본 발명의 제1 실시예에 따른 래치 회로의 홀딩 주기에서의 전류 경로,
- 도 2는 본 발명의 제1 실시예에 따른 래치 회로의 이상적인 타이밍 파형도,
- 도 3a는 본 발명의 제2 실시예에 따른 래치 회로의 센싱 주기에서의 전류 경로,
- 도 3b는 본 발명의 제2 실시예에 따른 래치 회로의 홀딩 주기에서의 전류 경로, 및
- 도 4는 본 발명의 제1 실시예에 따른 래치 회로의 시뮬레이션 파형도이다.

발명을 실시하기 위한 구체적인 내용

- [0015] 이하, 본 발명의 바람직한 실시예(들)에 대하여 첨부도면을 참조하여 상세히 설명한다. 우선 각 도면의 구성요소들에 참조부호를 부가함에 있어서, 동일한 구성요소들에 한해서는 비록 다른 도면상에 표시되더라도 가능한 한 동일한 부호로 표기되었음에 유의하여야 한다. 또한, 하기의 설명에서는 많은 특정사항들이 도시되어 있는

데, 이는 본 발명의 보다 전반적인 이해를 돕기 위해서 제공된 것일 뿐 이러한 특정 사항들 없이도 본 발명이 실시될 수 있음은 이 기술분야에서 통상의 지식을 가진 자에게는 자명하다 할 것이다.

[0016] 도 1a는 본 발명의 제1 실시예에 따른 래치 회로의 센싱 주기에서의 전류 경로이고, 도 1b는 본 발명의 제1 실시예에 따른 래치 회로의 홀딩 주기에서의 전류 경로이며, 도 2는 본 발명의 제1 실시예에 따른 래치 회로의 이상적인 타이밍 파형도이다.

[0017] 본 발명의 제1 실시예에 따른 PMOS 래치 회로(100)는 외부로부터 인가되는 클럭신호(Clk)의 제1 에지에 동기되어 입력되는 데이터 신호(Dinp, Dinn)를 센싱하는 센싱 유닛(110)과, 클럭신호(Clk)의 제2 에지에 동기되어 출력되는 데이터 신호의 전압 레벨을 변경하는 홀딩 유닛(120)을 포함한다.

[0018] 또한, 본 발명의 제1 실시예에 따른 PMOS 래치 회로의 센싱 유닛(110)은, 클럭신호(Clk)의 제1 에지에 동기되어 복수의 전류원으로부터의 전류의 합으로 구동되는 경로를 형성할 수 있고(P1), 클럭신호(Clk)의 제2 에지에 동기되어 단일의 전류원으로부터의 전류로 구동되는 경로를 형성할 수 있다(P2).

[0019] 여기서, 제1 에지는 폴링 에지(falling edge)이고, 제2 에지는 라이징 에지(rising edge)이다.

[0020] 예컨대, 본 발명의 제1 실시예에 따른 PMOS 래치 회로의 스위칭소자들은 표1과 같이 동작할 수 있다.

표 1

Sensing Unit	P1	P2	Holding Unit	P1	P2
M0	ON(sat.)	ON(sat.)	M11	ON(sat.)	ON(sat.)
M1	ON(act.)	OFF	M13	ON(act.)	OFF
M12	OFF	ON(act.)	M4	OFF	ON(act.)
M2	ON(sat.)	OFF	M5	OFF	ON(sat.)
M3	OFF	OFF	M6	OFF	OFF

[0022] 1) P1 구간

[0023] P1 구간 동안, 센싱 유닛(110)은 다음과 같은 복수의 전류 경로를 포함할 수 있다.

[0024] 전원전압(Vdd) -> 스위칭소자(M0) -> 스위칭소자(M1) -> 스위칭소자(M2 또는 M3) -> 접지(GND)

[0025] 전원전압(Vdd) -> 스위칭소자(M11) -> 스위칭소자(M13) -> 스위칭소자(M2 또는 M3) -> 접지(GND)

[0026] 즉, 센싱 유닛(110)은 P1 구간 동안 복수의 전류원으로부터 전류를 받아들이므로 센싱 유닛(110) 내 스위칭소자들의 크기를 감소시키도록 설계할 수 있다.

[0027] 센싱 유닛(110)은 스위칭소자(M0, M1, M2, M3, M12)를 포함한다.

[0028] 바이어스전압(Vbiasp)을 게이트 단자의 제어신호로 인가받는 스위칭소자(M0) 및 스위칭소자(M11)는 항상 포화 영역에서 턴온 상태를 유지한다.

[0029] 스위칭소자(M0)의 드레인 단자와 데이터 신호 수신용 스위칭소자(M2, M3) 사이에 연결되고, 활성화되는 클럭 신호(Clk)를 게이트 단자의 제어신호로 인가받는 스위칭소자(M1)는 활성영역에서 동작한다. 스위칭소자(M0)의 드레인 단자와 접지 사이에 연결되며, 기준전압(Vref)을 게이트 단자의 제어신호로 인가받는 스위칭소자(M12)는 턴오프 상태에 놓인다.

[0030] 스위칭소자(M1)의 드레인 단자와 접지 사이에 연결되고, 입력되는 상보적 데이터 신호(Dinn, Dinp)를 게이트 단자의 제어신호로 사용하는 데이터 신호 수신용 스위칭소자(M2, M3)는 어느 하나가 포화 영역에서 턴온 상태이면, 다른 하나는 턴오프 상태에 놓인다.

- [0031] 홀딩 유닛(120)은 스위칭소자(M11, M13, M4, M5, M6)를 포함한다.
- [0032] 스위칭소자(M11)의 드레인 단자와 센싱 유닛(110) 사이에 연결되고, 기준전압(Vref)을 게이트 단자의 제어신호로 인가받는 스위칭소자(M13)는 활성영역에서 동작한다. 스위칭소자(M11)의 드레인 단자와 데이터 신호 유지용 스위칭소자(M5, M6) 사이에 연결되고, 비활성화되는 클럭 반전 신호(clkb)를 게이트 단자의 제어신호로 인가받는 스위칭소자(M4)는 턴오프 상태에 놓인다.
- [0033] 스위칭소자(M4)의 드레인 단자와 접지 사이에 연결되고, 상대방의 드레인 단자 전압을 게이트 단자의 제어신호로 사용하는 병렬연결된 스위칭소자(M5, M6)는, 스위칭소자(M4)가 턴오프 상태에 놓인 P1 구간 동안 스위칭소자(M5, M6)는 모두 턴오프 상태에 놓인다.
- [0034] 여기서, 바이어스전압(Vbiasp)의 레벨은 0.53볼트, 기준전압(Vref)의 레벨은 0.45볼트, 클럭신호(clk)의 제1 레벨은 0.25볼트, 제2 레벨은 0.65볼트 일 수 있다.
- [0035] 2) P2 구간
- [0036] 비활성화되는 클럭 신호를 게이트 단자의 제어신호로 사용하는 스위칭소자(M1)가 턴오프 상태에 놓이면, 스위칭소자(M1)의 드레인 단자와 접지 사이에 병렬연결되는 스위칭소자(M2, M3)는 턴오프 상태에 놓인다.
- [0037] 스위칭소자(M1)가 턴오프 상태이므로, 기준전압(Vref)을 게이트 단자의 제어전압으로 사용하는 스위칭 소자(M12)는 활성영역에서 턴온된다. 따라서, 센싱 유닛(110)은 '전원전압(Vdd) -> 스위칭소자(M0) -> 스위칭소자(M12) -> 접지(GND)'의 단일 경로를 형성할 수 있다.
- [0038] 한편, 활성화되는 클럭 반전 신호(Clkb)를 게이트 단자의 제어신호로 사용하는 스위칭소자(M4)가 활성영역에서 턴온되므로, 스위칭 소자(M4)의 드레인 단자와 접지 사이에 병렬연결되는 스위칭소자(M5, M6)는 상호 번갈아 턴온된다. 따라서, 홀딩 유닛(120)은 '전원전압(Vdd) -> 스위칭소자(M11) -> 스위칭소자(M4) -> 스위칭소자(M5 또는 M6) -> 접지(GND)'의 단일 경로를 형성할 수 있다.
- [0039] 결국, P1 구간에서는 복수의 전류원으로 인하여 출력 데이터 신호(Doutp, Doutn)의 전압레벨이 높은 반면, P2 구간에서는 단일의 전류원으로 인하여 출력 데이터 신호의 전압 레벨이 낮아진다.
- [0040] 도 3a는 본 발명의 제2 실시예에 따른 NMOS로 구현된 래치 회로의 센싱 주기에서의 전류 경로이고, 도 3b는 본 발명의 제2 실시예에 따른 래치 회로의 홀딩 주기에서의 전류 경로이다.
- [0041] 본 발명의 제2 실시예에 따른 NMOS 래치 회로(300)는 외부로부터 인가되는 클럭신호(Clk)의 제1 에지에 동기되어 입력되는 데이터 신호를 센싱하는 센싱 유닛(310)과, 클럭신호(Clk)의 제2 에지에 동기되어 출력되는 데이터 신호의 전압 레벨을 변경하는 홀딩 유닛(320)을 포함한다.
- [0042] 또한, 본 발명의 제2 실시예에 따른 NMOS 래치 회로의 센싱 유닛(310)은, 클럭 신호(Clk)의 제1 에지에 동기되어 복수의 전류원으로부터의 전류의 합으로 구동되는 경로를 형성할 수 있고(P1), 클럭 신호(Clk)의 제2 에지에 동기되어 단일의 전류원으로부터의 전류로 구동되는 경로를 형성할 수 있다(P2).
- [0043] 여기서, 제1 에지는 폴링 에지(falling edge)이고, 제2 에지는 라이징 에지(rising edge)이다.
- [0044] 1) P1 구간
- [0045] P1 구간 동안, 센싱 유닛(310)은 다음과 같은 복수의 전류 경로를 포함할 수 있다.
- [0046] 전원전압(Vdd) -> 스위칭소자(MN1 또는 MN2) -> 스위칭소자(MN5) -> 스위칭소자(MN9) -> 접지(GND)

- [0047] 전원전압(Vdd) -> 스위칭소자(MN1 또는 MN2) -> 스위칭소자(MN8) -> 스위칭소자(MN10) -> 접지(GND)
- [0048] 즉, 센싱 유닛(310)은 P1 구간 동안 복수의 전류원으로부터 전류를 받아들이므로 센싱 유닛(310) 내 스위칭소자들의 크기를 감소시키도록 설계할 수 있다.
- [0049] 센싱 유닛(310)은 스위칭소자(MN1, MN2, MN5, MN7, MN9)를 포함한다.
- [0050] 클럭 신호 수신용 스위칭소자와 접지 사이에 연결되고, 게이트 단자에 바이어스 전압(Vbias)을 인가받는 스위칭소자(MN9)와, 클럭 반전 신호 수신용 스위칭소자와 접지 사이에 연결되고, 게이트 단자에 바이어스 전압(Vbias)을 인가받는 스위칭소자(MN10)는 항상 포화 영역에서 턴온 상태를 유지한다.
- [0051] 스위칭소자(MN9)의 드레인 단자와 데이터 신호 수신용 스위칭소자(MN1, MN2) 사이에 연결되고, 활성화되는 클럭 신호(Vclk+)를 게이트 단자의 제어신호로 인가받는 스위칭소자(MN5)는 활성영역에서 동작한다. 스위칭소자(MN9)의 드레인 단자와 전원전압(Vdd) 사이에 연결되고, 기준전압(Vref)을 게이트 단자의 제어신호로 인가받는 스위칭소자(MN7)는 턴오프 상태에 놓인다.
- [0052] 스위칭소자(MN5)의 드레인 단자와 전원전압(Vdd) 사이에 병렬연결되고, 입력되는 상보적 데이터 신호를 제어신호로 사용하는 스위칭소자(MN1, MN2)는 어느 하나가 포화 영역에서 턴온 상태이면, 다른 하나는 턴오프 상태에 놓인다.
- [0053] 홀딩 유닛(320)은 스위칭소자(MN3, MN4, MN6, MN8, MN10)를 포함한다.
- [0054] 스위칭소자(MN10)의 드레인 단자와 센싱 유닛(310) 사이에 연결되고, 기준전압(Vref)을 게이트 단자의 제어신호로 사용하는 스위칭소자(MN8)는 활성영역에서 동작한다.
- [0055] 스위칭소자(MN10)의 드레인 단자와 데이터 신호 유지용 스위칭소자(MN3, MN4) 사이에 연결되고, 비활성화되는 반전 클럭 신호(c1kb)를 게이트 단자의 제어신호로 사용하는 스위칭소자(MN6)는 턴오프 상태에 놓인다.
- [0056] 스위칭소자(MN6)의 드레인 단자와 전원전압(Vdd) 사이에 병렬연결되고, 상호 소스 단자 전압을 게이트 단자의 제어신호로 사용하는 스위칭소자(MN3, MN4)는 스위칭소자(MN6)가 턴오프 상태에 놓인 동안 모두 턴오프 상태에 놓인다.
- [0057] 2) P2 구간
- [0058] 비활성화되는 클럭 신호를 게이트 단자의 제어신호로 사용하는 스위칭소자(MN5)가 턴오프 상태에 놓이고, 스위칭소자(MN5)의 드레인 단자와 전원 전압 사이에 병렬연결되는 스위칭소자(MN1, MN2)도 턴오프 상태에 놓인다.
- [0059] 스위칭소자(MN5)가 턴오프 상태이므로, 기준전압(Vref)을 게이트 단자의 제어전압으로 사용하는 스위칭소자(MN7)는 활성영역에서 턴온된다. 따라서, 센싱 유닛(310)은 '전원전압(Vdd) -> 스위칭소자(MN7) -> 스위칭소자(MN9) -> 접지(GND)'의 단일 경로를 형성할 수 있다.
- [0060] 한편, 활성화되는 반전 클럭 신호를 게이트 단자의 제어신호로 사용하는 스위칭소자(MN6)가 활성영역에서 턴온 상태이므로, 스위칭소자(MN6)의 드레인 단자에 병렬연결되는 데이터 신호 유지용 스위칭소자(MN3, MN4)는 상보적으로 턴온된다. 따라서, 홀딩 유닛(320)은 '전원전압(Vdd) -> 스위칭소자(MN3, MN4) -> 스위칭소자(MN6) -> 스위칭소자(MN10) -> 접지(GND)'의 단일 경로를 형성할 수 있다.
- [0061] 결국, P1 구간에서는 복수의 전류원으로 인하여 출력 데이터 신호의 전압 레벨이 높은 반면, P2 구간에서는 단일의 전류원으로 인하여 출력 데이터 신호의 전압 레벨이 낮아진다.

[0062] 도 4는 본 발명의 제1 실시예에 따른 래치 회로의 시뮬레이션 파형도로서, 고속 통신을 위한 스위칭 시에도 처리하는 데이터 신호의 식별이 우수함을 알 수 있다.

[0063] 이와 같이, 본 발명의 상세한 설명에서는 구체적인 실시예(들)에 관해 설명하였으나, 본 발명의 범주에서 벗어나지 않는 한도 내에서 여러 가지 변형이 가능함은 물론이다. 그러므로 본 발명의 범위는 설명된 실시예(들)에 국한되어 정해져서는 안 되며, 후술하는 특허청구범위 뿐만 아니라 이 특허청구범위와 균등한 것들에 의해 정해져야 한다.

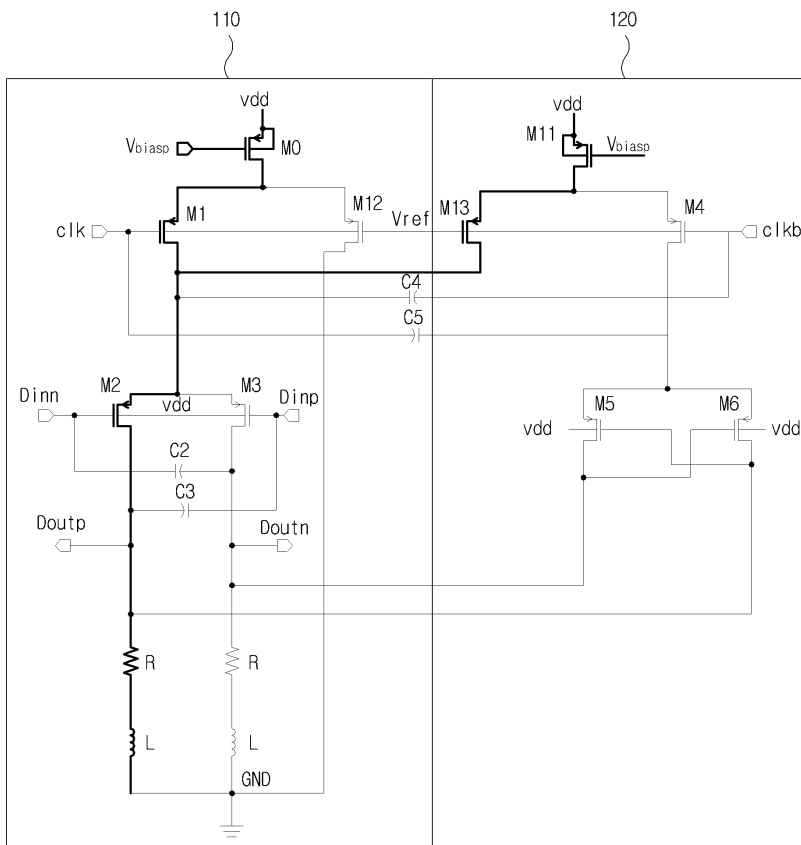
부호의 설명

[0064] 110, 310: 센싱 유닛

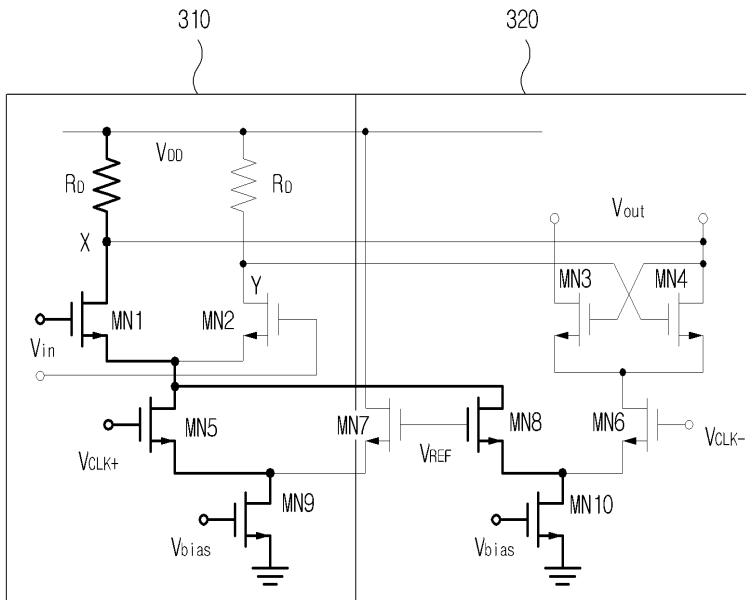
120, 320: 홀딩 유닛

도면

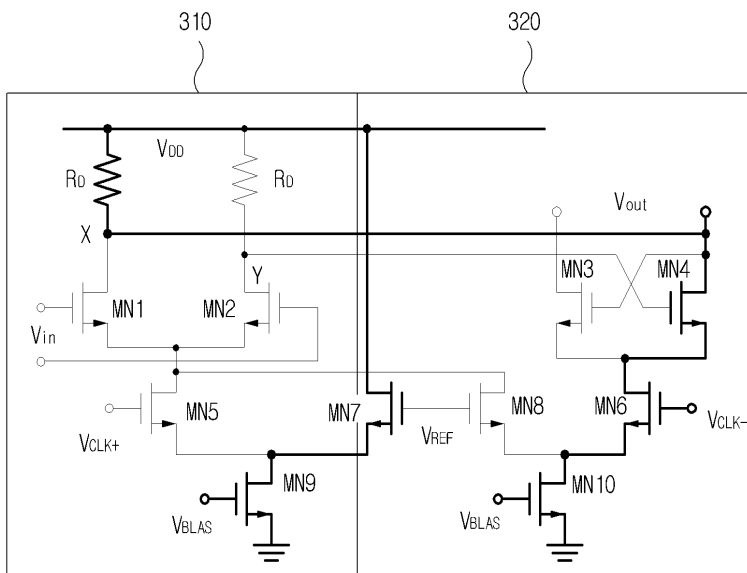
도면1a



도면3a



도면3b



도면4

