(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3540844号
(P3540844)
(45)発行日　平成16年7月7日(2004.7.7)　(24)登録日　平成16年4月2日(2004.4.2)

(51)Int.Cl.[7]	F I		
G09G 3/20	G09G	3/20	R
G09G 3/36	G09G	3/36	

請求項の数 5　(全 14 頁)

(21)出願番号　特願平6-269758
(22)出願日　平成6年11月2日(1994.11.2)
(65)公開番号　特開平8-137430
(43)公開日　平成8年5月31日(1996.5.31)
審査請求日　平成13年10月22日(2001.10.22)

(73)特許権者　390020248
日本テキサス・インスツルメンツ株式会社
東京都新宿区西新宿六丁目２４番１号
(74)代理人　100094053
弁理士　佐藤　隆久
(72)発明者　宅和　幹雄
東京都港区北青山３丁目６番１２号　青山富士ビル日本テキサス・インスツルメンツ株式会社内

審査官　濱本　禎広

(56)参考文献　特開平０４－１６８４１７（ＪＰ，Ａ）
特許第３３６１９２５（ＪＰ，Ｂ２）

最終頁に続く

(54)【発明の名称】半導体集積回路

(57)【特許請求の範囲】
【請求項１】
並列的に配列された複数の駆動対象に対してそれぞれ接続される複数の駆動回路と、
上記複数の駆動回路にそれぞれ電気的に接続される複数のメモリ回路と、
外部から供給される第１の起動信号とクロック信号とに基づいて外部から供給される第２の起動信号の入力タイミングを調整するタイミング調整回路と、
を有し、
上記タイミング調整回路により調整された上記第２の起動信号の入力タイミングを起点として上記クロック信号に応じて外部から供給される駆動用データを上記複数のメモリ回路に順次に格納し、
カスケード接続される次段の半導体集積回路に対して、上記第２の起動信号に対応する信号を上記複数のメモリ回路の全てに駆動用データが格納されるタイミングよりも少なくとも上記クロック信号の１クロック前の時点で供給する半導体集積回路。
【請求項２】
上記タイミング調整回路は、上記第１の起動信号により初期状態に設定され、上記クロック信号に応じて所定周期でカウント動作を行なうカウンタと、上記カウンタのカウント値と上記第２の起動信号とに基づいて上記複数のメモリ回路における駆動用データの格納動作の開始を指示する活性化信号を出力するゲート回路とを含む請求項１に記載の半導体集積回路。
【請求項３】

クロック信号を受信するクロック入力と、
第１及び第２のイネーブル信号をそれぞれ受信する第１及び第２のイネーブル入力と、
上記クロック信号に対応して供給される駆動用データを受信するデータ入力と、
上記クロック信号と上記第１のイネーブル信号とに基づいて上記第２のイネーブル信号からサンプリング信号を生成して出力するサンプリング信号生成回路と、
並列に配置された複数の駆動対象の各々にそれぞれ接続される複数の駆動回路と、
上記複数の駆動回路の各々にそれぞれ接続される複数のメモリ回路と、
上記複数のメモリ回路の各々にそれぞれ接続されると共に直列に接続される複数のレジスタ回路を有し、上記クロック信号に応じて上記サンプリング信号を順次にシフトして上記複数のメモリ回路に対して上記駆動用データの格納を指示するシフトレジスタと、
上記シフトレジスタの最終段のレジスタ回路の出力よりも前の信号ノードに接続され、カスケード接続される次段の半導体集積回路の第２のイネーブル入力に対して第２のイネーブル信号を出力するためのサンプリング出力と、
を有する半導体集積回路。
【請求項４】
上記サンプリング信号生成回路が、
上記第１のイネーブル信号に応答して初期値にセットされ、上記クロック信号に応答してカウント動作を行なうカウンタと、
上記第２のイネーブル信号と上記カウンタの出力とに応答して上記サンプリング信号を生成する回路と、
を有する請求項３に記載の半導体集積回路。
【請求項５】
並列的に配列された複数の駆動対象に対してそれぞれ接続される複数の駆動回路と、
上記複数の駆動回路の各々にそれぞれ接続される複数の第１のメモリ回路と、上記複数の第１のメモリ回路の各々にそれぞれ接続される複数の第２のメモリ回路と、
ストローブ信号に応答して初期値にセットされ、クロック信号に応答してカウント動作を行なう第１のカウンタと、
上記ストローブ信号に応答して初期値にセットされ、上記第１のカウンタから供給されるカウント指示信号に応答してカウント動作を行なう第２のカウンタと、
所定のアドレス情報と上記第２のカウンタのカウント値との一致を検出して一致検出信号を供給する一致検出回路と、
上記複数の第２のメモリ回路の各々にそれぞれ接続され、上記一致検出回路から供給される上記一致検出信号と上記第１のカウンタのカウント値とに応じて対応する上記第２のメモリ回路に対して駆動用データの格納を支持する複数のデコーダと、
を有し、
上記複数の第２のメモリ回路は上記ストローブ信号に応答して格納した上記駆動用データを上記複数の第１のメモリ回路に対して同時に転送し、
上記第１のカウンタは上記複数のデコーダの数に対応したカウント値をカウントすると上記第２のカウンタに対して上記カウント指示信号を供給する半導体集積回路。
【発明の詳細な説明】
【０００１】
【産業上の利用分野】
本発明は、フラットパネルディスプレイ装置等に適用される半導体集積回路に関するものである。
【０００２】
【従来の技術】
たとえばフラットパネルは、一般的に駆動用端子を多数有しており、１つのドライバチップで駆動することは不可能であることから、複数個のドライバを用いて駆動される。
【０００３】
図８は、従来のフラットパネルディスプレイ装置の構成例を示すブロック図である。

図８において、１－１，１－２，１－３はフラットパネルドライバ、２はフラットパネル、ＤＢはｎビットのデータバス、S_{CK}はクロック信号、S_{LS}はラッチストローブ信号、P_{ST}はスタートパルス信号をそれぞれ示している。

【０００４】

フラットパネルドライバ１－１，１－２，１－３は、フラットパネル２の多数の駆動端子に対して複数の接続端子が並列に接続されており、これら接続端子の他に、データバスＤＢを伝播されたデータを入力するためのデータ入力端子Ｄ、クロック信号S_{CK}を入力するためのクロック入力端子ＣＫ、ラッチストローブ信号S_{LS}を入力するためのラッチストローブ入力端子ＬＳ、スタートパルス信号P_{ST}を入力するためのスタートパルス入力端子ＳＴおよび出力端子ＯＵＴをそれぞれ有している。

【０００５】

各フラットパネルドライバ１－１，１－２，１－３のデータ入力端子ＤはデータバスＤＢに、クロック入力端子ＣＫはクロック信号S_{CK}の入力ラインに、ラッチストローブ入力端子ＬＳはラッチストローブ信号S_{LS}の入力ラインに対してそれぞれ並列に接続されている。

そして、ドライバ１－１のスタートパルス入力端子ＳＴがスタートパルス信号P_{ST}の入力ラインに接続され、ドライバ１－１の出力端子ＯＵＴ１がドライバ１－２のスタートパルス入力端子ＳＴに接続され、ドライバ１－２の出力端子ＯＵＴ２がドライバ１－３のスタートパルス入力端子ＳＴに接続されている。

すなわち、ドライバ１－１，１－２，１－３は、出力端子ＯＵＴおよびスタートパルス入力端子ＳＴに関してカスケード接続されている。

【０００６】

また、図９はドライバ１－１～１－２の具体的な構成例を示すブロック図である。

図９に示すように、フラットパネルドライバは、複数のシフトレジスタ１１、データメモリ１２および表示メモリ１３により構成されている。

各シフトレジスタ１１にはクロック入力端子ＣＫから入力されたクロック信号S_{CK}が供給され、またスタートパルス入力端子ＳＴから入力されたスタートパルス信号P_{ST}が供給される。このスタートパルス信号S_{ST}によりサンプリングが開始され、クロック信号S_{CK}の入力のタイミングで入力パルスが随時シフトされる。

また、データメモリは、データ入力端子Ｄから入力したデータバスＤＢのデータを記憶するもので、ラッチストローブ信号S_{LS}が入力されると、その記憶データが表示メモリ１３に並列的に転送される。このとき、シフトレジスタ１１の内容がクリアされる。

【０００７】

図１０は、図８の回路におけるクロック信号S_{CK}、スタートパルス信号S_{ST}、ドライバ１－１の出力端子ＯＵＴ１からの出力パルスおよびドライバ１－２の出力端子ＯＵＴ２からの出力パルスの関係を示すタイミングチャートである。

【０００８】

表示データのドライバＬＳＩへの書き込み動作は、図１０に示すように、初段のドライバ１－１にスタートパルス信号P_{ST}が入力されることにより、ドライバ１－１における書き込み動作が開始される。

ドライバ１－１における書き込み動作が終了すると、出力端子ＯＵＴ１から次段のドライバ１－２の入力端子ＳＴに対してスタートパルスが出力される。これにより、ドライバ１－２における表示データの書き込み動作が開始される。

そして、ドライバ１－２における書き込み動作が終了すると、出力端子ＯＵＴ２から次段のドライバ１－３の入力端子ＳＴに対してスタートパルスが出力され、これにより、ドライバ１－３における表示データの書き込み動作が開始される。

このように、スタートパルスの入力により各ドライバ１－１～１－３への表示データの書き込み動作が順次行われる。このとき、毎回全データのサンプリングが行われ、また、全てのドライバチップにおいて同一の動作が行われる。

【０００９】

【発明が解決しようとする課題】
しかしながら、上述した従来の装置では、ドライバ１－１～１－３が出力端子ＯＵＴおよびスタートパルス入力端子ＳＴに関してカスケード接続されていることから、チップ内部のゲート遅延およびチップ間接続のための配線容量を駆動するのに、一定の時間が必要となり、ドライバＬＳＩへのデータ書き込み周波数をあまり高くすることができない。ドライバの最高動作周波数はこのスタートパルスの転送のスピードで決まってしまうことが多い（添付文献　缶の管野他　”カラーＴＦＴ－ＬＣＤ用ドライバＩＣの開発”信学会　Ｐ１７　参照）。
したがって、高速でのデータサンプリングには適さない。
また、データメモリの内容が前回と同一であっても毎回全データを書き換えなくてはならない。

【００１０】
本発明は、かかる事情に鑑みてなされたものであり、その目的は、高速のデータ転送が可能で、またデータメモリの内容が前回と同一の場合にはデータの書き換えが不要な半導体集積回路を提供することにある。

【００１１】
【課題を解決するための手段】
上記目的を達成するために、本発明の第１の半導体集積回路は、並列的に配列された複数の駆動対象に対してそれぞれ接続される複数の駆動回路と、上記複数の駆動回路にそれぞれ電気的に接続される複数のメモリ回路と、外部から供給される第１の起動信号とクロック信号とに基づいて外部から供給される第２の起動信号の入力タイミングを調整するタイミング調整回路とを有し、上記タイミング調整回路により調整された上記第２の起動信号の入力タイミングを起点として上記クロック信号に応じて外部から供給される駆動用データを上記複数のメモリ回路に順次に格納し、カスケード接続される次段の半導体集積回路に対して、上記第２の起動信号に対応する信号を上記複数のメモリ回路の全てに駆動用データが格納されるタイミングよりも少なくとも上記クロック信号の１クロック前の時点で供給する。

【００１２】
また、本発明の第２の半導体集積回路は、クロック信号を受信するクロック入力と、第１及び第２のイネーブル信号をそれぞれ受信する第１及び第２のイネーブル入力と、上記クロック信号に対応して供給される駆動用データを受信するデータ入力と、上記クロック信号と上記第１のイネーブル信号とに基づいて上記第２のイネーブル信号からサンプリング信号を生成して出力するサンプリング信号生成回路と、並列に配置された複数の駆動対象の各々にそれぞれ接続される複数の駆動回路と、上記複数の駆動回路の各々にそれぞれ接続される複数のメモリ回路と、上記複数のメモリ回路の各々にそれぞれ接続されると共に直列に接続される複数のレジスタ回路を有し、上記クロック信号に応じて上記サンプリング信号を順次にシフトして上記複数のメモリ回路に対して上記駆動用データの格納を指示するシフトレジスタと、上記シフトレジスタの最終段のレジスタ回路の出力よりも前の信号ノードに接続され、カスケード接続される次段の半導体集積回路の第２のイネーブル入力に対して第２のイネーブル信号を出力するためのサンプリング出力とを有する。

【００１３】
更に、本発明の第３の半導体集積回路は、並列的に配列された複数の駆動対象に対してそれぞれ接続される複数の駆動回路と、上記複数の駆動回路の各々にそれぞれ接続される複数の第１のメモリ回路と、上記複数の第１のメモリ回路の各々にそれぞれ接続される複数の第２のメモリ回路と、ストローブ信号に応答して初期値にセットされ、クロック信号に応答してカウント動作を行なう第１のカウンタと、上記ストローブ信号に応答して初期値にセットされ、上記第１のカウンタから供給されるカウント指示信号に応答してカウント動作を行なう第２のカウンタと、所定のアドレス情報と上記第２のカウンタのカウント値との一致を検出して一致検出信号を供給する一致検出回路と、上記複数の第２のメモリ回路の各々にそれぞれ接続され、上記一致検出回路から供給される上記一致検出信号と上記

第１のカウンタのカウント値とに応じて対応する上記第２のメモリ回路に対して駆動用データの格納を支持する複数のデコーダとを有し、上記複数の第２のメモリ回路は上記ストローブ信号に応答して格納した上記駆動用データを上記複数の第１のメモリ回路に対して同時に転送し、上記第１のカウンタは上記複数のデコーダの数に対応したカウント値をカウントすると上記第２のカウンタに対して上記カウント指示信号を供給する。

【００１４】

【作用】

本発明に係わる第１の半導体集積回路は、外部から供給される駆動用データのメモリ回路への格納動作のタイミングを第１および第２の起動信号とクロック信号とに基づいて決定する。第１の起動信号とクロック信号はカスケード接続される半導体集積回路に対して共通に供給され、第２の起動信号は先頭に位置する半導体集積回路から次段の半導体集積回路へ順次に転送される。

【００１５】

駆動用データの格納を指示する第２の起動信号の入力タイミングは第１の起動信号とクロック信号とで決定されるので、そのタイミングにおいて第２の起動信号が供給されていれば駆動用データの格納動作が開始され、当該格納動作の開始時点が半導体集積回路における第２に起動信号の転送速度による制約を受けることがない。

【００１６】

本発明に係わる第３の半導体集積回路は、ストローブ信号によりそれぞれ初期値にセットされる第１及び第２のカウンタを有し、第２のカウンタのカウント値と所定のアドレス情報とが一致したときに駆動用データの格納動作を指示するように構成しているので、複数の半導体集積回路がカスケード接続される場合に、駆動用データの格納を指示する起動信号を先頭の半導体集積回路から次段の半導体集積回路に順次に供給する必要がなく、アドレス情報の設定で駆動用データの格納順番が決定される。

【００１７】

【実施例１】

図１は、本発明に係る半導体集積回路の第１の実施例を示すブロック構成図であって、従来例を示す図８と同一構成部分は同一符号をもって表す。

すなわち、１－１ａ、１－２ａ、１－３ａはフラットパネルドライバ、２はフラットパネル、ＤＢはｎビットのデータバス、S_{CK}はクロック信号、P_{ST}はスタートパルス信号をそれぞれ示している。

【００１８】

フラットパネルドライバ１－１ａ，１－２ａ，１－３ａは、フラットパネル２の多数の駆動端子に対して複数の接続端子が並列に接続されており、これら接続端子の他に、データバスＤＢを伝播されたデータを入力するためのデータ入力端子Ｄ、クロック信号S_{CK}を入力するためのクロック入力端子ＣＫ、スタートパルス信号P_{ST}を入力するためのスタートパルス入力端子ＳＴ、出力端子ＯＵＴをそれぞれ有し、さらに加えて第２のスタートパルス入力端子ＴＩＭを有している。また、図１に図示しないが、実際には、ラッチストローブ信号（S_{LS}）を入力するためのラッチストローブ入力端子（ＬＳ）を有している。

【００１９】

各フラットパネルドライバ１－１ａ，１－２ａ，１－３ａのデータ入力端子Ｄはデータバスに、クロック入力端子ＣＫはクロック信号S_{CK}の入力ラインに、第２のスタートパルス入力端子ＴＩＭはスタートパルス信号P_{ST}の入力ラインに対してそれぞれ並列に接続されている。

そして、ドライバ１－１ａのスタートパルス入力端子ＳＴがスタートパルス信号P_{ST}の入力ラインに接続され、ドライバ１－１ａの出力端子ＯＵＴ１がドライバ１－２ａのスタートパルス入力端子ＳＴに接続され、ドライバ１－２ａの出力端子ＯＵＴ２がドライバ１－３ａのスタートパルス入力端子ＳＴに接続されている。

すなわち、ドライバ１－１ａ，１－２ａ，１－３ａは、入力端子ＴＩＭにスタートパルス信号P_{ST}が並列的に入力され、かつ入力端子ＳＴへのパルス入力によりサンプリングを開

始するように構成されている。
【００２０】
図２は、これらフラットパネルドライバ１－１ａ，１－２ａ，１－３ａの要部の具体的な構成例を示す回路図である。
フラットパネルドライバ１－１ａ，１－２ａ，１－３ａは、図２に示すように、Ｄ型フリップフロップ１０１～１０４、ＳＲ型フリップフロップ１０５、２入力アンドゲート１０６，１０７およびインバータ１０８により構成される回路を含んでいる。
【００２１】
フリップフロップ１０１～１０４のクロック入力がクロック信号S_{CK}の入力端子ＣＫに接続されている。フリップフロップ１０１のＤ入力がスタートパルス信号の入力端子ＳＴに接続され、そのＱ出力はアンドゲート１０６の一方の入力端子に接続されている。
フリップフロップ１０２のＤ入力は第２のスタートパルス入力端子ＴＩＭに接続され、そのＱ出力はアンドゲート１０７の一方の入力端子に接続されている。アンドゲート１０７の他方の入力端子は第２のスタートパルス入力端子ＴＩＭに接続され、出力端子はフリップフロップ１０３のセット端子Ｓおよびフリップフロップ１０４のリセット端子Ｒに接続されている。
フリップフロップ１０３のＤ入力はインバータ１０８の出力端子に接続され、Ｑ出力はフリップフロップ１０４のＤ入力およびアンドゲート１０６の他方の入力端子に接続されている。そして、フリップフロップ１０４のＱ出力はインバータ１０８の入力端子に接続されている。
さらに、アンドゲート１０６の出力端子はフリップフロップ１０５のＳ入力に接続されている。そして、フリップフロップ１０５のＲ入力はストップ信号S_{STP}の入力ラインに接続され、Ｑ出力はサンプリングイネーブル信号S_{EN}の出力ラインに接続されている。
【００２２】
このような構成を有するフラットパネルドライバにあっては、データサンプリングのタイミングがアンドゲート１０６により制御される。このタイミングは、フリップフロップ１０２～１０４およびアンドゲート１０７により与えられる。フリップフロップ１０３および１０４は２ビットのカウンタを構成し、これらフリップフロップ１０３，１０４の出力が２進で「１０」でカウントが開始される。また、この２ビットカウンタにより２ビット分のずれは許容される。
【００２３】
次に、上記構成による動作を、図３のタイミングチャートを参照しながら説明する。
各フラットパネルドライバ１－１ａ，１－２ａ，１－３ａの入力端子ＣＫにクロック信号S_{CK}がそれぞれ供給され、入力端子ＴＩＭにスタートパルス信号P_{ST}がそれぞれ供給される。
クロック信号S_{CK}およびスタートパルス信号P_{ST}の入力に伴い、各フラットパネルドライバ１－１ａ，１－２ａ，１－３ａにおいては、フリップフロップ１０２がクロック信号S_{CK}に同期してハイレベルの信号を出力Ｑから出力する。このとき、スタートパルス信号P_{ST}がハイレベルで入力されていることから、アンドゲート１０７からハイレベルの信号が、フリップフロップ１０３のセット端子Ｓおよびフリップフロップ１０４のリセット端子Ｒに出力される。
これにより、フリップフロップ１０３はセット状態となり、フリップフロップ１０４はリセット状態となり、フリップフロップ１０３の出力がハイレベルの「１」、フリップフロップ１０４の出力がローレベルの「０」となる。すなわち、フリップフロップ１０３，１０４からなる２ビットカウンタの値が「１０」となる。
このとき、全フラットパネルドライバ１－１ａ，１－２ａ，１－３ａにおける２ビットカウンタは同期し、以降、同じタイミングで変化する。
【００２４】
また、初段のフラットパネルドライバ１－１ａには、入力端子ＳＴに対してもスタートパルス信号P_{ST}が入力されることから、フリップフロップ１０１はクロック信号S_{CK}に同期

してハイレベルの信号を出力Ｑから出力する。
このとき、フリップフロップ１０３のＱ出力からハイレベルの信号が出力されている場合には、アンドゲート１０６の出力がハイレベルとなり、フリップフロップ１５がハイレベルにセットされ、そのＱ出力からサンプリングイネーブル信号S_{EN}が図示しないシフトレジスタ（図９）にハイレベルで出力され、データのサンプリングが開始される。
【００２５】
本例では、４０回のクロック信号S_{CK}で１ドライバのサンプリングが終了し、次のドライバが４１回目でスタートするようになっている。
図３のタイミングチャートに示すように、初段のドライバ１－１ａでは３９回目のクロック信号S_{CK}で出力端子ＯＵＴ１からハイレベルの信号が２段目のドライバ１－２ａの入力端子ＳＴに出力される。
出力端子ＯＵＴ１からの信号を受ける２段目のドライバ１－２ａでは、その信号を４０回目のクロック信号S_{CK}で読み込んでも、４１回目のクロック信号S_{CK}で読み込んでも、カウンタを構成するフリップフロップ１０３の出力とフリップフロップ１０１の出力との論理積をアンドゲート１０６でとっているため、いずれの場合も４１回目のクロック信号S_{CK}でスタートする。
これにより、カスケート接続のタイミングは従来の２倍の時間がとれるようになる。
【００２６】
以上説明したように、本第１の実施例によれば、カスケード接続されたドライバチップ１－２ａ，１－３ａのサンプリングをスタートするタイミングは、内部カウンタであるフリップフロップ１０３により与えられ、スタートの可否のみを従来のカスケード接続、すなわち、出力端子ＯＵＴから次段の入力端子ＳＴのスタートパルスの伝搬により行われる。そのため、カスケード信号（スタートパルス）の伝達されるべき時間は、２ビットの内部カウンタであるフリップフロップ１０３，１０４によって決定される。たとえば、本実施例では、２ビットカウンタであるため、２サイクルの間にカスケード信号が伝達されれば良いことから、この部分で全体の転送速度が制限されてしまうことがなく、高速データ転送が可能となる。
これにより、僅かの回路の追加だけで動作周波数の向上が期待できる。
【００２７】
なお、上述した回路では、タイミング基準を与える入力端子として、ＴＩＭ端子を新たに設けているが、通常のパネルドライバにおいては、全ドライバに接続される信号、たとえば、リセットやサンプリングを行ったデータを表示用メモリに転送するラッチストローブ信号S_{LS}等を、タイミング基準を与えるのに用いることが可能である。
この場合の回路接続は、図８と同様と同様となる。
【００２８】
具体的には、ドライバ１－１ａ，１－２ａ，１－３ａの要部の構成例を示す図２の入力端子ＴＩＭにラッチストローブ信号S_{LS}の入力ラインを接続することにより実現できる。
図４は、そのときのタイミングチャートを示している。
この例では、タイミング基準をカウントするカウンタはクロック信号S_{CK}の４サイクル周期で変化させるので、ラッチストローブ信号S_{LS}の入力は、スタートパルス信号R_{ST}の入力するタイミングから４サイクルの整数倍の手前で入力を行うことによりタイミングを与えることができる。
【００２９】
このように、ラッチストローブ信号を用いた構成においても、上述した効果と同様の高速データ転送が可能となるという効果を得ることができる。
また、フリップフロップ１０３、１０４で２ビットのカウンタを構成しているが、このカウンタは２ビットに限定されるものではなく、フリップフロップの段数を増やして３ビットまたは４ビット、さらにはそれ以上のカウンタとしてもよい。
【００３０】
【実施例２】

図５は、本発明に係る半導体集積回路の第２の実施例を示すブロック構成図である。
本第２の実施例が従来例を示す図８の回路と異なる点は、スタートパルス信号用の入力端子およびそのカスケード接続がなく、各フラットパネルドライバ１－１ｂ，１－２ｂ，１－３ｂのサンプリングのスタート順位を示すための端子ＡＤ０，ＡＤ１がそれぞれ設けられていることにある。

【００３１】

サンプリングのスタート順位は、ドライバ１－１ｂ→１－２ｂ→１－３ｂとなるように設定されている。具体的には、ドライバ１－１ｂの端子ＡＤ０およびＡＤ１共に接地され、ドライバ１－２ｂの端子ＡＤ０が電源電圧V_{CC}の供給ラインに接続され、端子ＡＤ１が接地されている。そして、ドライバ１－３ｂの端子ＡＤ０が接地され、端子ＡＤ１が電源電圧V_{CC}の供給ラインに接続されている。
これにより、ドライバ１－１ｂに順位「００」が与えられ、ドライバ１－２ｂに順位「０１」が与えられ、ドライバ１－３ｂに順位「０２」が与えられる。

【００３２】

図６は、図５のフラットパネルドライバ１－１ｂ，１－２ｂ，１－３ｂの要部の具体的な構成例を示す回路図である。
フラットパネルドライバ１－１ｂ，１－２ｂ，１－３ｂは、図６に示すように、デコーダ１１１、データメモリ１１２、表示メモリ１１３、カウンタ１１４，１１５および一致検出回路１１６により構成されている。
本回路は、書き込み位置を示す回路を、図９に示す従来のシフトレジスタ（図９の１１）の代わりに、カウンタ１１４および複数のデコーダ１１１で構成し、一致検出回路１１６の出力をデコーダに入力させ、サンプリングをイネーブルにするかどうかを制御するように構成されている。

【００３３】

そして、カウンタ１１４にはクロック入力端子ＣＫから入力されたクロック信号S_{CK}が供給され、カウンタ１１４の出力がデコーダ１１１に与えられるとともに、カウンタ１１４のキャリーがカウンタ１１５に与えられる。カウンタ１１５の出力は一致検出回路１１６に与えられる。
一致検出回路１１６は、端子ＡＤ０，ＡＤ１が接続されており、これら端子ＡＤ０，ＡＤ１を介して与えられるサンプリング順位とカウンタ１１５の出力とが致するか否かを検出し、その結果をデコーダ１１１に出力する。
そして、デコーダ１１１の出力がデータメモリ１１２に与えられることによりサンプリングが開始され、各デコーダ出力のタイミングで、データメモリ１１２にデータ入力端子Ｄから入力したデータバスＤＢのデータが記憶される。
そして、ラッチストローブ信号S_{LS}が入力されると、その記憶データが表示メモリ１３に並列的に転送される。このとき、カウンタ１１４および１１５の内容がリセットされる。
カウンタ１１４、１１５は２進カウンタであり、カウンタ１１４は複数のデコーダ１１１の数だけカウントアップを行い、カウント値がデコーダ１１１の数を越えた時点でカウンタ１１５にキャリーを出力する。また、カウンタ１１５は、カウンタ１１４から出力されるキャリーによってカウントアップを行う。

【００３４】

実際には、このラッチストローブ信号S_{LS}が入力され、カウンタ１１４および１１５の内容がリセットされた時点で、サンプリングが開始される。
フラットパネルドライバ１－１ｂの端子ＡＤ０，ＡＤ１が「００」であることから、このリセット後のサンプリング開始時には、ドライバ１－１ｂの一致検出回路１１６においてカウンタ１１５の出力と端子データ「００」との一致結果が得られる。他のドライバ１－２ｂ，１－３ｂでは、その一致結果が得られないことから、初段のドライバ１－１ｂでのみサンプリングが開始される。

【００３５】

ドライバ１－１ｂにおけるサンプリングが終了すると、ドライバ１－２ｂのカウンタ１１

５がカウントアップされる。２段目のドライバ１－２ｂの端子ＡＤ０，ＡＤ１が「０１」であることから、ドライバ１－２ｂの一致検出回路１１６においてカウンタ１１５の出力と端子データ「０１」との一致結果が得られる。他のドライバ１－１ｂ，１－３ｂでは、その一致結果が得られないことから、２段目のドライバ１－２ｂでのみサンプリングが開始される。

【００３６】

同様に、ドライバ１－２ｂにおけるサンプリングが終了すると、ドライバ１－３ｂのカウンタ１１５がカウントアップされる。３段目のドライバ１－２ｂの端子ＡＤ０，ＡＤ１が「１０」であることから、ドライバ１－３ｂの一致検出回路１１６においてカウンタ１１５の出力と端子データ「１０」との一致結果が得られる。他のドライバ１－１ｂ，１－２ｂでは、その一致結果が得られないことから、３段目のドライバ１－２ｂでのみサンプリングが開始される。

このように、本実施例においては、カスケード接続することなしに、あらかじめ設定されたサンプリング順位に従って、各ドライバ１－１ｂ，１－２ｂ，１－３ｂにおいてサンプリングが順次行われる。

【００３７】

また、カウンタ１１４および１１５の値を外部から入力設定できるようにしておくと、特定のドライバの特定のデータメモリの値だけを書き換えることも可能となる。

【００３８】

図７は、図６の回路にカウンタのプリセット機能を付加した１９２出力、１６階調カラー（ＲＧＢ三色）ドライバの構成例を示すブロック図である。

本回路では、カウンタ１１４は６ビットカウンタにより構成され、カウンタ１１５は４ビットカウンタにより構成されている。そして、カウンタ１１４にはＧ（緑）の４ビットデータＤＧ０～ＤＧ３、並びにＢ（青）の上位２ビットデータＤＢ０，ＤＢ１、クロック信号S_{CK}、プリセットイネーブル信号S_{PE}およびラッチストローブ信号S_{119}が供給される。

また、カウンタ１１５には、Ｒ（赤）の４ビットデータＤＲ０～ＤＲ３、カウンタ１１４のキャリー出力、並びにプリセットイネーブル信号S_{PE}およびラッチストローブ信号S_{119}が供給される。

【００３９】

また、プリセットイネーブル信号S_{PE}は、ラッチストローブ信号S_{LS}とＢ（青）の下位ビットデータＤＢ３との論理積をアンドゲート１１８でとることにより得られ、カウンタ１１４，１１５の端子ＰＥに供給される。

これに対して、信号S_{119}は、ラッチストローブ信号S_{LS}とＢ（青）の下位ビットデータＤＢ３をインバータ１２０で反転させたデータとの論理積をアンドゲート１１９でとることにより得られ、カウンタ１１４，１１５のリセット端子Ｒ、並びにデータメモリ１１２に供給される。

また、表示メモリ１１３の出力側に出力回路１１７が設けられている。

さらに、一致検出回路１１６にはサンプリングの開始順位を決定する端子が、ＡＤ０～ＡＤ３の４つ接続されている。

【００４０】

本回路では、６ビットのカウンタ１１４において、どの出力位置にデータを書き込むかが選択され、４ビットのカウンタ１１５において、配置された位置の情報、すなわちいつサンプリングを開始するかが制御される。

本例では、４ビットあるので最大１６個を１パネルに実装することができる。

【００４１】

図７の構成において、アンドゲート１１９によりラッチストローブ信号S_{LS}を入力するときにデータＤＢ３をローレベルに設定しておくと、上述した図６の回路と全く同一の動作となる。

すなわち、アンドゲート１１９によりハイレベルの信号S_{119}が生成され、これにより、

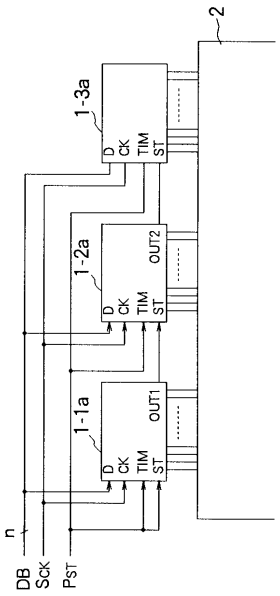
データメモリ１１２から表示メモリ１１３へのデータ転送が行われ、カウンタ１１４および１１５がリセットされる。
したがって、データＤＢ３をローレベルに設定して、ラッチスットローブ信号の入力を行うことにより、全ドライバ１－１ｂ，１－２ｂ，１－３ｂの全データをシーケンシャルに書き換える従来ドライバと同一の動作が行われる。
【００４２】
次に、データＤＢ３をハイレベルの状態でラッチストローブ信号S_{LS}を入力すると、カウンタ１１４および１１５のプリセットイネーブルがアクティブとなり、カウンタ１１４にはデータＤＧ０～ＤＧ３，ＤＢ０およびＤＢ１の値がプリセットされ、カウンタ１１５にはデータＤＲ０～ＤＲ３の値がプリセットされる。この機能により、データの書き換えを行いたい任意の場所からデータの書き込みを開始することができる。
【００４３】
以上説明したように、本第２の実施例によれば、カウンタ１１４および１１５により、サンプリングを開始するタイミングが与えられるため、従来のように各ドライバ間でのスタートパルスの伝達（カスゲード接続）を必要としない。このため、高速でのデータ書き込みが可能となる。
カウンタ１１４は、従来のシフトレジスタ（図２の１１）と同一の機能、すなわち、データを書き込む位置を示すポインタとしての機能も有しているため、シフレジスタとの置き換えとなる。したがって、チップ面積を増大させるものではない。
また、追加されたＡＤ入力端子には、ハイレベルまたはローレベルの固定電位を与えるため、ＡＣ特性にも影響することはない。
【００４４】
さらに、図７の回路のように、カウンタ１１４および１１５のカウント値を外部から設定できるようにすることにより、前ラインと同一のデータの場合は書き換えを行わないようにすることが可能であるため低消費電力化が可能である。
たとえば、前表示ラインと変更になっている部分のみのデータ書き換えが可能となる。特に、ＯＡ用のアプリケーションの場合は、前ラインと同一データ部分が多い表示パターンの頻度が高く、ドライバのデータ書き換え回数を大幅に削減でき、低消費電力化が可能となる。
また、部分書き換え機能を付加しても、コントローラとドライバ１－１ｂ～１－３ｂへのインターフェース（信号線）が増加することなく、従来と全く同一の接続線数で実現することができる。
【００４５】
【発明の効果】
以上説明したように、本発明の半導体集積回路によれば、全体の転送速度が制限されてしまうことがないため、高速データ転送が可能となる。
また、前ラインと同一のデータの場合は書き換えを行わないようにすることが可能であるため低消費電力化を実現できる。
【図面の簡単な説明】
【図１】本発明に係る半導体集積回路の第１の実施例を示すブロック構成図である。
【図２】図１のフラットパネルドライバの要部の具体的構成例を示す回路図である。
【図３】図１および図２の動作を説明するためのタイミングチャートである。
【図４】ラッチストローブ信号を用いた場合を説明するためのタイミングチャートである。
【図５】本発明に係る半導体集積回路の第２の実施例を示すブロック構成図である。
【図６】図５のフラットパネルドライバの要部の具体的構成例を示すブロック図である。
【図７】図６の回路にカウンタのプリセット機能を付加した１９２出力、１６階調カラー（ＲＧＢ三色）ドライバの要部の構成例を示すブロック図である。
【図８】従来のフラットパネルディスプレイ装置の構成例を示すブロック図である。
【図９】図８のドライバの要部の構成例を示すブロック図である。

【図１０】図８の回路におけるクロック信号、スタートパルス信号、ドライバの出力端子からの出力パルスの関係を示すタイミングチャートである。

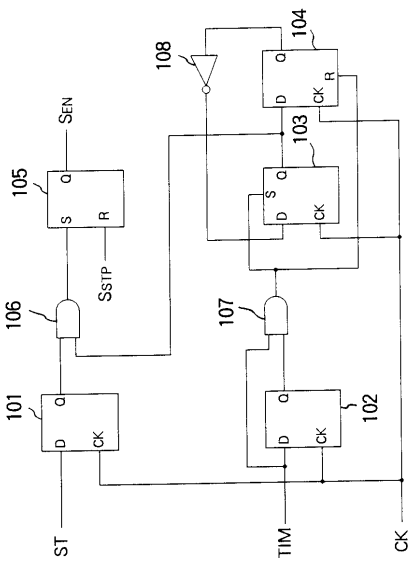
【符号の説明】

１－１ａ，１－２ａ，１－３ａ…フラットパネルドライバ
１０１～１０４…Ｄ型フリップフロップ
１０５…ＳＲ型フリップフロップ
１０６，１０７…２入力アンドゲート
１０８…インバータ
１－１ｂ，１－２ｂ，１－３ｂ…フラットパネルドライバ
１１１…デコーダ
１１２…データメモリ
１１３…表示メモリ
１１４，１１５…カウンタ
１１６…一致検出回路
１１７…出力回路
１１８，１１９…２入力アンドゲート
１２０…インバータ
２…フラットパネル

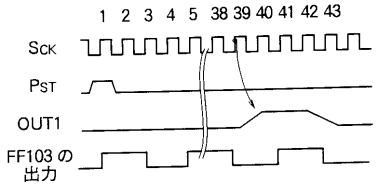
【図１】



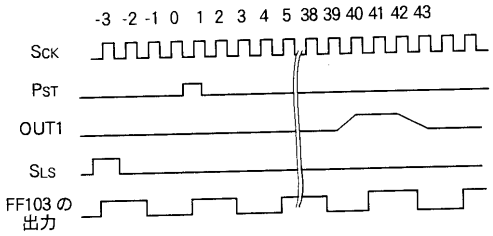
【図２】



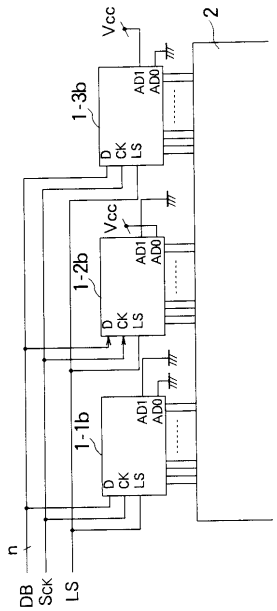
【図３】


1 2 3 4 5 38 39 40 41 42 43
SCK
PST
OUT1
FF103の出力

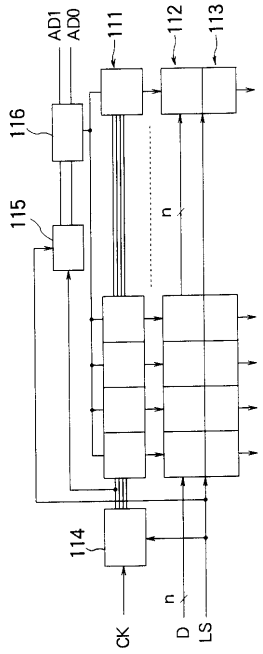
【図４】


-3 -2 -1 0 1 2 3 4 5 38 39 40 41 42 43
SCK
PST
OUT1
SLS
FF103の出力

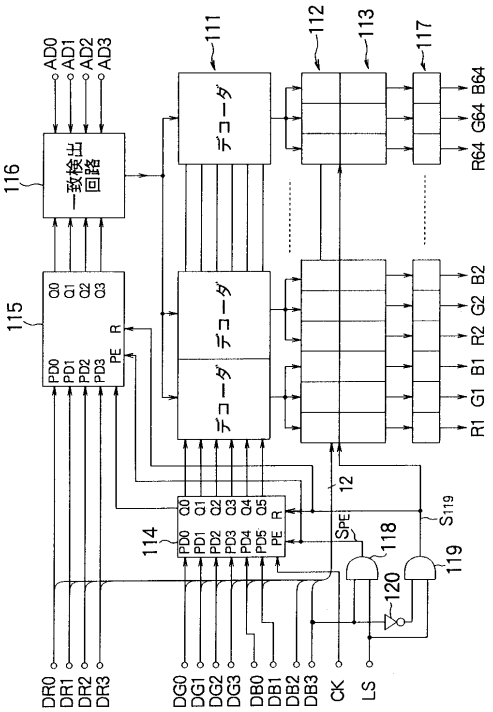
【図５】


Vcc
2
1-3b
1-2b
1-1b
AD1
AD0
D
CK
LS
n
DB
SCK
LS

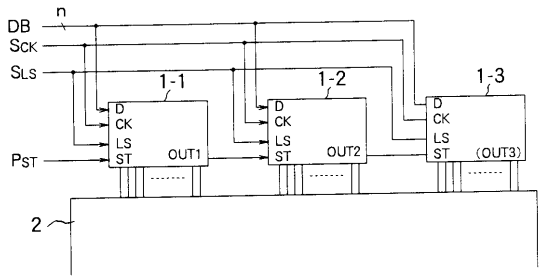
【図６】


AD1
AD0
111
112
113
116
115
114
n
CK
D
LS

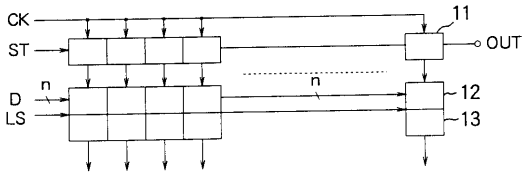
【図７】


AD0
AD1
AD2
AD3
111
112
113
117
116
一致検出回路
デコーダ
R64 G64 B64
115
Q0 Q1 Q2 Q3
PD0 PD1 PD2 PD3 PE R
R1 G1 B1 R2 G2 B2
12
114
Q0 Q1 Q2 Q3 Q4 Q5
PD0 PD1 PD2 PD3 PD4 PD5 PE R
SPE
S119
118
119
120
DR0 DR1 DR2 DR3
DG0 DG1 DG2 DG3
DB0 DB1 DB2 DB3
CK
LS

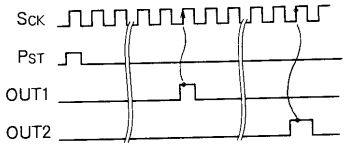
【図８】


n
DB
SCK
SLS
PST
1-1
1-2
1-3
D
CK
LS
ST
OUT1
OUT2
(OUT3)
2

【図９】


CK
ST
n
D
LS
11
OUT
12
13

【図１０】


SCK
PST
OUT1
OUT2

フロントページの続き

(58)調査した分野(Int.Cl.[7], ＤＢ名)
G09G3/00-3/38
G02F1/133