

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2019-57532

(P2019-57532A)

(43) 公開日 平成31年4月11日(2019.4.11)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 27/11573 (2017.01)	HO 1 L 27/11573	5 F 0 8 3
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 3 7 1	5 F 1 0 1
HO 1 L 29/788 (2006.01)	HO 1 L 27/11578	
HO 1 L 29/792 (2006.01)		
HO 1 L 27/11578 (2017.01)		

審査請求 未請求 請求項の数 5 O L (全 25 頁)

(21) 出願番号 特願2017-179348 (P2017-179348)
 (22) 出願日 平成29年9月19日 (2017.9.19)

(71) 出願人 318010018
 東芝メモリ株式会社
 東京都港区芝浦一丁目1番1号
 (74) 代理人 100108855
 弁理士 蔵田 昌俊
 (74) 代理人 100103034
 弁理士 野河 信久
 (74) 代理人 100075672
 弁理士 峰 隆司
 (74) 代理人 100153051
 弁理士 河野 直樹
 (74) 代理人 100189913
 弁理士 鶴飼 健

最終頁に続く

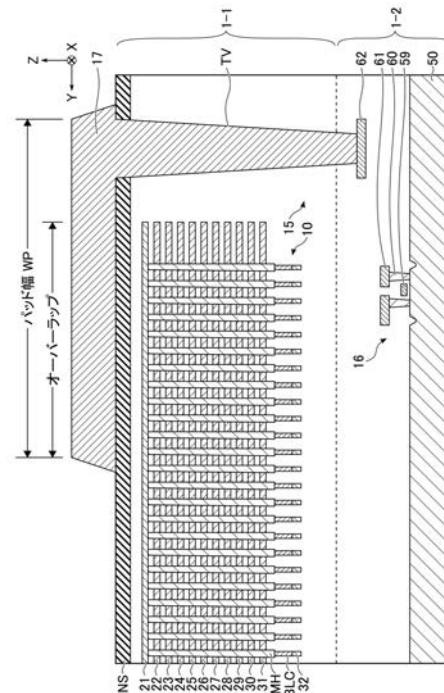
(54) 【発明の名称】 半導体メモリ

(57) 【要約】

【課題】半導体メモリのチップ面積を抑制すること。

【解決手段】実施形態の半導体メモリは、第1メモリチップ1-1と、回路チップ1-2と、外部接続電極17とを含む。第1メモリチップは、絶縁体を介して積層された複数の第1導電体22~31と、複数の第1導電体を通過し、複数の第1導電体との交差部分がそれぞれメモリセルとして機能する第1ピラーMHと、を含む。回路チップは、基板50と、基板上に設けられた制御回路16と、制御回路に接続された第2導電体62とを含み、第1メモリチップに貼り合わされる。外部接続電極は、第1メモリチップの表面に設けられ、第1メモリチップの表面側から第1メモリチップを通過して第2導電体に接続された部分を有する。外部接続電極と基板との間には、第1導電体の一部が含まれる。

【選択図】 図9



【特許請求の範囲】

【請求項 1】

絶縁体を介して積層された複数の第 1 導電体と、前記複数の第 1 導電体を通過し、前記複数の第 1 導電体との交差部分がそれぞれメモリセルとして機能する第 1 ピラーと、を含む第 1 メモリチップと、

基板と、前記基板上に設けられた制御回路と、前記制御回路に接続された第 2 導電体とを含み、前記第 1 メモリチップに貼り合わされた回路チップと、

前記第 1 メモリチップの表面に設けられ、前記第 1 メモリチップの表面側から前記第 1 メモリチップを通過して前記第 2 導電体に接続された部分を有する外部接続電極と、を備え、

前記外部接続電極と前記基板との間には、前記第 1 導電体の一部が含まれる、半導体メモリ。

10

【請求項 2】

前記外部接続電極と前記基板との間には、前記第 1 ピラーが含まれる、請求項 1 に記載の半導体メモリ。

【請求項 3】

前記複数の第 1 導電体の端部は、階段状に形成され、

前記外部接続電極と前記基板との間には、前記端部が含まれ且つ前記第 1 ピラーが含まれない、

請求項 1 に記載の半導体メモリ。

20

【請求項 4】

絶縁体を介して積層された複数の第 3 導電体と、前記複数の第 3 導電体を通過し、前記複数の第 3 導電体との交差部分がそれぞれメモリセルとして機能する第 2 ピラーと、を含み、前記回路チップと前記第 1 メモリチップとの間に貼り合わされた第 2 メモリチップをさらに備える、

請求項 1 乃至請求項 3 のいずれかに記載の半導体メモリ。

【請求項 5】

前記第 1 メモリチップの表面に設けられ、外部との接続に使用されない配線をさらに備え、

前記配線は、前記第 1 メモリチップ内の配線又は前記回路チップ内の配線に接続される

30

請求項 1 乃至請求項 4 のいずれかに記載の半導体メモリ。

【発明の詳細な説明】

【技術分野】

【0001】

実施形態は、半導体メモリに関する。

【背景技術】

【0002】

メモリセルが 3 次元に積層された NAND 型フラッシュメモリが知られている。

【先行技術文献】

40

【特許文献】

【0003】

【特許文献 1】特開 2016 - 062901 号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

半導体メモリのチップ面積を抑制する。

【課題を解決するための手段】

【0005】

実施形態の半導体メモリは、第 1 メモリチップと、回路チップと、外部接続電極とを含

50

む。第1メモリチップは、絶縁体を介して積層された複数の第1導電体と、複数の第1導電体を通過し、複数の第1導電体との交差部分がそれぞれメモリセルとして機能する第1ピラーと、を含む。回路チップは、基板と、基板上に設けられた制御回路と、制御回路に接続された第2導電体とを含み、第1メモリチップに貼り合わされる。外部接続電極は、第1メモリチップの表面に設けられ、第1メモリチップの表面側から第1メモリチップを通過して第2導電体に接続された部分を有する。外部接続電極と基板との間には、第1導電体の一部が含まれる。

【図面の簡単な説明】

【0006】

【図1】第1実施形態に係る半導体メモリの構成例を示すブロック図。

10

【図2】第1実施形態に係る半導体メモリにおけるメモリセルアレイの回路構成の一例を示す図。

【図3】第1実施形態に係る半導体メモリの平面レイアウトの一例を示す図。

【図4】第1実施形態に係る半導体メモリの平面レイアウトの一例を示す図。

【図5】第1実施形態に係る半導体メモリにおけるメモリセルアレイ及び引出領域の詳細な平面レイアウトの一例を示す図。

【図6】第1実施形態に係る半導体メモリにおけるメモリセルアレイ及び引出領域の断面構成の一例を示す図。

【図7】第1実施形態に係る半導体メモリにおけるメモリセルアレイの断面構成の一例を示す図。

20

【図8】第1実施形態に係る半導体メモリにおけるメモリセルアレイ及び引出領域の詳細な平面レイアウトの一例を示す図。

【図9】第1実施形態に係る半導体メモリにおけるメモリセルアレイ及びパッド領域の断面構成の一例を示す図。

【図10】第1実施形態に係る半導体メモリに設けられたパッドの設計例を示す図。

【図11】第1実施形態に係る半導体メモリに設けられたパッドの設計例を示す図。

【図12】第1実施形態に係る半導体メモリの製造工程の一例を示す図。

【図13】第1実施形態に係る半導体メモリの製造工程の一例を示す図。

【図14】第1実施形態に係る半導体メモリの製造工程の一例を示す図。

【図15】第1実施形態に係る半導体メモリの製造工程の一例を示す図。

30

【図16】第1実施形態の比較例に係る半導体メモリの平面レイアウトの一例を示す図。

【図17】第1実施形態の比較例に係る半導体メモリにおけるメモリセルアレイ及びパッド領域の断面構成の一例を示す図。

【図18】第2実施形態に係る半導体メモリにおけるメモリセルアレイ及びパッド領域の断面構成の一例を示す図。

【図19】第3実施形態に係る半導体メモリにおけるメモリセルアレイ及び引出領域の詳細な平面レイアウトの一例を示す図。

【図20】第3実施形態に係る半導体メモリにおけるメモリセルアレイの詳細な平面レイアウトの一例を示す図。

【図21】第3実施形態に係る半導体メモリにおけるメモリセルアレイ及び引出領域の断面構成の一例を示す図。

40

【図22】第3実施形態に係る半導体メモリにおけるメモリセルアレイ及びパッド領域の断面構成の一例を示す図。

【図23】第4実施形態に係る半導体メモリの平面レイアウトの一例を示す図。

【図24】第4実施形態に係る半導体メモリにおけるメモリセルアレイ及びパッド領域の断面構成の一例を示す図。

【発明を実施するための形態】

【0007】

以下に、実施形態について図面を参照して説明する。図面は模式的なものである。各実施形態は、発明の技術的思想を具体化するための装置や方法を例示するものである。尚、

50

以下の説明において、略同一の機能及び構成を有する構成要素については、同一符号を付す。参照符号を構成する文字の後の数字は、同じ文字を含んだ参照符号によって参照され、且つ同様の構成を有する要素同士を区別するために用いられている。同じ文字を含んだ参照符号で示される要素を相互に区別する必要がない場合、これらの要素は同じ文字のみを含んだ参照符号により参照される。

【 0 0 0 8 】**[1] 第 1 実施形態**

以下に、第 1 実施形態に係る半導体メモリについて説明する。

【 0 0 0 9 】**[1 - 1] 構成****[1 - 1 - 1] 半導体メモリ 1 の全体構成**

図 1 は、第 1 実施形態に係る半導体メモリ 1 の構成例を示している。半導体メモリ 1 は、データを不揮発に記憶することが可能な NAND 型フラッシュメモリである。半導体メモリ 1 は、図 1 に示すように、例えばメモリセルアレイ 10、ロウデコーダ 11、センスアンプ 12、及びシーケンサ 13 を備えている。

10

【 0 0 1 0 】

メモリセルアレイ 10 は、複数のブロック B L K 0 ~ B L K n (n は 1 以上の整数) を含んでいる。ブロック B L K は、不揮発性メモリセルの集合であり、例えばデータの消去単位となる。メモリセルアレイ 10 には、複数のビット線及び複数のワード線が設けられ、各メモリセルは、1本のビット線及び1本のワード線に関連付けられている。メモリセルアレイ 10 の詳細な構成については後述する。

20

【 0 0 1 1 】

ロウデコーダ 11 は、外部のメモリコントローラ 2 から受信したアドレス情報 A D D に基づいて、1つのブロック B L K を選択する。そしてロウデコーダ 11 は、例えば選択ワード線及び非選択ワード線にそれぞれ所望の電圧を印加する。

【 0 0 1 2 】

センスアンプ 12 は、メモリコントローラ 2 から受信した書き込みデータ D A T に応じて、各ビット線に所望の電圧を印加する。また、センスアンプ 12 は、ビット線の電圧に基づいてメモリセルに記憶されたデータを判定し、判定した読み出しデータ D A T をメモリコントローラ 2 に送信する。

30

【 0 0 1 3 】

シーケンサ 13 は、メモリコントローラ 2 から受信したコマンド C M D に基づいて、半導体メモリ 1 全体の動作を制御する。半導体メモリ 1 とメモリコントローラ 2 との間の通信は、例えば NAND インターフェイス規格をサポートしている。例えばメモリコントローラ 2 は、コマンドラッチイネーブル信号 C L E、アドレスラッチイネーブル信号 A L E、ライトイネーブル信号 W E n、及びリードイネーブル信号 R E n を送信し、レディビジー信号 R B n を受信し、入出力信号 I / O を送受信する。

【 0 0 1 4 】

信号 C L E は、受信した信号 I / O がコマンド C M D であることを半導体メモリ 1 に通知する信号である。信号 A L E は、受信した信号 I / O がアドレス情報 A D D であることを半導体メモリ 1 に通知する信号である。信号 W E n は、信号 I / O の入力を半導体メモリ 1 に命令する信号である。信号 R E n は、信号 I / O の出力を半導体メモリ 1 に命令する信号である。信号 R B n は、半導体メモリ 1 がメモリコントローラ 2 からの命令を受け付けるレディ状態であるか命令を受け付けないビジー状態であるかを、メモリコントローラ 2 に通知する信号である。信号 I / O は、例えば 8 ビットの信号であり、コマンド C M D、アドレス情報 A D D、データ D A T 等を含み得る。

40

【 0 0 1 5 】

以上で説明した半導体メモリ 1 及びメモリコントローラ 2 は、それらの組み合わせにより 1 つの半導体装置を構成しても良い。このような半導体装置としては、例えば S D ^T M カードのようなメモリカードや、S S D (solid state drive) 等が挙げられる。

50

【 0 0 1 6 】

[1 - 1 - 2] メモリセルアレイ 1 0 の回路構成

図 2 は、第 1 実施形態におけるメモリセルアレイ 1 0 の回路構成の一例を示している。以下に、第 1 実施形態におけるメモリセルアレイ 1 0 の回路構成について、1 つのブロック B L K に注目して説明する。

【 0 0 1 7 】

ブロック B L K は、例えば図 2 に示すように 4 つのストリングユニット S U 0 ~ S U 3 を含んでいる。各ストリングユニット S U は、ビット線 B L 0 ~ B L m (m は 1 以上の整数) にそれぞれ関連付けられた複数の N A N D ストリング N S を含んでいる。例えば N A N D ストリング N S は、8 個のメモリセルトランジスタ M T 0 ~ M T 7 並びに選択トランジスタ S T 1 及び S T 2 を含んでいる。

10

【 0 0 1 8 】

メモリセルトランジスタ M T は、制御ゲート及び電荷蓄積層を備え、データを不揮発に保持する。各 N A N D ストリング N S に含まれたメモリセルトランジスタ M T 0 ~ M T 7 は、選択トランジスタ S T 1 のソースと選択トランジスタ S T 2 のドレインとの間に直列接続されている。同一ブロック B L K 内のメモリセルトランジスタ M T 0 ~ M T 7 の制御ゲートは、それぞれワード線 W L 0 ~ W L 7 に共通接続されている。各ストリングユニット S U 内で共通のワード線 W L に接続された複数のメモリセルトランジスタ M T の記憶する 1 ビットデータの集合は、“ページ”と呼ばれている。

【 0 0 1 9 】

選択トランジスタ S T 1 及び S T 2 は、各種動作時におけるストリングユニット S U の選択に使用される。同一ブロック B L K 内のストリングユニット S U 0 ~ S U 3 にそれぞれ含まれた選択トランジスタ S T 1 のゲートは、それぞれ選択ゲート線 S G D 0 ~ S G D 3 に共通接続されている。各ブロック B L K で同一列に対応する選択トランジスタ S T 1 のドレインは、それぞれ対応するビット線 B L に共通接続されている。同一ブロック B L K 内の選択トランジスタ S T 2 のゲートは、選択ゲート線 S G S に共通接続されている。各ブロック B L K の選択トランジスタ S T 2 のソースは、複数のブロック B L K 間でソース線 S L に共通接続されている。

20

【 0 0 2 0 】

尚、メモリセルアレイ 1 0 の回路構成は、以上で説明した構成に限定されない。例えば、各ブロック B L K が含むストリングユニット S U の個数と、各 N A N D ストリング N S が含むメモリセルトランジスタ M T 並びに選択トランジスタ S T 1 及び S T 2 の個数とは、任意の個数に設計することが出来る。ワード線 W L 並びに選択ゲート線 S G D 及び S G S の本数は、メモリセルトランジスタ M T 並びに選択トランジスタ S T 1 及び S T 2 の個数に基づいて変更される。

30

【 0 0 2 1 】

[1 - 1 - 3] 半導体メモリ 1 の構造

図 3 は、第 1 実施形態に係る半導体メモリ 1 の平面レイアウトの一例を示し、X 軸がワード線 W L の延伸方向に対応し、Y 軸がビット線 B L の延伸方向に対応し、Z 軸が半導体メモリ 1 の基板表面に対する鉛直方向に対応している。半導体メモリ 1 は、図 3 に示すように、例えばメモリチップ 1 - 1 及び回路チップ 1 - 2 を備えている。

40

【 0 0 2 2 】

メモリチップ 1 - 1 は、半導体メモリ 1 の実質的な記憶領域として機能する。回路チップ 1 - 2 は、メモリコントローラ 2 との間の通信を司り、メモリチップ 1 - 1 の制御回路として機能する。メモリチップ 1 - 1 及び回路チップ 1 - 2 は、それぞれ異なる半導体基板を用いて回路が形成される。そして、回路チップ 1 - 2 上にメモリチップ 1 - 1 を配置し、メモリチップ 1 - 1 と回路チップ 1 - 2 との間を貼り合わせることによって、1 つの半導体チップ (半導体メモリ 1) が形成される。

【 0 0 2 3 】

メモリチップ 1 - 1 は、例えばメモリセルアレイ 1 0 A 及び 1 0 B、引出領域 1 4 A、

50

14B、及び14C、並びにパッド領域15Aを含んでいる。回路チップ1-2は、例えばロウデコーダ11A、11B、及び11C、センスアンプ12A及び12B、周辺回路16A及び16B、並びにパッド領域15Bを含んでいる。

【0024】

メモリチップ1-1において、メモリセルアレイ10A及び10Bは、異なる動作を並行して実行することが可能なように構成されている。メモリチップ1-1において、メモリセルアレイ10A及び10Bは、X方向に配列する引出領域14の間に配置されている。具体的には、メモリセルアレイ10Aは、引出領域14A及び14B間に配置され、メモリセルアレイ10Bは、引出領域14B及び14C間に配置されている。

【0025】

引出領域14は、メモリチップ1-1に設けられたメモリセルアレイ10と回路チップ1-2に設けられたロウデコーダ11との間を電氣的に接続するための領域である。尚、引出領域14は、ワード線WLを片側から駆動する構成である場合にはメモリセルアレイ10と隣り合うように設けられ、ワード線WLを両側から駆動する構成である場合にはメモリセルアレイ10を挟むように設けられる。

【0026】

パッド領域15Aは、回路チップ1-2とメモリコントローラ2との間の接続に使用されるパッドが設けられる領域である。パッド領域15Aは、X方向に延伸し、メモリセルアレイ10A及び10Bと隣接するように設けられている。

【0027】

回路チップ1-2において、ロウデコーダ11A、11B、及び11Cは、それぞれメモリチップ1-1の引出領域14A、14B、及び14Cと重なるように設けられている。例えば、ロウデコーダ11A及び11Bはメモリセルアレイ10Aに設けられたワード線WLに電氣的に接続され、ロウデコーダ11B及び11Cは、メモリセルアレイ10Bに設けられたワード線WLに電氣的に接続される。

【0028】

センスアンプ12A及び12Bは、メモリチップ1-1のメモリセルアレイ10A及び10Bとそれぞれ重なるように設けられている。例えば、センスアンプ12Aはメモリセルアレイ10Aに設けられたビット線BLに電氣的に接続され、センスアンプ12Bはメモリセルアレイ10Bに設けられたビット線BLに電氣的に接続される。

【0029】

周辺回路16は、例えばシーケンサ13や、半導体メモリ1とメモリコントローラ2との間の通信を司る入出力回路等を含んでいる。周辺回路16Aは、例えばロウデコーダ11A及び11B間且つセンスアンプ12Aに隣接して設けられ、周辺回路16Bは、例えばロウデコーダ11B及び11C間且つセンスアンプ12Bに隣接して設けられる。

【0030】

パッド領域15Bは、周辺回路16A及び16Bと隣接し、且つメモリチップ1-1のパッド領域15Aと重なるように設けられている。パッド領域15Bには、例えば周辺回路16A及び16Bに含まれた入出力回路から引き出された配線等が配置され、当該配線がパッドによって半導体メモリ1上面に引き出される。

【0031】

図4は、メモリチップ1-1及び回路チップ1-2が貼り合わされた場合における、半導体メモリ1の平面レイアウトを示している。半導体メモリ1は、図4に示すように、X方向に配列する複数のパッド17A及び17Bをさらに備えている。

【0032】

パッド17は、メモリチップ1-1の表面に設けられ、半導体メモリ1の外部接続電極として使用される。パッド17Aは、メモリチップ1-1及び回路チップ1-2のパッド領域15を介して、図示されない周辺回路16Aに接続される。同様に、パッド17Bは、パッド領域15を介して、図示されない周辺回路16Bに接続される。パッド17Aは、パッド領域15及びメモリセルアレイ10Aと重なるように設けられ、パッド17Bは

10

20

30

40

50

、パッド領域 15 及びメモリセルアレイ 10B と重なるように設けられている。パッド 17 としては、例えばアルミニウムが使用される。

【0033】

尚、以上の説明ではメモリセルアレイ 10 が 2 個設けられている場合を例に挙げたが、メモリチップ 1-1 が含むメモリセルアレイ 10 の個数は、任意の個数にすることが可能である。第 1 実施形態に係る半導体メモリ 1 において、ロウデコーダ 11、センスアンプ 12、引出領域 14、パッド領域 15、及び周辺回路 16 のレイアウトは、メモリセルアレイ 10 の設計に基づいて適宜変更することが可能である。

【0034】

図 5 は、第 1 実施形態に係る半導体メモリ 1 におけるメモリセルアレイ 10 及び引出領域 14 のより詳細な平面レイアウトの一例を示している。以下に、第 1 実施形態におけるメモリセルアレイ 10 及び引出領域 14 の構造について、1 つのストリングユニット S U に注目して説明する。

10

【0035】

半導体メモリ 1 には、図 5 に示すように、X 方向に延伸して設けられた複数のスリット S L T が設けられている。複数のスリット S L T は Y 方向に配列し、隣り合うスリット S L T 間に 1 つのストリングユニット S U が設けられている。言い換えると、スリット S L T は、隣り合うストリングユニット S U 間に形成され、隣り合うストリングユニット S U 間を絶縁している。

【0036】

ストリングユニット S U は、メモリセルアレイ 10 の領域において複数の半導体ピラー M H を含み、引出領域 14 において複数のコンタクトプラグ C C を含んでいる。1 つの半導体ピラー M H は、例えば 1 つの N A N D ストリング N S に対応している。各コンタクトプラグ C C は、例えばワード線 W L 0 ~ W L 7 並びに選択ゲート線 S G D 及び S G S にそれぞれ対応して設けられる。

20

【0037】

図 6 は、第 1 実施形態に係る半導体メモリ 1 におけるメモリセルアレイ 10 及び引出領域 14 の X 方向に沿った断面構造の一例を示している。尚、以下の説明に用いる各断面図は、層間絶縁膜を適宜省略して示している。第 1 実施形態に係る半導体メモリ 1 では、図 6 に示すように、回路チップ 1-2 上にメモリチップ 1-1 が設けられている。

30

【0038】

まず、メモリチップ 1-1 の詳細な構造について説明する。メモリチップ 1-1 では、上層から順に、各々が絶縁体を介して導電体 21 ~ 31 が設けられている。導電体 21 ~ 31 は、それぞれ X 方向及び Y 方向に広がった板状に形成される。例えば、導電体 21 ~ 31 は、それぞれメモリセルアレイ 10 の領域から引出領域 14 に亘って延伸し、引出領域 14 において階段状に設けられている。導電体 21 は、ソース線 S L として機能する。導電体 22 は、選択ゲート線 S G S として機能する。導電体 23 ~ 30 は、それぞれワード線 W L 0 ~ W L 7 として機能する。導電体 31 は、選択ゲート線 S G D として機能する。

【0039】

複数の半導体ピラー M H は、導電体 31 の下面から導電体 21 の下面に達するように、導電体 31 ~ 22 を通過して設けられている。各半導体ピラー M H の下面には、それぞれ導電性のコンタクトプラグ B L C が設けられている。各コンタクトプラグ B L C の下面には、それぞれ導電体 32 が設けられている。各導電体 32 は、Y 方向に延伸したライン状に形成され、それぞれビット線 B L として機能する。尚、1 つの導電体 32 は、各ストリングユニット S U 内でそれぞれ 1 つの半導体ピラー M H と電氣的に接続される。

40

【0040】

ここで、図 7 を用いて、第 1 実施形態に係る半導体メモリ 1 におけるメモリセルアレイ 10 のより詳細な断面構造の一例について説明する。図 7 は、図 6 の Y 方向に沿った断面に対応し、図 6 に対して Z 方向を反転して示している。

50

【 0 0 4 1 】

1つのストリングユニットSUに対応する構造体は、図7に示すように、隣り合うスリットSLT間に設けられている。スリットSLTは、X方向及びZ方向に広がり、隣り合うストリングユニットSUに設けられた導電体22～31間を絶縁している。

【 0 0 4 2 】

半導体ピラーMHは、例えばブロック絶縁膜33、絶縁膜34、トンネル酸化膜35、及び導電性の半導体材料36を含んでいる。具体的には、半導体ピラーMHを形成するメモリホールの内壁に、ブロック絶縁膜33が形成される。ブロック絶縁膜33の内壁に、絶縁膜34が形成される。絶縁膜34の内壁に、トンネル酸化膜35が形成される。トンネル酸化膜35の内側に、導電性の半導体材料36が形成され、例えば埋め込まれる。尚、半導体材料36内には、異なる材料が含まれていても良い。

10

【 0 0 4 3 】

このような半導体ピラーMHの構成において、絶縁膜34がメモリセルトランジスタMTの電荷蓄積層として機能し、半導体材料36内にNANDストリングNSのチャネルが形成される。そして、半導体ピラーMHと導電体22とが交差する部分が、選択トランジスタST2として機能する。半導体ピラーMHと導電体23～30とが交差する部分が、それぞれメモリセルトランジスタMT0～MT7として機能する。半導体ピラーMHと導電体31とが交差する部分が、選択トランジスタST1として機能する。

【 0 0 4 4 】

図6に戻り、メモリチップ1-1に設けられたビット線BL及びワード線WLを、回路チップ1-2に設けられたセンスアンプ12及びロウデコーダ11にそれぞれ接続するための構成の一例について説明する。

20

【 0 0 4 5 】

1本のビット線BLに注目すると、ビット線BLとして機能する導電体32の下面には、導電性のコンタクトプラグ37が設けられている。コンタクトプラグ37の下面には、導電体38が設けられている。導電体38の下面には、接合金属39が設けられている。接合金属39としては、例えば銅が使用される。

【 0 0 4 6 】

このような構成により、1つの接合金属39と、1本のビット線BLとの間が電氣的に接続される。その他のビット線BLについても同様であり、図示されない領域において、それぞれ異なるコンタクトプラグ37、導電体38、及び接合金属39の組に接続される。

30

【 0 0 4 7 】

引出領域14において、導電体21の下方には、例えばコンタクトプラグCCの本数に対応して、複数の導電体40が設けられる。例えば、ワード線WL2に対応する導電体25の下面にコンタクトプラグCCが設けられ、当該コンタクトプラグCCの下面にワード線WL2に対応する導電体40が設けられている。同様に、各種配線に対応するコンタクトプラグCCは、積層された導電体22～31のうち、対応する導電体と電氣的に接続され、その他の導電体と絶縁されるように形成される。

【 0 0 4 8 】

ワード線WL2に対応する導電体40に注目すると、導電体40の下面には、コンタクトプラグ41が設けられている。コンタクトプラグ41の下面には、導電体42が設けられている。導電体42の下面には、接合金属43が設けられている。接合金属43としては、例えば銅が使用される。

40

【 0 0 4 9 】

このような構成により、1つの接合金属43と、1本のワード線WLとの間が電氣的に接続される。その他のワード線WL並びに選択ゲート線SGS及びSGDにそれぞれ対応する導電体40についても同様であり、図示されない領域において、それぞれ異なるコンタクトプラグ41、導電体42、及び接合金属43の組に接続される。

【 0 0 5 0 】

50

次に、回路チップ 1 - 2 の詳細な構造について説明する。回路チップ 1 - 2 では、メモリセルアレイ 10 の領域の下部にセンスアンプ 12 が設けられ、引出領域 14 の下部にロウデコーダ 11 が設けられている。

【0051】

センスアンプ 12 の領域には、例えば半導体基板 50 上において絶縁膜を介して導電体 51 が設けられている。この導電体 51 がゲート電極として機能し、ソース/ドレイン領域等を有する MOSFET (Metal-Oxide-Semiconductor Field Effect Transistor) 構造が形成される。当該トランジスタのソース/ドレイン領域は、それぞれコンタクトプラグ 52 を介してそれぞれ異なる導電体 53 に接続される。一方の導電体 53 上には、接合金属 54 が設けられている。接合金属 54 としては、例えば銅が使用される。

10

【0052】

接合金属 54 上には、1つの接合金属 39 が接続されている。つまり、メモリチップ 1 - 1 内の 1本のビット線 BL が、接合金属 39 及び 54 を介して、センスアンプ 12 内の対応するトランジスタに接続される。尚、センスアンプ 12 は、図示されない領域において複数のトランジスタを含み、当該複数のトランジスタは、それぞれ異なる導電体 53 及び接合金属 54 の組を介して、それぞれ異なるビット線 BL に電氣的に接続される。

【0053】

ロウデコーダ 11 の領域には、例えば半導体基板 50 上において絶縁膜を介して導電体 55 が設けられている。この導電体 55 がゲート電極として機能し、ソース/ドレイン領域等を有する MOSFET 構造が形成される。当該トランジスタのソース/ドレイン領域は、それぞれコンタクトプラグ 56 を介してそれぞれ異なる導電体 57 に接続される。一方の導電体 57 上には、接合金属 58 が設けられている。接合金属 58 としては、例えば銅が使用される。

20

【0054】

接合金属 58 上には、1つの接合金属 43 が接続されている。つまり、例えばメモリチップ 1 - 1 内の 1本のワード線 WL が、接合金属 43 及び 58 を介して、ロウデコーダ 11 内の対応するトランジスタに接続される。尚、ロウデコーダ 11 は、図示されない領域において複数のトランジスタを含み、当該複数のトランジスタは、それぞれ異なる導電体 57 及び接合金属 58 の組を介して、それぞれ異なるワード線 WL 又は選択ゲート線 SGS, SGD に電氣的に接続される。

30

【0055】

以上で説明した接合金属 39 及び 43 のより具体的な平面レイアウトの一例が、図 8 に示されている。図 8 に示すように、メモリセルアレイ 10 の領域では、配列する複数のビット線 BL 上に、それぞれ異なる接合金属 39 が配置されている。引出領域 14 では、Y 方向において略等間隔に複数の接合金属 43 が配置され、同様に配置された接合金属 43 が、X 方向において Y 方向に少しずつずれて配列している。

【0056】

回路チップ 1 - 2 における接合金属 54 及び 58 も同様に配置され、メモリチップ 1 - 1 と回路チップ 1 - 2 とが貼り合わされた際に、対応する接合金属同士が接触する。尚、接合金属 39 及び 43 のレイアウトはこれに限定されず、その他のレイアウトを適用することも可能である。

40

【0057】

図 9 は、第 1 実施形態に係る半導体メモリ 1 におけるメモリセルアレイ 10 及びパッド領域 15 の Y 方向に沿った断面構造の一例を示している。図 9 に示すように、パッド領域 15 の近傍において、メモリセルアレイ 10 の下方には周辺回路 16 が設けられている。

【0058】

周辺回路 16 の領域には、例えば半導体基板 50 上に絶縁膜を介して導電体 59 が設けられている。この導電体 59 がゲート電極として機能し、ソース/ドレイン領域等を有する MOSFET 構造が形成される。当該トランジスタのソース/ドレイン領域は、それぞれコンタクトプラグ 60 を介してそれぞれ異なる導電体 61 に接続される。

50

【0059】

回路チップ1-2のパッド領域15において、半導体基板50の上方には導電体62が設けられている。導電体62は、周辺回路16に電氣的に接続されている。導電体62としては、例えば銅やアルミニウムが使用される。そして、導電体62の上面からメモリチップ1-1の最上面の絶縁膜INSに亘って、コンタクトビアTVが開口している。コンタクトビアTVの内部には、導電体が形成され、例えば埋め込まれている。コンタクトビアTVは、このように導電体を形成又は埋め込むことが可能な範囲内で、可能な限り小さく設計される。

【0060】

コンタクトビアTVに形成された導電体は、メモリチップ1-1上に露出した部分を有し、この部分が1つのパッド17として機能する。パッド17は、図9に示すようにメモリチップ1-1内に設けられたメモリセルアレイ10とオーバーラップした部分を有している。言い換えると、パッド17と半導体基板50の間には、例えばワード線WLとして機能する導電体の端部が含まれ、さらに半導体ピラーMHが設けられた領域が含まれている。尚、以下の説明では、パッド17のY方向における寸法のことをパッド幅WPと称する。

10

【0061】

図10及び図11は、第1実施形態に係る半導体メモリ1におけるパッド17の設計例を示す図であって、より具体的にはコンタクトビアTVの形状の複数例を示している。コンタクトビアTVは、図10に示すようにライン形状に設けられていても良いし、図11に示すようにドット形状に設けられても良い。また、図11に示すように、パッド17及び導電体62間は、複数のコンタクトビアTVを介して接続されても良い。尚、1つのパッド17に対応するコンタクトビアTVの形状は、これに限定されず、ライン形状とドット形状の組み合わせであっても良いし、その他の形状を適用することも可能である。

20

【0062】

尚、第1実施形態における半導体メモリ1の構造は、以上で説明した構造に限定されない。例えば、上記説明において選択ゲート線SGS及びSGDは、それぞれ複数層の導電体により構成されていても良い。1つのNANDストリングNSが含むメモリセルトランジスタMTの個数は、1つの半導体ピラーMHがワード線WLに対応する導電体を通過する個数を変更することにより変更される。

30

【0063】

例えば、1つのNANDストリングNSは、複数の半導体ピラーMHがZ方向に連結された構造であっても良い。半導体ピラーMHと導電体32との間、及びコンタクトプラグCCと導電体40との間、それぞれその他のコンタクトプラグや異なる導電体を介して接続されても良い。接合金属39と導電体32との間、接合金属43と導電体40との間、接合金属54と導電体53との間、接合金属58と導電体57との間、それぞれその他のコンタクトプラグや異なる導電体を介して接続されても良い。

【0064】

[1-2] 製造方法

以下に、第1実施形態に係る半導体メモリ1において、メモリチップ1-1及び回路チップ1-2がそれぞれ形成された後から、パッド17を形成するまでの一連の工程について、図12~図15を用いて説明する。

40

【0065】

図12は、メモリチップ1-1と回路チップ1-2がそれぞれ異なるウエハ上に形成され、貼り合わされる前の状態を示している。具体的には、半導体基板20上にメモリチップ1-1が形成され、半導体基板50上に回路チップ1-2が形成される。そして、回路チップ1-2に対向するように、メモリチップ1-1は半導体基板20の下方にメモリセルアレイ10が位置する反転した状態で示されている。

【0066】

また、図12では、半導体基板20上に形成されたメモリチップ1-1において、最下

50

層に設けられた絶縁膜INSと、最上層に設けられた絶縁膜INSとが表示されている。半導体基板50上に形成された回路チップ1-2において、最上層に設けられた絶縁膜INSが表示されている。

【0067】

そして、図13に示すように、メモリチップ1-1と回路チップ1-2とが貼り合わされる。具体的には、半導体基板20及び半導体基板50上に形成された各種回路を挟むように、半導体基板20及び半導体基板50を対向させ、機械的圧力をかけてウエハトウエハでボンディングする。このとき、図示されない領域において、対応する接合金属同士が接合される。

【0068】

具体的には、対応する接合金属39及び54間が接合され、対応する接合金属43及び58間が接合される。メモリチップ1-1と回路チップ1-2とを貼り合わせた後は、メモリチップ1-1の半導体基板20が除去される。半導体基板20が除去された面には、メモリチップ1-1の表面を保護するパッシベーション膜として絶縁膜INSが残る。

【0069】

それから、図14に示すように、メモリチップ1-1の半導体基板20が除去された面側から、導電体62に達するコンタクトビアTVが形成される。形成されたコンタクトビアTV内には金属が形成され、例えば埋め込まれ、図15に示すようにメモリチップ1-1上に堆積された金属が所望の形状に加工される。このようにして、所望の形状のパッド17が形成される。

【0070】

[1-3]第1実施形態の効果

以上で説明した第1実施形態に係る半導体メモリ1に依れば、半導体メモリ1のチップ面積を縮小することが出来る。以下に第1実施形態に係る半導体メモリ1の詳細な効果について説明する。

【0071】

半導体メモリのビットコストを低減するためには、半導体メモリのチップ面積のうちメモリセルアレイが形成された面積の占める割合(セル占有率)を拡大することが好ましい。半導体メモリのセル占有率を拡大する方法としては、メモリセルアレイと周辺回路とをそれぞれ異なるウエハに形成し、これらのウエハを貼り合わせて1つの半導体チップを形成することが知られている。

【0072】

メモリセルアレイが形成されたウエハと周辺回路が形成されたウエハとを貼り合わせた半導体メモリの構造は、半導体チップ上でメモリセルアレイと周辺回路とがオーバーラップしていることから、セル占有率を拡大することが出来る。このような構造を有する半導体メモリの一例が、図16及び図17に示されている。図16及び図17は、第1実施形態の比較例に係る半導体メモリ3の平面レイアウト及び断面構造をそれぞれ示している。

【0073】

比較例に係る半導体メモリ3は、第1実施形態に係る半導体メモリ1に対してパッド17の設計が異なっている。比較例に係る半導体メモリ3では、図16に示すようにパッド17のパッド幅WPに基づいてパッド領域15の面積が設計され、パッド17全体がパッド領域15内に配置される。

【0074】

また、比較例に係る半導体メモリ3は、図17に示すようにメモリチップ3-1と回路チップ3-2とを貼り合わせる構造を有し、パッド17下部にメモリセルアレイ10を構成する配線の積層体が含まれないように設計されている。パッド17の面積は、半導体メモリ3の後工程におけるボンディング工程に基づいて決定されるため、削減することが難しい。また、比較例に係る半導体メモリ3では、パッド17の面積に基づいてパッド領域15が広く設計されるため、セル占有率が低下してしまう。

【0075】

10

20

30

40

50

これに対して、第1実施形態に係る半導体メモリ1では、図4及び図9に示すように、パッド17がメモリセルアレイ10とオーバーラップする領域を有している。これにより、第1実施形態に係る半導体メモリ1では、比較例に係る半導体メモリ3に対して、パッド領域15の面積を削減することが出来る。従って、第1実施形態に係る半導体メモリ1では、セル占有率を拡大することが出来るため、半導体メモリ1のビットコストを抑制することが出来る。

【0076】

また、第1実施形態に係る半導体メモリ1では、メモリチップ1-1と回路チップ1-2とを異なるウエハを用いてそれぞれ形成するため、メモリチップ1-1形成時の熱工程と回路チップ1-2形成時の熱工程とを独立に制御することが出来る。これにより、メモリチップ1-1形成時の熱工程による、回路チップ1-2への熱負荷を小さくすることが出来るため、回路チップの電源線や各種配線に銅等の低抵抗配線を導入することが可能となる。従って、第1実施形態に係る半導体メモリ1は、デバイス性能を向上することが可能となる。

10

【0077】

さらに、第1実施形態に係る半導体メモリ1では、メモリチップ1-1と回路チップ1-2とを貼り合わせることによって、メモリセルアレイ10とセンスアンプ12等の周辺回路との間を接続する。つまり、第1実施形態に係る半導体メモリ1では、メモリセルアレイ10から半導体基板50上に設けられた回路に接続するための深穴工程を削減することが出来る。従って、第1実施形態に係る半導体メモリ1は、製造コストを抑制することが出来る。

20

【0078】

[2]第2実施形態

第2実施形態に係る半導体メモリ1は、第1実施形態に係る半導体メモリ1に対して、パッド17のレイアウトが異なる。以下に、第2実施形態に係る半導体メモリ1について、第1実施形態に係る半導体メモリ1と異なる点を説明する。

【0079】

[2-1]構成

図18は、第2実施形態に係る半導体メモリ1におけるメモリセルアレイ10及びパッド領域15のY方向に沿った断面構造の一例を示している。図18に示すように、第2実施形態における半導体メモリ1の断面構造は、第1実施形態で図9を用いて説明した半導体メモリ1の断面構造に対して、パッド17がオーバーラップしている領域におけるメモリセルアレイ10の構造が異なっている。

30

【0080】

具体的には、第2実施形態に係る半導体メモリ1では、メモリセルアレイ10の外周部で引出領域14が隣接しない領域において、引出領域14と似た構造の階段部が形成されている。具体的には、当該領域において、例えばワード線WLとしてそれぞれ機能する導電体23~30の端部が、階段状に形成されている。この階段部の幅は、例えば引出領域14における階段部の幅よりも狭く形成される。

【0081】

そして、第2実施形態に係る半導体メモリ1では、パッド17がこのメモリセルアレイ10の階段部にオーバーラップし、且つメモリセルアレイ10の半導体ピラーMHが設けられたメモリ部にはオーバーラップしないように設けられている。第2実施形態に係る半導体メモリ1のその他の構成は、第1実施形態に係る半導体メモリ1と同様のため、説明を省略する。

40

【0082】

[2-2]第2実施形態の効果

半導体メモリ1の後工程におけるボンディング工程では、パッド17上面から半導体基板50に向かって圧力が加えられる。そして、第2実施形態に係る半導体メモリ1では、半導体基板50とパッド17との間に、半導体ピラーMH等が形成されない階段部が配置

50

されている。

【0083】

つまり、第2実施形態に係る半導体メモリ1では、後工程におけるボンディング時に、パッド17に加えられた圧力が有効な素子を含まない階段部に加えられる。このため、第2実施形態に係る半導体メモリ1では、後工程のボンディング時において、半導体ピラーMHに圧力が加えられることを避けることが出来る。

【0084】

これにより、第2実施形態に係る半導体メモリ1では、後工程のボンディングによる不良の発生を抑制することが出来る。従って、第2実施形態に係る半導体メモリ1は、半導体メモリ1の歩留まりを向上することが出来る。

10

【0085】

また、第2実施形態に係る半導体メモリ1は、階段部にオーバーラップしている分、パッド領域15の面積を削減することが出来る。従って、第2実施形態に係る半導体メモリ1では、セル占有率を拡大することが出来るため、半導体メモリ1のビットコストを削減することが出来る。

【0086】

[3]第3実施形態

第3実施形態に係る半導体メモリ1は、第1実施形態に係る半導体メモリ1に対して、複数のメモリチップが連結された構造をさらに備えている。以下に、第3実施形態に係る半導体メモリ1について、第1及び第2実施形態に係る半導体メモリ1と異なる点を説明する。

20

【0087】

[3-1]構成

第3実施形態に係る半導体メモリ1は、第1実施形態で説明したものと同様のメモリチップ1-1及び回路チップ1-2を備え、さらにメモリチップ1-3を備えている。メモリチップ1-3の構成は、メモリチップ1-1と同様であり、メモリチップ1-1とメモリチップ1-3とは、異なるウエハを用いて形成される。そして第3実施形態に係る半導体メモリ1では、回路チップ1-2上にメモリチップ1-1が貼り付けられ、メモリチップ1-1上にメモリチップ1-3が貼り付けられた構造を有している。

【0088】

図19は、第3実施形態に係る半導体メモリ1におけるメモリセルアレイ10及び引出領域14の詳細な平面レイアウトの一例を示し、Y方向に配列する4つのストリングユニットSU0~SU3を抽出して示している。

30

【0089】

図19に示すように、第3実施形態に係る半導体メモリ1の平面レイアウトは、図5を用いて説明した第1実施形態に係る半導体メモリ1の平面レイアウトに対して、メモリセルアレイ10の領域の構成が異なっている。

【0090】

具体的には、各ストリングユニットSUは、メモリセルアレイ10の領域において、複数の連結領域CAが設けられている。連結領域CAは、メモリチップ1-1に設けられたビット線BLと、メモリチップ1-3に設けられたビット線BLとの間を電氣的に接続する配線を形成するための領域である。各ストリングユニットSUに設けられた連結領域CAは、例えばY方向に沿って配置される。これに限定されず、連結領域CAは、任意の範囲及び位置に設計することが可能である。

40

【0091】

図20は、メモリセルアレイ10の連結領域CAを含む領域におけるより詳細な平面レイアウトを示している。図20に示すように、連結領域CAには、複数のコンタクトピアCVが設けられている。コンタクトピアCVは、例えばY方向に配列している。コンタクトピアCVの内壁には、絶縁膜44が形成されている。コンタクトピアCVの絶縁膜44より内側には、導電体45が形成され、例えば埋め込まれている。そして、各導電体45

50

は、それぞれ異なるビット線 B L に接続されている導電体 3 8 に接続されている。

【 0 0 9 2 】

図 2 1 は、第 3 実施形態に係る半導体メモリ 1 におけるメモリセルアレイ 1 0 及び引出領域 1 4 の X 方向に沿った断面構造の一例を示している。図 2 1 に示すように、第 3 実施形態に係る半導体メモリ 1 では、回路チップ 1 - 2 上にメモリチップ 1 - 1 が設けられ、メモリチップ 1 - 1 上にメモリチップ 1 - 3 が設けられている。

【 0 0 9 3 】

メモリチップ 1 - 1 において、1 本のビット線 B L と接合金属 3 9 との間に接続された導電体 3 8 の上面には、コンタクトピア C V が設けられている。そして、コンタクトピア C V 内に設けられた導電体 4 5 は、絶縁膜 4 4 によってワード線 W L 等の積層配線構造体から絶縁されている。導電体 4 5 の上面には、導電体 4 6 が設けられている。導電体 4 6 は、X Y 平面において、当該導電体 4 6 が電氣的に接続された接合金属 3 9 と重なるように配置される。

【 0 0 9 4 】

このような構成により、メモリチップ 1 - 1 に設けられた導電体 4 6 は、メモリチップ 1 - 3 に設けられた接合金属 3 9 と接触し、メモリチップ 1 - 1 における 1 本のビット線 B L と、メモリチップ 1 - 3 における 1 本のビット線 B L とが電氣的に接続される。他のビット線 B L も同様に、対応するコンタクトピア C V 内の導電体 4 5 を介して、メモリチップ 1 - 3 内の対応するビット線 B L とそれぞれ接続される。

【 0 0 9 5 】

メモリチップ 1 - 1 におけるワード線 W L は、ビット線 B L と同様に、メモリチップ 1 - 1 及び 1 - 3 間で共通のアドレスに対応する配線を電氣的に接続するための構造を有している。具体的には、1 本のワード線 W L と接合金属 4 3 との間に接続された導電体 4 2 の上面には、さらにコンタクトプラグ 4 7 が設けられている。コンタクトプラグ 4 7 は、導電体 4 6 と同じ層に設けられた導電体 4 8 に接続されている。導電体 4 8 は、X Y 平面において、当該導電体 4 8 が電氣的に接続された接合金属 4 3 と重なるように配置される。

【 0 0 9 6 】

このような構成により、メモリチップ 1 - 1 に設けられた導電体 4 8 は、メモリチップ 1 - 3 に設けられた接合金属 4 3 と接触し、メモリチップ 1 - 1 における 1 本のワード線 W L と、メモリチップ 1 - 3 における 1 本のワード線 W L とが電氣的に接続される。他のワード線 W L 並びに選択ゲート線 S G D 及び S G D も同様に、対応するコンタクトプラグ 4 7 を介して、メモリチップ 1 - 3 内の対応する配線とそれぞれ接続される。

【 0 0 9 7 】

図 2 2 は、第 3 実施形態に係る半導体メモリ 1 におけるメモリセルアレイ 1 0 及びパッド領域 1 5 の Y 方向に沿った断面構造の一例を示している。図 2 2 に示すように、第 3 実施形態に係る半導体メモリ 1 では、コンタクトピア T V がメモリチップ 1 - 1 及び 1 - 3 をそれぞれ貫通している。

【 0 0 9 8 】

具体的には、回路チップ 1 - 2 内における導電体 6 2 の上面から、メモリチップ 1 - 3 の最上面の絶縁膜 I N S に亘って、コンタクトピア T V が開口している。そして、コンタクトピア T V 内には導電体が形成され、例えば埋め込まれている。コンタクトピア T V は、このように導電体を形成又は埋め込むことが可能な範囲内で、可能な限り小さく設けられる。

【 0 0 9 9 】

そして、コンタクトピア T V に形成された導電体は、メモリチップ 1 - 3 上に露出した部分を有し、このメモリチップ 1 - 3 上に露出した部分が 1 つのパッド 1 7 として機能する。そしてパッド 1 7 は、第 1 実施形態と同様に、メモリチップ 1 - 1 及び 1 - 3 内に設けられたメモリセルアレイ 1 0 とオーバーラップした部分を有している。

【 0 1 0 0 】

10

20

30

40

50

尚、第3実施形態に係る半導体メモリ1において、メモリチップ1-3におけるソース線SLとメモリチップ1-3の上面との間隔は、メモリチップ1-1におけるソース線SLとメモリチップ1-3との間隔よりも大きくなる。この理由は、最上層に積層されたメモリチップでは、積層されたメモリチップ間を接続するための導電体46及び48を露出させないために、絶縁膜INSを厚く残しておくからである。

【0101】

以上で説明した第3実施形態に係る半導体メモリ1において、メモリチップ1-1及び1-3間で共通接続されたワード線WLのアドレスは、同じアドレス情報ADDにより指定され、メモリチップ1-1及び1-3間で共通接続されたビット線BLのアドレスは、同じアドレス情報ADDにより指定される。

10

【0102】

そして、第3実施形態に係る半導体メモリ1では、メモリチップ1-1及び1-3のいずれか一方を選択するために、例えばアドレス情報ADDに含まれたメモリチップを指定する情報を参照する。これにより、第3実施形態に係る半導体メモリ1は、メモリチップ1-1及び1-3で同じアドレスのワード線WLのうち一方のワード線WLを選択し、メモリチップ1-1及び1-3で同じアドレスのビット線BLのうち一方のビット線BLを選択することが出来る。第3実施形態に係る半導体メモリ1のその他の構成は、第1実施形態に係る半導体メモリ1の構成と同様のため、説明を省略する。

【0103】

[3-2] 第3実施形態の効果

以上で説明したように、第3実施形態に係る半導体メモリ1は、回路チップ1-2上に、メモリチップ1-1及び1-3を積層した構造を有している。そして、第3実施形態に係る半導体メモリ1は、第1実施形態と同様に、パッド17をメモリセルアレイ10の上部にオーバーラップさせている。

20

【0104】

これにより、第3実施形態に係る半導体メモリ1は、第1実施形態と同様に、パッド17を設ける領域を削減することが出来る。従って、第3実施形態に係る半導体メモリ1では、セル占有率を拡大することが出来るため、半導体メモリ1のビットコストを抑制することが出来る。

【0105】

尚、以上の説明では、半導体メモリ1において、回路チップ1-2上に2つのメモリチップ1-1及び1-3を積層させた場合を例に説明したが、これに限定されない。例えば、半導体メモリ1において、回路チップ1-2上に3つ以上のメモリチップが積層されていても良く、メモリチップの積層数は任意の数に設計することが可能である。このような場合においても、パッド17をメモリセルアレイ10の上部にオーバーラップさせることにより、半導体メモリ1のセル占有率を拡大することが出来る。

30

【0106】

[4] 第4実施形態

第4実施形態に係る半導体メモリ1は、第1実施形態に係る半導体メモリ1に対して、チップ表面にパッド17と異なる配線をさらに備えている。以下に、第4実施形態に係る半導体メモリ1について、第1～第3実施形態に係る半導体メモリ1と異なる点を説明する。

40

【0107】

[4-1] 構成

図23は、第4実施形態に係る半導体メモリ1において、メモリチップ1-1及び回路チップ1-2が貼り合わされた場合における半導体メモリ1の平面レイアウトを示している。図23に示すように、第4実施形態に係る半導体メモリ1の平面レイアウトは、図4を用いて説明した第1実施形態に係る半導体メモリ1の平面レイアウトに対して、複数の金属配線70が追加されている点が異なっている。

【0108】

50

金属配線 70 は、例えば X 方向に延伸し、メモリセルアレイ 10 A 上からメモリセルアレイ 10 B 上に亘って設けられている。金属配線 70 としては、例えばアルミニウムが使用される。例えば、金属配線 70 は、メモリセルアレイ 10 A 及び 10 B 間に配線される電源線として使用される。金属配線 70 は、例えば、半導体メモリ 1 の外部との接続に使用されない。

【0109】

尚、金属配線 70 の形状及び個数は、図 23 に示された形状及び個数に限定されず、任意の形状及び個数に設計することが可能である。また、金属配線 70 は、同一のメモリセルアレイ 10 上に収まるように設けられても良い。また、金属配線 70 の用途は、以上で説明したものに限定されず、金属配線 70 はその他の配線に適用されても良い。

10

【0110】

図 24 は、第 4 実施形態に係る半導体メモリ 1 におけるメモリセルアレイ 10 及びパッド領域 15 の Y 方向に沿った断面構造の一例を示している。図 24 に示すように、第 4 実施形態に係る半導体メモリ 1 の断面構造は、図 9 を用いて説明した第 1 実施形態に係る半導体メモリ 1 の断面構造に対して、金属配線 70 に関する構成が追加されている点が異なっている。本例では、2 つの金属配線 70 A 及び 70 B が図示されている。

【0111】

金属配線 70 A は、メモリチップ 1 - 1 内部に設けられた導電体 49 に接続されている。導電体 49 は、例えばメモリチップ 1 - 1 の表面とソース線 S L との間に設けられた配線であり、メモリチップ 1 - 1 内の回路に接続される。

20

【0112】

金属配線 70 B は、回路チップ 1 - 2 内部に設けられた導電体 63 に接続されている。導電体 63 は、回路チップ 1 - 2 内部の回路に接続されている。具体的には、導電体 63 上からメモリチップ 1 - 1 の表面に亘ってコンタクトビア TH が開口される。このコンタクトビア TH は、メモリセルアレイ 10 の領域において、半導体ピラー MH が設けられていない領域を通過する。

【0113】

そして、コンタクトビア TH の内壁には、絶縁体 64 が形成され、絶縁体 64 の内部に金属配線 70 B として機能する導電体が形成され、例えば埋め込まれる。このように、金属配線 70 B は、メモリセルアレイ 10 内部を通過して設けられ、絶縁膜 64 によって、ワード線 W L や選択ゲート線 S G S 及び S G D 等の各種配線と絶縁されている。

30

【0114】

以上で説明した各金属配線 70 は、例えばパッド 17 と同時に形成される。例えば、まずパッド 17 と金属配線 70 とをそれぞれ半導体メモリ 1 内部の回路に接続するためのホール（コンタクトビア TV 及びコンタクトビア TH）が形成される。そして、パッド 17 及び金属配線 70 として機能する導電体が、形成された各ホール内にそれぞれ形成され、例えば埋め込まれる。それから、パッド 17 及び金属配線 70 が所望の形状に加工される。

【0115】

[4 - 2] 第 4 実施形態の効果

以上で説明したように、第 4 実施形態に係る半導体メモリ 1 では、パッド 17 と同じ層に、金属配線 70 が設けられている。この金属配線 70 は、例えば異なるメモリセルアレイ 10 間を繋ぐ低抵抗配線として使用される。

40

【0116】

つまり、第 4 実施形態に係る半導体メモリ 1 は、金属配線 70 を用いることによって、メモリセルアレイ 10 間を接続する配線の抵抗を下げる事が出来る。従って、第 4 実施形態に係る半導体メモリ 1 は、デバイス性能を向上することが可能となる。

【0117】

[5] 変形例等

実施形態の半導体メモリ < 図 1、1 > は、第 1 メモリチップ < 図 3、1 - 1 > と、回路

50

チップ<図3、1-2>と、外部接続電極<図4、17>とを含む。第1メモリチップは、絶縁体を介して積層された複数の第1導電体と、複数の第1導電体を通過し、複数の第1導電体<図7、22~31>との交差部分がそれぞれメモリセルとして機能する第1ピラー<図7、MH>と、を含む。回路チップは、基板<図9、50>と、基板上に設けられた制御回路<図9、16>と、制御回路に接続された第2導電体<図9、62>とを含み、第1メモリチップに貼り合わされる。外部接続電極は、第1メモリチップの表面に設けられ、第1メモリチップの表面側から第1メモリチップを通過して第2導電体に接続された部分を有する。外部接続電極と基板との間には、第1導電体の一部が含まれる。これにより、半導体メモリのチップ面積を抑制することが出来る。

【0118】

尚、上記実施形態は、可能な限り組み合わせることが可能である。例えば、第2実施形態で説明したパッド17のレイアウトは、第3実施形態及び第4実施形態にそれぞれ適用することが可能である。また、第3実施形態で説明した複数のメモリチップを積層する構造は、第4実施形態に適用することが可能である。このように、適宜上記実施形態を組み合わせることによって、半導体メモリ1のチップ面積を縮小し、且つ半導体メモリ1の性能を向上することが出来る。

【0119】

尚、上記実施形態において、1つのパッド17の面積は、1つの接合金属39、43、54、又は58の面積よりも小さい。言い換えると、半導体メモリ1において、半導体メモリ1上に設けられ、外部のメモリコントローラ2との接続に利用されるパッド17の面積は、メモリチップ1-1と回路チップ1-2との間を接続するパッドの面積よりも大きい。

【0120】

尚、上記実施形態において、電荷蓄積層を有するメモリセルトランジスタMTを三次元に配置する構成の半導体メモリ1について説明したが、これに限定されない。上記実施形態において説明したパッド領域15における構造及び製造工程は、その他の半導体メモリにおいても適用することが可能である。例えば、上記実施形態において説明した構造は、相変化メモリセルを三次元に配置する構成の半導体メモリに適用されても良いし、強誘電体薄膜材料を用いたメモリセルを三次元に配置する構成の半導体メモリに適用されても良い。

【0121】

尚、本明細書において“接続”とは、電氣的に接続されていることを示し、例えば間に別の素子を介することを除外しない。

【0122】

本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことが出来る。これら実施形態やその変形は、発明の範囲や要旨に含まれると共に、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

【符号の説明】

【0123】

1-1, 1-3...メモリチップ、1-2...回路チップ、16...周辺回路、17...パッド、20, 50...半導体基板、22~31...導電体、39, 43, 54, 58...接合金属、MT...メモリセルトランジスタ、MH...半導体ピラー、1, 3...半導体メモリ、2...メモリコントローラ、10...メモリセルアレイ、11...ロウデコーダ、12...センスアンプ、13...シーケンサ、14...引出領域、15...パッド領域、21, 32, 38, 40, 42, 45, 46, 48, 51, 53, 55, 57, 59, 61, 62...導電体、33...ブロック絶縁膜、34, 44, INS...絶縁膜、35...トンネル酸化膜、36...半導体材料、37, 41, 47, 52, 56, 60...コンタクトプラグ、39, 43, 54, 58...接合金属、BL...ビット線、BLK...ブロック、SGD, SGS...選択ゲート線、ST1, S

10

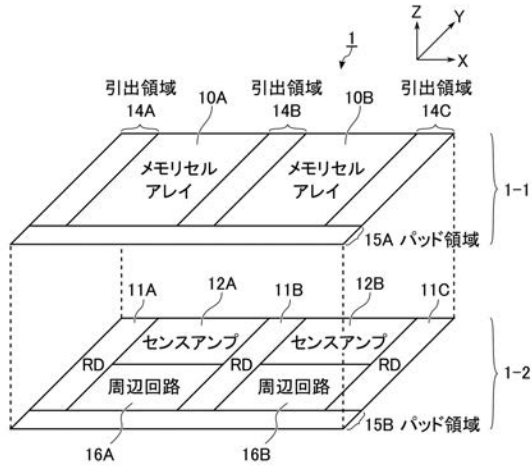
20

30

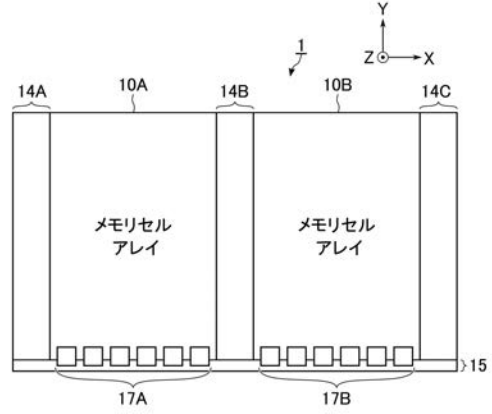
40

50

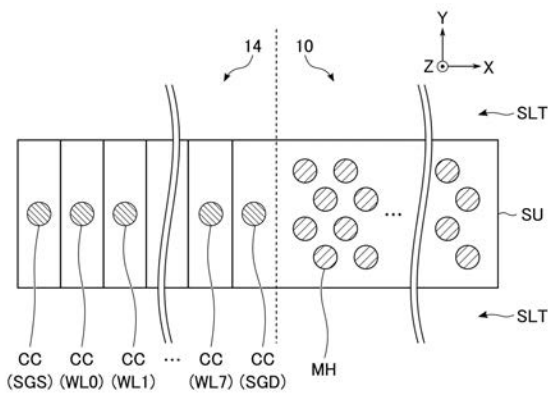
【 図 3 】



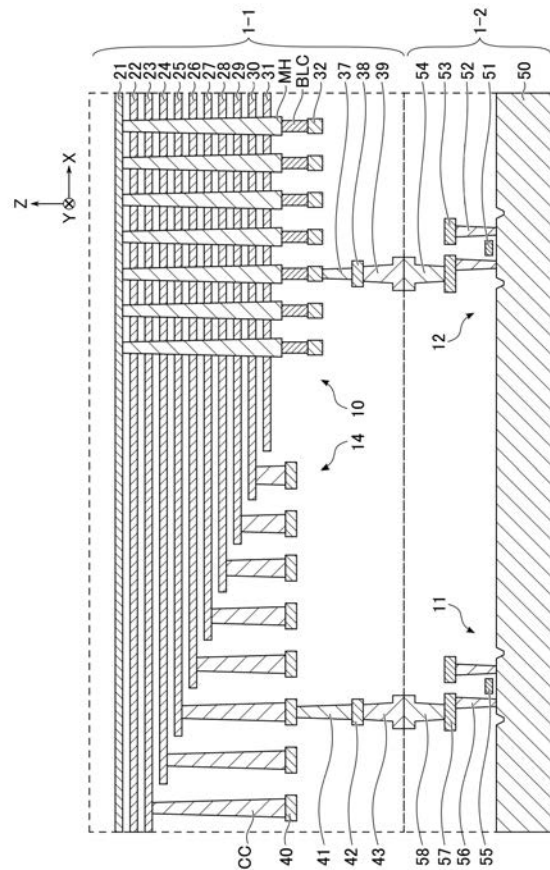
【 図 4 】



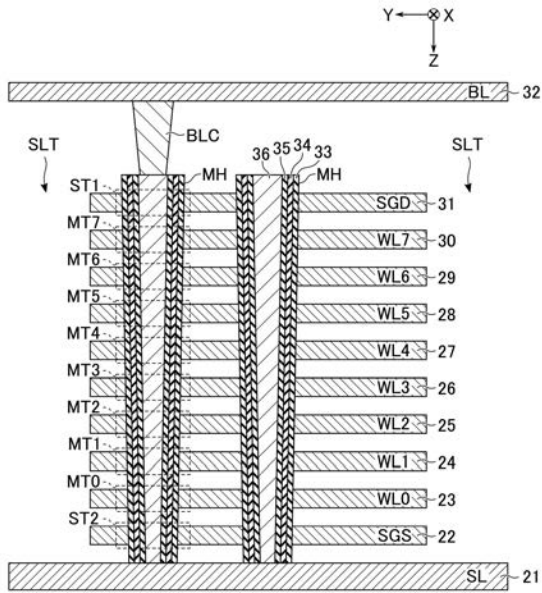
【 図 5 】



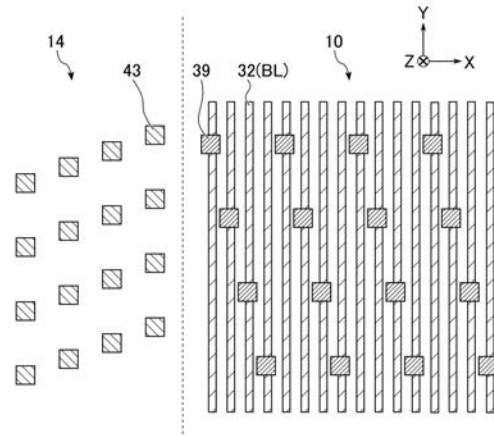
【 図 6 】



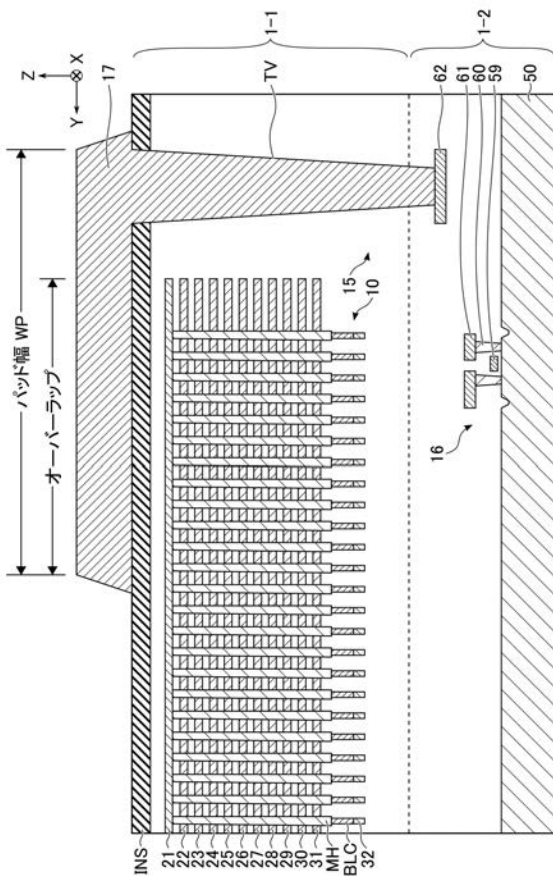
【図 7】



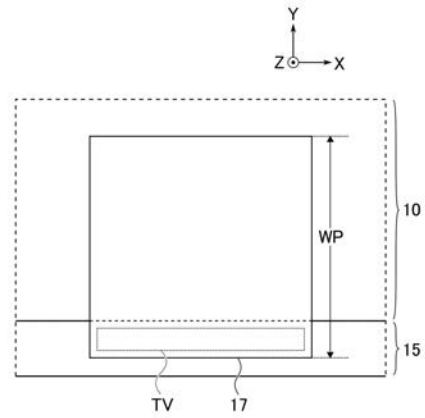
【図 8】



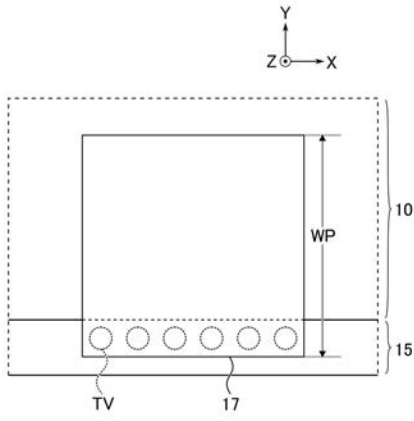
【図 9】



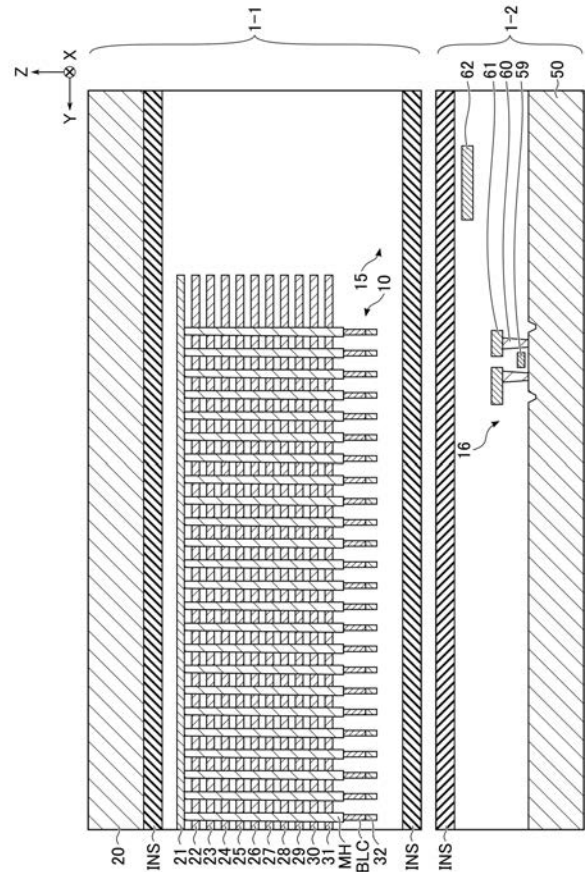
【図 10】



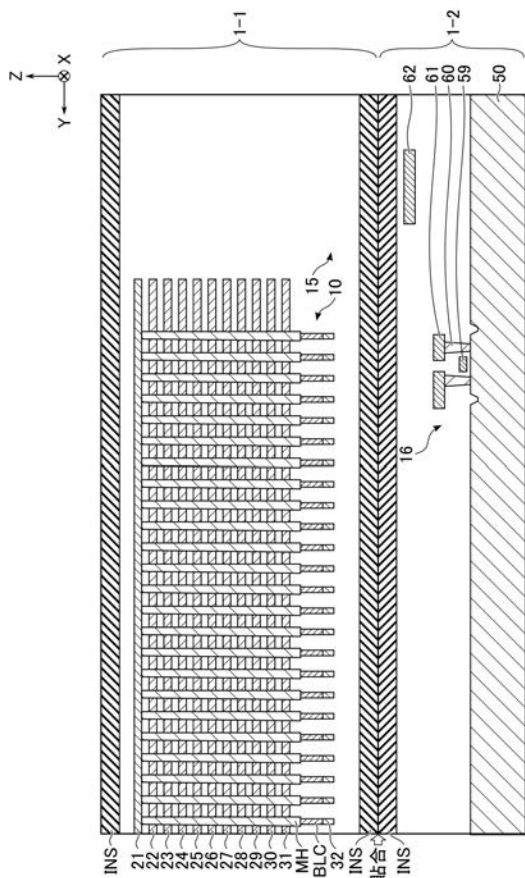
【 図 1 1 】



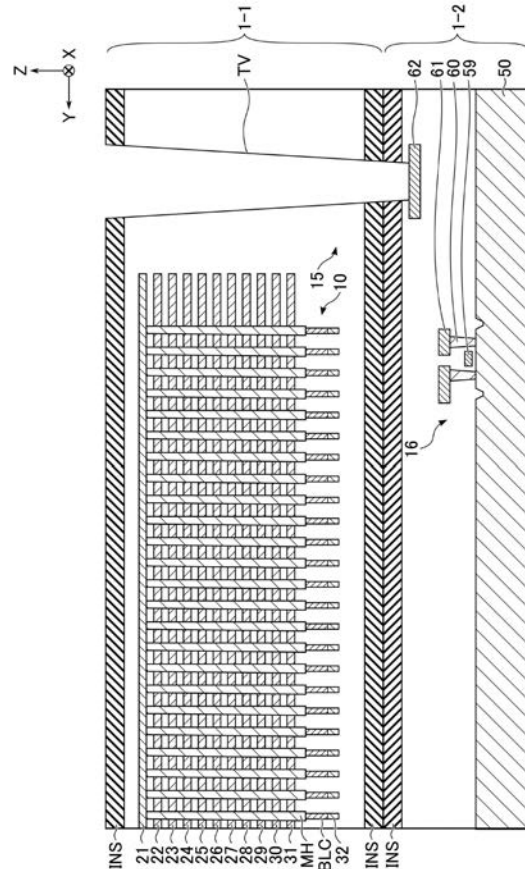
【 図 1 2 】



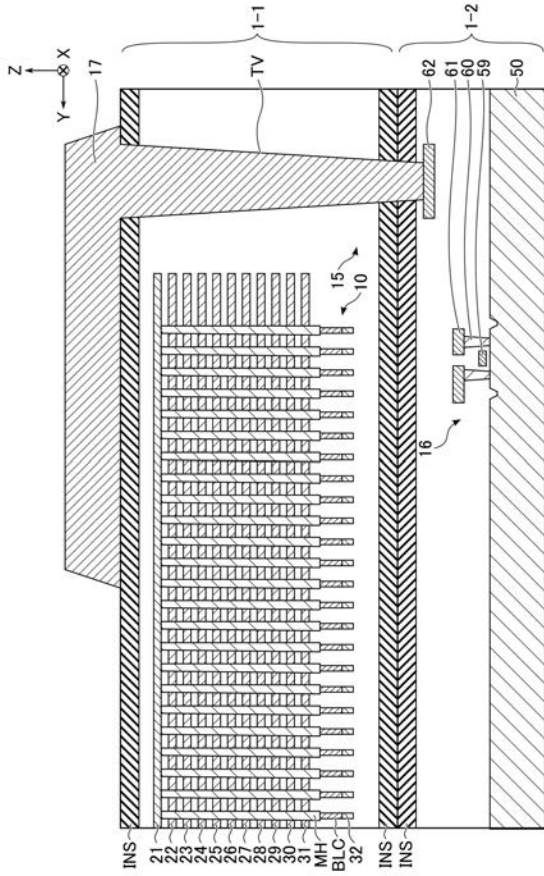
【 図 1 3 】



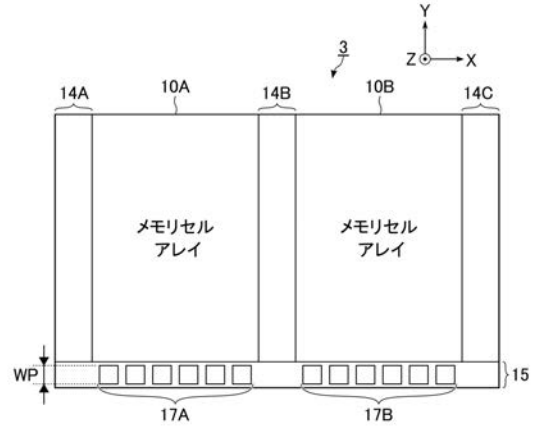
【 図 1 4 】



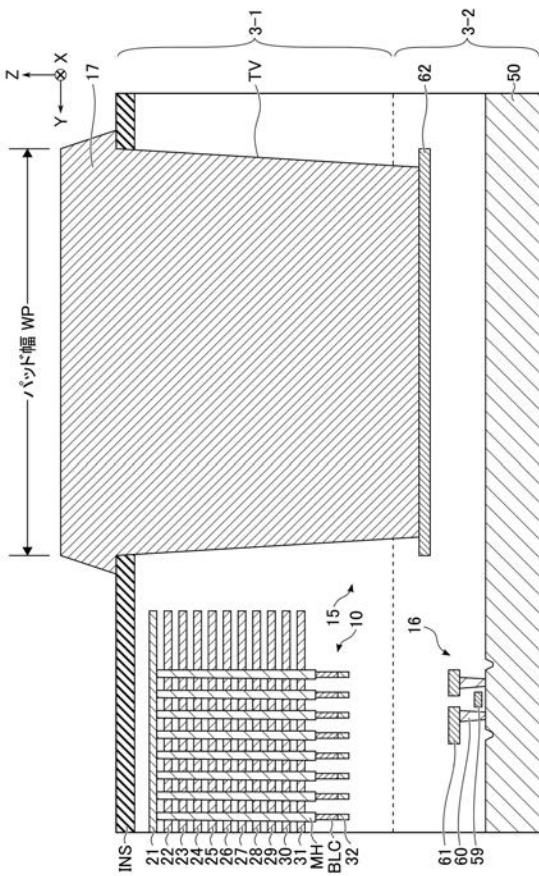
【図 15】



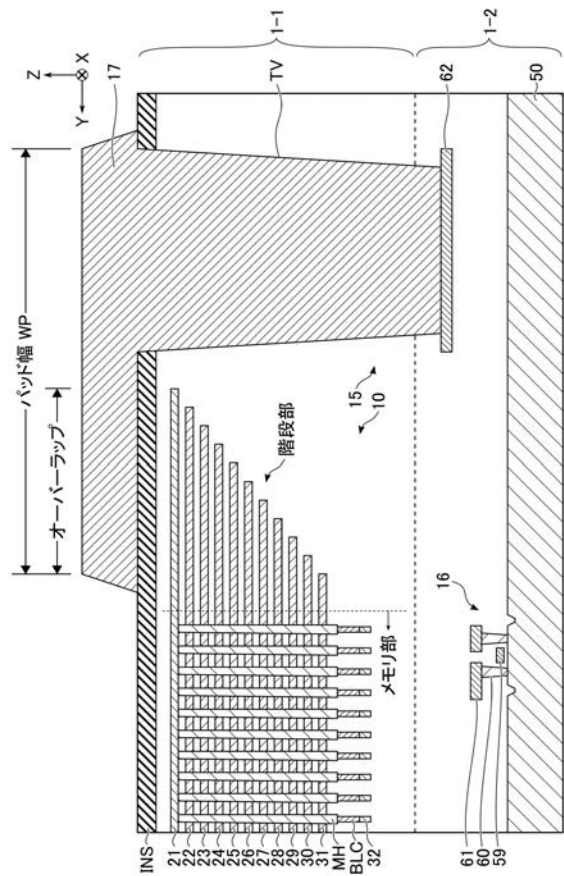
【図 16】



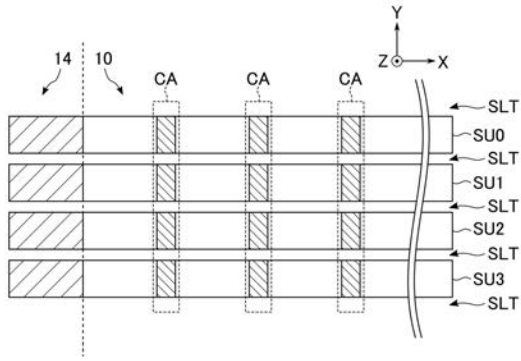
【図 17】



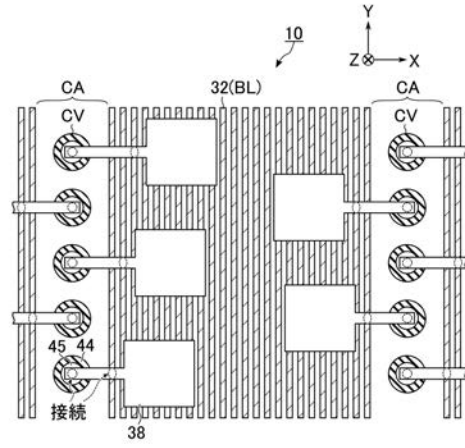
【図 18】



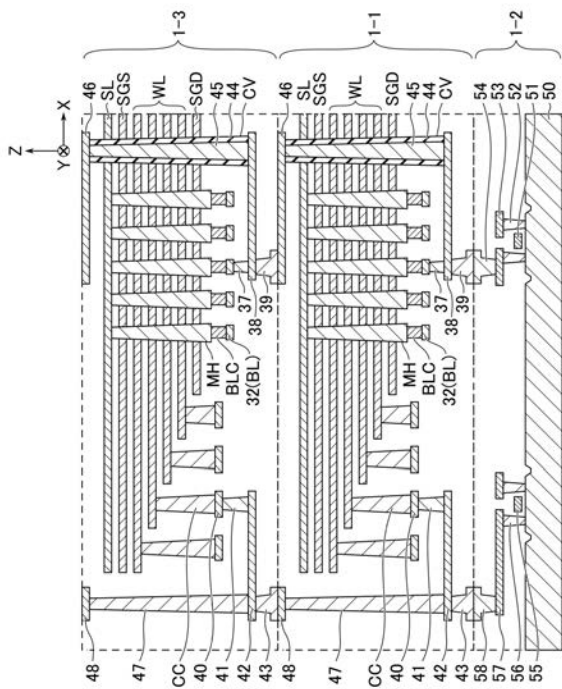
【図 19】



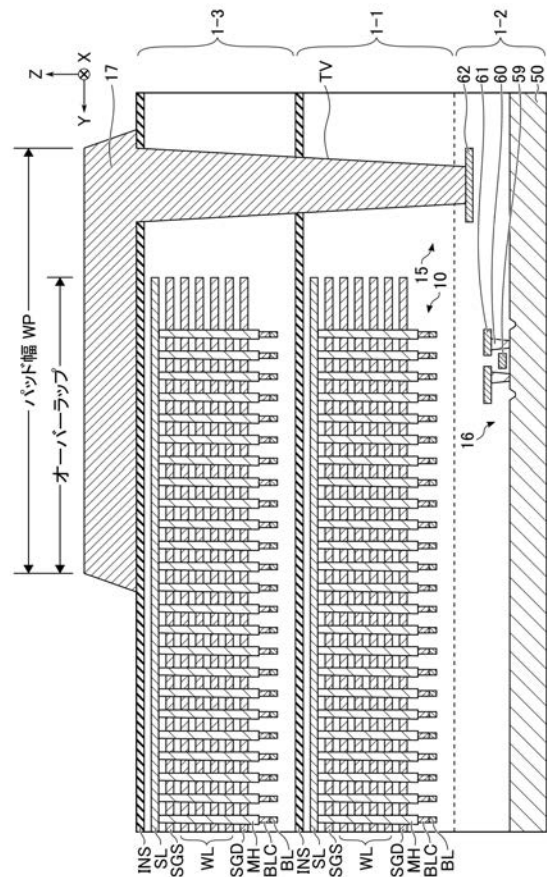
【図 20】



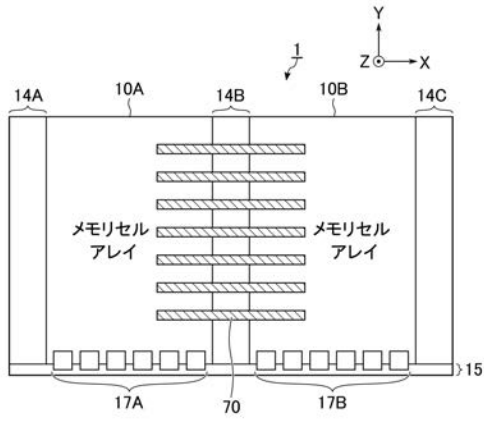
【図 21】



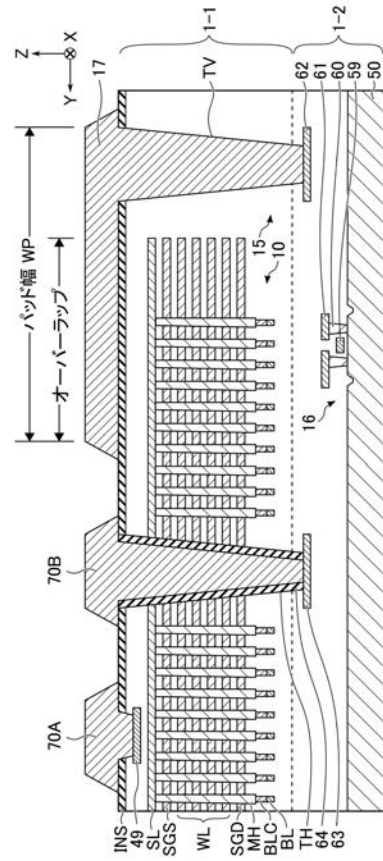
【図 22】



【図23】



【図24】



フロントページの続き

(72)発明者 田上 政由
東京都港区芝浦一丁目1番1号 東芝メモリ株式会社内

(72)発明者 飯島 純
東京都港区芝浦一丁目1番1号 東芝メモリ株式会社内

(72)発明者 勝又 竜太
東京都港区芝浦一丁目1番1号 東芝メモリ株式会社内

(72)発明者 東 和幸
東京都港区芝浦一丁目1番1号 株式会社東芝内

Fターム(参考) 5F083 EP18 EP33 EP34 EP47 EP48 EP76 ER03 ER09 ER14 ER19
ER22 GA10 JA02 JA04 JA19 JA36 JA37 KA01 KA05 KA11
LA12 LA16 LA20 MA06 MA16 MA19 ZA01 ZA12
5F101 BA45 BB02 BC01 BD16 BD22 BD30 BD34 BE02 BE05 BE07