

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-248613

(P2012-248613A)

(43) 公開日 平成24年12月13日(2012.12.13)

(51) Int.Cl.	F I	テーマコード (参考)
<b>H01L 21/285 (2006.01)</b>	H01L 21/285 S	4K029
<b>C23C 14/14 (2006.01)</b>	C23C 14/14 B	4M104
<b>C23C 14/34 (2006.01)</b>	C23C 14/34 R	5F033
<b>H01L 21/768 (2006.01)</b>	H01L 21/90 A	
<b>H01L 21/3205 (2006.01)</b>	H01L 21/88 N	

審査請求 未請求 請求項の数 16 O L (全 13 頁) 最終頁に続く

(21) 出願番号 特願2011-118009 (P2011-118009)  
 (22) 出願日 平成23年5月26日 (2011.5.26)

(71) 出願人 500174247  
 エルピーダメモリ株式会社  
 東京都中央区八重洲2-2-1  
 (74) 代理人 100123788  
 弁理士 官崎 昭夫  
 (74) 代理人 100106138  
 弁理士 石橋 政幸  
 (74) 代理人 100127454  
 弁理士 緒方 雅昭  
 (72) 発明者 田中 克彦  
 東京都中央区八重洲2-2-1 エルピー  
 ダメモリ株式会社内  
 Fターム(参考) 4K029 AA06 AA24 AA29 BA03 BD02  
 CA05 EA08 EA09 JA05

最終頁に続く

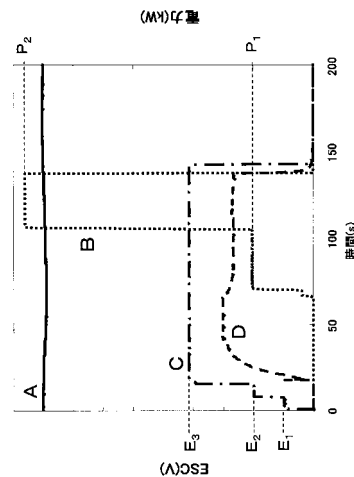
(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】コンタクトホール内に良好にA1膜が埋設されたコンタクトプラグを有する半導体装置を提供する。

【解決手段】半導体装置の製造方法は、基板の層間絶縁膜内にコンタクトホールを形成する工程と、基板を加熱した状態でコンタクトプラグを形成する工程を有する。コンタクトプラグを形成する工程では、スパッタ装置のチャンパー内のステージ上に、チャックを介して基板を保持し、チャックに印加するESC電圧を第一の電圧、第二の電圧、第三の電圧と、この順に3段階のステップ状に増加させる。チャンパー内のターゲットに対して第一のターゲット電力を印加してコンタクトホール内に第一のA1膜を成膜する。次に、チャンパー内のターゲットに対して第一のターゲット電力よりも高い第二のターゲット電力を印加して第一のA1膜上に第二のA1膜を成膜する。

【選択図】 図11



**【特許請求の範囲】****【請求項 1】**

基板の層間絶縁膜内にコンタクトホールを形成する工程と、  
前記コンタクトホールの内壁上に順に、バリアメタル膜及びシード A 1 膜を形成する工程と、

前記基板を加熱した状態で、下記(1)～(3)の工程を順に行うことにより、コンタクトプラグを形成する工程と、

(1) スパッタ装置のチャンバー内のステージ上に、チャックを介して前記基板を保持し、前記チャックに印加する E S C 電圧を第一の電圧、第二の電圧、第三の電圧と、この順に 3 段階のステップ状に増加させる工程、

(2) 前記チャンバー内のターゲットに対して第一のターゲット電力を印加して前記コンタクトホール内を埋め込むように第一の A 1 膜を成膜する工程、

(3) 前記チャンバー内のターゲットに対して第一のターゲット電力よりも高い第二のターゲット電力を印加して前記第一の A 1 膜上に第二の A 1 膜を成膜する工程、

を有する半導体装置の製造方法。

**【請求項 2】**

前記工程(1)において、

第二の電圧は、第一の電圧の 1.5 ~ 2.5 倍である、請求項 1 に記載の半導体装置の製造方法。

**【請求項 3】**

前記工程(1)において、

第三の電圧は、第一の電圧の 3.5 ~ 4.5 倍である、請求項 1 又は 2 に記載の半導体装置の製造方法。

**【請求項 4】**

前記工程(1)において、

第二の電圧は、第一の電圧の 2 倍であり、

第三の電圧は、第一の電圧の 4 倍である、請求項 1 ~ 3 の何れか 1 項に記載の半導体装置の製造方法。

**【請求項 5】**

前記工程(3)において、

第二のターゲット電力は、第一のターゲット電力の 4 ~ 5 倍である、請求項 1 ~ 4 の何れか 1 項に記載の半導体装置の製造方法。

**【請求項 6】**

前記工程(3)において、

第二のターゲット電力は、第一のターゲット電力の 4.8 倍である、請求項 5 に記載の半導体装置の製造方法。

**【請求項 7】**

前記工程(2)において、

前記第一の A 1 膜の成膜レートは、5 nm / s である、請求項 1 ~ 6 の何れか 1 項に記載の半導体装置の製造方法。

**【請求項 8】**

前記工程(3)において、

前記第二の A 1 膜の成膜レートは、17 nm / s である、請求項 1 ~ 7 の何れか 1 項に記載の半導体装置の製造方法。

**【請求項 9】**

前記工程(1)～(3)において、前記チャンバー内のステージ温度は 400 ~ 450 である、請求項 1 ~ 8 の何れか 1 項に記載の半導体装置の製造方法。

**【請求項 10】**

前記工程(1)～(3)において、前記チャンバー内のステージ温度は 430 である、請求項 9 に記載の半導体装置の製造方法。

10

20

30

40

50

## 【請求項 1 1】

前記コンタクトホールを形成する工程の前に、

配線層を形成する工程と、

前記配線層上に前記層間絶縁膜を形成する工程と、  
を有し、

前記コンタクトホールを形成する工程において、

前記層間絶縁膜内に、前記配線層を露出させるように前記コンタクトホールを形成する、請求項 1 ~ 1 0 の何れか 1 項に記載の半導体装置の製造方法。

## 【請求項 1 2】

前記配線層は、前記コンタクトホール側から順に、TiN膜、第三のAl膜、及びTi膜を有する、請求項 1 1 に記載の半導体装置の製造方法。

10

## 【請求項 1 3】

前記コンタクトプラグを形成する工程の後に、

前記第二のAl膜上に、スパッタ法により、TiN膜を形成する工程を有する、請求項 1 ~ 1 2 の何れか 1 項に記載の半導体装置の製造方法。

## 【請求項 1 4】

前記Ti膜の膜厚は5 ~ 30 nmである、請求項 1 2 に記載の半導体装置の製造方法。

## 【請求項 1 5】

前記シードAl膜の膜厚は150 ~ 300 nmである、請求項 1 ~ 1 4 の何れか 1 項に記載の半導体装置の製造方法。

20

## 【請求項 1 6】

前記コンタクトホールのアスペクト比は3以下である、請求項 1 ~ 1 5 の何れか 1 項に記載の半導体装置の製造方法。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、半導体装置の製造方法に関する。

## 【背景技術】

## 【0002】

従来から、コンタクトホール等の微細な構造へ導電材料を埋設する際に、コンタクトホール内にボイドが発生するなどの問題点が指摘されていた。そこで、微細なコンタクトホールへの導電材料の埋設性を確保するために、Alリフロースパッタ法を用いた方法が提案されている。Alリフロースパッタ法は、Al膜を堆積させると共に高温加熱により堆積させたAl膜を流動化させることにより、埋設性・平坦性に優れたAl膜を形成できるという特徴を有する。

30

## 【0003】

例えば、特許文献1（特開平7 - 29853号公報）、および特許文献2（特開平11 - 243070号公報）には、窒化チタン膜を用いることにより、微細コンタクトホールへのAlリフロースパッタ法を用いたAlの埋設性を確保している。

## 【0004】

また、特許文献3（特開平7 - 176615号公報）では、高温スパッタTiを用いAl表面モホロジーを確保している。

40

## 【先行技術文献】

## 【特許文献】

## 【0005】

【特許文献1】特開平7 - 29853号公報

【特許文献2】特開平11 - 243070号公報

【特許文献3】特開平7 - 176615号公報

## 【発明の概要】

【発明が解決しようとする課題】

50

## 【 0 0 0 6 】

図 1 及び 2 はそれぞれ、上記特許文献 1 ~ 3 のような従来の Al リフロースパッタ法を実施した状況を表す概略図、及びスパッタ条件を表す図である。図 2 中の A はチャンパー 1 4 内を流す Ar ガスの温度、B はターゲット 1 1 に印加するターゲット電力、C は静電チャック ( 図 1 中には図示していない ) を介して基板に印加する ESC 電圧、D はステージ圧力を表す。

## 【 0 0 0 7 】

図 1 及び 2 に示すように、従来の Al リフロースパッタ法では、スパッタ装置 1 0 のチャンパー 1 4 内のステージ 1 2 上に静電チャックにより、基板 1 3 を配置する。ステージ 1 2 と基板 1 3 間に高温の Ar ガスを流すことにより、基板の温度を高温に保つ。この状態

10

## 【 0 0 0 8 】

上記のような従来の Al リフロースパッタ法では、ESC 電圧 C を 1 段階で一定値に設定すると、ステージ 1 2 上で基板 1 3 が割れる、という現象が発生していた。この結果、Al リフロースパッタの生産性が低下することとなっていた。また、従来の Al リフロースパッタ法では、ターゲット電力を高く設定し Al 成膜の温度を高温にすることで Al 膜の埋設性を確保していたが、ウェハ割れにより生産性が低下する、という問題点があった。

20

## 【 0 0 0 9 】

本発明は上記課題に鑑みてなされたものであり、ESC 電圧を 3 段階にステップ状に増加させ、低レートと高レートの 2 種類の Al リフロースパッタ法を行うことで、微細なコンタクトホールへの Al 材料の埋設性を高めるものである。

## 【課題を解決するための手段】

## 【 0 0 1 0 】

一実施形態は、

基 基板の層間絶縁膜内にコンタクトホールを形成する工程と、

前記コンタクトホールの内壁上に順に、バリアメタル膜及びシード Al 膜を形成する工程と、

30

前記基板を加熱した状態で、下記 ( 1 ) ~ ( 3 ) の工程を順に行うことにより、コンタクトプラグを形成する工程と、

( 1 ) スパッタ装置のチャンパー内のステージ上に、チャックを介して前記基板を保持し、前記チャックに印加する ESC 電圧を第一の電圧、第二の電圧、第三の電圧と、この順に 3 段階のステップ状に増加させる工程、

( 2 ) 前記チャンパー内のターゲットに対して第一のターゲット電力を印加して前記コンタクトホール内を埋め込むように第一の Al 膜を成膜する工程、

( 3 ) 前記チャンパー内のターゲットに対して第一のターゲット電力よりも高い第二のターゲット電力を印加して前記第一の Al 膜上に第二の Al 膜を成膜する工程、

を有する半導体装置の製造方法に関する。

40

## 【発明の効果】

## 【 0 0 1 1 】

高い生産性で、コンタクトホール内に Al 膜が良好に埋設されたコンタクトプラグを有する半導体装置を提供する。

## 【図面の簡単な説明】

## 【 0 0 1 2 】

【図 1】従来の Al リフロースパッタ法を使用する場合の問題点を表す図である。

【図 2】従来の Al リフロースパッタ法によるスパッタ条件を表す図である。

【図 3】本発明の半導体装置の製造方法の一例を表すフローチャートである。

【図 4】図 3 の各工程を実施する装置を表す図である。

50

- 【図5】本発明の半導体装置の製造方法の一例の一工程を表す図である。  
 【図6】本発明の半導体装置の製造方法の一例の一工程を表す図である。  
 【図7】本発明の半導体装置の製造方法の一例の一工程を表す図である。  
 【図8】本発明の半導体装置の製造方法の一例の一工程を表す図である。  
 【図9】本発明の半導体装置の製造方法の一例の一工程を表す図である。  
 【図10】本発明の半導体装置の製造方法の一例の一工程を表す図である。  
 【図11】本発明の半導体装置の製造方法の一例の一工程を表す図である。  
 【図12】本発明の半導体装置の製造方法の一例の一工程を表す図である。  
 【図13】本発明の半導体装置の製造方法の一例の一工程を表す図である。  
 【図14】本発明の半導体装置の製造方法の一例の一工程を表す図である。  
 【図15】本発明の半導体装置の製造方法の一例の一工程を表す図である。  
 【図16】本発明の半導体装置の製造方法の一例の一工程を表す図である。  
 【図17】本発明の半導体装置の製造方法の一例の一工程を表す図である。  
 【図18】本発明の半導体装置の製造方法の一例の一工程を表す図である。  
 【発明を実施するための形態】

【0013】

半導体装置の製造方法では、基板を加熱冷却後に、コンタクトホールの内壁上に順に、バリアメタル膜及びシードA1膜を形成する。バリアメタル膜としては、Ti膜、Ti膜/TiN膜、又は、Ti膜/TiN膜/Ti膜（何れの積層膜もコンタクトホールの内壁側から順に記載）を挙げることができる。シードA1膜等の埋設マージンを大幅に拡大することができるため、Ti膜/TiN膜/Ti膜の積層膜からなるバリアメタル膜が好ましい。バリアメタル膜の膜厚は5~30nmであることが好ましく、シードA1膜の膜厚は150~300nmであることが好ましい。コンタクトホールのアスペクト比は3以下であることが好ましい。バリアメタル膜とシードA1膜の膜厚、及びコンタクトホールのアスペクト比がこれらの範囲内にあることにより、後の工程(2)で、良好に第一のA1膜の成膜を行うことができる。

【0014】

この後、基板を加熱した状態で下記の3つの工程(1)~(3)を順に行う。これにより、コンタクトプラグを形成する。なお、加熱により、下記工程(1)~(3)の間、基板は一定温度に維持される。

【0015】

工程(1)

A1成膜の前処理工程であり、チャンバー内のステージ上に静電チャックを介して基板を保持し、静電チャックを介して基板に印加するESC電圧を第一の電圧、第二の電圧、第三の電圧と、この順に3段階のステップ状に増加させる。このように、段階的にステージ電圧を変化させることにより、基板に印加される電圧は徐々に増加していくため、基板内には内部応力が生じにくくなる。この結果、ステージ上での基板の反りによる割れが発生しなくなる。

【0016】

第二の電圧は第一の電圧の1.5~2.5倍であることが好ましく、第三の電圧は第一の電圧の3.5~4.5倍であることが好ましい。また、第二の電圧は第一の電圧の2倍であり、第三の電圧は第一の電圧の4倍であることがより好ましい。第一、第二、及び第三の電圧をこれらの範囲内に設定することにより、ステージ上での基板の反りによる割れを効果的に防止することができる。

【0017】

工程(2)

第一のA1の成膜工程であり、チャンバー内のターゲットに対して第一のターゲット電力を印加して、コンタクトホール内に第一のA1膜を成膜する。第一のA1の成膜工程では、第一のターゲット電力を低めに制御することにより、低い成膜レートでA1膜を成膜する。これにより、コンタクトホール内にボイドを発生させることなく、良好な埋設性で

10

20

30

40

50

コンタクトホール内に Al 膜を埋設させることができる。第一の Al 膜の成膜レートは、5 nm / s であることが好ましい。5 nm / s とすることにより、コンタクトホールへ Al 膜を良好な埋設性を確保することができる。

【0018】

工程(3)

第二の Al の成膜工程であり、チャンバー内のターゲットに対して、第一のターゲット電力よりも高い第二のターゲット電力を印加して、第一の Al 膜上に第二の Al 膜を成膜する。第二の Al の成膜工程では、チャンバー内に高めのターゲット電力を印加することにより、高い成膜レートで Al を成膜する。工程(2)において、コンタクトホール内は既に埋設性に優れた第一の Al 膜で埋設されている。このため、工程(3)では、高い成膜レートにして短時間で効率よく第一の Al 膜上に第二の Al 膜を形成することができる。さらに、ESC 電圧及びターゲット電力を制御することで、従来よりも工程(2)及び(3)の温度を低温で処理することができ、ウェハ割れの発生やパーツ寿命を改善することができる。この結果、半導体装置の生産性を高めることができます。

10

【0019】

第二の Al 膜の成膜レートは、17 nm / s であることが好ましい。17 nm / s とすることにより、短時間で Al 膜を成膜することができ、生産性を向上させることができる。

【0020】

第二のターゲット電力は、第一のターゲット電力の 4 ~ 5 倍であることが好ましく、4 . 8 倍であることがより好ましい。第一及び第二のターゲット電力がこれらの範囲内であることによって、コンタクトホール内の埋設性を確保しつつ、Al の成膜時間を短縮して生産性をより向上させることができる。

20

【0021】

工程(1) ~ (3)における、チャンバー内のステージ温度は 400 ~ 450 であることが好ましく、430 であることがより好ましい。

【0022】

以下、図3 ~ 18を参照して、半導体装置の製造方法の一例を説明する。図3は、半導体装置の製造方法の各工程を表すフローチャートである。図4は、半導体装置の製造装置を表す概略図である。図5 ~ 18は、半導体装置の製造方法における各工程を表す図である。

30

【0023】

まず、シリコン基板 20 上に、Ti 膜 21、TiN 膜 22、Al 膜 23 及び TiN 膜 24 が積層された配線層を有する層間絶縁膜 25 を形成する。RIE 工程を実施することにより、層間絶縁膜 25 内にコンタクトホール 26 を形成する(図5)。

【0024】

このシリコン基板を図4のロードポート A 50 からロードロックチャンバー 51 に搬送する。シリコン基板を、第一の移動領域 52 を経由して、脱ガスチャンバー 53 に搬入する(図3の S1)。脱ガスチャンバー 53 内では、温度 450、圧力 8 Torr、時間 90 s の条件で、シリコン基板に対して脱ガス処理を行う(図3の S2、図6)。脱ガス条件はこれに限定されるわけではなく、例えば、温度 400 ~ 500 の範囲、圧力 3 ~ 10 Torr の範囲、時間 20 ~ 120 s の範囲とすることができる。

40

【0025】

シリコン基板を、図4の脱ガスチャンバー 53 から第一の移動領域 52 を経由して、RF エッチングチャンバー 54 内に搬入する。RF エッチングチャンバー 54 内では、Ar スパッタエッチングを行う(図3の S3、図7)。これにより、コンタクトホールの底部に露出している配線層の表面酸化膜を除去すると共に、コンタクトホールの開口径を拡大させて、後の工程で良好な Al 埋設性を確保することができる。この時の Ar スパッタエッチングのエッチング量を酸化膜換算で 20 nm としたが、エッチング量はこれに限定されるわけではなく、5 nm から 40 nm の範囲としても良い。

50

## 【0026】

シリコン基板を、図4のRFエッチングチャンバー54から第一の移動領域52を經由して、クールチャンバー55内に搬入する。クールチャンバー55内では、シリコン基板を100℃まで冷却する(図3のS4、図8)。

## 【0027】

シリコン基板を、図4のクールチャンバー55から第二の移動領域56を經由して、Ti成膜チャンバー57内の、静電チャック機能を有するステージに搬送し、静電チャックを介してステージ上にシリコン基板を保持する。Ti成膜チャンバー57のステージとシリコン基板間の隙間にArガスを流しながら、ガス伝導によりシリコン基板を23℃付近に維持する。このときのArガスの供給圧力は3~10 Torrの間で加圧調整することが好ましい。続いて、コンタクトホール内及び層間絶縁膜上の全面に、成膜条件を膜厚20nm、成膜温度23℃、ターゲット電力35kW(電力密度:29.6W/cm<sup>2</sup>)として、スパッタリングによりTi膜を成膜する(図3のS5、図9)。Tiの成膜条件はこれに限定されるわけではなく、膜厚5~30nmの範囲、成膜温度0~100℃の範囲、ターゲット電力5~40kW(電力密度:4.2~33.8W/cm<sup>2</sup>)の範囲とすることができる。

10

## 【0028】

シリコン基板を、図4のTi成膜チャンバー57から第二の移動領域56を經由して、シードAl膜成膜チャンバー58に搬送する(図3のS6、図10)。このときの成膜条件は、膜厚300nm、成膜温度23℃、ターゲット電力35kW(電力密度23.3W/cm<sup>2</sup>)とした。シードAl膜の成膜条件はこれに限定されるわけではなく、膜厚は150nmから400nmの範囲、成膜温度は0℃から100℃の範囲、ターゲット電力は30kWから40kW(電力密度:20W/cm<sup>2</sup>から33.8W/cm<sup>2</sup>)の範囲とすることができる。

20

## 【0029】

シリコン基板を、図4のシードAl膜成膜チャンバー58から第二の移動領域56を經由して、静電チャック機能と加熱機能を有するAlリフローズパッタ用チャンバー59のステージ上に搬送する。静電チャックにより、ステージ上にシリコン基板を保持する。

## 【0030】

次に、同一のチャンバー59内でシリコン基板の加熱、リフローズパッタ法による第一のAl膜と第二のAl膜の成膜を順に行う。以下、図11~14を参照して、各工程を説明する。

30

## 【0031】

図11は、第一及び第二のAl膜の成膜のリフローズパッタ条件を表す図である。図11のAはステージの温度、Bはターゲットに対して印加するターゲット電力、Cは静電チャックを介してシリコン基板に印加するESC電圧、Dはステージ圧力(シリコン基板とステージの間に流すArガスの圧力)を表す。

## 【0032】

まず、加熱条件を加熱温度430℃で、ESC電圧を第一の電圧E<sub>1</sub>、第二の電圧E<sub>2</sub>、第三の電圧E<sub>3</sub>と、この順に3段階のステップ状に増加させる(工程(1))。ESC電圧が第三の電圧E<sub>3</sub>となった後に、ステージとシリコン基板間の隙間にArガスを流しガス伝導により、シリコン基板を加熱する(図3のS7、図11及び12)させる。加熱時間約60sで、チャンバー内のこの際、Al膜の一部と先に成膜したTi膜とが反応して、TiAl<sub>3</sub>が形成される。このシリコン基板の加熱中にシリコン基板の加熱条件はこれに限定されるわけではなく、温度は400~450℃の範囲、加熱時間は30~90sの範囲としても良い。

40

## 【0033】

加熱により430℃に維持した状態で、ターゲットに対して第一のターゲット電力を印加することにより、第一のAl膜の成膜として、低レートでAlリフローズパッタリングによるAl膜の成膜を行う(第一のAlリフローズパッタリング;工程(2);図3のS

50

8、図11及び13)。これにより、コンタクトホール内は第一のAl膜で埋め込まれる。第一のAl膜の成膜条件は、膜厚200nm、温度430℃、ターゲット電力は5kWで成膜とする。第一のAl膜の成膜条件はこれに限定されるわけではなく、例えば、1回目の成膜条件は膜厚100～300nm、温度400～450℃の範囲、第一のターゲット電力2～8kW（電力密度：1.33～5.32W/cm<sup>2</sup>）の範囲とすることができる。

【0034】

続いて、加熱により430℃に維持した状態で、ターゲットに対して第一のターゲット電力よりも大きな第二のターゲット電力を印加することにより、第二のAl膜の成膜として、高レートでAlリフロースパッタリングによるAl膜の成膜を行う（第二のAlリフロースパッタリング；工程（3）；図3のS9、図11及び14）。この成膜条件は、膜厚400nm、温度430℃、ターゲット電力20kW（電力密度13.3W/cm<sup>2</sup>）とする。第二のAl膜の成膜条件はこれに限定されるわけではなく、例えば、膜厚200～600nmの範囲、温度400～450℃の範囲、第二のターゲット電力15～25kW（電力密度：9.98～16.6W/cm<sup>2</sup>）の範囲とすることができる。

10

【0035】

シリコン基板を、図4のAlリフロースパッタ用チャンバー59から第二の移動領域56を経由して、クーリングチャンバー60に搬送する。冷却条件を温度23℃、ステージ圧力3Torr、時間30秒に設定して、シリコン基板を200℃以下まで冷却する（図3のS10、図15）。冷却条件はこれに限定されるわけではなく、ステージ圧力は1～5Torrの間、時間5～30秒とすることができる。

20

【0036】

シリコン基板を、図4のクーリングチャンバー60から第一の移動領域52を経由して、TiN成膜チャンバー61に搬送する。シリコン基板を、TiN成膜チャンバー61のステージに搬送し、静電チャックによりステージ上にシリコン基板を保持する。成膜条件を膜厚30nm、成膜温度23℃、ターゲット電力15kW（電力密度：11.6W/cm<sup>2</sup>）として、反射防止膜であるTiN膜を成膜する（図3のS11、図16）。成膜条件はこれに限定されるわけではなく、膜厚20～70nmの範囲、成膜温度0～200℃の範囲、ターゲット電力：10～20kW（電力密度：7.70～15.4W/cm<sup>2</sup>）の範囲とすることができる。

30

【0037】

シリコン基板を、図4のTiN成膜チャンバー61から第一の移動領域52を経由して、ロードロックチャンバー62に搬送する。冷却条件を温度23℃、ステージ圧力4Torr、時間10sとして、シリコン基板を冷却する（図3のS12、図17）。冷却条件はこれに限定されるわけではなく、ステージ圧力は2～10Torrの範囲、時間は5～30sの範囲とすることができる。

【0038】

冷却後のシリコン基板を、図4のロードロックチャンバー62からロードポートB63に搬送した後、半導体製造装置から外部に搬送する（図3のS13）。

【0039】

図18に示すように、積層した各材料に対してリソグラフィ技術を用いたエッチングすることにより、コンタクトプラグを形成する。

40

【符号の説明】

【0040】

- 10 スパッタ装置
- 12 ステージ
- 13 基板
- 14 チャンバー
- 15 ポンプ
- 16 DC電源

50

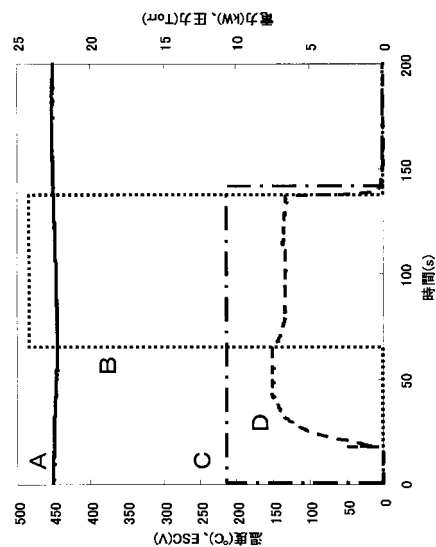
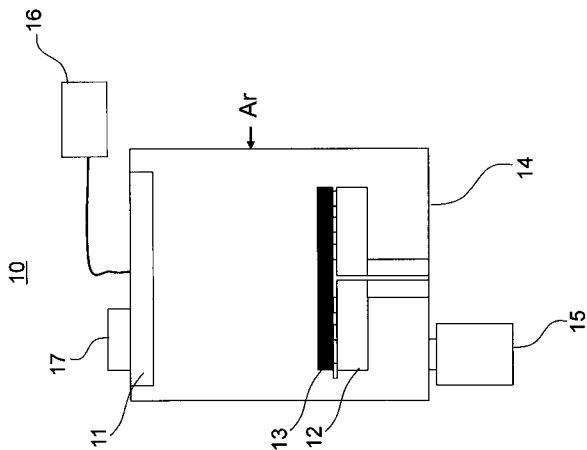
- 17 マグネット
- 20 シリコン基板
- 21 Ti膜
- 22 TiN膜
- 23 Al膜
- 24 TiN膜
- 25 層間絶縁膜
- 26 コンタクトホール
- 50 ロードポートA
- 51 ロードロックチャンバー
- 52 第一の移動領域
- 53 脱ガスチャンバー
- 54 RF エッチングチャンバー
- 55 クールチャンバー
- 56 第二の移動領域
- 57 Ti成膜チャンバー
- 58 シードAl膜成膜チャンバー
- 59 Alリフローズパッタ用チャンバー
- 60 クーリングチャンバー
- 61 TiN成膜チャンバー
- 62 ロードロックチャンバー
- 63 ロードポートB

10

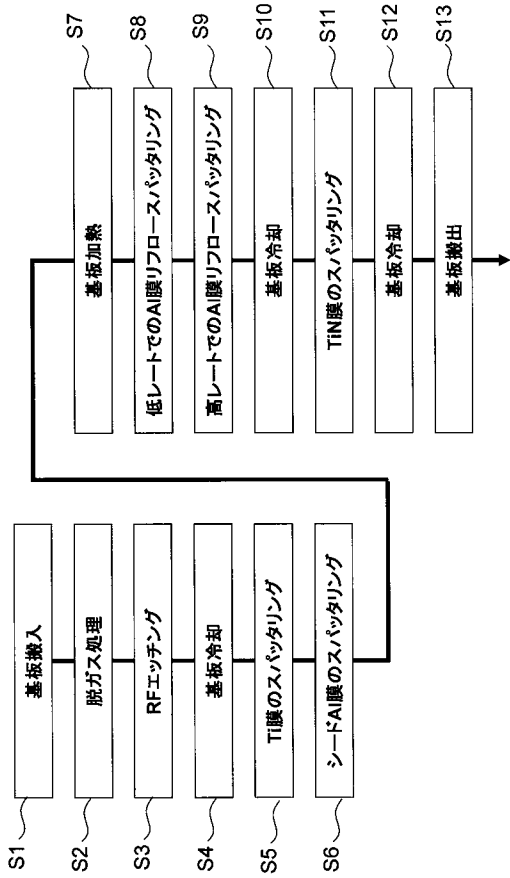
20

【図1】

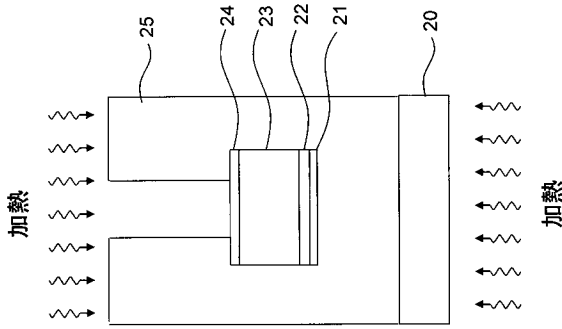
【図2】



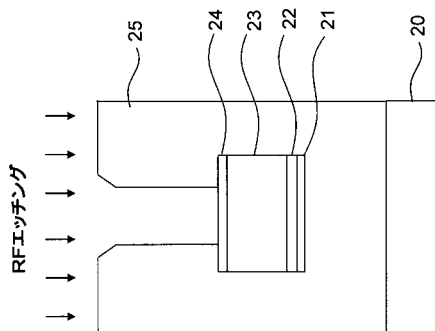
【 図 3 】



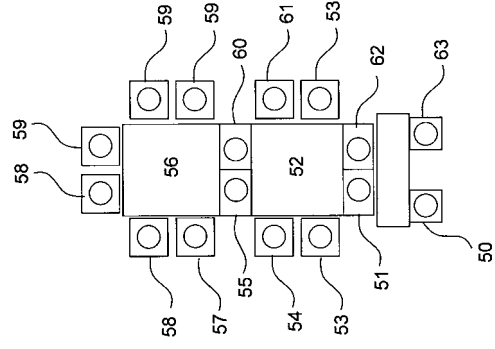
【 図 6 】



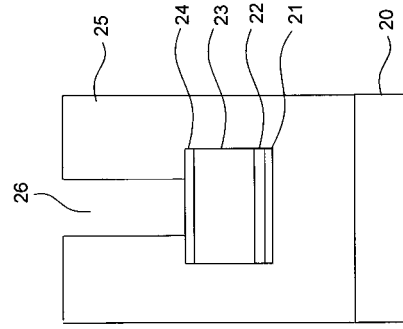
【 図 7 】



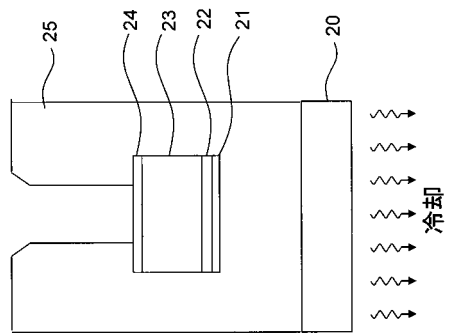
【 図 4 】



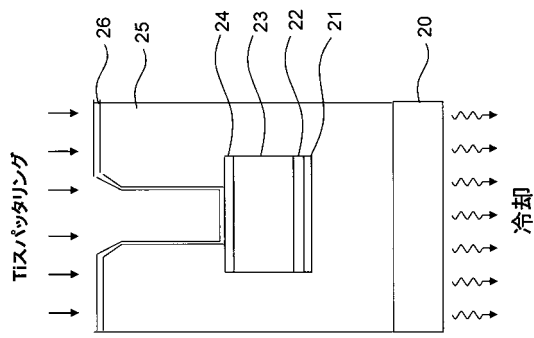
【 図 5 】



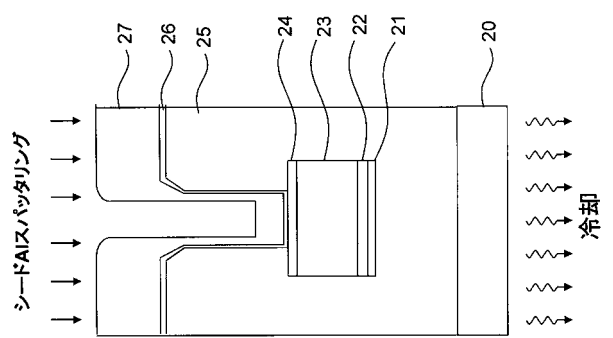
【 図 8 】



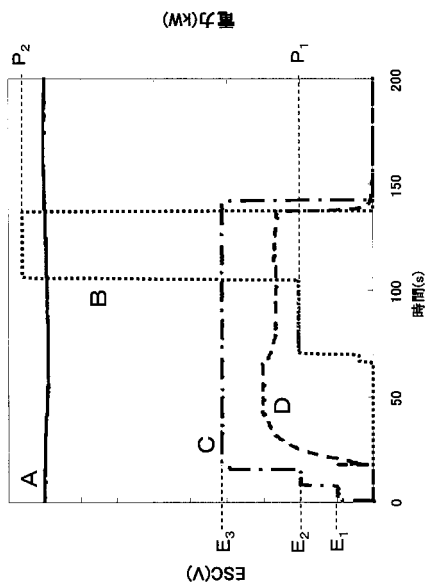
【 図 9 】



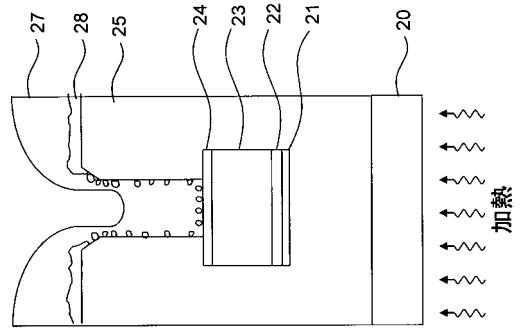
【 図 10 】



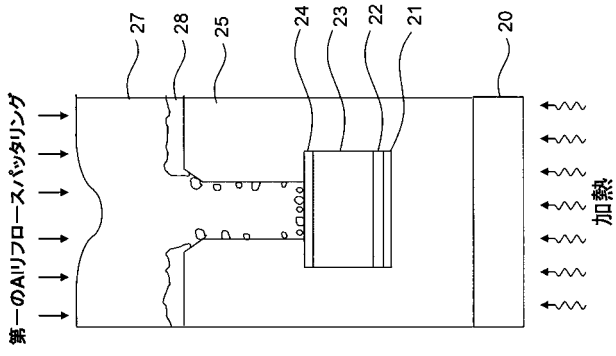
【 図 11 】



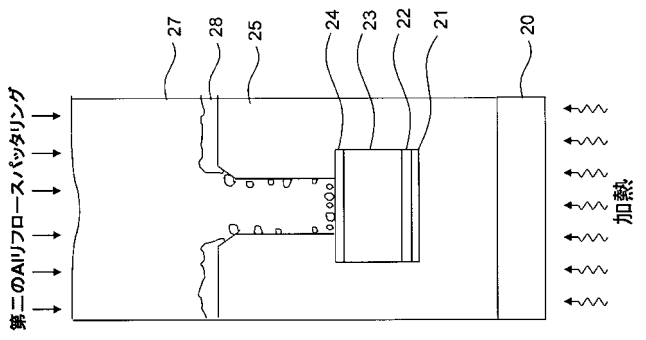
【 図 12 】



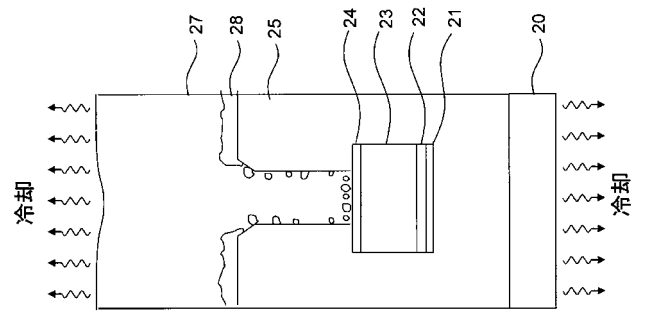
【 図 1 3 】



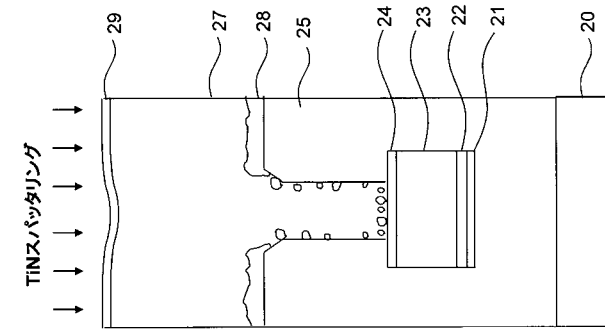
【 図 1 4 】



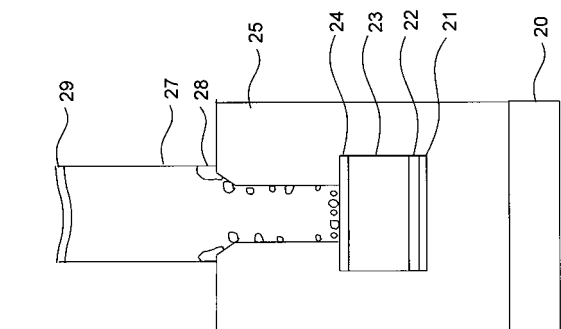
【 図 1 5 】



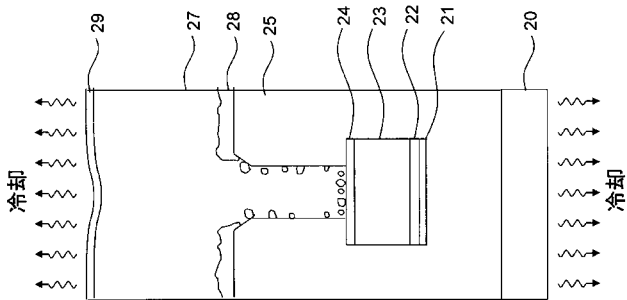
【 図 1 6 】



【 図 1 8 】



【 図 1 7 】



---

フロントページの続き

(51)Int.Cl. F I テーマコード(参考)  
**H 0 1 L 23/532 (2006.01)** H 0 1 L 21/28 3 0 1 R  
**H 0 1 L 21/28 (2006.01)**

Fターム(参考) 4M104 BB02 BB14 BB30 DD08 DD12 DD23 DD39 DD41 DD62 DD63  
FF17 FF18 FF22 HH12 HH13 HH20  
5F033 HH08 HH33 JJ08 JJ18 JJ33 KK08 KK18 KK33 MM08 MM13  
NN06 NN07 NN31 PP15 PP18 PP33 QQ09 QQ13 QQ14 QQ37  
QQ73 QQ88 QQ92 QQ94 QQ98 WW00 WW01 WW02 WW03 WW07  
WW08 WW10 XX01 XX02 XX17 XX19 XX34