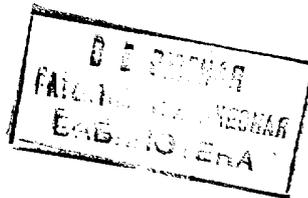




ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ



ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(21) 4270644/24-24

(22) 11.05.87

(46) 15.12.88. Бюл. № 46

(71) Специальное конструкторско-технологическое бюро с опытным производством при Белорусском государственном университете им. В.И. Ленина

(72) А.Н.Карташевич, М.С.Курлянд, В.М.Приходько и А.А.Фомин

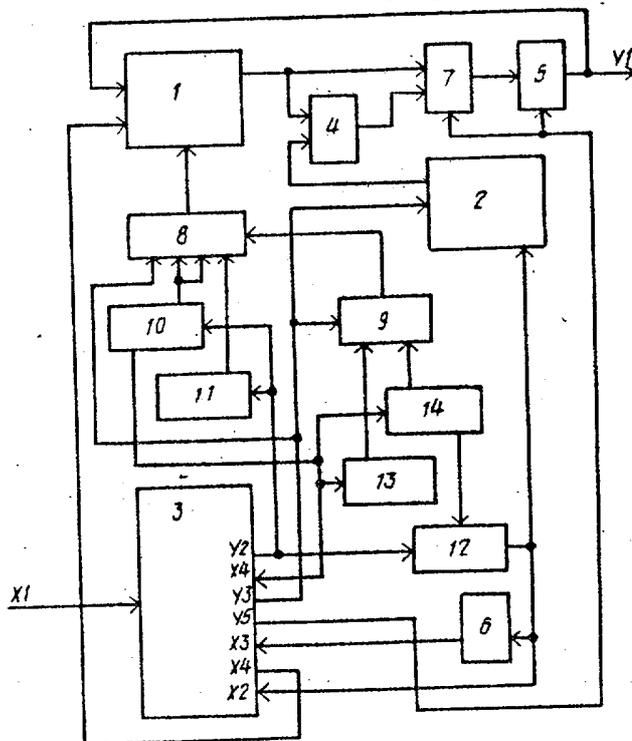
(53) 681.31 (088.8)

(56) Авторское свидетельство СССР № 809198, кл. G 06 F 15/332, 1979.

Авторское свидетельство СССР № 1233166, кл. G 06 F 15/332, 1984.

(54) УСТРОЙСТВО ДЛЯ РЕАЛИЗАЦИИ БЫСТРОГО ПРЕОБРАЗОВАНИЯ ХАРТЛИ

(57) Изобретение относится к области вычислительной техники и может быть использовано для решения задач цифровой обработки сигналов. Цель изобретения - повышение быстродействия. Поставленная цель достигается за счет того, что в состав устройства входят блок памяти 1, блок постоянной памяти 2, блок управления 3, умножитель 4, накапливающий сумматор 5, элемент ИЛИ 6, коммутаторы 7, 8, 9, счетчики 10, 11, накапливающий сумматор 12, регистры сдвига 13, 14 и соответствующие связи между узлами устройства. 2 ил.



(19) SU (11) 1444815 A1

Изобретение относится к вычислительной технике и может быть использовано для решения задачи цифровой обработки сигналов.

Целью изобретения является повышение быстродействия.

На фиг.1 изображена блок-схема устройства; на фиг.2 - структурная схема блока управления.

Устройство (фиг.1) содержит блок 1 памяти, блок 2 постоянной памяти, блок 3 управления, умножитель 4, накапливающий сумматор 5, элемент ИЛИ 6, коммутаторы 7 - 9, счетчики 10,11, накапливающий сумматор 12, регистры сдвига 13,14.

Блок 3 управления (фиг.2) содержит одновибратор 15, элемент ИЛИ, триггер 17 обработки, счетчик итераций 18, генератор 19 тактовых импульсов, накапливающий сумматор 20, двоичный счетчик 21, дешифратор 22 нулевой операции, элемент ИСКЛЮЧАЮЩЕЕ ИЛИ 23, элемент ИЛИ-НЕ 24, элемент И 25.

В устройстве реализован алгоритм быстрого преобразования Хартли. Преобразование Хартли действительной функции $f(\tau)$, $\tau = 0, 1, \dots, N-1$, определяется как сумма косинусного и синусного преобразований, т.е.

$$H(\lambda) = N^{-1} \sum_{\tau=0}^{N-1} f(\tau) \cos(2\pi \lambda \tau / N),$$

$$\lambda = 0, 1, \dots, N-1,$$

где $\cos \theta = \cos \theta + j \sin \theta$.

Выполнение итерации быстрого преобразования Хартли, за исключением первой итерации, устройством в соответствии с алгоритмом заключается в последовательном повторении элементарного преобразования вида

$$A + B \cdot W_1 + C W_2,$$

где A, B, C - первый, второй и третий операнды, извлекаемые из блока 1 оперативной памяти;

W_1 и W_2 - первый и второй коэффициенты, извлекаемые из блока 2 постоянной памяти.

Каждое элементарное преобразование выполняется за четыре такта следующим образом.

1. Из блока 1 оперативной памяти извлекается первый операнд и заносится в накапливающий сумматор 5.

2. Из блока 1 оперативной памяти извлекается второй операнд и поступает на вход умножителя 4, на другой вход которого поступает коэффициент, извлекаемый из блока 2 постоянной памяти, с выхода умножителя 4 произведение поступает на вход накапливающего сумматора 5.

3. Из блока 1 оперативной памяти извлекается третий операнд и поступает на вход умножителя 4, на другой вход умножителя 4 поступает коэффициент, извлекаемый из блока 2 постоянной памяти, с выхода умножителя 4 произведение поступает на вход накапливающего сумматора 5.

4. С выхода накапливающего сумматора 5 результат сложений записывается в блок 1 оперативной памяти.

На первой итерации преобразования операнды извлекаются из первой области блока 1 оперативной памяти. Особенностью первой итерации является то, что из блока 1 оперативной памяти извлекаются два операнда, над которыми производятся операции сложения (без умножения на коэффициент), результат записывается во вторую область блока 1 оперативной памяти.

На второй итерации первый, второй и третий операнды извлекаются из второй области блока 1 оперативной памяти, а результат вычисления заносится в первую область блока 1 оперативной памяти. На последующих итерациях области блока 1 оперативной памяти попеременно меняются.

Устройство работает следующим образом.

В исходном состоянии в первую область блока 1 оперативной памяти записана исходная информация в двоично-инверсном порядке, счетчики 10, 11 обнулены, в регистр 13 записана нулевая информация, в регистр 14 в младший разряд записан уровень "1", в остальные разряды регистра - уровни "0".

По сигналу "Запуск обработки", поступающему по входу X1 устройства, триггер 17 обработки устанавливается в единичное состояние, сигнал "1" с выхода триггера 17 обработки поступает на вход генератора 19 тактовых импульсов, который начинает формировать

вать последовательность тактовых импульсов, поступающих на тактовые входы накапливающего сумматора 20, двухразрядного счетчика 21 и через выход Y5 блока 3 управления на тактовый вход накапливающего сумматора 5. На счетные входы счетчиков 10, 11 и тактовый вход накапливающего сумматора 12 с выхода Y2 блока 3 управления поступают счетные импульсы, формируемые на выходе одновибратора 15 из заднего фронта импульсов, поступающих с выхода накапливающего сумматора 20, эти же сигналы через выход Y3 блока 3 управления поступают на управляющий вход блока 2 постоянной памяти, причем низкий уровень сигнала соответствует выбору значений косинуса, а высокий - синуса. Сигналы с выходов накапливающего сумматора 20 формируют на выходах элементов ИЛИ-НЕ 24 и И 25 уровни сигналов, соответствующие началу первого и четвертого такта. С выхода элемента И 25 через выход Y3 блока 3 управления на управляющий вход коммутатора 9 приходит управляющий сигнал, в результате чего к управляющему входу коммутатора 8 подключается выход регистра 13 (уровень "0") или выход регистра 14 (уровень "1"). На выходе коммутатора 8, в соответствии с кодами на управляющем входе коммутатора, формируются адреса для блока 1 оперативной памяти из кодов, снимаемых с выходов счетчиков 10, 11 или с выхода Y3 блока 3 управления.

При поступлении на вход элемента ИЛИ 6 кодов адресов коэффициентов, соответствующих значениям коэффициентов либо "0", либо "1", либо "-1", на выходе элемента ИЛИ 6 формируется уровень "0", который через вход X3 блока 3 управления поступает на вход элемента ИЛИ 16. Уровень "0" с выхода элемента ИЛИ 16 через выход Y5 блока управления поступает на управляющий вход коммутатора 7, в результате чего на вход накапливающего сумматора 5 передается информация с выхода блока 1 оперативной памяти.

На выходе дешифратора 22 нулевой операции формируется сигнал управления знаком, который через выход Y5 блока 3 управления поступает на тактовый вход накапливающего сумматора 5, причем уровень "0" соот-

ветствует операции сложения, уровень "1" - операции вычитания, на выходе дешифратора 22 нулевой операции формируется сигнал, поступающий на прямой и инверсный входы накапливающего сумматора 20, который формирует код номера такта выполняемого элементарного преобразования.

На четвертом такте каждой итерации на выходе элемента И 25 формируется уровень "1", который поступает на вход элемента ИСКЛЮЧАЮЩЕЕ ИЛИ 23, на другой вход которого поступает сигнал со старшего разряда счетчика итераций 18. На выходе элемента ИСКЛЮЧАЮЩЕЕ ИЛИ 23 формируется уровень "1", который через выход Y4 блока 3 управления поступает на управляющий вход блока 1 оперативной памяти, в результате чего информация с выхода накапливающего сумматора 5 записывается во вторую область блока 1 оперативной памяти.

Задним фронтом сигнала с выхода старшего разряда счетчика 10 через вход X2 блока 3 управления содержимое счетчика итераций 18 увеличивается на единицу, этим же сигналом в младший разряд регистра 14 записывается "1" со сдвигом на один разряд исходной информации в сторону старших разрядов, в младший разряд регистра 13 записывается уровень "0" со сдвигом на один разряд в сторону старших разрядов. Устройство переходит к выполнению второй итерации.

На второй итерации информация считывается из второй области блока 1 оперативной памяти, а результат заносится во вторую область блока 1 оперативной памяти.

На первом такте второй итерации элемент ИЛИ-НЕ 24 формирует на выходе уровень "1", который с помощью элемента ИЛИ 16 на выходе Y5 блока 3 управления формирует уровень "0", который поступает на управляющий вход коммутатора 7, в результате чего к входу накапливающего сумматора 5 подключается выход блока 1 оперативной памяти. На последующих тактах элементарного преобразования на вход накапливающего сумматора 5 поступает информация с выхода умножителя.

В остальном вторая итерация заполняется аналогично первой. Последую-

щие итерации выполняются аналогично второй.

После завершения n -й итерации устройство переходит в исходное состояние.

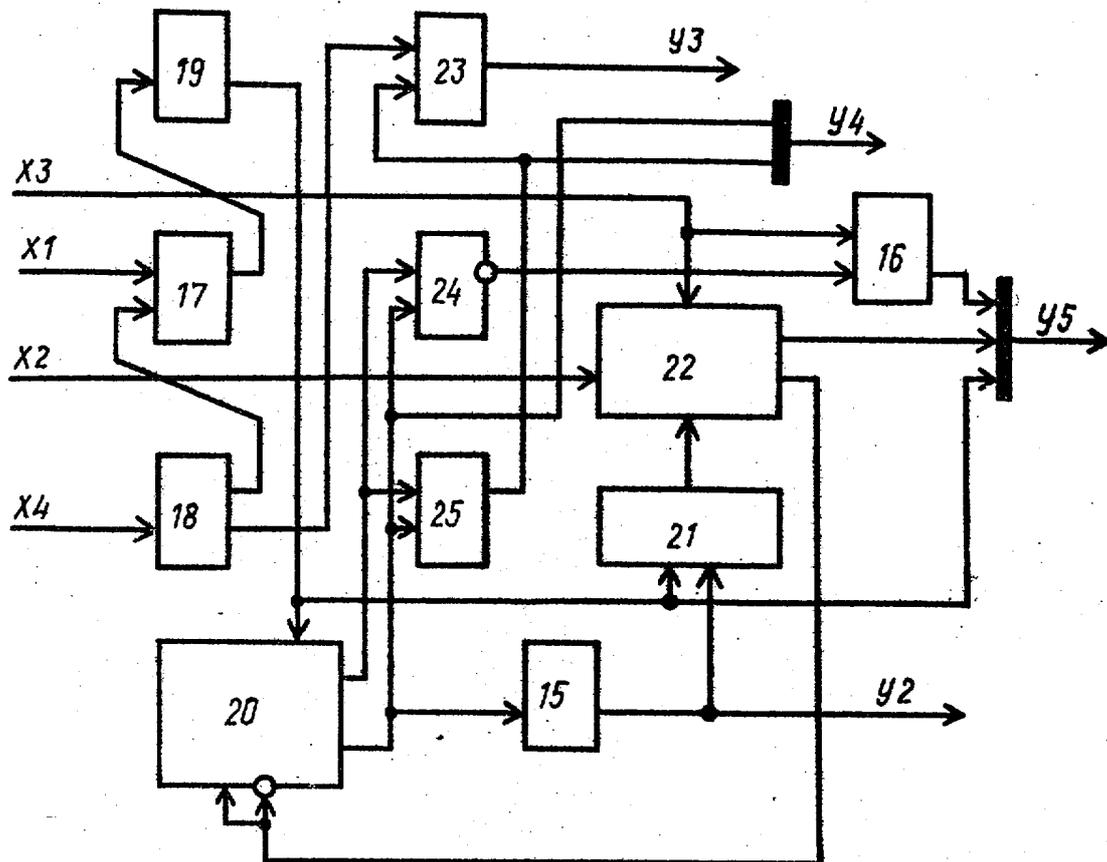
Ф о р м у л а и з о б р е т е н и я

Устройство для реализации быстрого преобразования Хартли, содержащее блок постоянной памяти, умножитель, первый коммутатор, первый счетчик, первый регистр сдвига, первый накапливающий сумматор, блок управления и блок памяти, выход которого подключен к первому входу умножителя, второй вход которого подключен к выходу блока постоянной памяти, адресный вход которого подключен к выходу первого накапливающего сумматора, информационный выход первого счетчика подключен к первому и второму информационным входам первого коммутатора, выход которого подключен к адресному входу блока памяти, выход переноса первого счетчика подключен к тактовому входу первого регистра сдвига, отличающееся тем, что, с целью повышения быстродействия, в него введены второй и третий коммутаторы, второй счетчик, второй накапливающий сумматор, второй регистр сдвига и элемент ИЛИ, выход которого подключен к входу простой операции блока управления, первый выход которого подключен к счетным входам первого и второго счетчиков и тактовому входу первого накапливающего сумматора, информационный вход которого подключен к первому выходу первого регистра сдвига, второй выход которого подключен к первому информационному входу второго коммутатора, выход которого подключен к управляющему входу первого коммутатора, третий информационный вход которого подключен к информационному выходу второго счетчика, второй выход блока управления подключен к управляющему входу второго коммутатора, входу управления считывания блока постоянной памяти и четвертому информационному входу первого коммутатора, выход переноса первого счетчика подключен к тактовому входу второго регистра сдвига и входу новой итерации блока управления, четвертый выход которого подключен к входу управления записью

считыванием блока памяти, выход которого подключен к первому информационному входу третьего коммутатора, выход которого подключен к информационному входу второго накапливающего сумматора, выход которого является информационным выходом устройства и подключен к информационному входу блока памяти, выходы разрядов первого накапливающего сумматора подключены к соответствующим входам элемента И и входам разрядов нулевой итерации блока управления, четвертый выход которого подключен к тактовому входу второго накапливающего сумматора и управляющему входу третьего коммутатора, второй информационный вход которого подключен к выходу умножителя, выход второго регистра сдвига подключен к второму информационному входу второго коммутатора, а вход запуска блока управления является входом запуска устройства, причем блок управления содержит триггер, счетчик итераций, накапливающий сумматор, элемент ИСКЛЮЧАЮЩЕЕ ИЛИ, элемент ИЛИ-НЕ, элемент И, дешифратор, элемент ИЛИ, счетчик, мультивибратор и генератор тактовых импульсов, выход которого подключен к тактовому входу накапливающего сумматора и счетному входу счетчика, информационный выход которого подключен к первому входу дешифратора, первый выход которого подключен к информационному входу накапливающего сумматора, выход первого разряда которого подключен к первым входам элемента ИЛИ-НЕ и элемента И, выходы которых подключены к первым входам соответственно элемента ИЛИ и элемента ИСКЛЮЧАЮЩЕЕ ИЛИ, выход второго разряда накапливающего сумматора подключен к вторым входам элемента ИЛИ-НЕ и элемента И и входу мультивибратора, выход которого подключен к входу обнуления счетчика, выход старшего разряда и выход переноса которого подключены соответственно к второму входу элемента ИСКЛЮЧАЮЩЕЕ ИЛИ и первому установочному входу триггера, выход которого подключен к входу запуска генератора тактовых импульсов, второй вход дешифратора соединен с вторым входом элемента ИЛИ и является входом простой операции блока управления, входом запуска которого является второй установочный вход триггера, третий вход дешифра-

тора является входом нулевой операции блока управления, входом новой итерации которого является счетный вход счетчика итераций, выход одно-
 5 вибратора является первым выходом блока управления, вторым выходом которого являются объединенные между собой выход элемента И и выход второ-

го разряда накапливающего сумматора, выход элемента ИСКЛЮЧАЮЩЕЕ ИЛИ является третьим выходом блока управления, четвертым выходом которого являются объединенные между собой выход элемента ИЛИ, второй выход дешиф-
 ратора и выход генератора тактовых импульсов.



Фиг. 2

Составитель А.Баранов

Редактор М.Циткина Техред А.Кравчук

Корректор А.Обручар

Заказ 6508/50

Тираж 704

Подписное

ВНИИПИ Государственного комитета СССР

по делам изобретений и открытий

113035, Москва, Ж-35, Раушская наб., д. 4/5

Производственно-полиграфическое предприятие, г. Ужгород, ул. Проектная, 4