(19)国家知识产权局

(12)发明专利申请

(10)申请公布号 CN 116210228 A
(43)申请公布日 2023.06.02

(21)申请号 202180065035.1
(22)申请日 2021.09.16
(30)优先权数据
2020-166280 2020.09.30 JP
(85)PCT国际申请进入国家阶段日
2023.03.22
(86)PCT国际申请的申请数据
PCT/JP2021/034103 2021.09.16
(87)PCT国际申请的公布数据
WO2022/070947 JA 2022.04.07
(71)申请人 索尼半导体解决方案公司
地址 日本神奈川
(72)发明人 半泽克彦
(74)专利代理机构 北京康信知识产权代理有限责任公司 11240
专利代理师 沈丹阳
(51)Int.Cl.
H04N 25/00(2023.01)
G06F 17/10(2006.01)
G06N 3/063(2023.01)

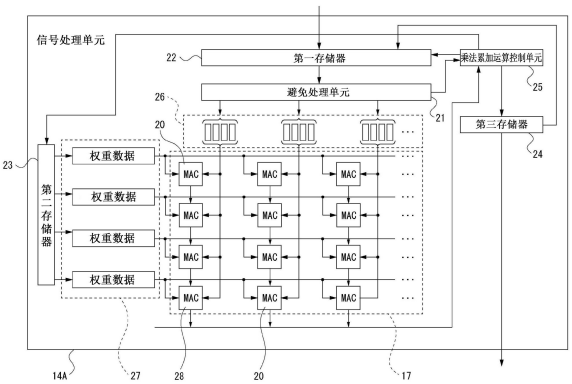
权利要求书2页 说明书23页 附图27页

(54)发明名称

信号处理装置、成像装置和信号处理方法

(57)摘要

一种信号处理装置，被配置为包括：乘法累加器，以一维或二维阵列的形式定位并且能够在神经网络中执行乘法累加运算；阈值评估处理单元，评估用于由乘法累加器进行的计算的输入数据是否小于规定阈值；以及避免处理单元，用于在输入数据小于规定阈值时避免对输入数据进行乘法累加运算。



CN 116210228 A

1.一种信号处理装置,包括:

乘法累加运算单元,以一维或二维阵列布置,并且能够在神经网络中执行乘法累加运算;

阈值确定处理单元,确定用于由所述乘法累加运算单元进行的运算的输入数据是否小于预定阈值;以及

避免处理单元,在所述输入数据小于所述预定阈值的情况下,所述避免处理单元避免针对所述输入数据的乘法累加运算处理。

2.根据权利要求1所述的信号处理装置,其中,

所述输入数据包括第一类型输入数据和第二类型输入数据,

所述阈值确定处理单元针对所述第一类型输入数据执行确定,并且

在所述第一类型输入数据小于所述预定阈值的情况下,所述避免处理单元避免针对所述第一类型输入数据的所述乘法累加运算处理。

3.根据权利要求2所述的信号处理装置,其中,

所述第二类型输入数据是权重数据,作为与所述第一类型输入数据相乘的权重信息。

4.根据权利要求1所述的信号处理装置,其中,

针对多个所述乘法累加运算单元中的每一个设置一个所述阈值确定处理单元。

5.根据权利要求4所述的信号处理装置,其中,

在所述输入数据小于所述预定阈值的情况下,所述避免处理单元改变输入至所述乘法累加运算单元的所述输入数据,从而避免针对小于所述预定阈值的所述输入数据的乘法累加运算处理。

6.根据权利要求5所述的信号处理装置,还包括:

乘法累加运算控制单元,管理所述乘法累加运算处理的输入数据和输出数据,其中,

所述避免处理单元将用于指定已经避免所述乘法累加运算处理的所述输入数据的信息通知给所述乘法累加运算控制单元。

7.根据权利要求1所述的信号处理装置,其中,

针对所述乘法累加运算单元中的每一个设置所述避免处理单元。

8.根据权利要求7所述的信号处理装置,其中,

所述避免处理单元避免针对小于所述预定阈值的输入数据的所述乘法累加运算处理,并且所述避免处理单元输出零值作为所述乘法累加运算处理的处理结果。

9.根据权利要求6所述的信号处理装置,其中,

所述输入数据包括第一类型输入数据和第二类型输入数据,并且

在所述第一类型输入数据小于第一阈值的情况下,所述避免处理单元

改变输入至所述乘法累加运算单元的第一类型输入数据,并将用于指定所改变的第一类型输入数据的信息通知给所述乘法累加运算控制单元。

10.根据权利要求9所述的信号处理装置,其中,

在所述第二类型输入数据小于第二阈值的情况下,所述避免处理单元改变输入至所述乘法累加运算单元的第二类型输入数据并且改变与所改变的第二类型输入数据相对应的第一类型输入数据,并且所述避免处理单元将用于指定所改变的第一类型输入数据和所改变的第二类型输入数据的信息通知给所述乘法累加运算控制单元。

11.根据权利要求10所述的信号处理装置,其中,

所述乘法累加运算控制单元管理所述第一类型输入数据和所述第二类型输入数据的乘法累加运算结果,并针对避免的乘法累加运算结果补偿零值。

12.一种成像装置,包括:

像素阵列单元,在所述像素阵列单元中,光电转换元件以一维或二维阵列布置;

信号处理单元,将基于所述像素阵列单元的输出信号的输入数据输入至所述信号处理单元,其中,

所述信号处理单元包括:

乘法累加运算单元,以一维或二维阵列布置,并且能够在神经网络中执行乘法累加运算;

阈值确定处理单元,确定用于由所述乘法累加运算单元进行的运算的输入数据是否小于预定阈值;以及

避免处理单元,在所述输入数据小于所述预定阈值的情况下,所述避免处理单元避免针对所述输入数据的乘法累加运算处理。

13.根据权利要求12所述的成像装置,其中,

所述像素阵列单元和所述信号处理单元是一体形成的。

14.根据权利要求13所述的成像装置,其中,

将基于所述像素阵列单元的输出信号提取的特征数据输入至所述信号处理单元作为所述输入数据。

15.一种由信号处理装置执行的信号处理方法,所述方法包括:

确定用于神经网络中的乘法累加运算的输入数据是否小于预定阈值;以及

在所述输入数据小于所述预定阈值的情况下,避免针对所述输入数据的乘法累加运算处理。

信号处理装置、成像装置和信号处理方法

技术领域

[0001] 本技术涉及执行乘法累加运算的信号处理装置、成像装置和信号处理方法。

背景技术

[0002] 存在与深度神经网络(DNN)有关的处理(诸如对象的图像识别处理)对由成像装置(诸如相机)捕捉的图像执行的情况。在与DNN相关的这种处理(例如,图像识别处理等)中,需要许多乘法累加运算。

[0003] 在乘法累加运算中,使用诸如图像数据和权重数据之类的两种类型的输入数据。两种类型的输入数据可能包括许多零值,并且在这种情况下,存在执行无用运算并且不能有效使用存储器的问题。

[0004] 响应于这样的问题,例如,专利文献1公开了生成包括具有作为非零值的输入数据(输入激活值)的一个或多个存储器地址位置的索引的技术。描述了可以通过在存储器中仅存储非零值的输入数据来压缩输入数据,并且提高计算效率。

[0005] 引用列表

[0006] 专利文献

[0007] 专利文献1:日本专利公开第2020-500365号

发明内容

[0008] 本发明要解决的问题

[0009] 同时,在图像识别处理中执行的乘法累加运算中,存在输入低比特长度的数据的情况以及输入包括多个非零值的数据的情况。

[0010] 在这种情况下,如果生成并且在存储器中存储包括存储器地址位置的索引,则存在存储器的使用效率相当降低或者计算效率降低的可能性。

[0011] 鉴于上述情况,提出了本技术,其目的是提高乘法累加运算处理的运算效率。

[0012] 问题的解决方案

[0013] 根据本技术的信号处理装置包括:乘法累加运算单元,被布置在一维或二维阵列中并且能够在神经网络中执行乘法累加运算;阈值确定处理单元,确定用于由所述乘法累加运算单元进行运算的所述输入数据是否小于预定阈值;以及避免处理单元,在所述输入数据小于预定阈值的情况下,避免针对所述输入数据的乘法累加运算处理。

[0014] 小于预定阈值的输入数据是例如为零值的输入数据、接近于零值的输入数据等。

[0015] 在上述信号处理装置中,所述输入数据可以包括第一类型输入数据和第二类型输入数据,所述阈值确定处理单元可以执行对所述第一类型输入数据的所述确定,并且在所述第一类型输入数据小于所述预定阈值的情况下,所述避免处理单元可以避免对所述第一类型输入数据的所述乘法累加运算处理。

[0016] 乘法累加运算单元将第一类型输入数据与第二类型输入数据相乘。即,在第一类型输入数据和第二类型输入数据中的任一个是零值的情况下,乘积也是零值。利用该配置,

在第一类型输入数据为零值的情况下,避免乘法累加运算处理。

[0017] 在上述信号处理装置中,第二类型输入数据可以是权重数据,其是将第一类型输入数据相乘的权重的信息。

[0018] 权重数据例如是应用于卷积神经网络(CNN)中的预定范围内的图像数据的滤波器的系数等。很难考虑所有的滤波器系数都是零值的滤波器。

[0019] 可以针对多个乘法累加运算单元各自提供一个上述信号处理装置中的阈值确定处理单元。

[0020] 确定输入至多个乘法累加运算单元的多条输入数据的每条是否小于预定阈值,例如,输入数据是否是零值。

[0021] 上述信号处理装置中的避免处理单元可以在输入数据小于预定阈值的情况下改变输入至乘法累加运算单元的输入数据,其方式为避免对小于预定阈值的输入数据进行乘法累加运算处理。

[0022] 由此,等于或大于预定阈值的输入数据被输入至乘法累加运算单元。

[0023] 上述信号处理装置可以包括:乘法累加运算控制单元,其管理乘法累加运算处理的输入数据和输出数据,其中,避免处理单元可以将用于指定已经避免乘法累加运算处理的输入数据的信息通知给乘法累加运算控制单元。

[0024] 由此,乘法累加运算控制单元可以掌握乘法累加运算所使用的输入数据与乘法累加运算结果之间的对应关系。

[0025] 可以针对每个乘法累加运算单元设置上述信号处理装置中的避免处理单元。

[0026] 通过对各乘法累加运算单元设置避免处理单元,能够减小由一个避免处理单元执行的确定处理的处理负荷。在该确定处理中,确定输入数据是否小于预定阈值,例如,输入数据是否是零值。

[0027] 上述信号处理装置中的避免处理单元可避免对小于预定阈值的输入数据进行乘法累加运算处理,并输出零值作为乘法累加运算处理的处理结果。

[0028] 例如,在输入数据为零值的情况下,运算结果为零值是显而易见的,因此避免乘法累加运算处理后将输出数据强制设置为零值。

[0029] 在上述信号处理装置中,所述输入数据可以包括第一类型输入数据和第二类型输入数据,并且在所述第一类型输入数据小于第一阈值的情况下,所述避免处理单元可以改变输入至所述乘法累加运算单元的所述第一类型输入数据,并且向所述乘法累加运算控制单元通知用于指定改变的第一类型输入数据的信息。

[0030] 由此,对于作为输入数据的第一类型输入数据和第二类型输入数据中的仅一个,可执行与预定阈值的比较处理,例如,确定输入数据是否是零值的处理。

[0031] 在上述信号处理装置中的避免处理单元中,在第二类型输入数据小于第二阈值的情况下,避免处理单元可以改变输入至乘法累加运算单元的第二类型输入数据并且改变与改变的第二类型输入数据相对应的第一类型输入数据,并且向乘法累加运算控制单元通知用于指定改变的第一类型输入数据和改变的第二类型输入数据的信息。

[0032] 在乘法累加运算中,对应的数据是要与要乘的数字相乘的数字。在乘法处理中,在某个要相乘的数字是零值的情况下,结果是零值,而不管要相乘的数字的值。为了省略这种乘法处理,执行省略作为零值的乘法的数量(第二类型输入数据)和省略相应的乘法数量的

处理。

[0033] 上述信号处理装置中的乘法累加运算控制单元可以管理第一类型输入数据和第二类型输入数据的乘法累加运算结果,并为避免的乘法累加运算结果补偿零值。

[0034] 可通过接收用于指定相应的第一类型输入数据和第二类型输入数据的信息来指定避免的乘积累加运算处理(即,跳过的乘积累加运算处理)。

[0035] 根据本技术的成像装置包括:像素阵列单元,其中光电转换元件被布置在一维或二维阵列中;信号处理单元,基于像素阵列单元的输出信号的输入数据被输入至该信号处理单元;其中,信号处理单元包括被布置成一维或二维阵列并且能够在神经网络中执行乘法累加运算的乘法累加运算单元,阈值确定处理单元,其确定用于由所述乘法累加运算单元进行运算的所述输入数据是否小于预定阈值;以及避免处理单元,其在所述输入数据小于所述预定阈值的情况下避免针对所述输入数据的乘法累加运算处理。

[0036] 由于诸如电池的问题,包括在成像装置中的信号处理单元需要省电。

[0037] 在上述成像装置中,像素阵列单元和信号处理单元可以一体地形成。

[0038] 通过将它们整体形成,可以使成像装置小型化。

[0039] 在上述成像装置中的信号处理单元中,基于像素阵列单元的输出信号提取的特征数据可作为输入数据输入至信号处理单元。

[0040] 特征数据通常包括具有零值或小于预定阈值的数据。

[0041] 根据本技术的信号处理方法是一种用于由信号处理装置执行的处理的信号处理方法,所述处理包括:确定用于神经网络中的乘法累加运算的输入数据是否小于预定阈值;以及在输入数据小于预定阈值的情况下避免针对输入数据的乘法累加运算处理。

[0042] 即使利用这种信号处理方法,也可获得与上述根据本技术的信号处理装置相似的操作和效果。

附图说明

[0043] 图1是示出根据本技术的实施方式的成像装置的配置示例的示图。

[0044] 图2是示出传感器单元的内部配置示例的示图。

[0045] 图3是示出信号处理单元的配置示例的示图。

[0046] 图4是示出处理目标数据(像素数据)和目标区域的示例的示图。

[0047] 图5是示出应用于目标区域的滤波器的示例的示图。

[0048] 图6是用于描述在MAC中执行乘法累加运算的示图。

[0049] 图7是示出信号处理单元的配置示例1的示图。

[0050] 图8是用于描述与图9一起在信号处理单元的配置示例1中替换作为输入数据的像素数据的处理的示图,并且该示图示出替换之前的状态。

[0051] 图9是示出在替换作为输入数据的像素数据之后的状态的示图。

[0052] 图10是示出信号处理单元的配置示例2的示图。

[0053] 图11是示出信号处理单元的配置示例2中的滤波器的示例的示图。

[0054] 图12是示出信号处理单元的配置示例2中的目标区域的示例的示图。

[0055] 图13是用于描述与图14和图15一起在信号处理单元的配置示例2中替换作为输入数据的权重数据的处理的示图,并且该示图示出替换之前的状态。

[0056] 图14是示出将被替换的权重数据的示图。

[0057] 图15是示出替换作为输入数据的权重数据之后的状态的示图。

[0058] 图16是示出信号处理单元的配置示例3中的滤波器和目标区域的示例的示图。

[0059] 图17是示出信号处理单元的配置示例3的示图。

[0060] 图18是用于描述与图19一起在信号处理单元的配置示例3中替换作为输入数据的像素数据的处理的示图,并且该示图示出替换之前的状态。

[0061] 图19是示出替换作为输入数据的像素数据之后的状态的示图。

[0062] 图20是示出信号处理单元的配置示例4的示图。

[0063] 图21是示出信号处理单元的配置示例4中的MAC的配置示例的示图。

[0064] 图22是示出第一处理示例的流程图。

[0065] 图23是示出第二处理示例的流程图。

[0066] 图24是示出第二处理示例的流程图。

[0067] 图25是示出第三处理示例的流程图。

[0068] 图26是示出第二变形例中的MAC的配置示例的示图。

[0069] 图27是示出信号处理单元设置在传感器单元外部的控制单元中的示例的示图。

[0070] 图28是示出信号处理单元设置在传感器单元外部和控制单元外部的示例的示图。

[0071] 图29是示出信号处理单元设置在成像装置外部的示例的示图。

具体实施方式

[0072] 在下文中,将参照附图按照以下顺序描述根据本技术的实施方式。

[0073] <1.成像装置的配置>

[0074] <2.信号处理单元的具体配置示例>

[0075] <2-1.配置示例1>

[0076] <2-2.配置示例2>

[0077] <2-3.配置示例3>

[0078] <2-4.配置示例4>

[0079] <3.流程图>

[0080] <3-1.第一处理示例>

[0081] <3-2.第二处理示例>

[0082] <3-3.第三处理示例>

[0083] <4.变形例>

[0084] <4-1.第一变形例>

[0085] <4-2.第二变形例>

[0086] <4-3.传感器单元的变形例>

[0087] <4-4.其他修改>

[0088] <5.概要>

[0089] <6.本技术>

[0090] <1.成像装置的配置>

[0091] 本技术的信号处理装置能够执行关于深度神经网络(DNN)的图像识别处理的各种

操作。在以下示例中，将描述通过作为一种类型的DNN的卷积神经网络(CNN)来执行作为图像识别处理的乘法累加运算处理的信号处理装置。

[0092] 此外，信号处理装置的各种使用模式是可想象的。在以下示例中，将描述在成像装置中提供和使用信号处理装置的示例。

[0093] 如图1所示，成像装置1包括成像透镜2、传感器单元3、控制单元4和记录单元5。

[0094] 假设成像装置1的各种模式，例如，安装在工业机器人上的照相机、车载照相机、监控照相机等。

[0095] 成像透镜2会聚入射光并且将光引导至传感器单元3。成像透镜2可以包括多个透镜。

[0096] 传感器单元3包括多个光接收元件，并且输出通过光电转换获得的信号。

[0097] 控制单元4执行传感器单元3的快门速度的控制、包括在成像装置1中的每个单元中的各种类型的信号处理的指令、根据用户的操作的成像操作和记录操作、记录的图像文件的再现操作、成像透镜2的驱动控制(例如，变焦控制、聚焦控制、光圈控制等)、用户界面控制等。

[0098] 记录单元5存储由控制单元4用于处理的信息等。作为记录单元5，例如，全面地示出只读存储器(ROM)、随机存取存储器(RAM)、闪存等。

[0099] 记录单元5可以是内置在作为控制单元4的微计算机芯片中的存储区域，或者可以包括单独的存储芯片。

[0100] 控制单元4通过执行存储在记录单元5的ROM、闪存等中的程序来控制整个成像装置1。

[0101] 将参考图2具体描述传感器单元3。传感器单元3包括用作所谓的动态视觉传感器(DVS)的像素阵列单元11、仲裁器12、读取单元13、信号处理单元14和输出单元15。

[0102] 注意，传感器单元3不限于DVS，并且可以被配置为各种图像传感器。

[0103] 在像素阵列单元11中，均包括光电转换元件的像素16在行方向(水平方向)和列方向(垂直方向)上布置成二维阵列。

[0104] 每个像素16通过接收光量的变化量是否超过预定阈值来检测事件的有无，并在事件发生时向仲裁器12输出请求。

[0105] 仲裁器12仲裁来自每个像素16的请求并控制读取单元13的读取操作。

[0106] 读取单元13基于仲裁器12的控制，对像素阵列单元11的每个像素16进行读取操作。

[0107] 每个像素16根据读取单元13的读出动作，输出基于基准电平与光接收信号的电流电平之差的信号。

[0108] 从每个像素16读取的信号作为差分信号存储在存储器中。

[0109] 此外，像素16根据差分信号的输出将参考电平重置为当前光接收信号的电平。因此，可以再次检测光接收量相对于基准电平的变化量。

[0110] 直到光接收量的变化量超过预定阈值才执行差值信号的读取和参考电平的重置。

[0111] 信号处理单元14对从读取单元13输入的图像数据作为特征量数据执行各种信号处理(预处理等)、DNN的图像识别处理等。在以下描述中，将作为示例描述作为DNN类型的CNN的图像识别处理。

[0112] 具体地，作为图像识别处理，例如，可以执行与通过卷积层的卷积处理、通过汇集层的最大汇集处理、通过全连接层和输出层的分类处理等有关的运算处理。在以下描述中，将描述在信号处理单元14中执行卷积处理等中的多次累加运算处理作为图像识别处理的示例。

[0113] 输出单元15基于预定接口标准(例如，移动行业处理器接口(MIPI)等)将CNN的分类结果输出至后续阶段中的控制单元4。

[0114] 控制单元4通过CNN接收分类结果并将分类结果用于各种类型的处理。

[0115] 应注意，在信号处理单元14仅执行与CNN有关的各种处理的一部分的情况下，从输出单元15输出信号处理单元14中的处理结果，即，CNN中的中间处理结果。

[0116] 将参考图3描述信号处理单元14的配置示例。

[0117] 信号处理单元14包括MAC阵列单元17、信号处理控制单元18和存储器单元19，以执行乘法累加运算处理。

[0118] MAC阵列单元17包括在行方向(水平方向)和列方向(垂直方向)上以二维阵列布置的乘法累加(MAC)单元。注意，可以沿着行方向和列方向中的一个以一维阵列布置乘法累加运算单元。

[0119] 乘法累加运算单元也称为MAC 20。

[0120] 在每个MAC 20中，形成用于对从存储器单元19输入的数据执行乘法处理和加法处理的电路。

[0121] 例如，输入至一个MAC 20的输入数据是从像素阵列单元11输出的图像数据的一个像素的数据或者要乘以一个像素的数据的权重数据。权重数据是应用于图像数据的滤波器的滤波器系数。

[0122] 注意，输入至MAC 20的图像数据不仅可以是从像素阵列单元11输出的图像数据，而且可以输出另一卷积层或池化层中的图像数据。在以下描述中，这种图像数据被称为“处理目标数据”。

[0123] 将通过使用由二进制值(0和1)表示的处理对象数据以及将被应用于处理对象数据的具有垂直和水平两个像素的滤波器来描述由MAC 20执行的操作的示例。

[0124] 图4是示出处理目标数据和应用作为过滤器的目标区域的目标区域AR1的示图。在目标区域AR1中的四个像素中，左上像素数据a11的值和右上像素数据a12的值均为“1”，并且左下像素数据a21的值和右下像素数据a22的值均为“0”。

[0125] 图5是示出应用于目标区域AR1的滤波器F1的示图。滤波器F1的系数是权重数据w11、w12、w21和w22。

[0126] 在滤波器F1中，左上权重数据w11和右下权重数据w22的值是“1”，并且右上权重数据w12和左下权重数据w21的值是“0”。

[0127] 在这种情况下，在卷积处理(见图6)中，执行以下表达式(1)的操作。

[0128] a11×w11+a12×w12+a21×w21+a22×w22...表达式(1)

[0129] 可以使用四个MAC 20来执行表达式(1)的运算。

[0130] 例如，像素数据a11和权重数据w11被输入至MAC 20a。然后，在MAC 20a中，执行像素数据a11和权重数据w11的乘法处理，并将乘法结果作为输出OP1输出。

[0131] 不仅像素数据a12和系数w12，输出OP1也被输入至MAC 20b。MAC 20b执行像素数据

a12和系数w12的乘法处理，并进一步执行乘法处理结果和输出OP1的加法处理。相加结果作为输出OP2输出。

[0132] 像素数据a21、权重数据w21和输出OP2被输入至MAC 20c。MAC 20c执行像素数据a21和权重数据w21的乘法处理，并执行乘法处理结果和输出OP2的加法处理。相加结果被输出为输出OP3。

[0133] 像素数据a22、权重数据w22和输出OP3被输入至MAC 20d。MAC 20d执行像素数据a22和权重数据w22的乘法处理，并且执行乘法处理结果和输出OP3的加法处理。相加结果被输出为输出OP4。

[0134] 由此，从MAC 20d输出表达式(1)的运算结果作为输出OP4。

[0135] 应注意，图6中示出的示例是示例，并且例如，MAC 20a、20b、20c、以及20d可被控制为仅执行乘法处理。在这种情况下，可以在除了MAC 20a、20b、20c和20d之外的MAC 20中执行添加输出OP1、OP2、OP3和OP4的处理。当然，MAC 20d可被配置为执行将输出OP1、OP2和OP3与乘法结果相加的处理，使得输出OP4变成表达式(1)的运算结果。

[0136] 描述返回图3。

[0137] 信号处理控制单元18执行读取存储在存储器单元19中的处理目标数据(像素数据)和滤波器系数(权重数据)并将数据输入至MAC阵列单元17的每个MAC 20的处理。此外，信号处理控制单元18具有避免运算结果变为零值的运算的功能。这将在后面具体描述。

[0138] 信号处理控制单元18执行在存储器单元19中存储MAC阵列单元17的运算结果的处理。此外，执行运算结果到信号处理控制单元18外部的处理。

[0139] 在图1、图2和图3中示出的成像装置1是包括图像传感器的示例，其中，像素阵列单元11和信号处理单元14是一体形成的。例如，这是像素阵列单元11等被布置在前表面上并且GPU、DSP等作为信号处理单元14形成在后表面上的示例。

[0140] 然而，图像传感器可不包括信号处理单元14。即，可以单独设置图像传感器和信号处理单元14。

[0141] <2.信号处理单元的具体配置示例>

[0142] 将参照附图描述信号处理单元14的具体配置示例。

[0143] <2-1.配置示例1>

[0144] 在图7中示出配置示例1中的信号处理单元14A的具体配置。

[0145] 在配置示例1中的信号处理单元14A中，避开处理单元21被设置在输入至MAC 20的乘法电路的两条数据中的任一条中，具体地，上述像素数据和权重数据(滤波器系数)。此外，对于多个MAC 20中的每一个MAC 20设置一个避免处理单元21。在图7所示的示例中，为包括多个MAC 20的一个MAC阵列单元17提供一个避免处理单元21。

[0146] 如图7所示，信号处理单元14A包括避免处理单元21、第一存储器22、第二存储器23、第三存储器24、乘法累加运算控制单元25、第一本地存储器26、第二本地存储器27以及以二维阵列布置并且构成MAC阵列单元17的多个MAC 20。

[0147] 避免处理单元21和乘法累加运算控制单元25是图3所示的信号处理控制单元18。

[0148] 此外，第一存储器22、第二存储器23和第三存储器24是图3所示的存储器单元19。第一存储器22、第二存储器23和第三存储器24可以被设置为物理上不同的存储器，或者可以被设置为一个存储器的不同区域。

[0149] 第一存储器22存储图像数据作为处理对象数据。第二存储器23存储权重数据。第三存储器24存储运算结果。存储在第三存储器24中的运算结果可从信号处理单元14输出，或者可作为输入至MAC阵列单元17的处理目标数据被输出到第一存储器22。注意，存储在第三存储器24中的运算结果可以从第三存储器24输入至MAC阵列单元17，而不经过第一存储器22。

[0150] 避免处理单元21从第一存储器22读出处理对象数据，经由第一本地存储器26向MAC排列部17的各MAC 20输入处理对象数据。

[0151] 存储在第二存储器23中的权重数据被临时存储在第二本地存储器27中，然后被输入至MAC阵列单元17的每个MAC 20。

[0152] 在每个MAC 20中，执行一个像素的像素数据与输入处理目标数据中的权重数据的相乘。

[0153] 这里，根据输入处理目标数据，MAC 20中的乘法累加运算可能被浪费。例如，在图4、图5和图6中所示的示例中，在所有像素数据a11、a12、a21和a22是零值的情况下，表达式(1)的运算结果总是变成零值，而与权重数据w11、w12、w21和w22的值无关，因此不需要执行乘法累加运算。

[0154] 避免处理单元21进行用于避免该不需要的动作的处理。

[0155] 这将参考图8和图9具体描述。

[0156] 图8是图7中示出的MAC阵列单元17的摘录。具体地，在多个MAC 20中，示出八个MAC 20-1、MAC 20-2、MAC 20-3、MAC 20-4、MAC 20-5、MAC 20-6、MAC 20-7以及MAC 20-8。

[0157] MAC 20-1、20-2、20-3和20-4中的四个MAC 20是对在处理对象数据中应用滤波器的目标区域AR1执行卷积处理的乘法累加运算单元。

[0158] MAC 20-5、20-6、20-7和20-8中的四个MAC 20是对在处理对象数据中应用滤波器的目标区域AR2执行卷积处理的乘法累加运算单元。

[0159] 这里，假定目标区域AR2的所有像素数据都是零值。即，像素数据b11、b12、b21和b22均为零值。

[0160] 在这种情况下，MAC 20-5、MAC 20-6、MAC 20-7和MAC 20-8中的四个MAC 20不需要执行乘法累加运算处理。

[0161] 因此，避免处理单元21避免目标区域AR2的卷积处理(乘法累加运算处理)，取而代之地进行目标区域AR3的卷积处理。

[0162] 即，将目标区域AR3的像素数据c11、c12、c21、以及c22输入至MAC 20-5、MAC 20-6、MAC 20-7、以及MAC 20-8中的四个MAC 20(参见图9)。

[0163] 以此方式，在目标区域AR中的所有像素数据为零值的情况下，停止目标区域AR的乘积运算处理，并且MAC 20用于另一目标区域AR的乘积运算处理。

[0164] 另外，在图8和图9中，为了简化说明，示出目标区域AR1、AR2、AR3不重叠，但是根据滤波器的跨越量(偏移量)，有时目标区域AR1、AR2、AR3部分重叠。例如，在跨步量为“1”的情况下，目标区域AR1的像素数据a12和目标区域AR2的像素数据b11是相同的像素数据。

[0165] 描述返回图7。

[0166] 乘法累加运算控制单元25执行将从MAC阵列单元17输出的运算结果存储在第三存储器24中的处理。此时，除非正确地关联从MAC阵列单元17输出的运算结果与目标区域AR之

间的关系，否则不能适当地处理卷积处理的结果。

[0167] 因此，当如上所述执行避免不必要运算的处理时，避免处理单元21向乘法累加运算控制单元25通知用于指定避免运算的信息或用于指定使用MAC阵列单元17执行的运算属于哪个目标区域AR的信息。

[0168] 乘法累加运算控制单元25接收到该通知后，将乘法累加运算结果存储在第三存储器24中。此时，针对已经避免的乘积运算结果，在第三存储器24中存储零值。

[0169] 由此，乘法运算控制单元25能够适当处理从MAC阵列单元17输出的运算结果。

[0170] 注意，作为在输入数据被设置为零值并且运算结果被设置为零值的情况下跳过运算的方法，存在仅将分配有地址的非零值存储在存储器中并且不将零值存储在存储器中的方法(例如，参见专利文献1)。在这种情况下，当输入数据的量化比特长度大时，可以通过分配地址并且选择性地将输入数据存储在存储器中来提高存储器使用效率并降低功耗。

[0171] 然而，已经考虑减小输入数据的量化位长度，以便提高运算速度(图像识别处理速度)和功耗。当量化比特长度减小时，输入数据的量化比特长度最终被设置为1比特。

[0172] 在这种情况下，在与地址相关联地仅将非零值存储在存储器中的方法中，如果非零值的输入数据不是相当大的，则提高存储器的使用效率的效果变小或者不能获得提高存储器的使用效率的效果。

[0173] 具体地，在量化位长度是N(位)、地址的位速率是Log(2，数据条数)并且非零值速率是R的情况下，通过以下表达式(2)表示必要的存储量。此处，Log中的“2”(2，数据条数)表示基数，并且“数据条数”表示真数。

[0174] 数据条数×N×Log(2，数据条数)×R.....表达式(2)

[0175] 如从表达式(2)理解的，在与地址相关联地仅将非零值存储在存储器中的方法中，在N＝1的情况下，除非R的值小，否则不能提高存储器使用效率。

[0176] 根据该配置，由于不添加地址，因此即使在输入数据的量化位长度减小的情况下，也能够可靠地获得提高存储器的使用效率的效果和将功耗减小通过跳过乘法累加运算而获得的量的效果。

[0177] <2-2.配置示例2>

[0178] 图10示出配置示例2中的信号处理单元14B的特定配置。

[0179] 配置示例2中的信号处理单元14B具有在滤波器F中的权重数据w的一部分为零值的情况下避免与权重数据w相关的乘法累加运算的配置。即，信号处理单元14B包括第二避免处理单元21b。

[0180] 图11示出本实施例中的滤波器F2，图12示出处理对象数据和对象区域AR4、AR5和AR6。

[0181] 滤波器F2具有垂直和水平三个像素。因此，目标区域AR4、AR5、AR6在上下方向和左右方向上也是3个像素的区域。

[0182] 滤波器F2中的权重数据w11、w12、w13、w22、w31、w32和w33的值是“1”，并且权重数据w21和w23的值是“0”。

[0183] 目标区域AR4被设定为像素数据d11、d12、d13、d21、d22、d23、d31、d32、d33。目标区域AR5被设定为像素数据e11、e12、e13、e21、e22、e23、e31、e32、e33。目标区域AR6包括像素数据f11、f12、f13、f21、f22、f23、f31、f32和f33。

[0184] 存储在第一存储器22中的处理目标数据经由第一避免处理单元21a被输入至MAC阵列单元17的每个MAC 20(参见图10)。

[0185] 存储在第二存储器23中的权重数据经由第二避免处理单元21b被输入至MAC阵列单元17的各个MAC 20。

[0186] 将权重数据w11(＝1)输入至MAC 20-1,将权重数据w12(＝1)输入至MAC 20-2,将权重数据w13(＝1)输入至MAC 20-3,并且将权重数据w21(＝0)输入至MAC 20-4(见图13)。

[0187] 这里,与权重数据w21相关的乘法处理变为零值,而不管像素数据如何,因此可避免。

[0188] 因此,第二避免处理单元21b停止使用权重数据w21的乘法累加运算,并且代替地使用权重数据w22执行乘法累加运算(见图14)。

[0189] 此外,与此一起,第二避免处理单元21b向第一避免处理单元21a通知已经避免的权重数据w21和已经新采用的权重数据w22(参见图10)。

[0190] 第一避免处理单元21a停止将被调度为在与权重数据w22相关的乘法处理中使用的像素数据d21、e21和f21输入至MAC 20-4、MAC 20-8和MAC 20-12,并且确定将在与代替采用的权重数据w22相关的乘法处理中使用的像素数据d22、e22和f22输入至MAC 20-4、MAC 20-8和MAC 20-12(见图14)。

[0191] 即,输入至MAC阵列单元17的像素数据和权重数据w如图15所示。

[0192] 此外,第一避免处理单元21a将避免了乘法累加运算的像素数据d21、e21、f21和用于乘法累加运算的像素数据d22、e22、f22通知给乘法累加运算控制单元25,因此乘法累加运算控制单元25能够适当处理运算结果。另外,第一避免处理单元21a也可以不进行像素数据的通知,而是将避免了乘法累加运算的权重数据w和采用的权重数据w通知给乘法累加运算控制单元25。

[0193] 乘法累加运算控制单元25将从MAC阵列单元17输出的乘法累加运算结果存储在第三存储器24中。此时,针对已经避免的乘积运算结果,在第三存储器24中存储零值。

[0194] 由此,乘法运算控制单元25能够适当处理从MAC阵列单元17输出的运算结果。

[0195] 注意,在图13、图14和图15中,被设置为零值的权重数据和与其对应的像素数据被示为被临时加载到第一本地存储器26和第二本地存储器27。但是,实际上,也可以在将像素数据加载到第一本地存储器26或第二本地存储器27之前进行像素数据是否为零值的确定处理或像素数据是否为与其对应的像素数据的确定处理。在这种情况下,具有零值的权重数据和相应的像素数据没有被加载到第一本地存储器26或第二本地存储器27中。

[0196] <2-3.配置示例3>

[0197] 配置示例3中的信号处理单元14C具有用于将多个滤波器F3、F4和F5应用于一个目标区域AR的配置。

[0198] 具体地,将参考图16作为示例描述四个目标区域AR7、AR8、AR9和AR10以及三个滤波器F3、F4和F5。

[0199] 目标区域AR7、AR8、AR9、AR10是上下左右两个像素的区域。目标区域AR7包括像素数据g11、g12、g21和g22。同样地,目标区域AR8包括像素数据h11、h12、h21、h22,目标区域AR9包括像素数据i11、i12、i21、i22,目标区域AR10包括像素数据j11、j12、j21、j22。

[0200] 应用于目标区域AR7、AR8、AR9、AR10的滤波器F3、F4、F5在上下方向和左右方向上

也具有2个像素的大小。

[0201] 滤波器F3包括权重数据wa11、wa12、wa21和wa22，滤波器F4包括权重数据wb11、wb12、wb21和wb22，并且滤波器F5包括权重数据wc11、wc12、wc21和wc22。

[0202] 例如，通过将滤波器F3应用于目标区域AR7，执行g11×wa11+g12×wa12+g21×wa21+g22×wa22的运算。此外，通过将滤波器F4应用于目标区域AR7，执行g11×wb11+g12×wb12+g21×wb21+g22×wb22的运算。然后，通过将滤波器F5应用至目标区域AR7，执行g11×wc11+g12×wc12+g21×wc21+g22×wc22的运算。

[0203] 然后，在卷积运算中，通过将通过将滤波器F3应用于目标区域AR7而获得的运算结果、通过将滤波器F4应用于目标区域AR7而获得的运算结果以及通过将滤波器F5应用于目标区域AR7而获得的运算结果相加，获得一个运算结果。

[0204] 图17示出在进行这种卷积处理的情况下的信号处理单元14C的配置示例。

[0205] 信号处理单元14C包括第一存储器22和避免处理单元21，并且避免处理单元21进行将存储在第一存储器22中的像素数据加载到第一本地存储器26中的处理。

[0206] 由此，目标区域AR7的像素数据g11、目标区域AR8的像素数据h11、目标区域AR9的像素数据i11和目标区域AR10的像素数据j11被加载到第一本地存储器26中。

[0207] 信号处理单元14C包括第二存储器23和第二本地存储器27，并且将存储在第二存储器23中的权重数据加载到第二本地存储器27中。

[0208] 由此，滤波器F3的权重数据wa11、滤波器F4的权重数据wb11和滤波器F5的权重数据wc11被加载到第二本地存储器27中。

[0209] 同时，在对目标区域AR7的卷积处理中，需要对每个滤波器F执行四次乘法处理，即，总共12次。如图17中所示，在使用MAC阵列单元17执行一次运算处理的情况下，在12次之中执行三次乘法处理。

[0210] 因此，为了结束目标区域AR7的卷积处理，需要4次使用MAC阵列单元17的运算处理。

[0211] 例如，图18示出使用MAC阵列单元17的针对目标区域AR7的第二运算处理。

[0212] 如图17和图18所示，该示例中的卷积处理可以通过使用MAC阵列单元17重复乘法累加运算来实现。

[0213] 这里，注意输入至每个MAC 20的像素数据。在图17中示出的多条像素数据g11、h11、i11和j11都是“1”。另一方面，在图18中示出的多条像素数据h12、i12和j12是“1”，但是像素数据g12是零值。

[0214] 在这种情况下，由于处理结果变成零值而不管权重数据w如何，所以不需要执行输入像素数据g12的三个MAC 20中的乘法处理。

[0215] 因此，避免处理单元21将另一目标区域AR的像素数据加载到第一本地存储器26，而不将像素数据g12加载到第一本地存储器26。

[0216] 即，获得如图19所示的状态。另外，像素数据k12是目标区域AR7、AR8、AR9、AR10以外的像素数据。

[0217] 以此方式，将数据加载到第一本地存储器26，同时避免将像素数据设定为零值。

[0218] 避免处理单元21将用于指定未加载到第一本地存储器26中的像素数据的信息通知给乘法累加运算控制单元25。乘法累加运算控制单元25将避免的乘法累加运算结果加零

后存储在第三存储器24中。

[0219] 由此,乘法运算控制单元25能够适当处理从MAC阵列单元17输出的运算结果。

[0220] 此外,在图17、图18以及图19中,例示了设置进行像素数据是否为零值的确定处理并选择要加载到第一本地存储器26中的像素数据的避免处理部21的例子,但是也可以设置进行权重数据是否为零值的确定处理并选择要加载到第二本地存储器27中的权重数据的避免处理部21。在该情况下,既可以设置与像素数据有关的避免处理单元21,也可以设置与权重数据有关的避免处理单元21,也可以仅设置与权重数据有关的避免处理单元21。

[0221] <2-4.配置示例4>

[0222] 在配置示例4中的信号处理单元14D中,为每个MAC 20D设置避免处理单元21D。

[0223] 具体地,如图20所示,像素数据从第一存储器22被加载到第一本地存储器26,而不经过避免处理单元21。另外,权重数据不通过避免处理单元21而从第二存储器23加载到第二本地存储器27。

[0224] 像素数据和权重数据从第一本地存储器26和第二本地存储器27被输入至相应的MAC 20D。

[0225] 除了加法电路和乘法电路之外,MAC 20D包括如图21所示的避免处理单元21D和零值输出单元28。

[0226] 避免处理单元21D确定所输入的像素数据是否为零值。在确定像素数据是零值的情况下,停止应用于MAC 20D的时钟,并且零值输出单元28进行运算以输出零值作为输出数据。

[0227] 避免处理单元21D和零值输出单元28可以由逻辑电路等构成。例如,零值输出单元28能够使用零值和AND电路强制地将输出值设为零值。

[0228] 通过在输入像素数据是零值的情况下停止时钟,可以抑制MAC 20D的功耗并有助于省电。

[0229] 注意,代替确定输入像素数据是否是零值,可以确定输入权重数据是否是零值。然后,在权重数据是零值的情况下,可执行时钟的停止和零值输出处理。

[0230] 当然,可以监视输入像素数据和输入权重数据两者,并且可以在像素数据或权重数据中的至少一个是零值的情况下执行时钟停止和零值输出处理。

[0231] 要注意的是,在配置示例4中的信号处理单元14D中,在下阶段,将避免的乘法累加运算的结果零值输出给MAC 20D或乘法累加运算控制单元25,因此,不需要将用于指定避免的乘法累加运算的信息通知给乘法累加运算控制单元25。

[0232] <3.流程图>

[0233] 用于实现上述各示例的处理流程被示为流程图。

[0234] <3-1.第一处理示例>

[0235] 在第一处理示例中,确定像素数据是否为零值以适当地避免乘法累加运算。例如,信号处理单元14A的配置示例1可通过执行第一处理示例来实现。

[0236] 在图22中的步骤S100中,信号处理单元14A从第二存储器23获取权重数据并且将权重数据加载到第二本地存储器27中。

[0237] 在步骤S101中,信号处理单元14A从第一存储器22中获取像素数据。随后,在步骤S102中,信号处理单元14A确定预定像素数据组是否包括非零值的数据。

[0238] 规定的像素数据组例如是图8所示的目标区域AR1的像素数据a11、a12、a21、a22、目标区域AR2的像素数据b11、b12、b21、b22等。

[0239] 在非零值的数据不包括在预定像素数据组中的情况下，即，在预定像素数据组的所有像素数据都是零值的情况下，信号处理单元14A(避免处理单元21)将用于指定在步骤S103中避免的运算的信息通知给乘法累加运算控制单元25。具体地，将用于指定控制目标区域的位置的在纵向方向和横向方向上的位置信息(例如，x和y坐标)通知给乘法累加运算控制单元25。

[0240] 在通知乘法累加运算控制单元25之后，信号处理单元14A(避免处理单元21)返回到步骤S101的处理，取得下一个像素数据。

[0241] 另一方面，在步骤S102中确定预定像素数据组包括非零值的数据的情况下，在步骤S104中，信号处理单元14A(避免处理单元21)将获取的像素数据加载到第一本地存储器26中。

[0242] 在步骤S105中，信号处理单元14A(避免处理单元21)确定像素数据的加载是否完成。在确定为像素数据的加载未完成的情况下，信号处理单元14A(避免处理单元21)返回到步骤S101的处理，取得下像素数据。

[0243] 另一方面，在步骤S105中确定已经完成像素数据的加载的情况下，信号处理单元14A在步骤S106中执行乘法累加运算。该处理在第一本地存储器26和第二本地存储器27中的每个中准备乘法累加运算所需的数据的定时执行。

[0244] 在步骤S107中，信号处理单元14A将运算结果发送到乘法累加运算控制单元25。

[0245] 在步骤S108中，信号处理单元14A(乘法累加运算控制单元25)补偿作为避免运算的运算结果的零值。由此，能够防止所避免的运算的运算结果丢失。

[0246] 在步骤S109中，信号处理单元14A(乘法累加运算控制单元25)执行将运算结果存储在第三存储器24中的处理。

[0247] 在步骤S110中，信号处理单元14A(乘法累加运算控制单元25)确定是否已经完成了所有运算。在运算尚未完成的情况下，在步骤S109中，对于新的图像数据和作为运算结果的数据存储在第三存储器24中的数据，再次执行从步骤S100开始的一系列处理。

[0248] 另一方面，在步骤S110中确定已经完成所有运算的情况下，信号处理单元14A(乘法累加运算控制单元25)结束图22中示出的一系列处理。此时，可执行将存储在第三存储器24中的最终运算结果输出至信号处理单元14A的外部的处理。

[0249] <3-2.第二处理示例>

[0250] 在第二处理示例中，确定像素数据是否是零值以适当地避免乘法累加运算，并且确定权重数据是否是零值以适当地避免乘法累加运算。例如，信号处理单元14B的配置示例2可以通过执行第二处理示例来实现。

[0251] 应注意，与第一处理示例中的那些相似的处理由相同的步骤标号表示，并且将适当地省略其描述。

[0252] 在图23的步骤S201中，信号处理单元14B(第二避免处理单元21b)从第二存储器23获取权重数据。

[0253] 在步骤S202中，信号处理单元14B(第二避免处理单元21b)确定所获取的权重数据是否为零值。在确定为零值的情况下，在步骤S203中，信号处理单元14B(第二避免处理单元

21b)将权重数据的位置信息通知给乘法累加运算控制单元25。

[0254] 在通知乘法累加运算控制单元25之后,信号处理单元14B(第二避免处理单元21b)返回至步骤S201的处理并且获取下一个像素数据。

[0255] 另一方面,当确定获取的权重数据不是零值时,在步骤S204中,信号处理单元14B(第二避免处理单元21b)将获取的权重数据加载到第二本地存储器27。

[0256] 在步骤S205中,信号处理单元14B(第二避免处理单元21b)确定权重数据的加载是否已经完成。在确定尚未完成权重数据的加载的情况下,信号处理单元14B(第二避免处理单元21b)返回至步骤S201的处理并且获取下权重数据。

[0257] 另一方面,在步骤S205中确定权重数据的加载已经完成的情况下,在步骤S101中,信号处理单元14B(第一避免处理单元21a)从第一存储器22获取像素数据。

[0258] 在步骤S206中,信号处理单元14B(第一避免处理单元21a)确定获取到的像素数据是否与被确定为零值的权重数据、即没有被加载到第二本地存储器27中的权重数据相对应。例如,对应的像素数据是图13中所示的像素数据d21、像素数据e21、像素数据f21等。

[0259] 在确定所获取的像素数据是与被确定为零值的权重数据相对应的数据的情况下,在步骤S101中,信号处理单元14B(第一避免处理单元21a)获取新的像素数据,而不将获取的像素数据加载到第一本地存储器26中。

[0260] 另一方面,在确定所获取的像素数据不是与被确定为零值的权重数据相对应的数据的情况下,在步骤S207中,信号处理单元14B(第一避免处理单元21a)确定所获取的像素数据是否是零值。在确定所获取的像素数据是零值的情况下,在步骤S208中,信号处理单元14B(第一避免处理单元21a)将像素数据的位置信息通知给乘法累加运算控制单元25。也就是说,不将所获取的像素数据加载到第一本地存储器26中。

[0261] 在所获取的像素数据不与被设置为零值的权重数据相对应并且不是零值的情况下,在步骤S104中,信号处理单元14B(第一避免处理单元21a)将所获取的像素数据加载到第一本地存储器26中。

[0262] 随后,在步骤S105中,信号处理单元14B(第一避免处理单元21a)确定像素数据的加载是否已经完成。在确定为像素数据的加载未完成的情况下,信号处理单元14B(第一避免处理单元21a)返回到步骤S101的处理,并获取下像素数据。

[0263] 另一方面,在步骤S105中确定已经完成像素数据的加载的情况下,信号处理单元14B在图24的步骤S106中执行乘法累加运算,并且在步骤S107中将运算结果传输至乘法累加运算控制单元25。

[0264] 随后,信号处理单元14B(乘法累加运算控制单元25)在步骤S108中补偿作为避免运算的运算结果的零值,并且在步骤S109中执行将运算结果存储在第三存储器24中的处理。

[0265] 在步骤S110中,信号处理单元14B(乘法累加运算控制单元25)确定是否已经完成了所有运算。在未完成运算的情况下,处理返回至步骤S201的处理以执行新的乘法累加运算。

[0266] 另一方面,在步骤S110中确定已经完成所有运算的情况下,信号处理单元14B(乘法累加运算控制单元25)结束图23和图24中示出的一系列处理。此时,可执行将存储在第三存储器24中的最终运算结果输出至信号处理单元14B外部的处理。

[0267] 注意,在卷积处理等中目标区域AR的数量大的情况下,存在仅通过执行步骤S106的乘法累加运算处理一次不结束使用相同滤波器F的运算的情况。在这种情况下,在步骤S110中的处理完成之后,处理返回至图23中的步骤S101,而不返回至步骤S201。由此,适当地执行乘法累加运算。

[0268] <3-3.第三处理示例>

[0269] 第三处理示例是用于实现信号处理单元14D的配置示例4的流程图的示例。即,第三处理示例是用于实现针对每个MAC 20D设置避免处理单元21D和零值输出单元28的配置。

[0270] 应注意,与第一处理示例中的那些相似的处理由相同的步骤标号表示,并且将适当地省略其描述。

[0271] 信号处理单元14D(乘法累加运算控制单元25)在图25的步骤S100中从第二存储器23获取权重数据并且将权重数据加载到第二本地存储器27中。

[0272] 接下来,在步骤S301中,信号处理单元14D(乘法累加运算控制单元25)从第一存储器22中获取像素数据,并将像素数据加载到第一本地存储器26中。

[0273] 在步骤S302中,信号处理单元14D(避免处理单元21D)确定输入的像素数据是否是零值。针对每个MAC 20D执行该处理。

[0274] 在确定输入像素数据为零值的MAC 20D中,在步骤S303中,信号处理单元14D(避免处理单元21D)执行时钟停止处理。另外,在步骤S304中,信号处理单元14D(避免处理单元21D)使零值输出单元28执行零值输出处理。因此,在MAC 20D中,避免了乘法累加运算并且降低了功耗。

[0275] 此外,从MAC 20D输出零值作为运算结果。

[0276] 另一方面,在确定输入像素数据不是零值的MAC 20D中,信号处理单元14D在步骤S106中执行乘法累加运算处理。

[0277] 由此,执行关于作为输入数据的像素数据和权重数据的乘法累加运算。

[0278] 在完成步骤S304的处理之后或在完成步骤S106的处理之后,在步骤S107中,信号处理单元14D将运算结果发送到乘法累加运算控制单元25。

[0279] 在步骤S109中,信号处理单元14D(乘法累加运算控制单元25)执行将运算结果存储在第三存储器24中的处理。

[0280] 在步骤S110中,信号处理单元14D(乘法累加运算控制单元25)确定是否已经完成了所有运算。在运算未完成的情况下,在步骤S109中,对于新的图像数据和作为存储在第三存储器24中的运算结果的数据,再次执行从图25中的步骤S100开始的一系列处理。

[0281] 另一方面,在步骤S110中确定已经完成所有运算的情况下,信号处理单元14D(乘法累加运算控制单元25)结束图22中示出的一系列处理。

[0282] <4.变形例>

[0283] 将描述上述实施例的修改。

[0284] <4-1.第一变形例>

[0285] 在每个示例中,在像素数据和权重数据的输入数据为零值的情况下,已经描述了用于避免与数据相关的乘法累加运算的处理。

[0286] 例如,当图像数据包括与边缘图像一样多的零值时,可以有效地减少运算次数,并且可以减少MAC阵列单元17的功耗。

[0287] 然而,图像数据不一定包括许多零值。在这种情况下,如果配置成在输入数据为零值的情况下避免乘法累加运算,则可以避免的乘法累加运算较小,并且因此降低了功耗降低效果。

[0288] 因而,在输入数据小于预定阈值的情况下,可以想到将输入数据视为零值,从而增加可以避免的乘积运算。

[0289] 例如,在像素数据由4位表示的情况下,即,在像素数据是0至15的任何数值的情况下,在预定阈值是“4”并且像素数据是0至3的情况下,避免与像素数据相关的乘积运算。当然,预定阈值“4”是示例,并且可以是任何数字,诸如“8”或“10”。

[0290] 这意味着,例如,在边缘图像中,忽略弱边缘像素(与相邻像素具有小差异的像素),并且基于强边缘像素(与相邻像素具有大差异的像素)进行卷积处理。因此,可以提高存储器使用效率并且降低基于较强的特征执行图像识别处理时的功耗。

[0291] 应注意,在实现本变形例的情况下,在图22的步骤S102中,代替确定预定像素数据组是否包括非零值,仅需要确定预定像素数据组是否包括等于或大于预定阈值的像素数据。

[0292] 此外,如在信号处理单元14B的配置示例2中,在权重数据小于预定阈值的情况下,通过不仅将像素数据而且将权重数据视为零值,可避免乘法累加运算。在这种情况下,用于确定像素数据的预定阈值和用于确定权重数据的预定阈值可以不同。例如,用于确定像素数据的预定阈值可以被设置为第一阈值(例如,“4”),并且用于确定权重数据的预定阈值可被设置为第二阈值(例如,“2”)。

[0293] 在应用图23的流程图的情况下,代替在步骤S202中确定权重数据是否为零值,确定权重数据是否小于预定阈值。

[0294] 然后,在图23的步骤S206中,确定是否对应于确定为小于预定阈值的权重数据,并且在步骤S207中,确定像素数据是否小于预定阈值。

[0295] <4-2.第二变形例>

[0296] 作为第二修改,MAC 20E能够在递归神经网络(RNN)中执行运算。具体而言,MAC 20E可包括长短期存储器(LSTM)(见图26)。

[0297] 在这种情况下,如图26所示,通过将LSTM的反馈输出设置为OFF或将反馈输出设置为零次,可实现上述实施例的每一个的处理。

[0298] <4-3.传感器单元的变形例>

[0299] 对于图2中示出的传感器单元的构造,可想到若干修改。例如,在上述每个示例中,用作DVS的传感器单元3已经被描述为示例,但是传感器单元3可以是通过从像素16读取灰度信号而不是检测事件的存在或不存在来产生图像数据的传感器单元。在这种情况下,这是从图2中移除仲裁器12的配置。

[0300] 此外,如图27所示,包括避免处理单元21等的信号处理单元14F可以设置在传感器单元3的外部。

[0301] 具体地,传感器单元3F包括像素阵列单元11、读取单元13、预处理单元29和输出单元15,输出单元15与总线30连接。预处理单元29是在每个上述示例中在由信号处理单元14执行的各种类型的处理中执行信号处理作为预处理的单元。

[0302] 包括存储器31和信号处理单元14F的控制单元4连接至总线30。即,在传感器部3F

的外部设置有包含上述避免处理单元21等的信号处理单元14F。

[0303] 此外，如图28所示，包括避免处理单元21等的信号处理单元14F可以设置在传感器单元3F的外部和控制单元4的外部。

[0304] 具体地，传感器单元3F包括像素阵列单元11、读取单元13、预处理单元29和输出单元15，输出单元15连接至总线30。

[0305] 控制单元4、存储器31以及信号处理单元14F连接至总线30。

[0306] 信号处理单元14F包括MAC阵列单元17、包括避免处理单元21等的信号处理控制单元18、存储器单元19等。

[0307] 此外，如图29所示，包括避免处理单元21等的信号处理单元14F可以设置在另一个信号处理装置中。

[0308] 具体地，例如，可以通过包括传感器单元3F、控制单元4、存储器31以及通信单元32的成像装置1以及包括信号处理单元14F和通信单元32的另一个信号处理装置34来实现上述各种功能。

[0309] 成像装置1的通信单元32可与另一信号处理装置34的通信单元33执行有线或无线数据通信。

[0310] 通过采用这样的各种配置，可以实现作为上述信号处理单元的各种功能。

[0311] <4-4.其他修改>

[0312] 在上述示例中，已经描述了对诸如图像数据的二维数据执行信号处理的示例，但是处理的应用目标可以是一维数据。

[0313] 一维数据例如是声音数据、诸如从陀螺仪传感器输出的速度数据、加速度数据和角速度数据的输出数据、位置信息等。

[0314] 这些一维数据可以针对每个预定量的数据沿不同的维度方向布置，以形成二维数据。

[0315] 这些数据段可以通过被转换成相对于基准值的数据而被转换成包括许多零值的数据。通过执行这种转换处理，可以在更高水平实现上述省电。

[0316] <5.概要>

[0317] 如上所述，作为信号处理装置的成像装置1包括布置成一维或二维阵列并且能够在神经网络中执行乘法累加运算的乘法累加运算单元(MAC 20、20D和20E)，阈值确定处理单元(避免处理单元21和21D、第一避免处理单元21a和第二避免处理单元21b)，其确定用于由乘法累加运算单元进行运算的输入数据(像素数据和权重数据)是否小于预定阈值，以及避免处理单元21和21D(第一避免处理单元21a和第二避免处理单元21b)，在输入数据小于预定阈值的情况下，避免对输入数据进行乘法累加运算处理。

[0318] 小于预定阈值的输入数据是例如为零值的输入数据、接近于零值的输入数据等。为了确定该值是否是零值，将阈值设置为“1”，然后确定输入数据是否小于阈值。

[0319] 在输入数据为零值的情况下，显然乘法累加运算结果为零值，无需执行乘法累加运算处理即可进行计算。根据此配置，由于在输入数据为零值的情况下避免乘法累加运算，因此防止乘法累加运算单元用于执行无用运算，且可减少电力消耗。

[0320] 如在配置示例1的信号处理单元14A等中所描述的，输入数据可包括第一类型输入数据(像素数据)和第二类型输入数据(权重数据)，阈值确定处理单元(避免处理单元21和

21D、第一避免处理单元21a和第二避免处理单元21b)可以执行针对第一类型输入数据的确定,并且在第一类型输入数据小于预定阈值的情况下,避免处理单元21和21D(第一避免处理单元21a和第二避免处理单元21b)可以避免针对第一类型输入数据的乘法累加运算处理。

[0321] 应注意,在配置示例1的描述中,通过将预定阈值设置为“1”来确定第一类型输入数据是否为零值。

[0322] 乘法累加运算单元(MAC 20、20D和20E)将第一类型输入数据与第二类型输入数据相乘。即,在第一类型输入数据和第二类型输入数据中的任一个是零值的情况下,相乘结果也是零值。利用该配置,在第一类型输入数据为零值的情况下,避免乘法累加运算处理。

[0323] 根据该配置,由于在第一类型输入数据为零值的情况下避免乘法累加运算处理,因此可以有效地避免运算结果为零值的乘法累加运算。

[0324] 如在配置示例1中的信号处理单元14A的每个示例中所描述的,第二类型输入数据可以是权重数据,作为与第一类型输入数据(像素数据)相乘的权重的信息。

[0325] 权重数据例如是应用于CNN中预定范围中的图像数据的滤波器的系数等。很难考虑所有的滤波器系数都是零值的滤波器。

[0326] 因此,例如,通过执行关于被设置为预定区域的图像数据的第一类型输入数据是否为零值的确定处理并且适当地避免乘法累加运算处理,可以有效地消除不必要的乘法累加运算并且实现省电。

[0327] 如配置示例1中所述,可以针对多个乘法累加运算单元(MAC 20、20D和20E)分别设置一个阈值确定处理单元(避免处理单元21、21D、第一避免处理单元21a、第二避免处理单元21b)。

[0328] 确定输入至多个乘法累加运算单元的多条输入数据的每条是否小于预定阈值,例如,输入数据是否是零值。

[0329] 由此,可以执行诸如替换被确定为小于预定阈值的输入数据的处理,并且可以有效地使用乘法累加运算单元。也就是说,可以减少直到获得预定结果为止的乘法累加运算单元的扩展和使用次数,并且可以有助于减少消耗减少。

[0330] 如在配置示例1、配置示例2、配置示例3等中所描述的,避免处理单元21和21D(第一避免处理单元21a和第二避免处理单元21b)可以在输入数据(像素数据和权重数据)小于预定阈值的情况下,以避免对小于预定阈值的输入数据进行乘法累加运算处理的方式来改变输入至乘法累加运算单元(MAC 20、20D和20E)的输入数据。

[0331] 由此,等于或大于预定阈值的输入数据被输入至乘法累加运算单元。

[0332] 因此,有效地使用乘法累加运算单元,并且可以防止执行不必要的乘法累加运算。

[0333] 如在配置示例1、配置示例2、配置示例3等中所描述的,可以提供对多次累积运算处理的输入数据(像素数据和权重数据)和输出数据进行管理的多次累积运算控制单元25,并且避免处理单元21和21D(第一避免处理单元21a和第二避免处理单元21b)可以向多次累积运算控制单元25通知用于指定已经避免多次累积运算处理的输入数据的信息。

[0334] 由此,乘法累加运算控制单元25可以掌握乘法累加运算所使用的输入数据与乘法累加运算结果之间的对应关系。

[0335] 因此,可以适当地处理运算结果,并且例如,可以正确地执行CNN中的卷积处理。此

外,由于避免了运算结果变为零值的不必要的乘法累加运算处理,因此可实现省电。

[0336] 如配置示例4中所述,可以针对每个乘法累加运算单元(MAC 20、20D和20E)设置避免处理单元21和21D(第一避免处理单元21a和第二避免处理单元21b)。

[0337] 通过对各乘法累加运算单元设置避免处理单元21,能够减小由一个避免处理单元21执行的确定处理的处理负荷。在该确定处理中,确定输入数据(像素数据和权重数据)是否小于预定阈值,例如,输入数据是否是零值。

[0338] 由此,例如,可以在不执行诸如用非零值替换输入数据的处理的情况下避免乘法累加运算处理。因此,通过简单的处理可以实现省电。

[0339] 如配置示例4中所述,避免处理单元21D可以避免对小于预定阈值的输入数据(像素数据和权重数据)进行乘法累加运算处理,并输出零值作为乘法累加运算处理的处理结果。

[0340] 例如,在输入数据为零值的情况下,运算结果为零值是显而易见的,因此避免乘法累加运算处理后将输出数据强制设置为零值。

[0341] 由此,可以获得正确的输出数据作为乘法累加运算结果,并且可以通过避免运算处理来获得降低功耗的效果。

[0342] 输入数据包括第一类型输入数据(像素数据)和第二类型输入数据(权重数据),并且在第一类型输入数据小于第一阈值的情况下,避免处理单元21和21D(第一避免处理单元21a和第二避免处理单元21b)可以改变输入至乘法累加运算单元(MAC 20、20D和20E)的第一类型输入数据,并且向乘法累加运算控制单元25通知用于指定改变的第一类型输入数据的信息。

[0343] 由此,可以仅针对作为输入数据的第一类型输入数据和第二类型输入数据中的一个执行与预定阈值的比较处理。

[0344] 因此,与针对第一类型输入数据和第二类型输入数据两者执行确定处理的情况相比,可以降低处理负荷并且可以降低功耗。

[0345] 如在第一变形例应用于配置示例2的情况下,在第二类型输入数据(权重数据)小于第二阈值的情况下,避免处理单元(第一避免处理单元21a和第二避免处理单元21b)可以改变输入至乘法累加运算单元(MAC 20)的第二类型输入数据并且改变与改变的第二类型输入数据对应的第一类型输入数据(像素数据),以及向乘法累加运算控制单元25通知用于指定改变的第一类型输入数据和改变的第二类型输入数据的信息。

[0346] 在乘法累加运算中,对应的数据是要与要乘的数字相乘的数字。在乘法处理中,在某个要相乘的数字是零值的情况下,结果是零值,而不管要相乘的数字的值。为了省略这种乘法处理,执行省略作为零值的乘法的数量(第二类型输入数据)和省略相应的乘法数量的处理。

[0347] 因此,在第二类型输入数据是零值的情况下,避免乘法处理和随后的加法处理,并且可以提前执行运算结果是非零值的乘法处理和加法处理。此外,由于乘法累加运算控制单元可掌握避免的乘法处理和加法处理,因此可适当地处理乘法累加运算处理的运算结果。此外,因为可以减少被执行以获得特定结果的乘法处理和加法处理的次数,所以可以有助于省电。

[0348] 如配置示例2中所述,乘法累加运算控制单元25可管理第一类型输入数据(像素数

据)和第二类型输入数据(权重数据)的乘法累加运算结果,并为避免的乘法累加运算结果补偿零值。

[0349] 可通过接收用于指定相应的第一类型输入数据和第二类型输入数据的信息来指定避免的乘积累加运算处理(即,跳过的乘积累加运算处理)。

[0350] 然后,作为指定的乘法累加运算处理的处理结果,可以通过补充和管理零值,获得乘法累加运算处理的处理结果,使得不缺乏数据。因此,CNN中的卷积运算等能够在省电的情况下有效地执行。

[0351] 如参考图1、图2、图3等所描述的,成像装置1包括:像素阵列单元11,其中,光电转换元件(像素16)被布置在一维或二维阵列中;以及信号处理单元14(14A、14B、14C、14D和14F),基于像素阵列单元11的输出信号的输入数据(像素数据和权重数据)被输入至信号处理单元14(14A、14B、14C、14D和14F),其中,信号处理单元14包括布置成一维或二维阵列并且能够在神经网络中执行乘法累加运算的乘法累加运算单元(MAC 20,20D,和20E),阈值确定处理单元(避免处理单元21和21D、第一避免处理单元21a和第二避免处理单元21b),其确定用于由乘法累加运算单元进行运算的输入数据是否小于预定阈值,以及避免处理单元21和21D(第一避免处理单元21a和第二避免处理单元21b),在输入数据小于预定阈值的情况下,避免对输入数据执行乘法累加运算处理。

[0352] 由于诸如电池的问题,包括在成像装置1中的信号处理单元14需要省电。

[0353] 根据本配置,在能够执行CNN等中的卷积运算的至少一部分的成像装置中,该配置是优选的,因为可以减少在乘法累加运算处理中消耗的功率。

[0354] 如参考图1、图2、图3等所描述的,像素阵列单元11和信号处理单元14可以一体形成。

[0355] 因为像素阵列单元11和信号处理单元14一体形成,所以可以使成像装置1小型化。

[0356] 因此,可以改善成像装置1的处理的容易性。

[0357] 如参考图2等所描述的,基于像素阵列单元11的输出信号提取的特征量可被输入至信号处理单元14(14A、14B、14C、14D和14F)作为输入数据。

[0358] 特征数据通常包括具有零值或小于预定阈值的数据。

[0359] 因此,在很多情况下,可以高效率地执行乘法累加运算处理,并且可以进一步增强功耗降低效果。

[0360] 应注意,在本说明书中描述的效果仅是示例并且不受限制,并且可以提供其他效果。

[0361] <6.本技术>

[0362] (1)

[0363] 一种信号处理装置,包括:

[0364] 乘法累加运算单元,以一维或二维阵列布置,并且能够在神经网络中执行乘法累加运算;

[0365] 阈值确定处理单元,确定用于由所述乘法累加运算单元进行的运算的输入数据是否小于预定阈值;以及

[0366] 避免处理单元,在所述输入数据小于所述预定阈值的情况下,所述避免处理单元避免针对所述输入数据的乘法累加运算处理。

[0367] (2)

[0368] 根据以上(1)所述的信号处理装置,其中,

[0369] 所述输入数据包括第一类型输入数据和第二类型输入数据,

[0370] 所述阈值确定处理单元针对所述第一类型输入数据执行确定,并且

[0371] 在所述第一类型输入数据小于所述预定阈值的情况下,所述避免处理单元避免针对所述第一类型输入数据的所述乘法累加运算处理。

[0372] (3)

[0373] 根据以上(2)所述的信号处理装置,其中,

[0374] 所述第二类型输入数据是权重数据,作为与所述第一类型输入数据相乘的权重信息。

[0375] (4)

[0376] 根据以上(1)至(3)中任一项所述的信号处理装置,其中,

[0377] 针对多个所述乘法累加运算单元中的每一个设置一个所述阈值确定处理单元。

[0378] (5)

[0379] 根据以上(4)所述的信号处理装置,其中,

[0380] 在所述输入数据小于所述预定阈值的情况下,所述避免处理单元改变输入至所述乘法累加运算单元的所述输入数据,从而避免针对小于所述预定阈值的所述输入数据的乘法累加运算处理。

[0381] (6)

[0382] 根据以上(5)所述的信号处理装置,还包括:

[0383] 乘法累加运算控制单元,管理所述乘法累加运算处理的输入数据和输出数据,其中,

[0384] 所述避免处理单元将用于指定已经避免所述乘法累加运算处理的所述输入数据的信息通知给所述乘法累加运算控制单元。

[0385] (7)

[0386] 根据以上(1)至(6)中任一项所述的信号处理装置,其中,

[0387] 针对所述乘法累加运算单元中的每一个设置所述避免处理单元。

[0388] (8)

[0389] 根据以上(7)所述的信号处理装置,其中,

[0390] 所述避免处理单元避免针对小于所述预定阈值的输入数据的所述乘法累加运算处理,并且所述避免处理单元输出零值作为所述乘法累加运算处理的处理结果。

[0391] (9)

[0392] 根据以上(6)所述的信号处理装置,其中,

[0393] 所述输入数据包括第一类型输入数据和第二类型输入数据,并且

[0394] 在所述第一类型输入数据小于第一阈值的情况下,所述避免处理单元

[0395] 改变输入至所述乘法累加运算单元的第一类型输入数据,并将用于指定所改变的第一类型输入数据的信息通知给所述乘法累加运算控制单元。

[0396] (10)

[0397] 根据以上(9)所述的信号处理装置,其中,

[0398] 在所述第二类型输入数据小于第二阈值的情况下,所述避免处理单元改变输入至所述乘法累加运算单元的第二类型输入数据并且改变与所改变的第二类型输入数据相对应的第一类型输入数据,并且所述避免处理单元将用于指定所改变的第一类型输入数据和所改变的第二类型输入数据的信息通知给所述乘法累加运算控制单元。

[0399] (11)

[0400] 根据以上(10)所述的信号处理装置,其中,

[0401] 乘法累加运算控制单元管理所述第一类型输入数据和所述第二类型输入数据的乘法累加运算结果,并针对避免的乘法累加运算结果补偿零值。

[0402] (12)

[0403] 一种成像装置,包括:

[0404] 像素阵列单元,在所述像素阵列单元中,光电转换元件以一维或二维阵列布置;

[0405] 信号处理单元,将基于所述像素阵列单元的输出信号的输入数据输入至所述信号处理单元,其中,

[0406] 所述信号处理单元包括:

[0407] 乘法累加运算单元,以一维或二维阵列布置,并且能够在神经网络中执行乘法累加运算;

[0408] 阈值确定处理单元,确定用于由所述乘法累加运算单元进行的运算的输入数据是否小于预定阈值;以及

[0409] 避免处理单元,在所述输入数据小于所述预定阈值的情况下,所述避免处理单元避免针对所述输入数据的乘法累加运算处理。

[0410] (13)

[0411] 根据以上(12)所述的成像装置,其中,

[0412] 所述像素阵列单元和所述信号处理单元是一体形成的。

[0413] (14)

[0414] 根据以上(13)所述的成像装置,其中,

[0415] 将基于所述像素阵列单元的输出信号提取的特征数据输入至所述信号处理单元作为所述输入数据。

[0416] (15)

[0417] 一种由信号处理装置执行的信号处理方法,所述方法包括:

[0418] 确定用于神经网络中的乘法累加运算的输入数据是否小于预定阈值;以及

[0419] 在所述输入数据小于所述预定阈值的情况下,避免针对所述输入数据的乘法累加运算处理。

[0420] 参考符号列表

[0421] 1成像装置(信号处理装置)

[0422] 20、20D、20E MAC(乘法累加运算单元)

[0423] 20-1、20-2、20-3、20-4MAC(乘法累加运算单元)

[0424] 20-5、20-6、20-7、20-8MAC(乘法累加运算单元)

[0425] 20-9、20-10、20-11、20-12MAC(乘法累加运算单元)

[0426] 21、21D避免处理单元(阈值确定处理单元)

[0427] 21a第一避免处理单元(阈值确定处理单元)

[0428] 21b第二避免处理单元(阈值确定处理单元)

[0429] 25乘法累加运算控制单元

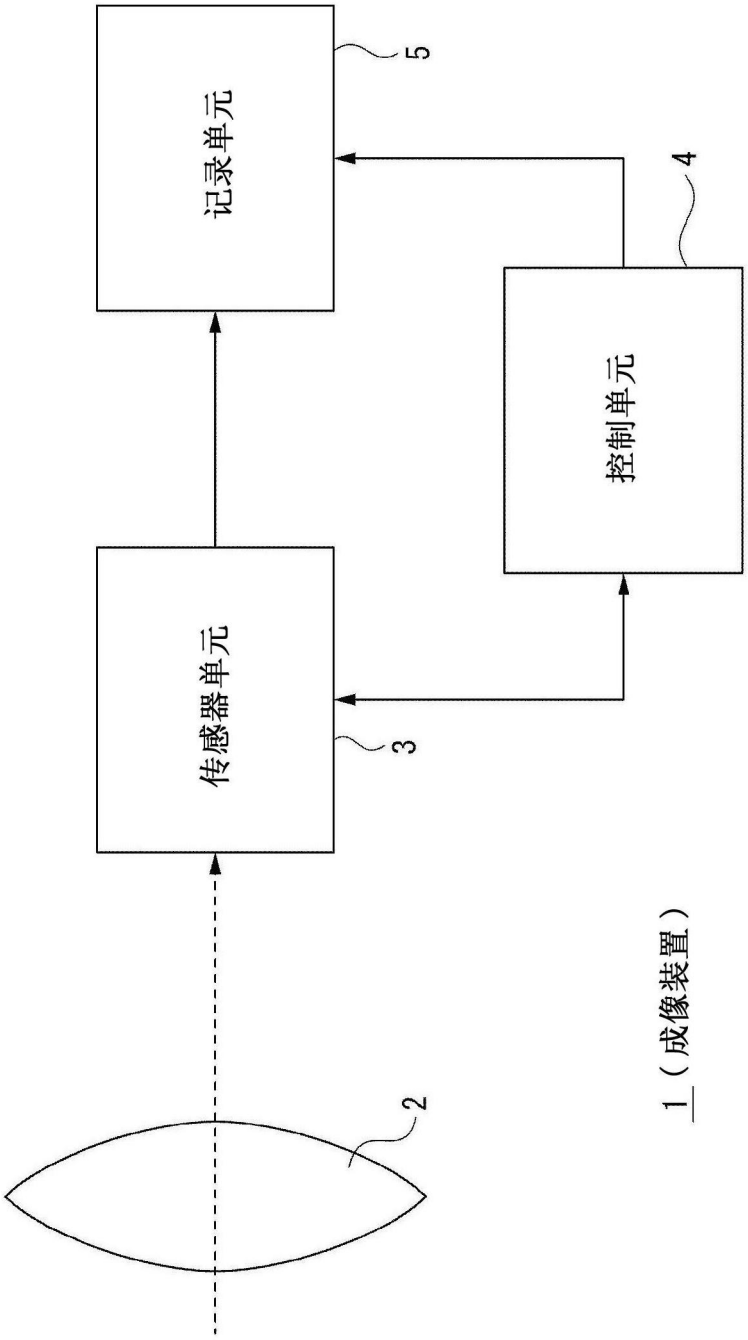


图1

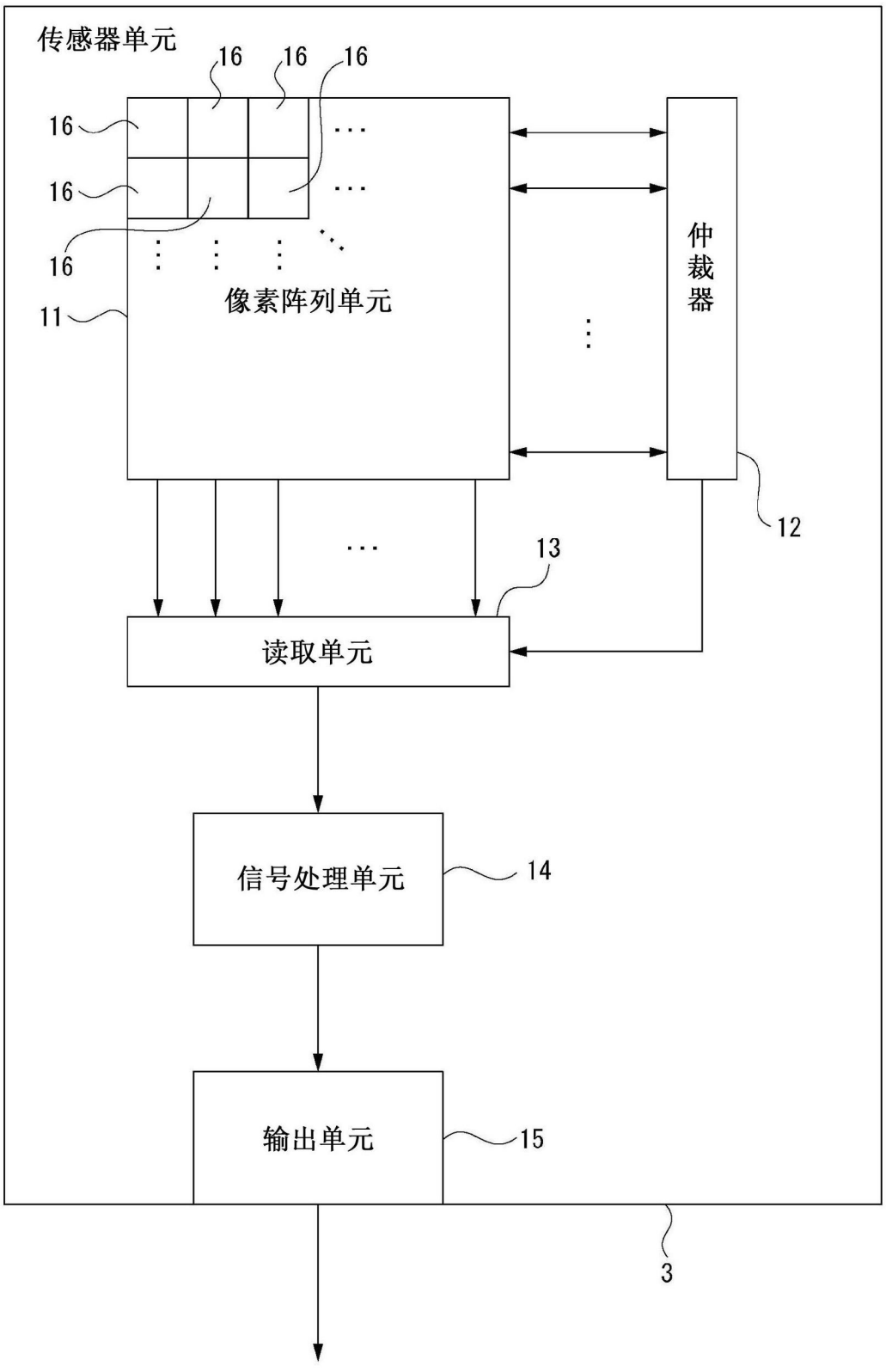

传感器单元
16
16
16
16
16
16
像素阵列单元
11
仲裁器
12
13
读取单元
信号处理单元
14
输出单元
15
3

图2

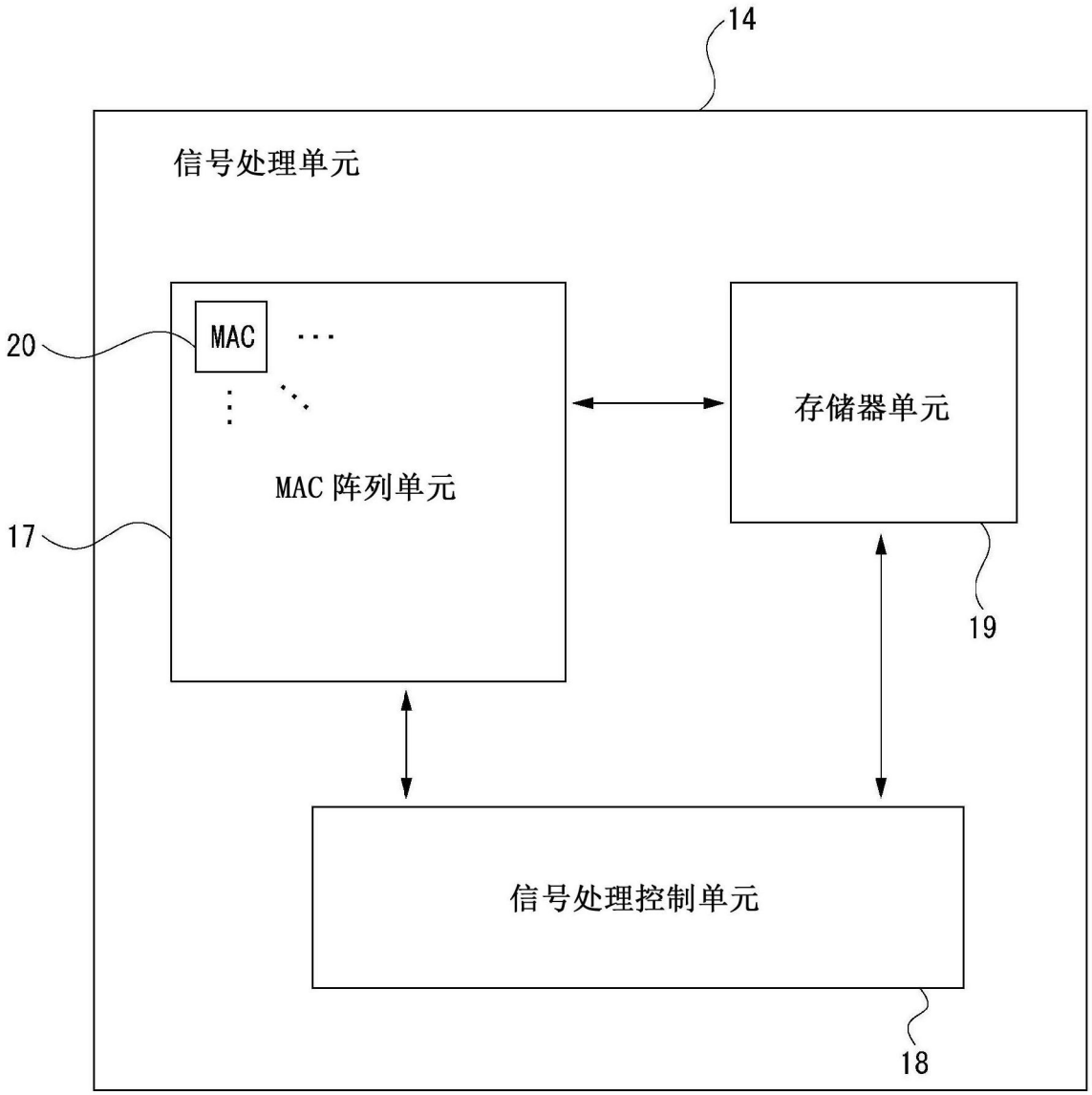


图3

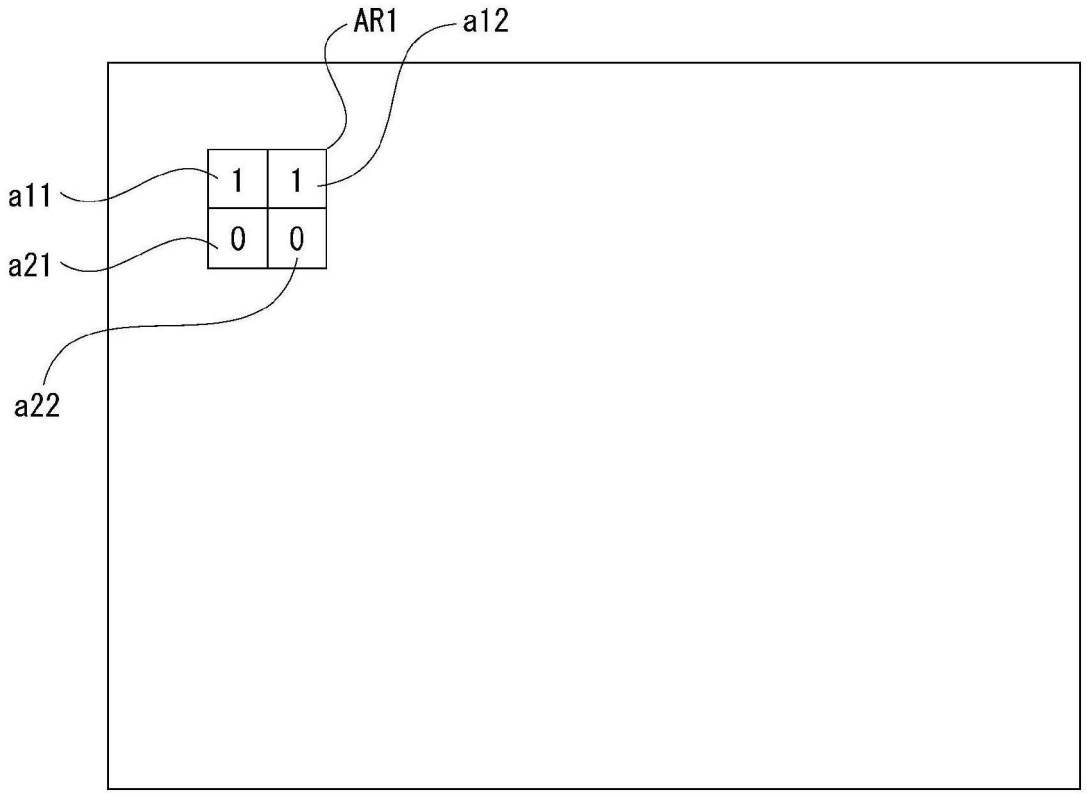


图4

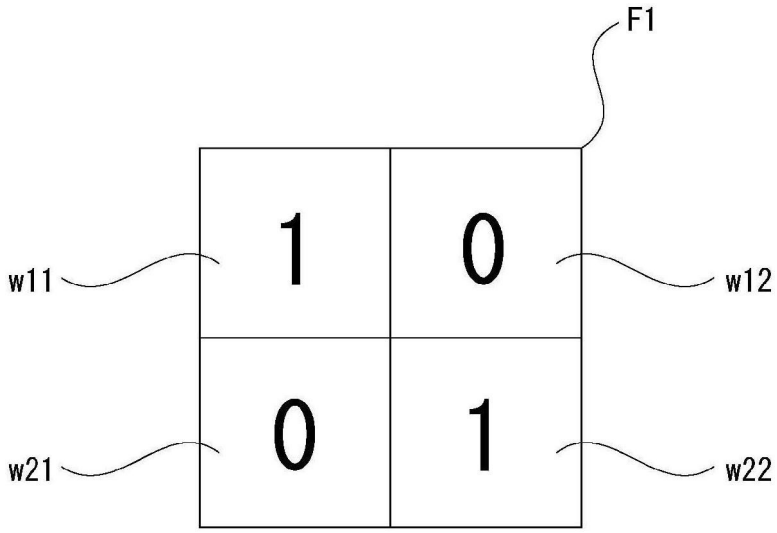


图5

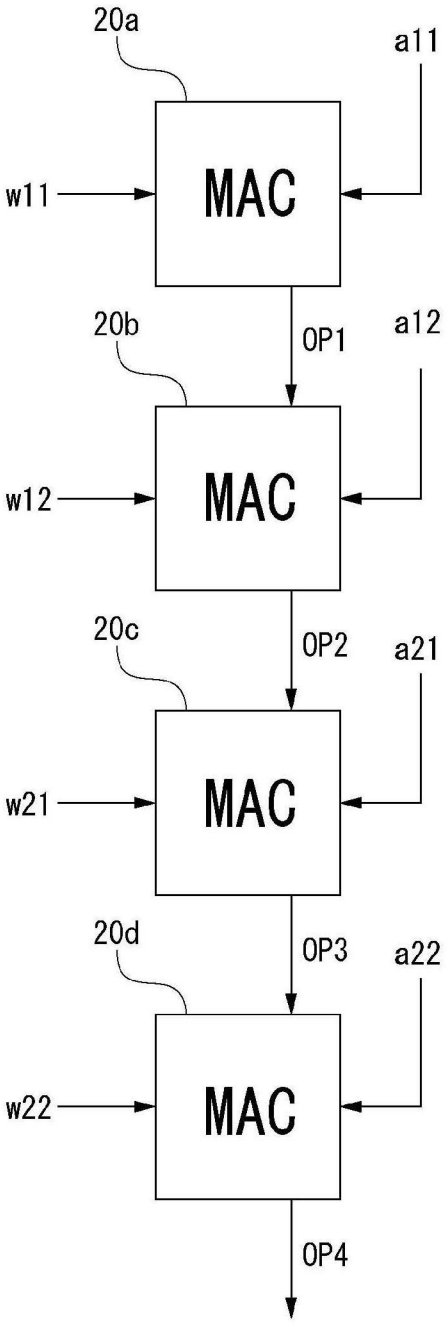

20a
a11
w11
MAC
OP1
20b
a12
w12
MAC
OP2
20c
a21
w21
MAC
OP3
20d
a22
w22
MAC
OP4

图6

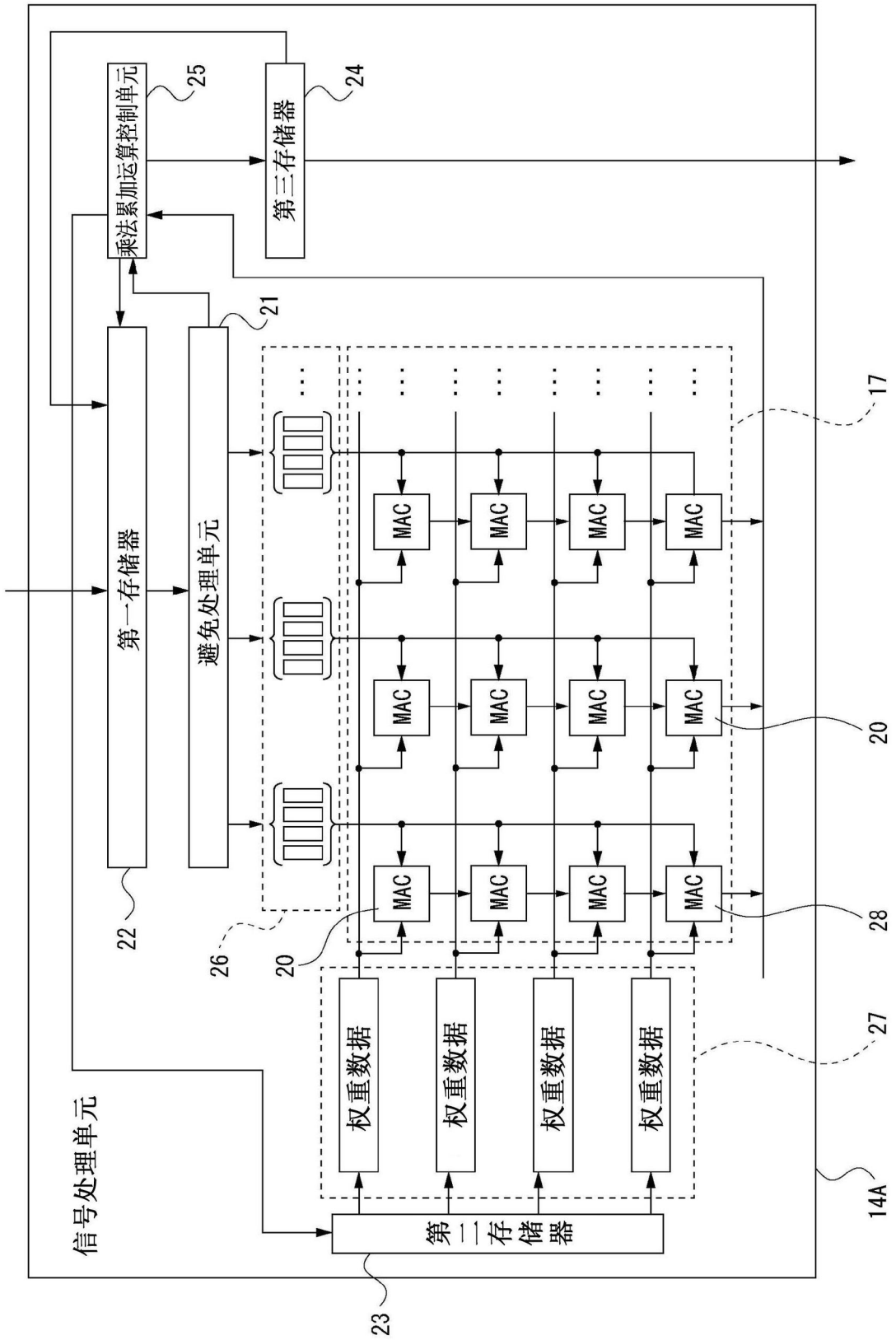

信号处理单元
乘法累加运算控制单元
25
第三存储器
24
第一存储器
避免处理单元
21
22
26
20
17
MAC
权重数据
27
第二存储器
23
14A
28

图7

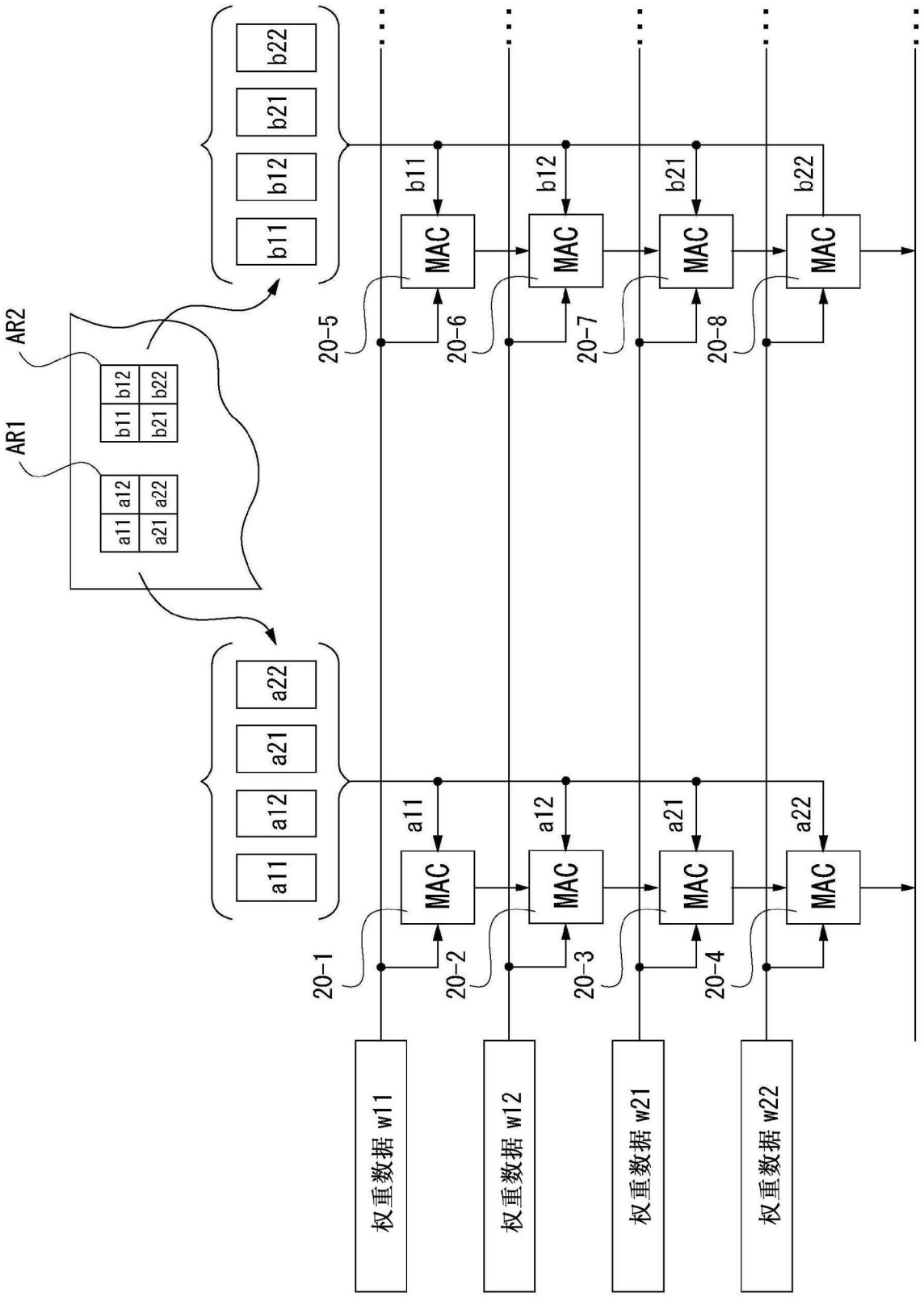

AR2
AR1
a11 a12 a21 a22
b11 b12 b21 b22
a11 a12 a21 a22
b11 b12 b21 b22
MAC
20-1
20-2
20-3
20-4
20-5
20-6
20-7
20-8
权重数据 w11
权重数据 w12
权重数据 w21
权重数据 w22

图8

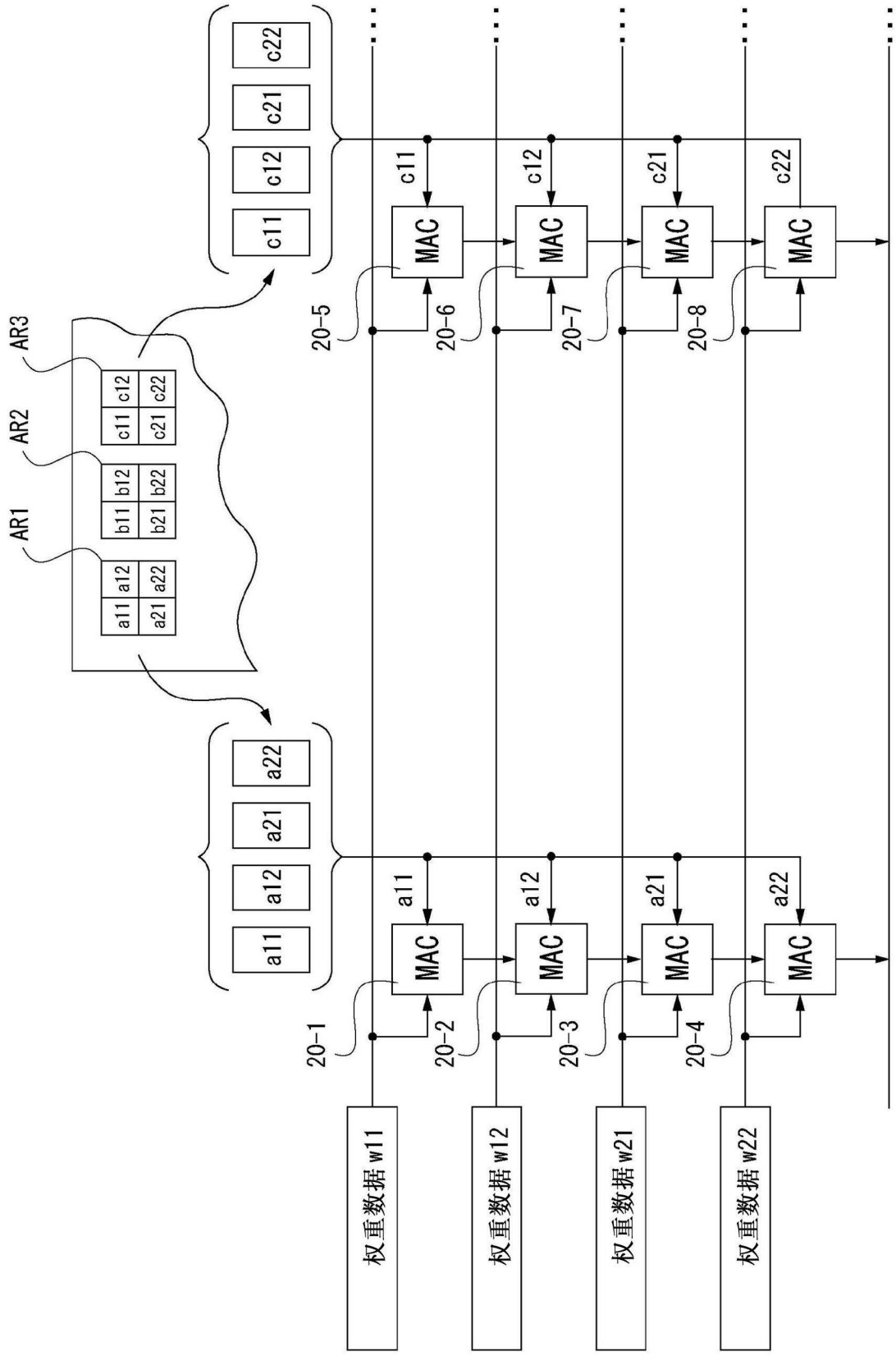

AR3
AR2
AR1
a11 a12
a21 a22
b11 b12
b21 b22
c11 c12
c21 c22
a11
a12
a21
a22
c11
c12
c21
c22
MAC
20-1
20-2
20-3
20-4
20-5
20-6
20-7
20-8
权重数据 w11
权重数据 w12
权重数据 w21
权重数据 w22

图9

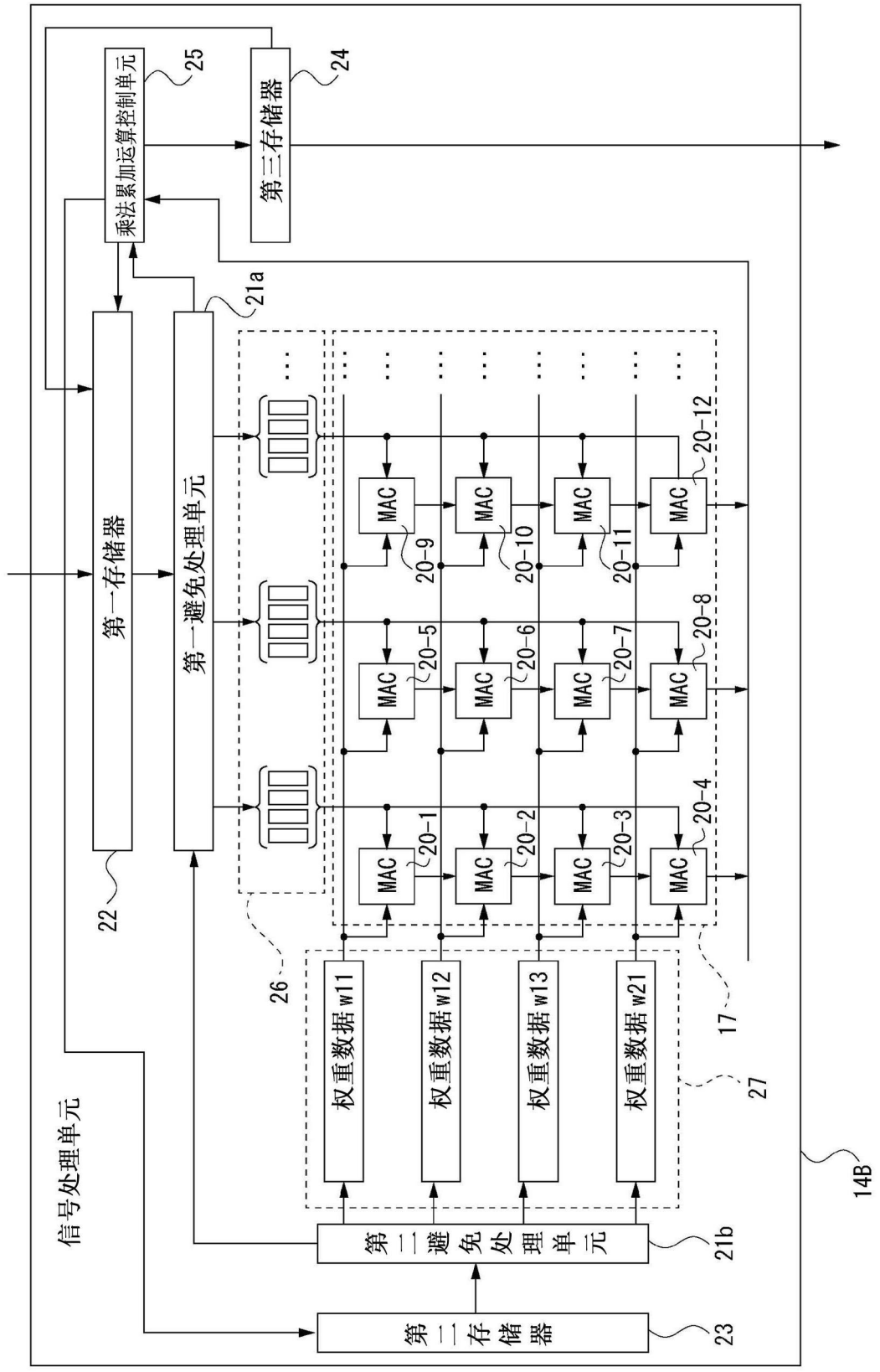

信号处理单元
乘法累加运算控制单元
25
第三存储器
24
第一存储器
22
第一避免处理单元
21a
MAC
20-1
20-2
20-3
20-4
20-5
20-6
20-7
20-8
20-9
20-10
20-11
20-12
权重数据w11
权重数据w12
权重数据w13
权重数据w21
26
17
27
第二避免处理单元
21b
第二存储器
23
14B

图10

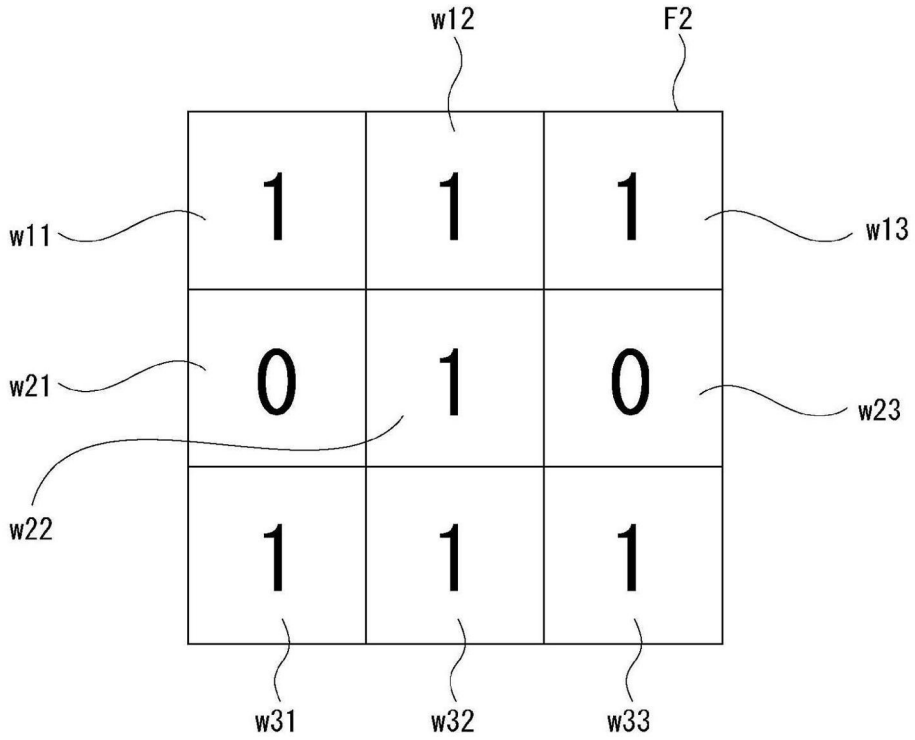

w12
F2
w11
w13
w21
w23
w22
w31
w32
w33
1
1
1
0
1
0
1
1
1

图11

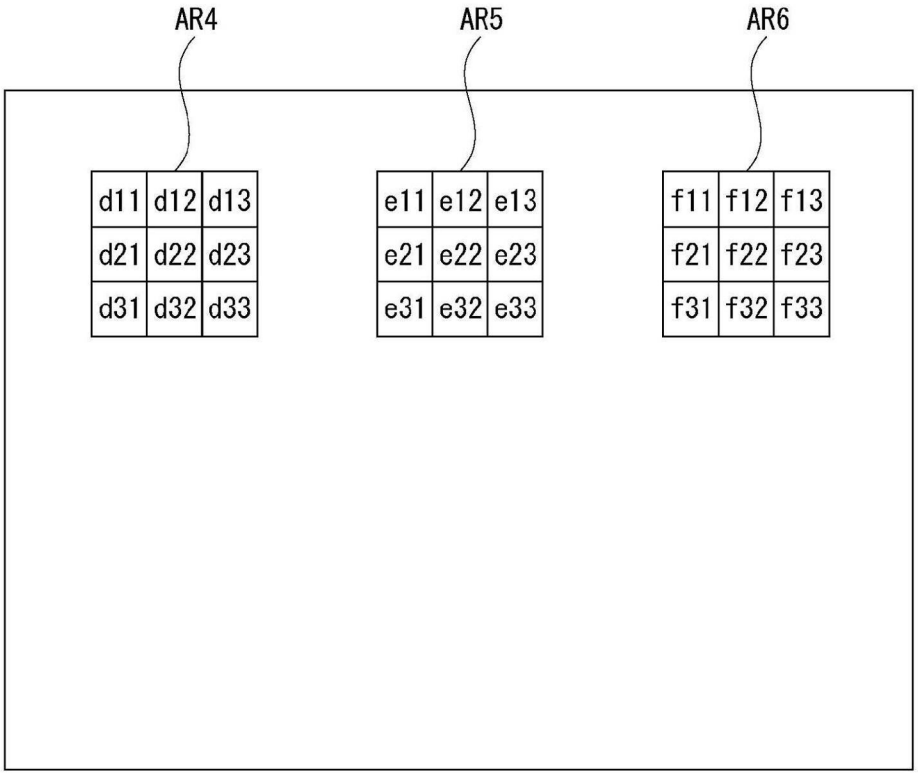

AR4
AR5
AR6
d11 d12 d13
d21 d22 d23
d31 d32 d33
e11 e12 e13
e21 e22 e23
e31 e32 e33
f11 f12 f13
f21 f22 f23
f31 f32 f33

图12

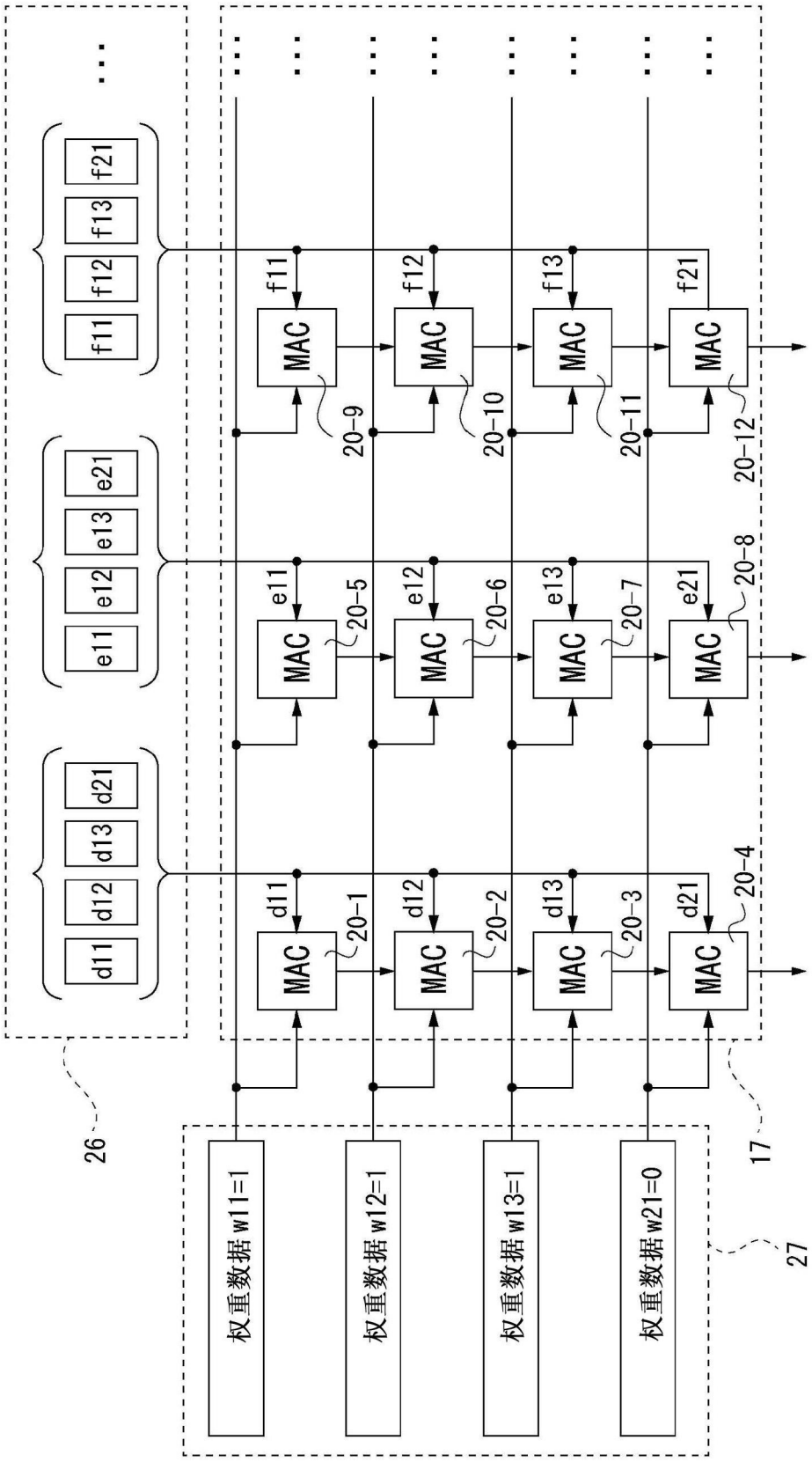

d11
d12
d13
d21
e11
e12
e13
e21
f11
f12
f13
f21
MAC
20-1
20-2
20-3
20-4
20-5
20-6
20-7
20-8
20-9
20-10
20-11
20-12
26
17
27
权重数据 w11=1
权重数据 w12=1
权重数据 w13=1
权重数据 w21=0

图13

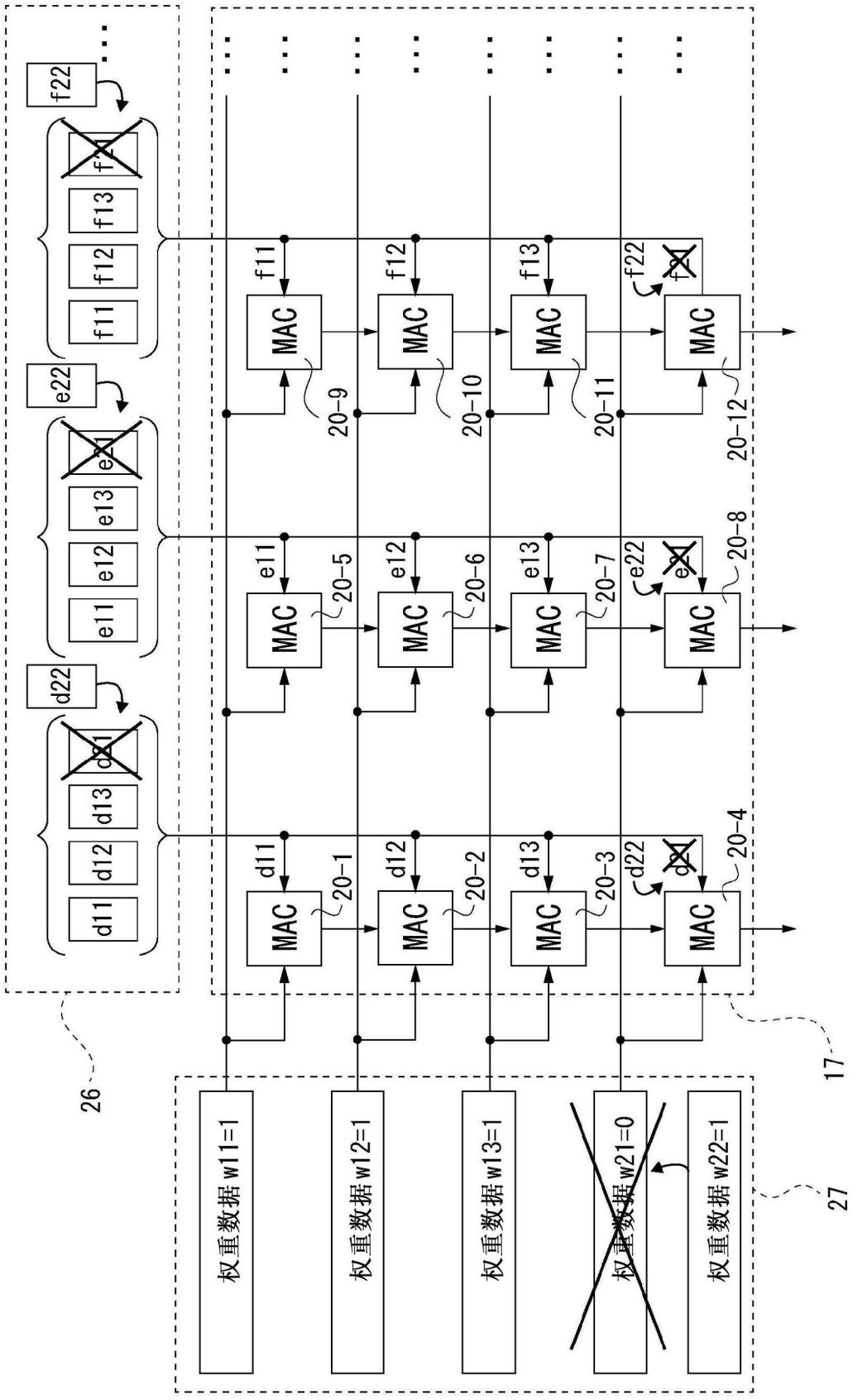

f22
f11
f12
f13
e22
e11
e12
e13
d22
d11
d12
d13
MAC
20-1
20-2
20-3
20-4
20-5
20-6
20-7
20-8
20-9
20-10
20-11
20-12
26
17
27
权重数据 w11=1
权重数据 w12=1
权重数据 w13=1
权重数据 w21=0
权重数据 w22=1

图14

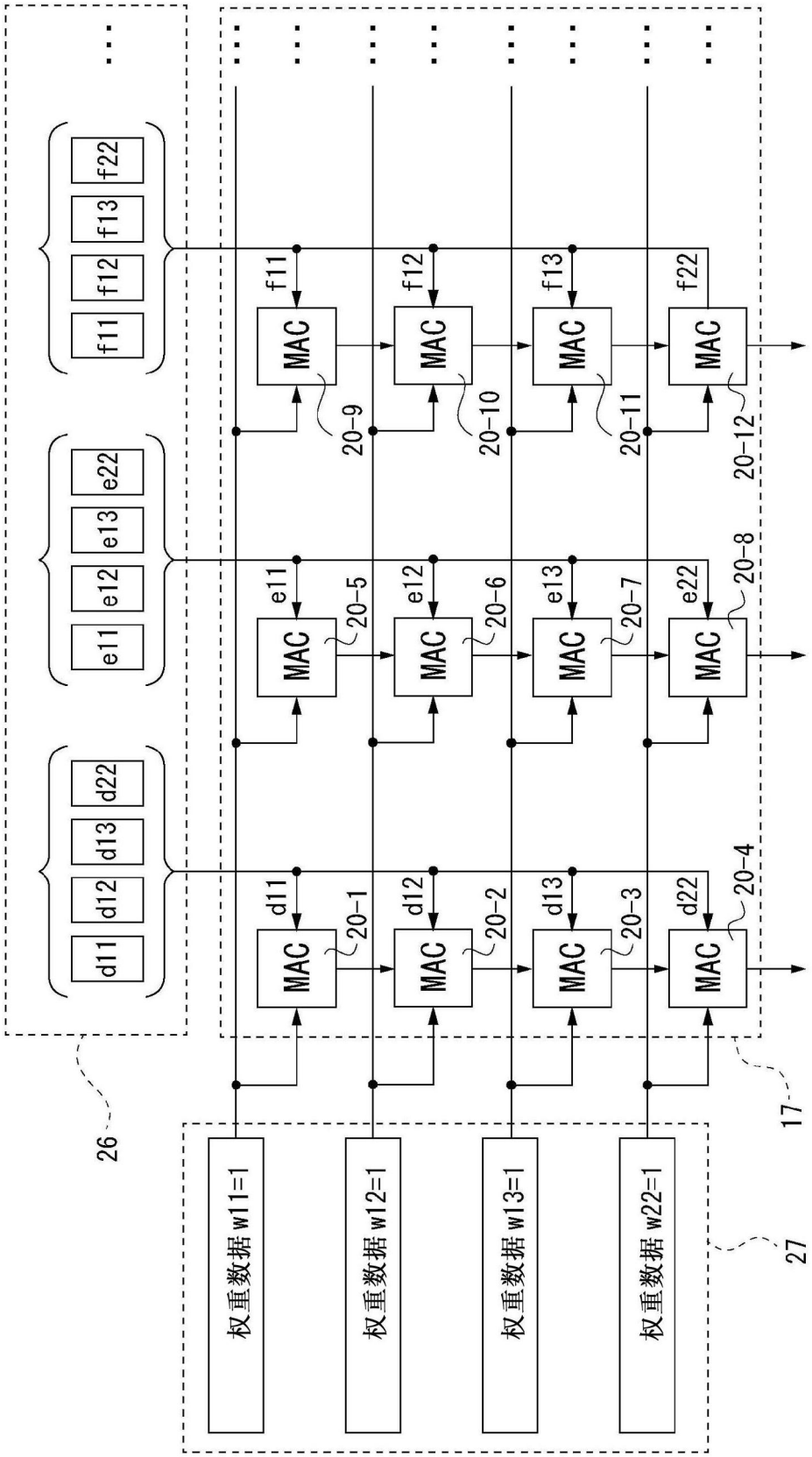

d11
d12
d13
d22
e11
e12
e13
e22
f11
f12
f13
f22
MAC
20-1
20-2
20-3
20-4
20-5
20-6
20-7
20-8
20-9
20-10
20-11
20-12
26
17
27
权重数据 w11=1
权重数据 w12=1
权重数据 w13=1
权重数据 w22=1

图15

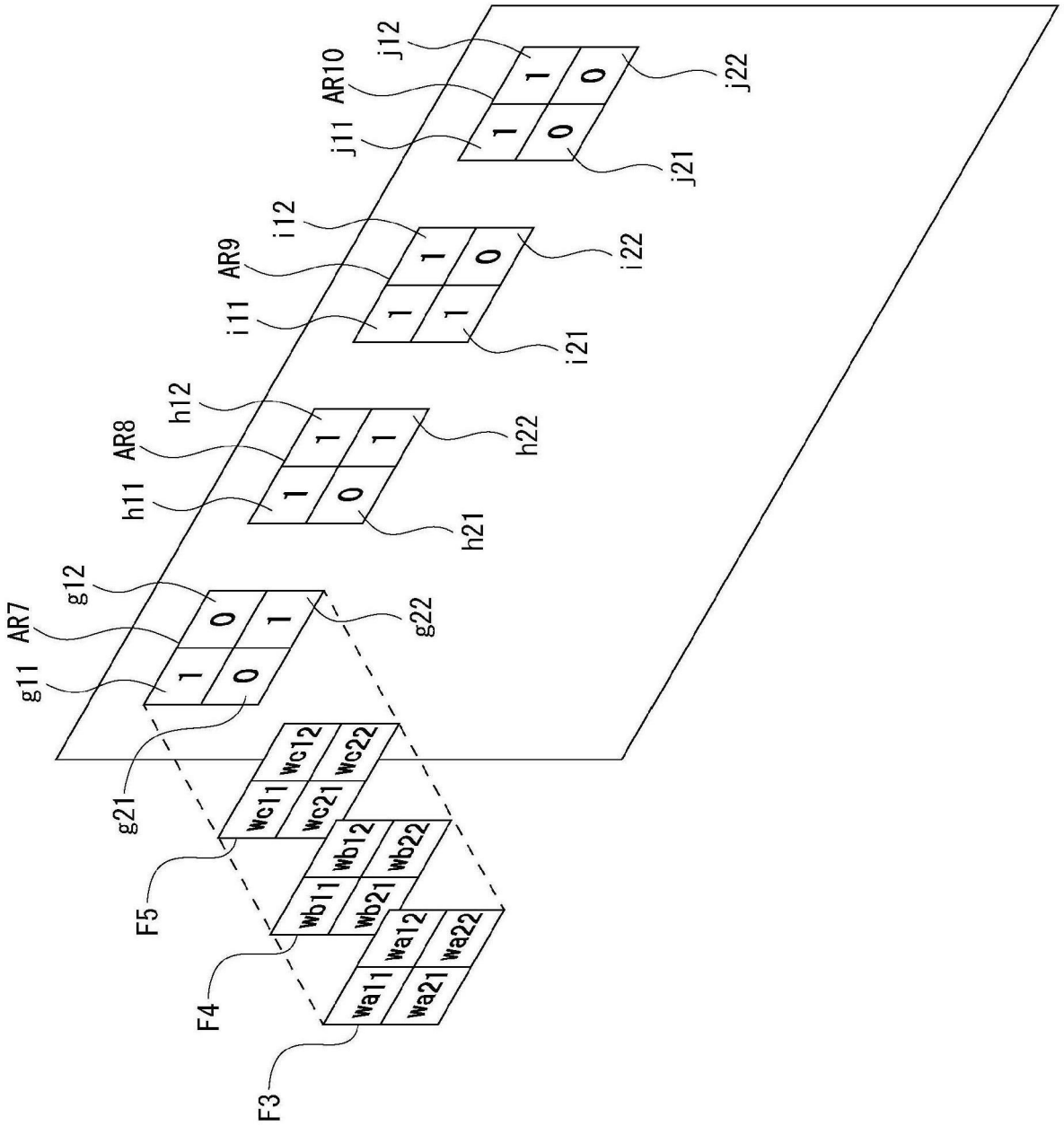

AR10
j12
j11
j22
j21
1
0
1
0
AR9
i12
i11
i22
i21
1
1
1
1
AR8
h12
h11
h22
h21
1
1
1
0
AR7
g12
g11
g22
g21
0
1
1
0
F5
wc12
wc22
wc11
wc21
F4
wb12
wb22
wb11
wb21
F3
wa12
wa22
wa11
wa21

图16

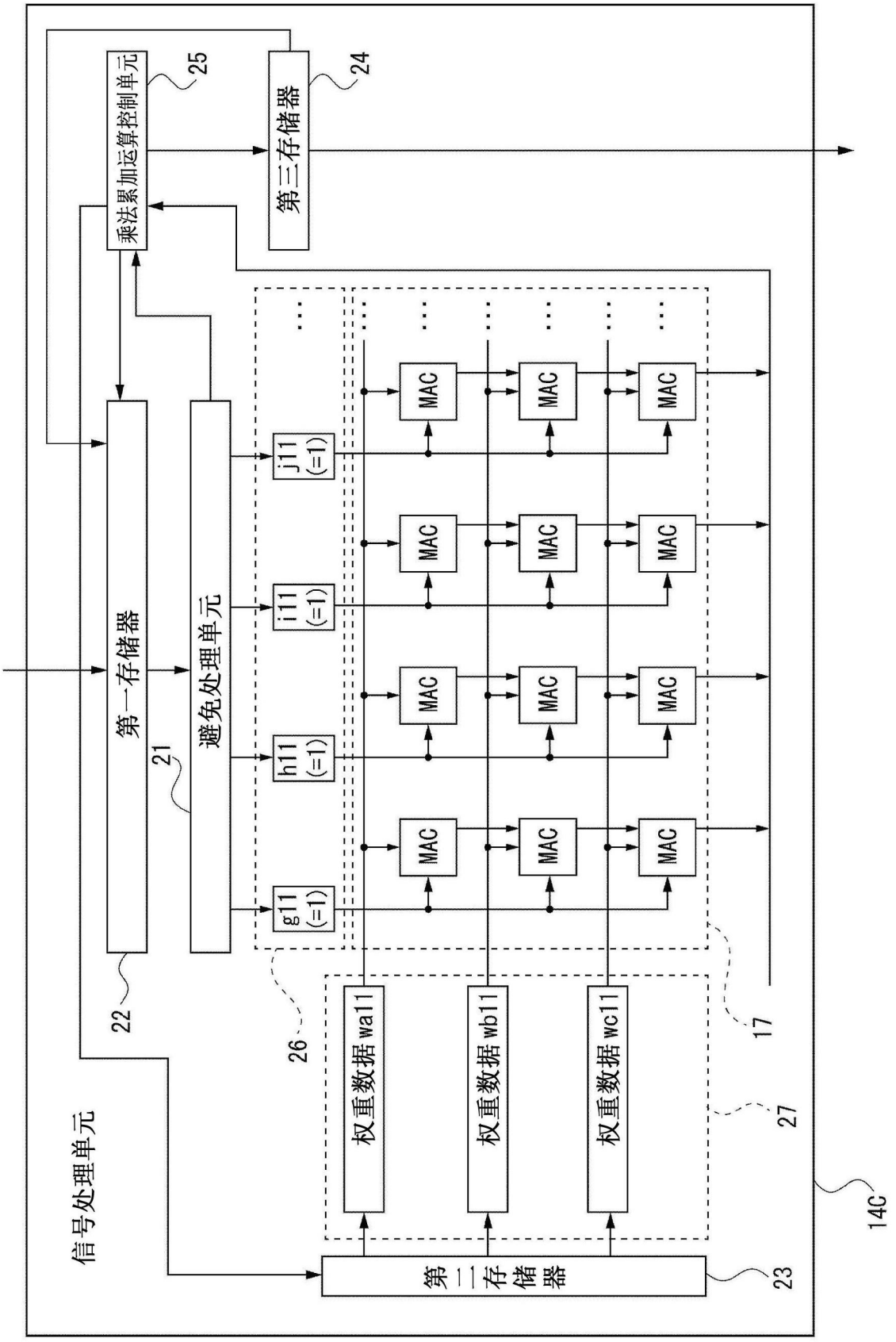

乘法累加运算控制单元
25
第三存储器
24
第一存储器
21
避免处理单元
22
信号处理单元
j11 (=1)
i11 (=1)
h11 (=1)
g11 (=1)
MAC
权重数据 wa11
权重数据 wb11
权重数据 wc11
第二存储器
23
26
17
27
14C

图17

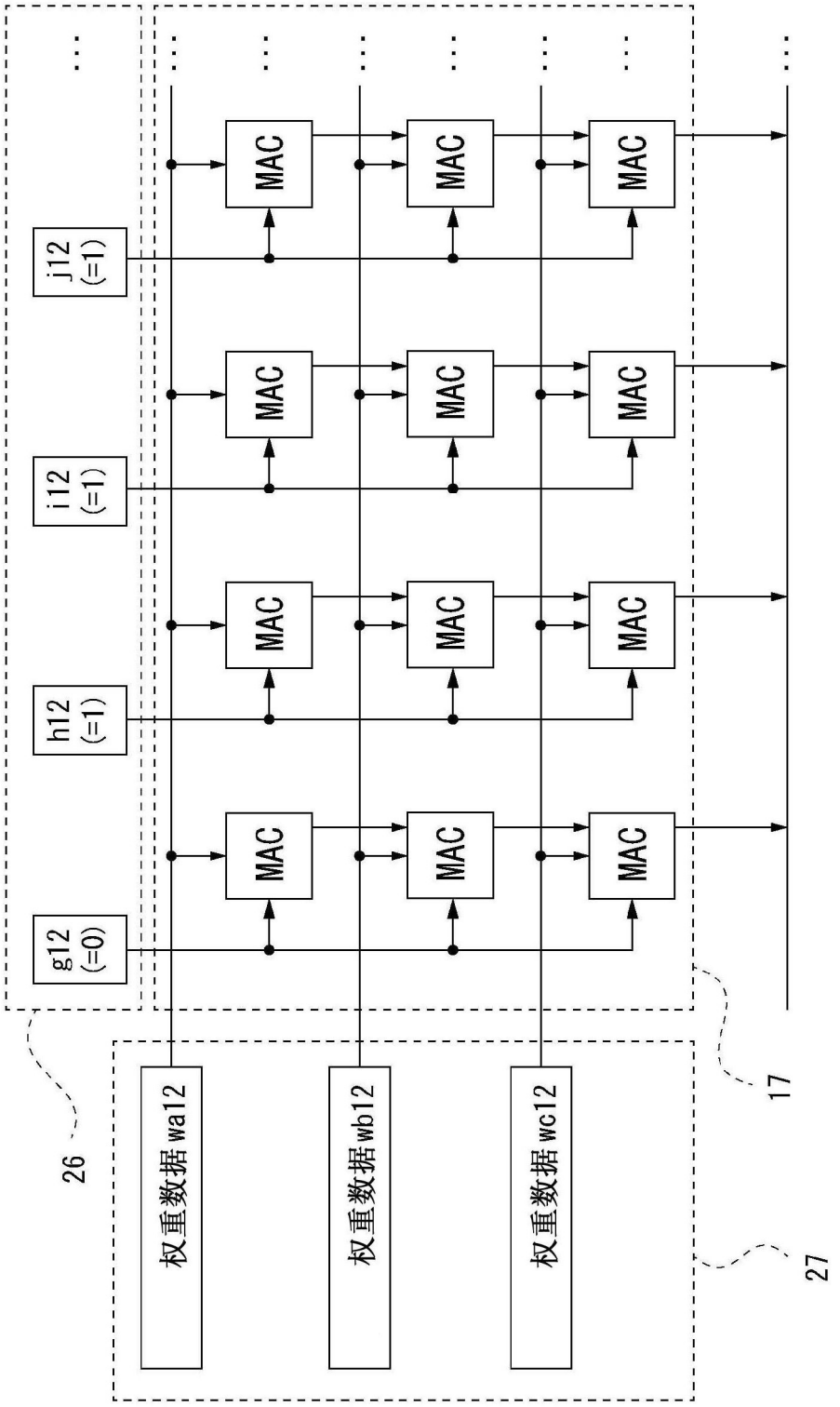


图18

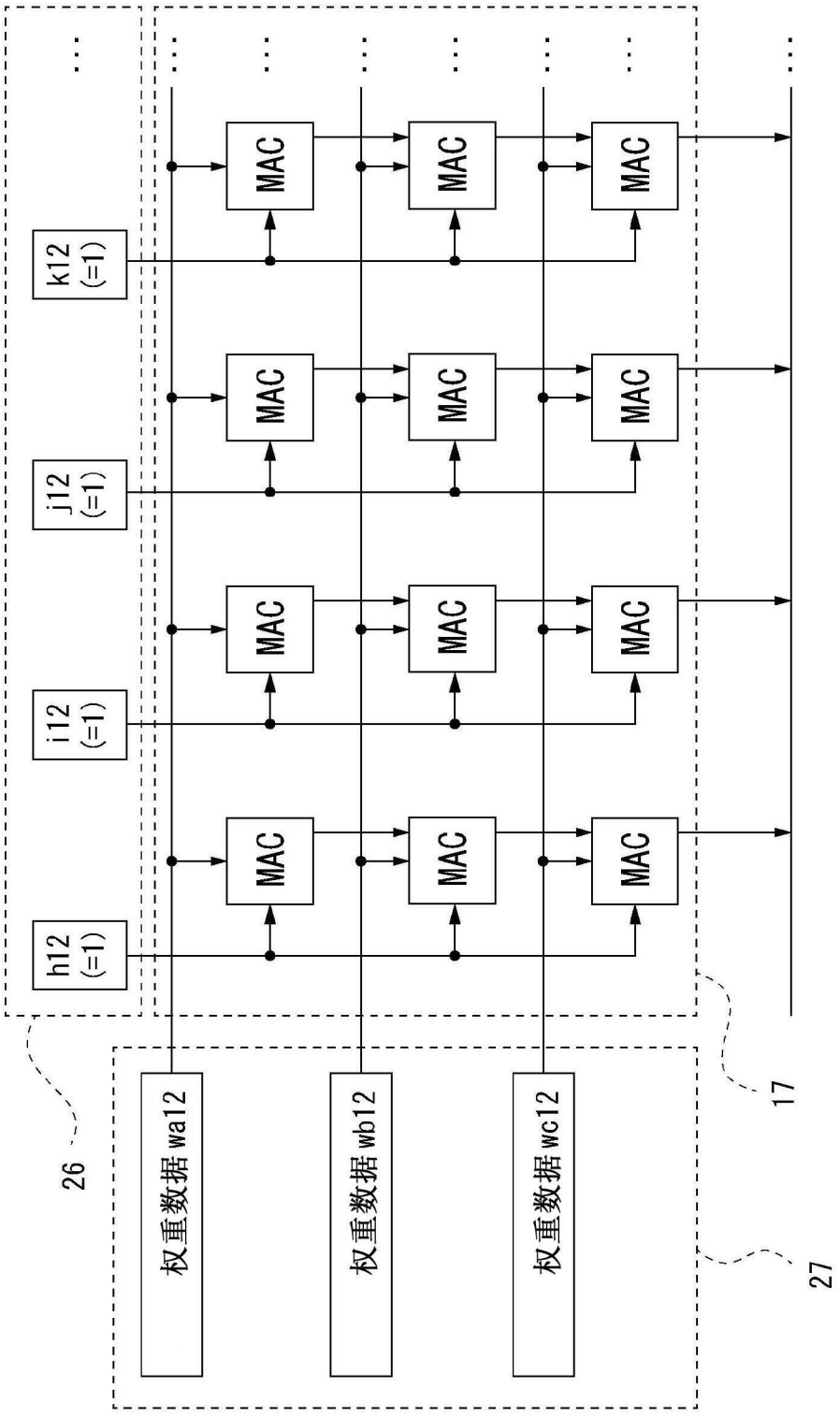


图19

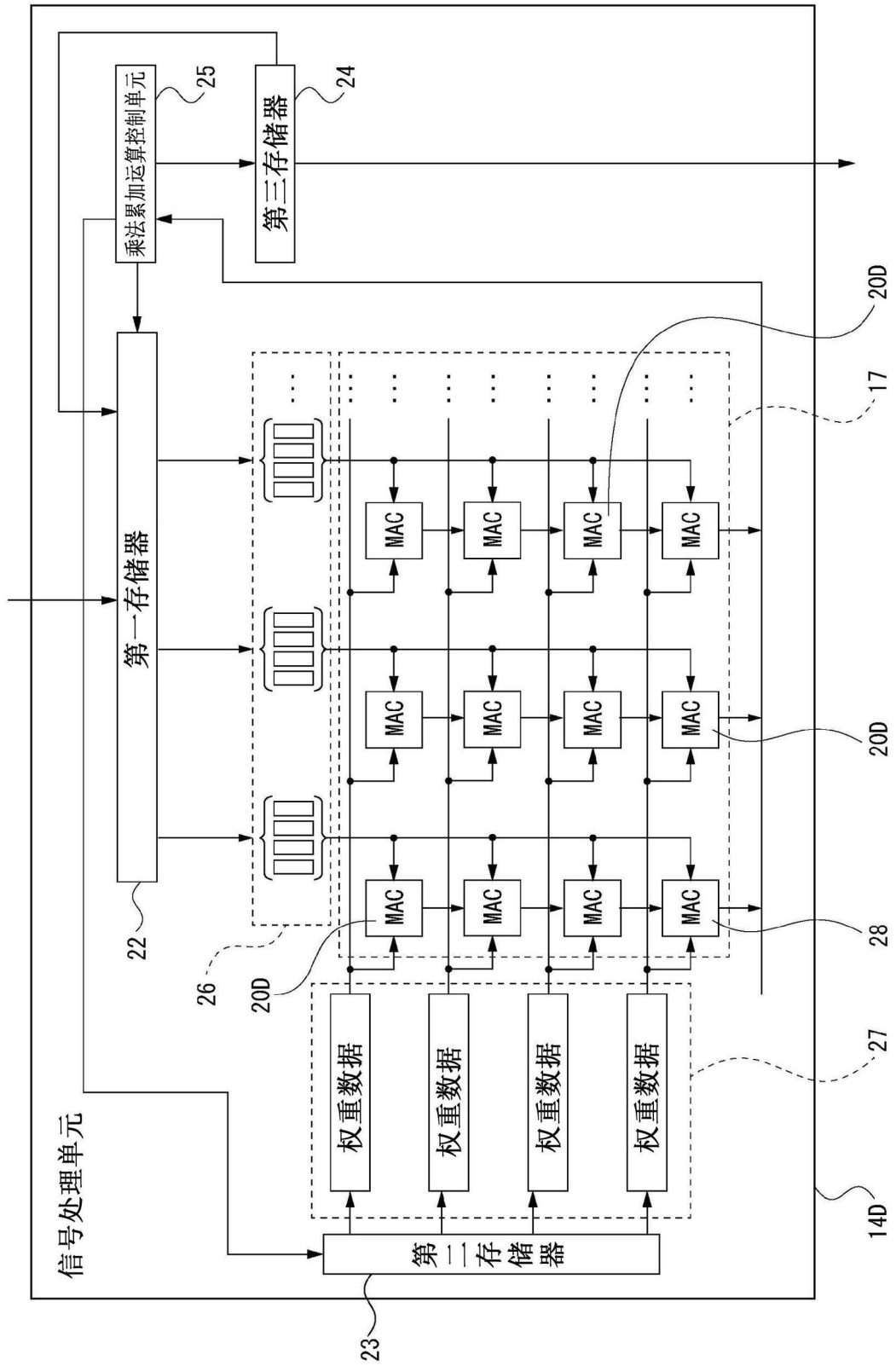

信号处理单元
乘法累加运算控制单元
25
第三存储器
24
第一存储器
22
第二存储器
23
MAC
权重数据
20D
17
26
28
27
14D

图20

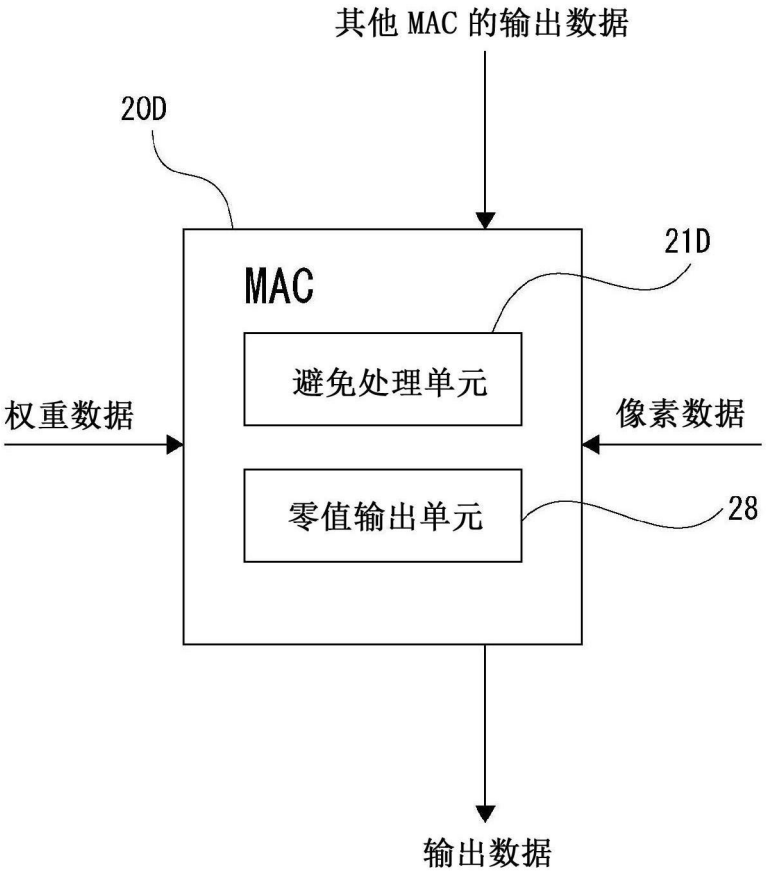


图21

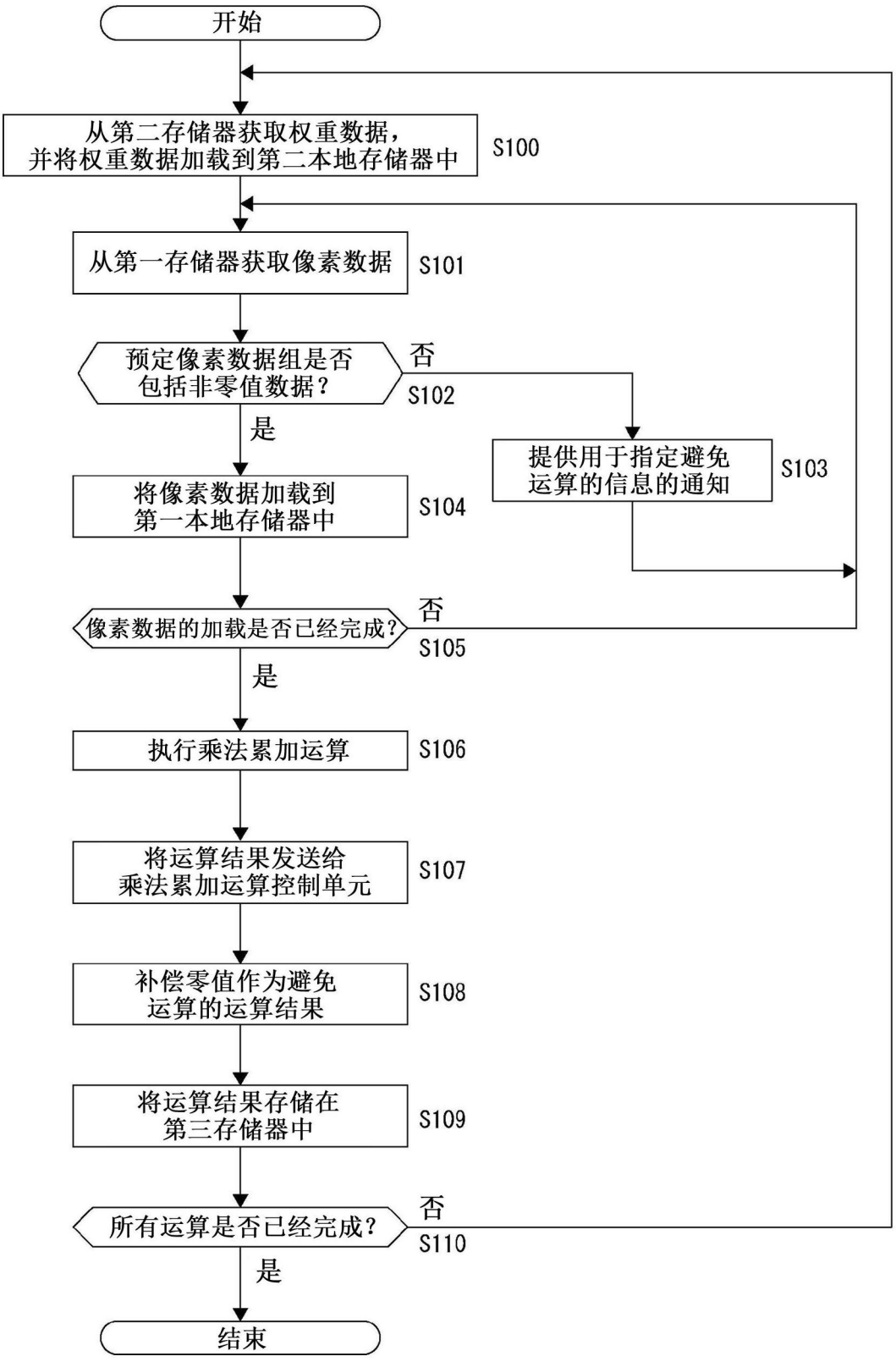

开始
从第二存储器获取权重数据，
并将权重数据加载到第二本地存储器中
S100
从第一存储器获取像素数据
S101
预定像素数据组是否
包括非零值数据？
否
S102
是
提供用于指定避免
运算的信息的通知
S103
将像素数据加载到
第一本地存储器中
S104
像素数据的加载是否已经完成？
否
S105
是
执行乘法累加运算
S106
将运算结果发送给
乘法累加运算控制单元
S107
补偿零值作为避免
运算的运算结果
S108
将运算结果存储在
第三存储器中
S109
所有运算是否已经完成？
否
S110
是
结束

图22

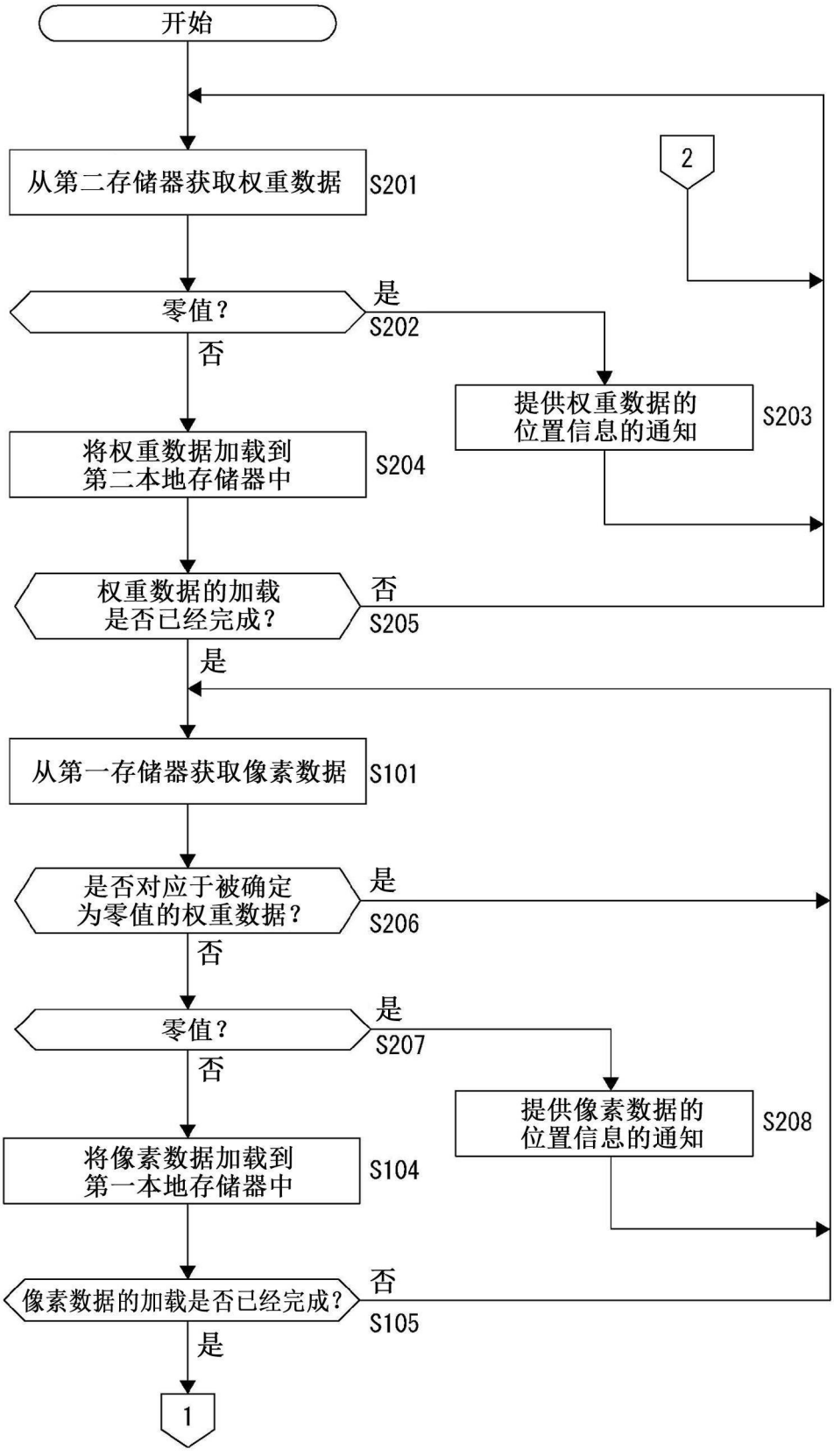

开始
从第二存储器获取权重数据
S201
2
零值？
是
S202
否
提供权重数据的
位置信息的通知
S203
将权重数据加载到
第二本地存储器中
S204
权重数据的加载
是否已经完成？
否
S205
是
从第一存储器获取像素数据
S101
是否对应于被确定
为零值的权重数据？
是
S206
否
零值？
是
S207
否
提供像素数据的
位置信息的通知
S208
将像素数据加载到
第一本地存储器中
S104
像素数据的加载是否已经完成？
否
S105
是
1

图23

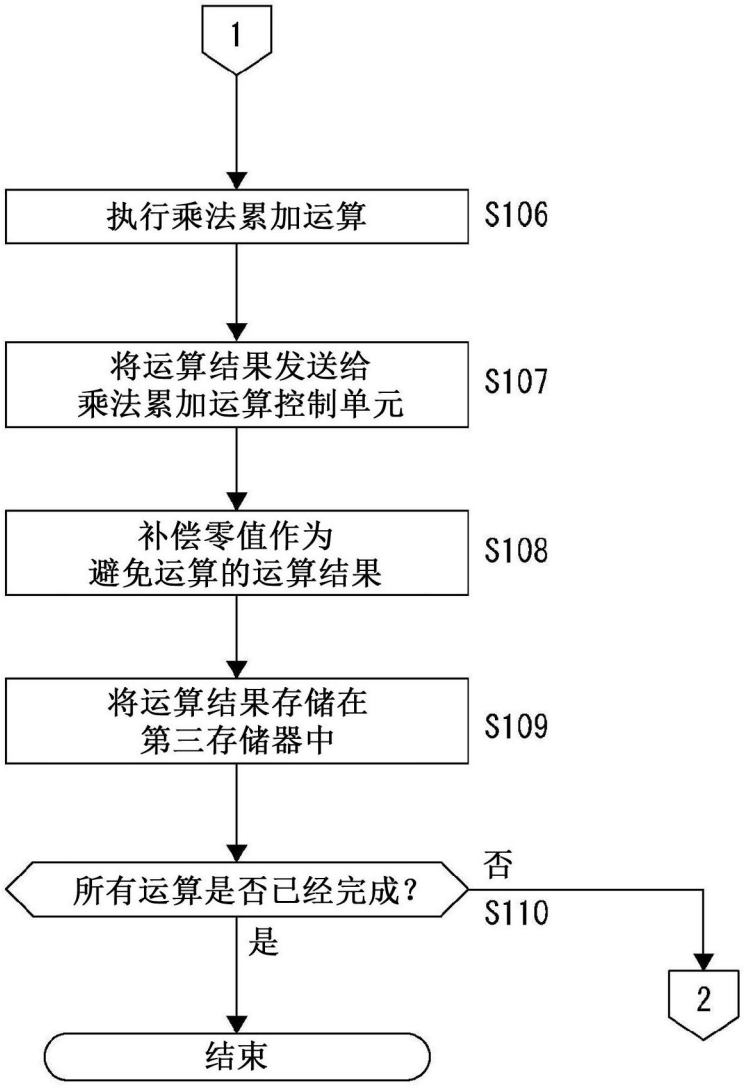

1
执行乘法累加运算
S106
将运算结果发送给
乘法累加运算控制单元
S107
补偿零值作为
避免运算的运算结果
S108
将运算结果存储在
第三存储器中
S109
所有运算是否已经完成？
否
S110
是
2
结束

图24

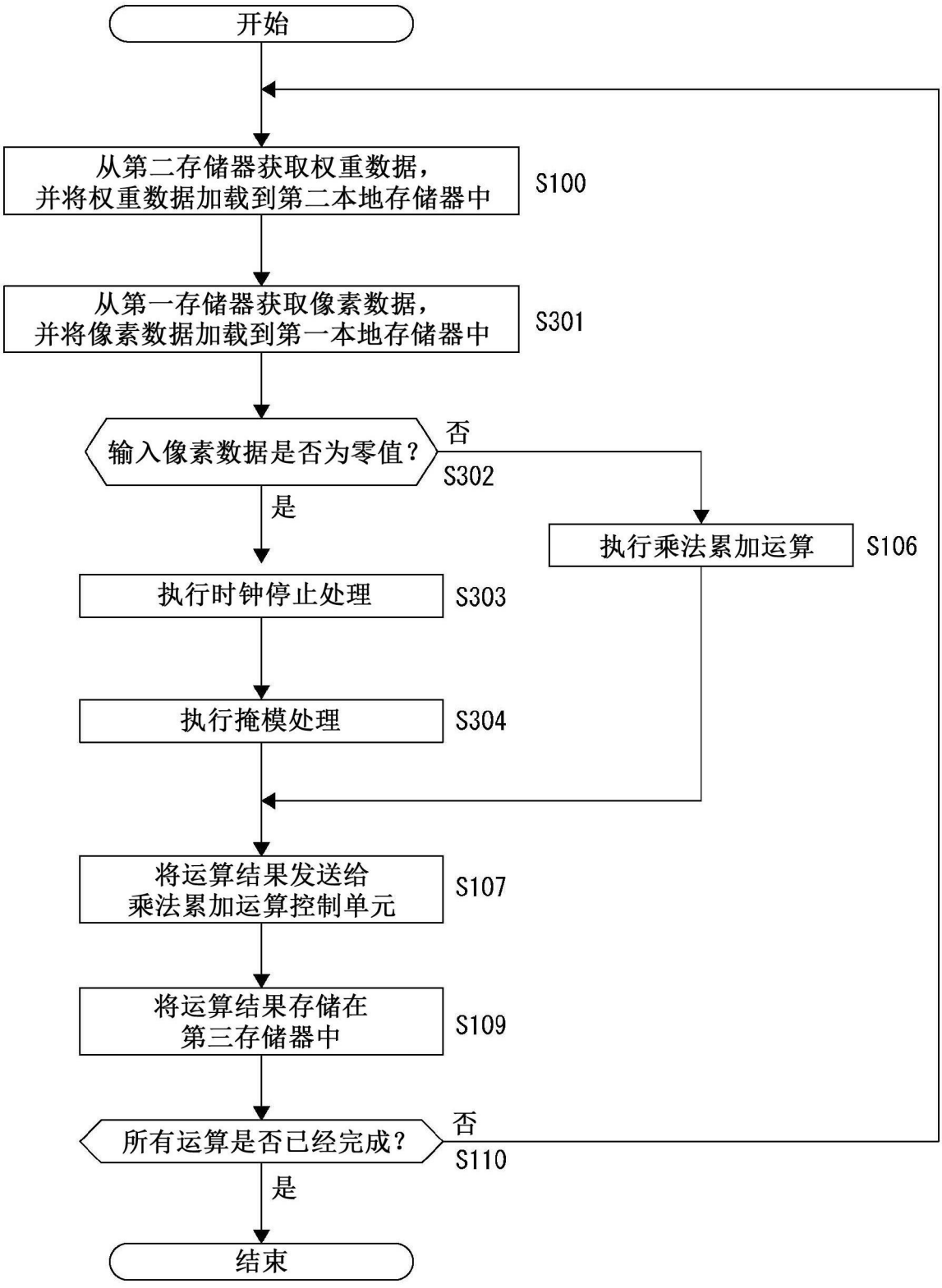

开始
从第二存储器获取权重数据，
并将权重数据加载到第二本地存储器中
S100
从第一存储器获取像素数据，
并将像素数据加载到第一本地存储器中
S301
输入像素数据是否为零值？
否
S302
是
执行乘法累加运算
S106
执行时钟停止处理
S303
执行掩模处理
S304
将运算结果发送给
乘法累加运算控制单元
S107
将运算结果存储在
第三存储器中
S109
所有运算是否已经完成？
否
S110
是
结束

图25

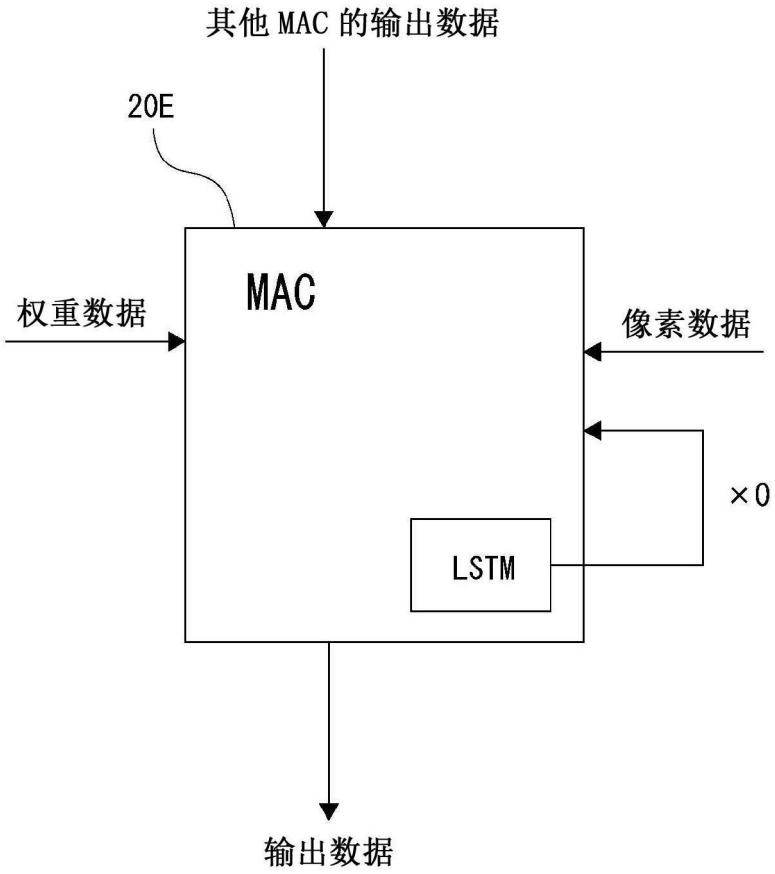


图26

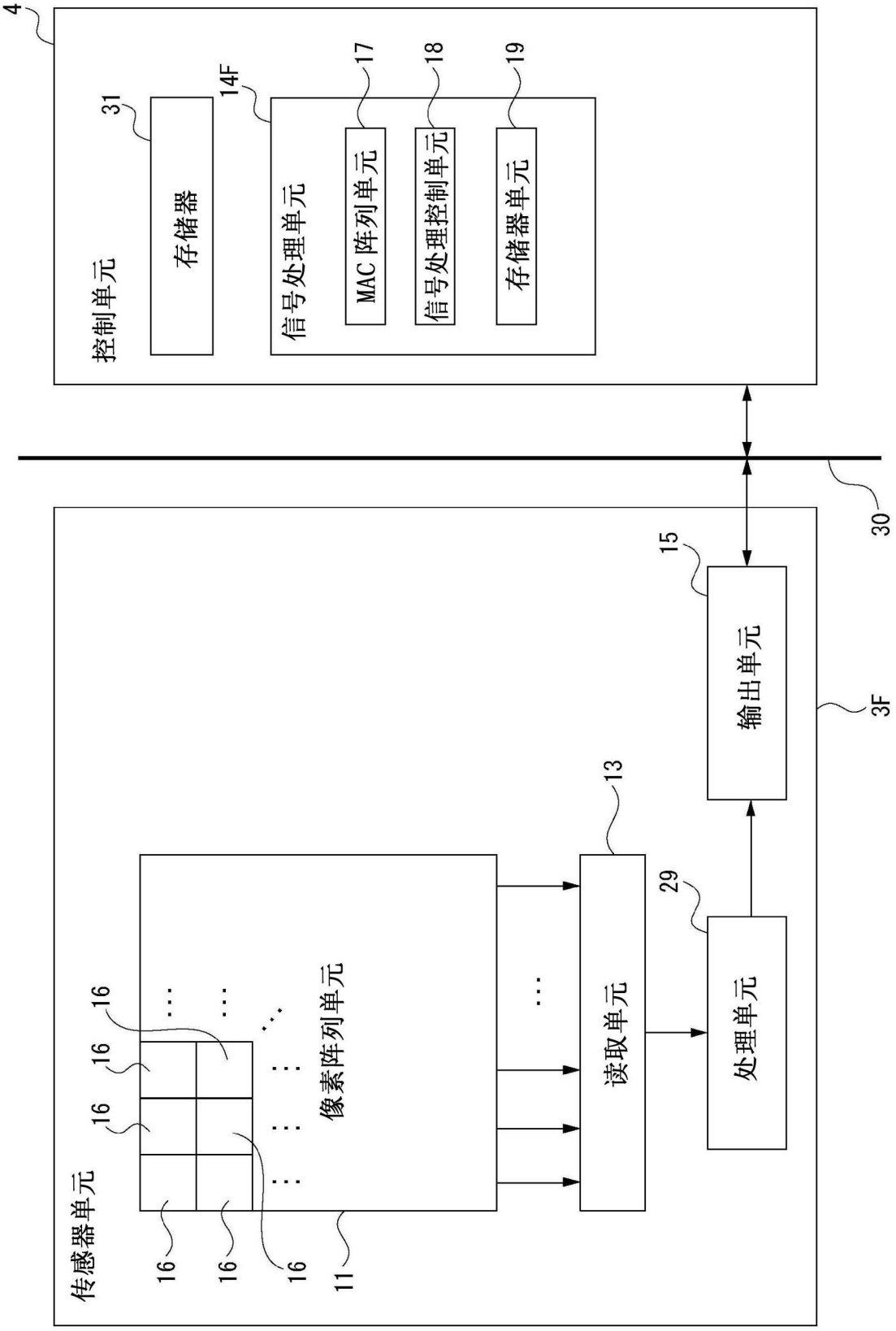

4
控制单元
31
存储器
14F
信号处理单元
17
MAC 阵列单元
18
信号处理控制单元
19
存储器单元
30
15
输出单元
3F
13
29
处理单元
读取单元
传感器单元
16
像素阵列单元
11

图27

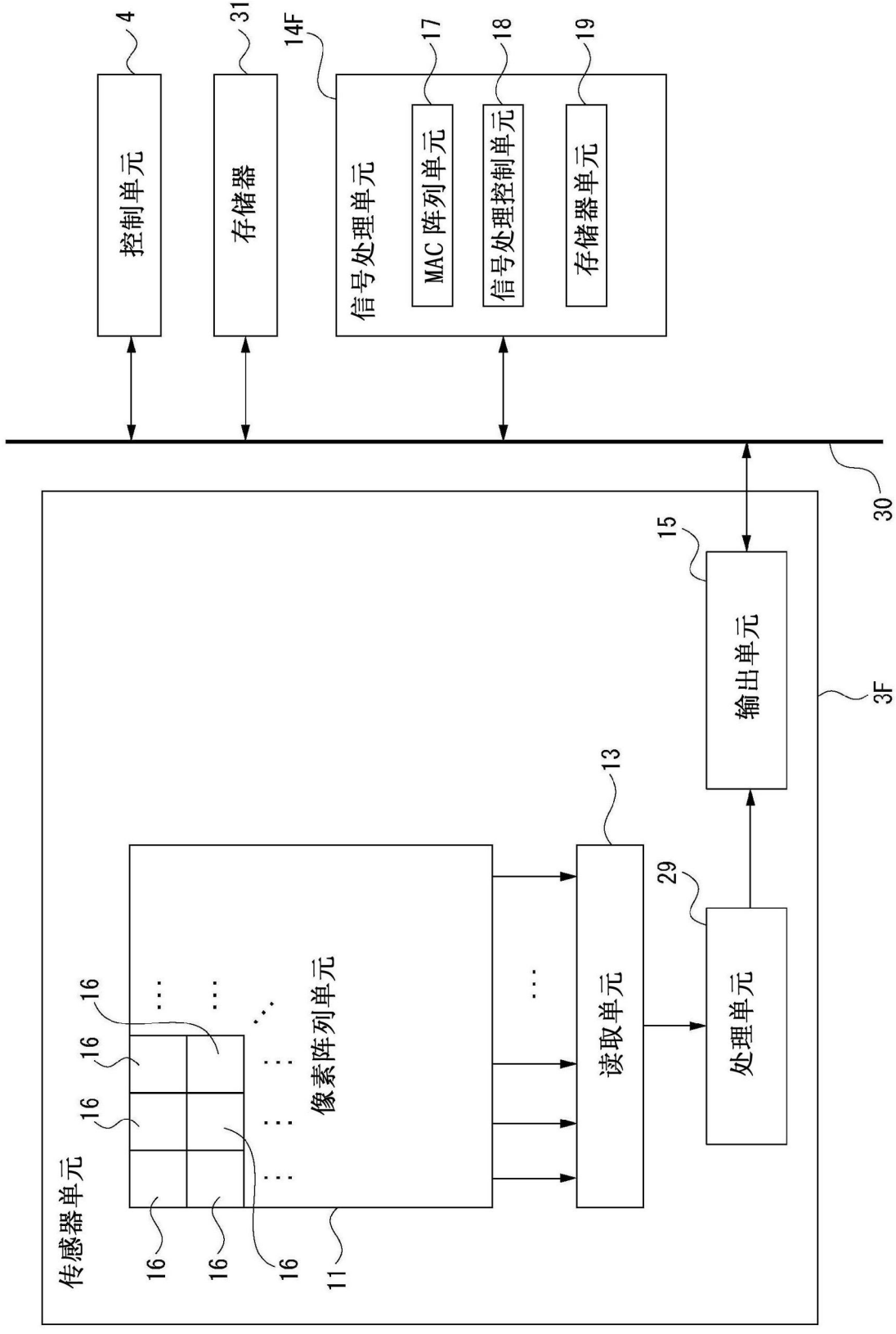

4
31
14F
17
18
19
控制单元
存储器
信号处理单元
MAC 阵列单元
信号处理控制单元
存储器单元
30
15
输出单元
3F
13
29
读取单元
处理单元
传感器单元
像素阵列单元
16
11

图28

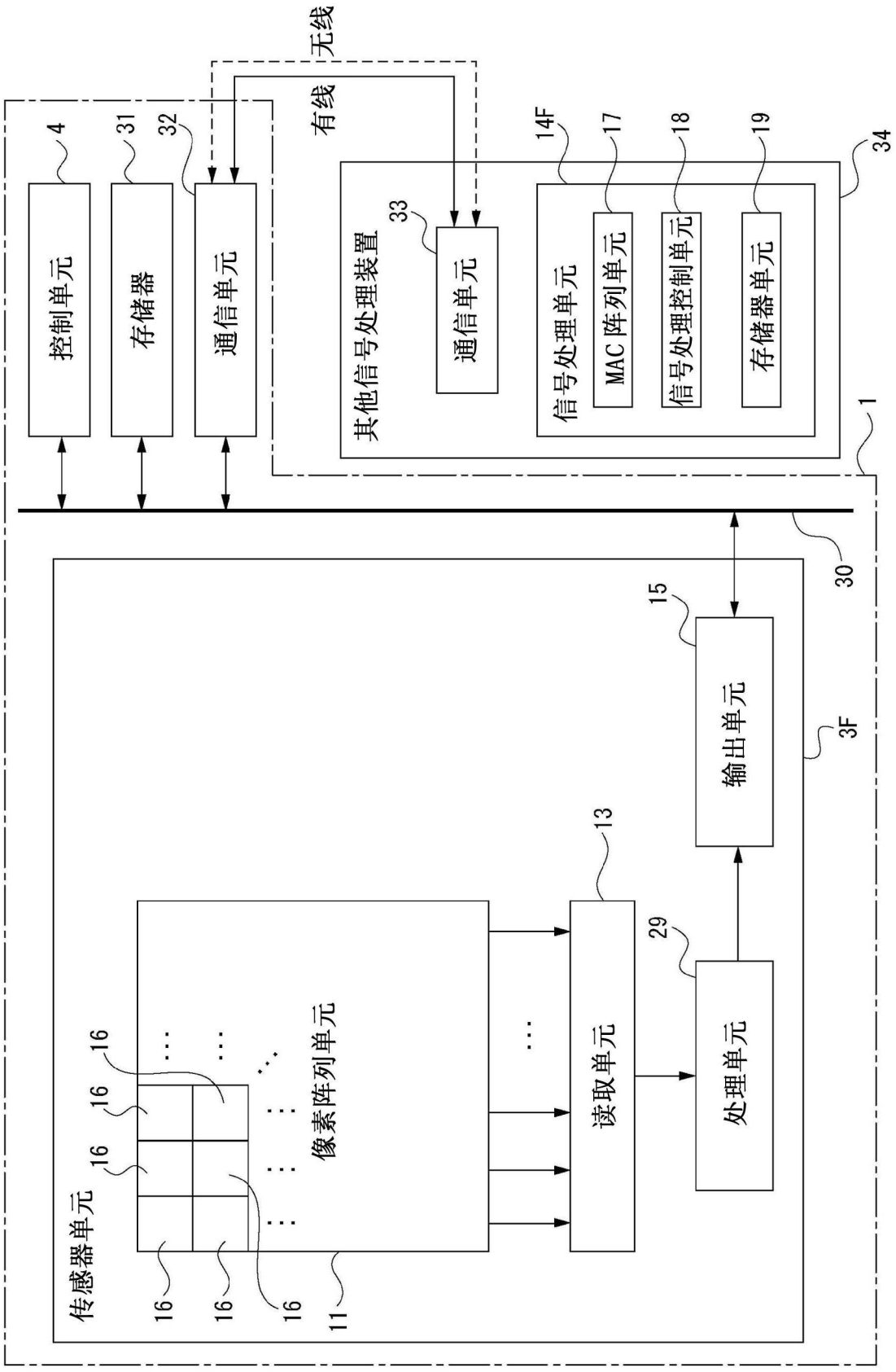

无线
有线
4
31
32
控制单元
存储器
通信单元
其他信号处理装置
33
通信单元
14F
17
18
19
34
信号处理单元
MAC 阵列单元
信号处理控制单元
存储器单元
1
30
15
输出单元
3F
13
29
读取单元
处理单元
传感器单元
像素阵列单元
16
11

图29