

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

H03K 17/16

H02J 3/38

G11C 7/00

H03B 1/00

G05F 1/10



[12] 发明专利申请公开说明书

[21] 申请号 02827612.4

[43] 公开日 2005 年 5 月 18 日

[11] 公开号 CN 1618169A

[22] 申请日 2002.11.20 [21] 申请号 02827612.4

[30] 优先权

[32] 2001.11.28 [33] US [31] 09/997,156

[86] 国际申请 PCT/US2002/037454 2002.11.20

[87] 国际公布 WO2003/047104 英 2003.6.5

[85] 进入国家阶段日期 2004.7.28

[71] 申请人 米克伦技术公司

地址 美国爱达荷

[72] 发明人 克里斯·G·马丁

[74] 专利代理机构 永新专利商标代理有限公司

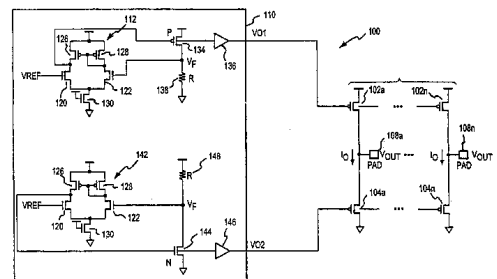
代理人 夏青

权利要求书 20 页 说明书 13 页 附图 6 页

[54] 发明名称 有源端接电路以及控制外部集成电路端子的阻抗的方法

[57] 摘要

一种有源端接电路(90)，用于设置多个输入端子的输入阻抗。每个输入端子通过至少一个 PMOS 晶体管耦合于电源电压，并通过至少一个 NMOS 晶体管接地。晶体管的阻抗受控制电路(110)的控制，控制电路(110)产生第一控制信号，用以将另一 PMOS 晶体管(134)的阻抗设置成等于第一预定电阻，并产生第二控制信号，用以将另一 NMOS 晶体管(144)的阻抗设置成等于第二预定电阻。第一控制信号用于控制所有的 PMOS 晶体管，而第二控制信号用于控制所有的 NMOS 晶体管。结果，耦合于每个输入端子的 PMOS 和 NMOS 晶体管分别具有对应于第一和第二电阻的阻抗。



1、一种有源端接电路，用于将多个输入端子的输入阻抗设置为一预定值，该有源端接电路包括：

第一可控阻抗器件，耦合在第一电源电压与所述多个输入端子其中对应的一个之间，该第一可控阻抗器件的阻抗受第一阻抗控制信号的控制；

第二可控阻抗器件，耦合在第二电源电压与所述多个输入端子其中对应的一个之间，该第二可控阻抗器件的阻抗受第二阻抗控制信号的控制；

第一控制电路，被耦合以向所有第一可控阻抗器件提供第一阻抗控制信号，该第一控制电路包括：

第三可控阻抗器件，耦合在第三电源电压与第一反馈节点之间，该第三可控阻抗器件的阻抗受所述第一阻抗控制信号的控制；

第一预定电阻，耦合在所述第一反馈节点与第四电源电压之间，所述第三可控阻抗器件与所述第一预定电阻构成所述第三与第四电源电压之间的一个分压器，以产生在所述第一反馈节点上的第一反馈电压；以及

第一比较器电路，将所述第一反馈电压与一第一参考电压相比较，该第一比较器电路引起所述第一阻抗控制信号改变，使得所述第一反馈电压基本上等于所述第一参考电压；以及

第二控制电路，被耦合以向所有第二可控阻抗器件提供所述第二阻抗控制信号，该第二控制电路包括：

第二预定电阻，耦合在第五电源电压与第二反馈节点之间，

第四可控阻抗器件，耦合在所述第二反馈节点与第六电源电压之间，该第四可控阻抗器件的阻抗受所述第二阻抗控制信号的控制，所述第二预定电阻与所述第四可控阻抗器件构成在所述第

五与第六电源电压之间的一个分压器，用以产生在所述第二反馈节点上的第二反馈电压；以及

第二比较器电路，将所述第二反馈电压与一第二参考电压进行比较，该第二比较器电路引起所述第二阻抗控制信号改变，使得所述第二反馈电压基本上等于所述第二参考电压。

2、权利要求 1 的有源端接电路，其中，所述第一、第三和第五电源电压包括一电源电压，以及其中，所述第二、第四和第六电源电压包括接地电位。

3. 权利要求 2 的有源端接电路，其中，所述第一和第二参考电压包括该电源电压的一半。

4、权利要求 1 的有源端接电路，其中，所述第一可控阻抗器件和所述第三可控阻抗器件包括相同的可控阻抗器件。

5、权利要求 4 的有源端接电路，其中，所述第一可控阻抗器件和所述第三可控阻抗器件包括相同的 MOSFET 晶体管。

6、权利要求 1 的有源端接电路，其中，所述第二可控阻抗器件和所述第四可控阻抗器件包括相同的可控阻抗器件。

7、权利要求 6 的有源端接电路，其中，所述第一可控阻抗器件和所述第三可控阻抗器件包括相同的 MOSFET 晶体管。

8、权利要求 1 的有源端接电路，其中：

所述第一比较器电路包括第一差动放大器，该第一差动放大器产

生对应于所述第一反馈信号与所述第一参考信号之间的差异的第一比较信号，所述第一阻抗控制信号对应于所述第一比较信号；以及

所述第二比较器电路包括第二差动放大器，该第二差动放大器产生对应于所述第二反馈信号与所述第二参考信号之间的差异的第一比较信号，所述第二阻抗控制信号对应于所述第二比较信号。

9、权利要求 1 的有源端接电路，其中，所述第一可控阻抗器件和所述第三可控阻抗器件每个包括多个彼此并联耦合的 MOSFET 晶体管，并且其中所述第一阻抗控制信号选择性地接通在各多个 MOSFET 晶体管内的可变数量的 MOSFET 晶体管，以改变所述第一和第三可控阻抗器件的阻抗。

10、权利要求 1 的有源端接电路，其中，所述可控阻抗器件包括各自的电压控制的阻抗器件。

11、一种有源端接电路，用于将多个输入端子的输入阻抗设置为一预定值，该有源端接电路包括：

第一可控阻抗器件，耦合在第一电源电压与所述多个输入端子其中对应一个之间，所述第一可控阻抗器件的阻抗受一阻抗控制信号的控制；

一阻抗器件，耦合在第二电源电压与所述多个输入端子其中对应一个之间；

一控制电路，被耦合以向所有第一可控阻抗器件提供所述阻抗控制信号，所述第一控制电路包括：

第二可控阻抗器件，耦合在第三电源电压与一反馈节点之间，所述第二可控阻抗器件的阻抗受所述阻抗控制信号的控制；

一预定电阻，耦合在所述反馈节点与第四电源电压之间，所述第

二可控阻抗器件与所述预定电阻构成在所述第三与第四电源电压之间的一个分压器，用以产生在所述反馈节点上的一反馈电压；以及
一比较器电路，比较所述反馈电压与一参考电压，所述比较器电路引起所述阻抗控制信号改变，使得所述反馈电压基本上等于所述参考电压。

12、权利要求 11 的有源端接电路，其中，每个阻抗器件都包括第三可控阻抗器件，所述第三可控阻抗器件的阻抗受第二阻抗控制信号的控制。

13、权利要求 11 的有源端接电路，其中，所述第一和第三电源电压包括一电源电压，以及其中所述第二和第四电源电压包括接地电位。

14、权利要求 13 的有源端接电路，其中，所述参考电压包括该电源电压的一半。

15、权利要求 11 的有源端接电路，其中，所述第一可控阻抗器件和所述第二可控阻抗器件包括相同的可控阻抗器件。

16、权利要求 15 的有源端接电路，其中，所述第一可控阻抗器件和所述第二可控阻抗器件包括相同的 MOSFET 晶体管。

17、权利要求 11 的有源端接电路，其中，所述比较器电路包括一差动放大器，该差动放大器产生对应于所述反馈信号与所述参考信号之间的差异的一比较信号，所述阻抗控制信号对应于所述比较信号。

18、权利要求 11 的有源端接电路，其中，所述第一可控阻抗器件和所述第二可控阻抗器件每个包括多个彼此并联耦合的 MOSFET 晶体管，以及其中所述阻抗控制信号选择性地接通在各多个 MOSFET 晶体管内的可变数量的 MOSFET 晶体管，以改变所述第一和第二可控阻抗器件的阻抗。

19、权利要求 11 的有源端接电路，其中，所述可控阻抗器件包括各自的电压控制的阻抗器件。

20、一种有源端接电路，用于将多个输入端子的输入阻抗设置成一预定值，该有源端接电路包括：

至少一个 PMOS 晶体管，耦合在第一电源电压与所述多个输入端子其中对应的一个之间，所述至少一个 PMOS 晶体管的阻抗受第一阻抗控制信号的控制；

至少一个 NMOS 晶体管，耦合在第二电源电压与所述多个输入端子其中对应一个之间，所述至少一个 NMOS 晶体管的阻抗受第二阻抗控制信号的控制；

第一控制电路，被耦合以向所有 PMOS 晶体管提供所述第一阻抗控制信号，该第一控制电路包括：

至少一个 PMOS 晶体管，耦合在所述第一电源电压与第一反馈节点之间，所述至少一个 PMOS 晶体管的阻抗受所述第一阻抗控制信号的控制；

第一预定电阻，耦合在所述第一反馈节点与所述第二电源电压之间，所述至少一个 PMOS 晶体管与所述第一预定电阻构成在所述第一与第二电源电压之间的一个分压器，用以产生在所述第一反馈节点上的第一反馈电压；以及

第一比较器电路，比较所述第一反馈电压与第一参考电压，该第

一比较器电路引起所述第一阻抗控制信号改变，以控制所述至少一个 PMOS 晶体管的阻抗，使得所述第一反馈电压基本上等于所述第一参考电压；以及

第二控制电路，被耦合以向所述至少一个 NMOS 晶体管提供所述第二阻抗控制信号，该第二控制电路包括：

第二预定电阻，耦合在所述第一电源电压与第二反馈节点之间；

至少一个 NMOS 晶体管，耦合在所述第二反馈节点与所述第二电源电压之间，所述至少一个 NMOS 晶体管的阻抗受所述第二阻抗控制信号的控制，所述第二预定电阻与所述至少一个 NMOS 晶体管构成在所述第一与第二电源电压之间的一个分压器，用以产生在所述第二反馈节点上的第二反馈电压；以及

第二比较器电路，比较所述第二反馈电压与所述第二参考电压，所述第二比较器电路引起所述第二阻抗控制信号改变，以控制所述至少一个 PMOS 晶体管的阻抗，使得所述第二反馈电压基本上等于所述第二参考电压。

21、权利要求 20 的有源端接电路，其中，所述第一电源电压包括一电源电压，以及其中所述第二电源电压包括接地电位。

22、权利要求 21 的有源端接电路，其中，所述第一和第二参考电压包括该电源电压的一半。

23、权利要求 20 的有源端接电路，其中，耦合于相应的输入端子的所述至少一个 PMOS 晶体管基本上彼此相同以及与第一控制电路内的至少一个 PMOS 晶体管基本上相同，并且其中耦合于相应的输入端子的至少一个 NMOS 晶体管基本上彼此相同以及与第二控制电路内的至少一个 PMOS 晶体管基本上相同。

24、权利要求 20 的有源端接电路，其中，所述第一控制电路内的至少一个 PMOS 晶体管以及耦合于每个输入端子的至少一个 PMOS 晶体管每个包括一单个的 PMOS 晶体管，其中，所述第二控制电路内的至少一个 NMOS 晶体管以及耦合于每个输入端子的至少一个 NMOS 晶体管各包括一单个的 NMOS 晶体管，并且其中所述第一和第二阻抗控制信号包括各自的模拟信号。

25、权利要求 20 的有源端接电路，其中，所述第一控制电路内的至少一个 PMOS 晶体管以及耦合于每个输入端子的至少一个 PMOS 晶体管各包括多个彼此并联耦合的 PMOS 晶体管，其中所述第二控制电路内的至少一个 NMOS 晶体管以及耦合于每个输入端子的至少一个 NMOS 晶体管各包括多个彼此并联耦合的 NMOS 晶体管，并且其中所述第一和第二阻抗控制信号包括各自的选择性地接通可变数量的 PMOS 和 NMOS 晶体管的信号。

26、权利要求 20 的有源端接电路，其中：

所述第一比较器电路包括第一差动放大器，该第一差动放大器产生对应于所述第一反馈信号与所述第一参考信号之间的差异的第一比较信号，所述第一阻抗控制信号对应于所述第一比较信号；以及

所述第二比较器电路包括第二差动放大器，该第二差动放大器产生对应于所述第二反馈信号与所述第二参考信号之间的差异的第一比较信号，所述第二阻抗控制信号对应于所述第二比较信号。

27、一种存储设备，包括：

命令解码器，通过外部可接入命令输入端子接收存储命令信号，该命令解码器响应于所述命令信号之预定组合产生存储控制信号；

地址解码器，通过外部可接入地址输入端子接收地址信号，该地址解码器响应于所述地址信号产生行和列寻址信号；

至少一个存储器阵列，所述至少一个存储器阵列响应于所述存储控制信号将数据写入对应于所述地址信号的位置以及从对应于所述地址信号的位置读出数据；

数据路径，延伸于多个外部可接入数据总线端子与所述存储器阵列之间，用于将数据信号耦合到所述存储器阵列、或耦合来自所述存储器阵列的数据信号；以及

有源端接电路，用于将多个输入端子的输入阻抗设置为一预定值，该有源端接电路包括：

第一可控阻抗器件，耦合在第一电源电压与多个输入端子其中对应一个之间，所述第一可控阻抗器件的阻抗受第一阻抗控制信号的控制；

第二可控阻抗器件，耦合在第二电源电压与多个输入端子其中对应的一个之间，所述第二可控阻抗器件的阻抗受第二阻抗控制信号的控制；

第一控制电路，被耦合以向所有第一可控阻抗器件提供所述第一阻抗控制信号，该第一控制电路包括：

第三可控阻抗器件，耦合在第三电源电压与第一反馈节点之间，所述第三可控阻抗器件的阻抗受所述第一阻抗控制信号的控制；

第一预定电阻，耦合在所述第一反馈节点与第四电源电压之间，所述第三可控阻抗器件与所述第一预定电阻构成在所述第三与第四电源电压之间的一个分压器，用以产生在所述第一反馈节点上的第一反馈电压；以及

第一比较器电路，比较所述第一反馈电压与第一参考电压，所述第一比较器电路引起所述第一阻抗控制信号改变，使得所述第一反馈电压基本上等于所述第一参考电压；以及

第二控制电路，被耦合以向所有第二可控阻抗器件提供所述第二阻抗控制信号，所述第二控制电路包括：

第二预定电阻，耦合在第五电源电压与第二反馈节点之间，

第四可控阻抗器件，耦合在所述第二反馈节点与第六电源电压之间，所述第四可控阻抗器件的阻抗受所述第二阻抗控制信号的控制，所述第二预定电阻与所述第四可控阻抗器件构成在所述第五与第六电源电压之间的一个分压器，用以产生在所述第二反馈节点上的第二反馈电压；以及

第二比较器电路，比较所述第二反馈电压与第二参考电压，所述第二比较器电路引起所述第二阻抗控制信号改变，使得所述第二反馈电压基本上等于所述第二参考电压。

28、权利要求 27 的存储设备，其中，所述命令及地址信号以含有所述命令信号和该地址信号的信息包耦合于所述存储设备。

29、权利要求 27 的存储设备，其中，所述第一、第三和第五电源电压包括一电源电压，并且其中所述第二、第四和第六电源电压包括地电位。

30、权利要求 29 的存储设备，其中所述第一和第二参考电压包括该电源电压的一半。

31、权利要求 27 的存储设备，其中所述第一可控阻抗器件和所述第三可控阻抗器件包括相同的可控阻抗器件。

32、权利要求 31 的存储设备，其中，所述第一可控阻抗器件和所述第三可控阻抗器件包括相同的 MOSFET 晶体管。

33、权利要求 27 的存储设备，其中，所述第二可控阻抗器件和所述第四可控阻抗器件包括相同的可控阻抗器件。

34、权利要求 33 的存储设备，其中，所述第一可控阻抗器件和所述第三可控阻抗器件包括相同的 MOSFET 晶体管。

35、权利要求 27 的存储设备，其中：

所述第一比较器电路包括第一差动放大器，所述第一差动放大器产生对应于所述第一反馈信号与所述第一参考信号之间的差异的第一比较信号，所述第一阻抗控制信号对应于所述第一比较信号；以及

所述第二比较器电路包括第二差动放大器，所述第二差动放大器生成对应于所述第二反馈信号与所述第二参考信号之间的差异的第一比较信号，所述第二阻抗控制信号对应于所述第二比较信号。

36、权利要求 27 的存储设备，其中，所述第一可控阻抗器件和所述第三可控阻抗器件每个包括多个彼此并联耦合的 MOSFET 晶体管，并且其中所述第一阻抗控制信号选择性地接通在各多个 MOSFET 晶体管内的可变数量的 MOSFET 晶体管，以改变所述第一和第三可控阻抗器件的阻抗。

37、权利要求 27 的存储设备，其中，所述存储设备包括一动态随机存取存储器。

38、权利要求 27 的存储设备，其中，所述动态随机存取存储器包括一同步动态随机存取存储器。

39. 权利要求 27 的存储设备, 其中, 所述可控阻抗器件包括各自的电压控制的阻抗器件。

40. 一种存储设备, 包括:

命令解码器, 通过外部可接入命令输入端子接收存储命令信号, 所述命令解码器响应于所述命令信号之预定组合生成存储控制信号;

地址解码器, 通过外部可接入地址输入端子接收地址信号, 所述地址解码器响应于所述地址信号产生行和列寻址信号;

至少一个存储器阵列, 所述至少一个存储器阵列响应于所述存储控制信号把数据写入对应于所述地址信号的位置以及从对应于所述地址信号的位置读出数据;

数据路径, 延伸于多个外部可接入数据总线端子与所述存储器阵列之间, 用于将数据信号耦合到所述存储器阵列、或耦合来自所述存储器阵列的数据信号; 以及

有源端接电路, 用于将多个输入端子的输入阻抗设置为一预定值, 所述有源端接电路包括:

至少一个 PMOS 晶体管, 耦合在第一电源电压与多个输入端子其中对应的一个之间, 所述至少一个 PMOS 晶体管的阻抗受第一阻抗控制信号的控制;

至少一个 NMOS 晶体管, 耦合在第二电源电压与多个输入端子其中对应的一个之间, 所述至少一个 NMOS 晶体管的阻抗受第二阻抗控制信号的控制;

第一控制电路, 被耦合以向所有 PMOS 晶体管提供所述第一阻抗控制信号, 该第一控制电路包括:

至少一个 PMOS 晶体管, 耦合在第一电源电压与第一反馈节点之间, 所述至少一个 PMOS 晶体管的阻抗受所述第一阻抗控制信号的控制;

第一预定电阻，耦合在所述第一反馈节点与所述第二电源电压之间，所述至少一个 PMOS 晶体管与所述第一预定电阻构成在所述第一与第二电源电压之间的一个分压器，用以产生在所述第一反馈节点上的第一反馈电压；以及

第一比较器电路，比较所述第一反馈电压与一第一参考电压，所述第一比较器电路引起所述第一阻抗控制信号改变，以控制所述至少一个 PMOS 晶体管的阻抗，使得所述第一反馈电压基本上等于所述第一参考电压；以及

第二控制电路，被耦合以向所述至少一个 NMOS 晶体管提供所述第二阻抗控制信号，所述第二控制电路包括：

第二预定电阻，耦合在所述第一电源电压与所述第二反馈节点之间，

至少一个 NMOS 晶体管，耦合在所述第二反馈节点与所述第二电源电压之间，所述至少一个 NMOS 晶体管的阻抗受所述第二阻抗控制信号的控制，所述第二预定电阻与所述至少一个 NMOS 晶体管构成在所述第一与第二电源电压之间的一个分压器，用以产生在所述第二反馈节点上的第二反馈电压；以及

第二比较器电路，比较所述第二反馈电压与一第二参考电压，所述第二比较器电路引起所述第二阻抗控制信号改变，以控制所述至少一个 PMOS 晶体管的阻抗，使得所述第二反馈电压基本上等于所述第二参考电压。

41、权利要求 40 的存储设备，其中，所述命令及地址信号以含有所述命令信号和所述地址信号的一个信息包耦合于所述存储设备。

42、权利要求 40 的存储设备，其中，所述第一电源电压包括一电源电压，并且其中所述第二电源电压包括地电位。

43、权利要求 42 的存储设备，其中，所述第一和第二参考电压包括二分之一的电源电压。

44、权利要求 40 的存储设备，其中，耦合于相应的输入端子的至少一个 PMOS 晶体管基本上彼此相同以及与第一控制电路内的至少一个 PMOS 晶体管基本上相同，并且其中耦合于相应的输入端子的至少一个 NMOS 晶体管基本上彼此相同以及与第二控制电路内的至少一个 PMOS 晶体管基本上相同。

45、权利要求 40 的存储设备，其中，所述第一控制电路内的至少一个 PMOS 晶体管以及耦合于每个输入端子的至少一个 PMOS 晶体管每个包括一单个的 PMOS 晶体管，其中所述第二控制电路内的至少一个 NMOS 晶体管以及耦合于每个输入端子的至少一个 NMOS 晶体管每个包括一单个的 NMOS 晶体管，并且其中所述第一和第二阻抗控制信号包括相应的模拟信号。

46、权利要求 40 的存储设备，其中，所述第一控制电路内的至少一个 PMOS 晶体管以及耦合于每个输入端子的至少一个 PMOS 晶体管每个包括多个彼此并联耦合的 PMOS 晶体管，其中所述第二控制电路内的至少一个 NMOS 晶体管以及耦合于每个输入端子的至少一个 NMOS 晶体管每个包括多个彼此并联耦合的 NMOS 晶体管，并且其中所述第一和第二阻抗控制信号包括各自的选择性地接通可变数量的 PMOS 和 NMOS 晶体管的信号。

47、权利要求 40 的存储设备，其中：

所述第一比较器电路包括第一差动放大器，所述第一差动放大器

产生对应于所述第一反馈信号与所述第一参考信号之间的差异的第一比较信号，所述第一阻抗控制信号对应于所述第一比较信号；以及
所述第二比较器电路包括第二差动放大器，所述第二差动放大器产生对应于所述第二反馈信号与所述第二参考信号之间的差异的第一比较信号，所述第二阻抗控制信号对应于所述第二比较信号。

48、权利要求 40 的存储设备，其中，所述该存储设备包括一动态随机存取存储器。

49、权利要求 48 的存储设备，其中，所述动态随机存取存储器包括一同步动态随机存取存储器。

50、一种计算机系统，包括：

集成电路处理器，具有耦合于处理器总线的多个外部可接入端子；

输入设备，通过所述处理器总线而耦合于所述处理器，用于允许数据被输入到所述计算机系统内；

输出设备，通过所述处理器总线而耦合于所述处理器，用于允许从所述计算机系统输出数据；以及

集成电路存储设备，具有耦合于处理器总线的多个外部可接入端子；以及

有源端接电路，耦合于至少若干个所述外部可接入端子，所述有源端接电路包括：

第一可控阻抗器件，耦合在第一电源电压与所述多个外部可接入端子其中至少一个之间，所述第一可控阻抗器件的阻抗受第一阻抗控制信号的控制；

第二可控阻抗器件，耦合在第二电源电压与所述多个外部可接入

端子其中至少一个之间，所述第二可控阻抗器件的阻抗受第二阻抗控制信号的控制；

第一控制电路，被耦合以向所有第一可控阻抗器件提供所述第一阻抗控制信号，所述第一控制电路包括：

第三可控阻抗器件，耦合在第三电源电压与第一反馈节点之间，所述第三可控阻抗器件的阻抗受所述第一阻抗控制信号的控制；

第一预定电阻，耦合在所述第一反馈节点与一第四电源电压之间，所述第三可控阻抗器件与所述第一预定电阻构成在所述第三与第四电源电压之间的一个分压器，以产生在所述第一反馈节点上的第一反馈电压；以及

第一比较器电路，比较所述第一反馈电压与一第一参考电压，所述第一比较器电路引起所述第一阻抗控制信号改变，使得所述第一反馈电压基本等于所述第一参考电压；以及

第二控制电路，被耦合以向所有第二可控阻抗器件提供所述第二阻抗控制信号，所述第二控制电路包括：

第二预定电阻，耦合在所述第二反馈节点与一第五电源电压之间，

第四可控阻抗器件，耦合在所述第二反馈节点与一第六电源电压之间，所述第四可控阻抗器件的阻抗受所述第二阻抗控制信号的控制，所述第二预定电阻与所述第四可控阻抗器件构成在所述第五与第六电源电压之间的一个分压器，用以产生在所述第二反馈节点上的第二反馈电压；以及

第二比较器电路，比较所述第二反馈电压与一第二参考电压，所述第二比较器电路引起所述第二阻抗控制信号改变，使得所输第二反馈电压基本上等于所述第二参考电压。

51、权利要求 50 的计算机系统，其中，所述命令及地址信号以含有所述命令信号和所述地址信号的信息包耦合于所述存储设备。

52、权利要求 50 的计算机系统，其中，所述第一、第三和第五电源电压包括一电源电压，以及其中所述第二、第四和第六电源电压包括地电位。

53、权利要求 50 的计算机系统，其中，所述第一和第二参考电压包括该电源电压的一半。

54、权利要求 50 的计算机系统，其中，所述第一可控阻抗器件和所述第三可控阻抗器件包括相同的可控阻抗器件。

55、权利要求 54 的计算机系统，其中所述第一可控阻抗器件和所述第三可控阻抗器件包括相同的 MOSFET 晶体管。

56、权利要求 50 的计算机系统，其中，所述第二可控阻抗器件和所述第四可控阻抗器件包括相同的可控阻抗器件。

57、权利要求 56 的计算机系统，其中所述第一可控阻抗器件和所述第三可控阻抗器件包括相同的 MOSFET 晶体管。

58、权利要求 50 的计算机系统，其中：

所述第一比较器电路包括第一差动放大器，所述第一差动放大器产生对应于所述第一反馈信号与所述第一参考信号之间的差异的第一比较信号，所述第一阻抗控制信号对应于所述第一比较信号；以及
所述第二比较器电路包括第二差动放大器，所述第二差动放大器

生成对应于所述第二反馈信号与所述第二参考信号之间的差异的第一比较信号，所述第二阻抗控制信号对应于所述第二比较信号。

59、权利要求 50 的计算机系统，其中，所述第一可控阻抗器件和所述第三可控阻抗器件每个包括多个彼此并联耦合的 MOSFET 晶体管，并且其中所述第一阻抗控制信号选择性地接通在各多个 MOSFET 晶体管内的可变数量的 MOSFET 晶体管，以改变所述第一和所述第三可控阻抗器件的阻抗。

60、权利要求 50 的计算机系统，其中，所述存储设备包括一动态随机存取存储器。

61、权利要求 50 的计算机系统，其中，所述动态随机存取存储器包括一同步动态随机存取存储器。

62、权利要求 50 的计算机系统，其中，所述可控阻抗器件包括相应的电压控制的阻抗器件。

63、一种控制集成电路的多个输入端子的阻抗的方法，所述方法包括以下步骤：

将第一可变阻抗器件的阻抗与一预定阻抗相比较；

将所述多个输入端子的每个耦合于一相应的第二可变阻抗器件；

以及

根据比较结果，调整所述第一可变阻抗器件和每个所述第二可变阻抗器件的阻抗。

64. 权利要求 63 的方法，进一步包括以下步骤：

将第三可变阻抗器件的阻抗与一第二预定阻抗相比较；

将所述多个输入端子的每个耦合于一相应的第四可变阻抗器件；

以及

根据比较结果，调整所述第三可变阻抗器件和每个所述第四可变阻抗器件的阻抗。

65、权利要求 63 的方法，其中，将所述第一可变阻抗器件的阻抗与一预定阻抗相比较的步骤包括：在一对参考电压之间将所述第一可变阻抗器件与所述预定阻抗彼此串联耦合，用以提供在所述第一可变阻抗器件与所述预定阻抗之间的节点上的反馈电压。

66、权利要求 65 的方法，其中，调整所述第一可变阻抗器件和每个所述第二可变阻抗器件的阻抗的步骤包括：

将所述反馈电压与一参考电压相比较；

如果所述反馈电压大于所述参考电压，则在第一方向调整所述第一可变阻抗器件和每个所述第二可变阻抗器件的阻抗；以及

如果所述反馈电压小于所述参考电压，则在与所述第一方向相反的第二方向调整所述第一可变阻抗器件和每个所述第二可变阻抗器件的阻抗。

67. 权利要求 63 的方法，其中，所述第一可变阻抗器件和所述第二可变阻抗器件各包括彼此并联耦合的多个固定阻抗器件，并且其中调整所述第一可变阻抗器件和每个所述第二可变阻抗器件的阻抗的步骤包括改变彼此并联耦合的固定阻抗器件的数量。

68、权利要求 63 的方法，其中，所述第一可变阻抗器件和所述第二可变阻抗器件各包括彼此并联耦合的多个可切换的阻抗器件，每

个所述可切换的阻抗器件都具有一低阻抗状态和一高阻抗状态，并且其中，调整所述第一可变阻抗器件和每个所述第二可变阻抗器件的阻抗的步骤包括改变具有低阻抗状态的可切换的阻抗器件的数量。

69、权利要求 63 的方法，其中，所述第一可变阻抗器件和所述第二可变阻抗器件各包括一连续可变阻抗器件，并且其中，调整所述第一可变阻抗器件和每个所述第二可变阻抗器件的阻抗的步骤包括连续地改变连续可变阻抗器件的阻抗。

70、一种在存储设备内控制多个外部可接入输入端子的输入阻抗的方法，该方法包括以下步骤：

将第一和第二可变阻抗器件耦合于所述多个外部可接入输入端子中的每一个；

将所述第一可变阻抗器件其中之一的阻抗与一第一预定阻抗相比较；

产生对应于所述第一可变阻抗器件的阻抗与所述第一预定阻抗之间的比较结果的一第一反馈信号；

将所述第二可变阻抗器件其中之一的阻抗与一第二预定阻抗相比较；

产生对应于所述第二可变阻抗器件的阻抗与所述第二预定阻抗之间的比较结果的一第二反馈信号；

随着所述第一反馈信号的变化，调整所有第一可变阻抗器件的阻抗；以及

随着所述第二反馈信号的变化，调整所有第二可变阻抗器件的阻抗。

71、权利要求 70 的方法，其中，随着所述第一反馈信号的变化

调整所有第一可变阻抗器件的阻抗的步骤以及随着所述第二反馈信号的变化调整所有第二可变阻抗器件的阻抗的步骤包括：

将所述第一反馈信号的大小与一第一参考电压相比较；

如果所述第一反馈信号的大小大于所述第一参考电压，则在第一方向改变所述第一可变阻抗器件的阻抗；

如果所述第一反馈信号的大小小于所述第一参考电压，则在不同于所述第一方向的第二方向改变所述第一可变阻抗器件的阻抗；

将所述第二反馈信号的大小与一第二参考电压相比较；

如果所述第二反馈信号的大小大于所述第二参考电压，则在第一方向改变所述第二可变阻抗器件的阻抗；

如果所述第二反馈信号的大小小于所述第二参考电压，则在不同于所述第一方向的第二方向改变所述第二可变阻抗器件的阻抗。

72、权利要求 70 的方法，其中，所述可变阻抗器件每个包括彼此并联耦合的多个固定阻抗器件，并且其中，调整所述可变阻抗器件的阻抗的步骤包括改变彼此并联耦合的固定阻抗器件的数量。

73、权利要求 70 的方法，其中，所述可变阻抗器件每个包括彼此并联耦合的多个可切换的阻抗器件，每个所述可切换的阻抗器件都具有一低阻抗状态和一高阻抗状态，并且其中，调整所述可变阻抗器件的阻抗的步骤包括改变具有低阻抗状态的可切换的阻抗器件的数量。

74、权利要求 70 的方法，其中，所述可变阻抗器件各包括一连续可变阻抗器件，并且其中，调整所述可变阻抗器件的阻抗的步骤包括连续地改变连续可变阻抗器件的阻抗。

有源端接电路以及控制外部集成电路端子的阻抗的方法

技术领域

本发明涉及集成电路，并且更具体地，涉及用于有效地控制外部可接入的集成电路端子的输入阻抗的方法及电路。

发明背景

集成电路通过各种设计的外部可接入的集成电路端子来接收信号。在某些集成电路中，输入端子之输入阻抗的大小并不关键。在其它集成电路中，尤其是高速工作的存储设备，必须控制至少一些输入端子的输入阻抗，以获得最佳性能。

图1显示了能够优选地使用根据本发明的一个或多个有源端接电路实施例的常规存储设备。图1所示的存储设备是一同步动态随机存取存储器（“SDRAM”）10，虽然有源端接电路也可以用于其它存储设备以及其它集成电路中。SDRAM 10包括地址寄存器12，其通过地址输入缓冲器16接收地址总线14上的行地址或列地址。地址总线14通常耦合于存储控制器（未示出）。通常，行地址最初由地址寄存器12接收，并被加到行地址复用器18上。根据构成部分行地址的存储地址位的状态，行地址复用器18将行地址耦合到与两个存储体20、22中的任何一个相关的多个元件上。与存储体20、22的每个相关的是各自的行地址锁存器26，其存储行地址，以及行解码器28，其根据存储的行地址把各种信号加到各自的存储体20或22上。行地址复用器18还把行地址耦合到行地址锁存器26上，以更新存储体20、22中的存储单元。由更新计

计数器 30 生成行地址，用于更新目的，更新计数器 30 受更新控制器 32 的控制。

在已经将行地址加到地址寄存器 12 上并将其存入行地址锁存器 26 其中之一后，把列地址加到地址寄存器 12 上。地址寄存器 12 将列地址耦合到列地址锁存器 40 上。根据 SDRAM 10 的操作模式，将列地址或者通过脉冲串计数器 42 耦合到列地址缓冲器 44 上，或者耦合到脉冲串计数器 42 上，脉冲串计数器 42 从由地址寄存器 12 输出的列地址开始，将一系列地址序列加到列地址缓冲器 44 上。在任一种情况中，列地址缓冲器 44 都向列解码器 48 提供一系列地址，列解码器 48 把各种列信号加到用于各个存储体 20、22 的各个检测放大器以及相关的列电路 50、52 上。

将从存储体 20、22 之一读出的数据分别耦合到用于存储体 20、22 其中之一的列电路 50、52 上。然后将该数据耦合到数据输出寄存器 56 上，数据输出寄存器 56 通过数据输入缓冲器 59 和数据输出缓冲器 60 把该数据加到数据总线 58 上。将要写入存储体 20、22 之一的数据通过数据输入寄存器 62 从数据总线 58 耦合到列电路 50、52 上，然后分别通过列电路 50、52 内的字线驱动器电路，将该数据传送给存储体 20、22 其中一个。可以使用屏蔽寄存器 64 来选择性地改变流入和流出列电路 50、52 的数据，例如通过选择性地屏蔽要从存储体 20、22 读出的数据。

由命令解码器 68 响应于在控制总线 70 上接收的、并通过命令输入缓冲器 72 耦合到命令解码器上的高电平命令信号来控制上述 SDRAM 10 的工作。通常由存储控制器（未在图 1 示出）生成的这些高电平命令信号是时钟启动信号 CKE*、时钟信号 CLK、片选信号 CS*、写启动信号 WE*、列地址选通信号 CAS*、以及行地址选通信号 RAS*，“*”指

明该信号为低电平有效或求反。命令解码器 68 响应高电平命令信号而生成命令信号序列，以完成每个高电平命令信号所指定的功能（例如，读或写）。这些命令信号，以及它们完成其各自功能的方式都是常规的。因此，为了简洁起见，将省略对这些控制信号的进一步解释。

每个输入缓冲器 16、59、72 都包括一各自的端接电路 90，端接电路 90 与各自的外部可接入输入端子耦合，并且确定输入缓冲器的输入阻抗。常规的端接电路 90 包括，例如电阻器以及被偏置到接通状态的 NMOS 和 PMOS 晶体管。在过去，难于有效地控制输入端子的输入阻抗。由晶体管和其它元件提供的电阻能够随着处理过程的变化以及工作温度而改变，从而使得难于精确地控制输入阻抗。通过在制造商使用熔线（fusible links）等等期间改变电路构形能够在一定程度上补偿处理过程的变化。然而，用这种方式来补偿处理过程的变化会增加包含在端接电路内的元件数量，并可能增加制造步骤的数量。此外，对处理过程的变化并不补偿温度的变化。因此，输入阻抗能够随温度的改变而变化。使用 PMOS 或 NMOS 晶体管的常规端接电路的另一个问题是，晶体管的有效阻抗随源漏电压而变化，因此使得晶体管的阻抗对电源电压的变化很敏感。

一种相对复杂的电路（未示出）能够用来实现精确控制输入阻抗的有源端接电路 90。然而，为常规集成电路（诸如 SDRAM 10）的多个输入端子的每一个提供一相对复杂的端接电路 90 会大大增加集成电路内的电路数量。

因此，需要一种使用相对少的电路并且尽管处理、温度和电源电压有变化还能够精确控制输入端子的输入阻抗的电路及方法。

发明概述

一种控制诸如存储设备的集成电路内的多个外部可接入输入端子的输入阻抗的有源端接电路及方法。每个外部可接入输入端子都耦合于各自的第一可变阻抗器件以及各自的第二可变阻抗器件。利用适合的手段将第一可变阻抗器件其中之一的阻抗与第一预定阻抗进行比较,例如通过从第一可变阻抗器件与第一预定阻抗构成的分压器中产生一反馈信号。类似地,利用适合的手段将第二可变阻抗器件其中之一的阻抗与第二预定阻抗进行比较,例如通过从第二可变阻抗器件与第二预定阻抗构成的分压器中产生一反馈信号。基于这些比较,所有第一可变阻抗器件的阻抗以及所有第二可变阻抗器件的阻抗都被进行调整。更准确地说,所有第一可变阻抗器件的阻抗都被调整,使得它们与第一预定阻抗具有预定的关系,所有第二可变阻抗器件的阻抗都被调整,使得它们与第二预定阻抗具有预定的关系。每个可变阻抗都可以是一不断变化的阻抗器件、选择性地彼此并联耦合的多个固定阻抗器件、或某些其它的可变阻抗器件。

附图的简要说明

图 1 是常规 SDRAM 集成电路的方框图,其具有耦合于各个输入端子用于控制输入端子的输入阻抗的端接电路。

图 2 是本发明一实施例的端接电路的示意图,该端接电路可用于图 1 的 SDRAM 或其它集成电路。

图 3 是表示响应于电源电压的电平变化在图 2 的端接电路内的各种节点上的电压的波形图。

图 4 是本发明另一实施例的端接电路的示意图,该端接电路可用于图 1 的 SDRAM 或其它集成电路。

图 5 是使用含有图 2 或图 3 的有源端接电路的图 1 的存储设备的计

计算机系统的方框图。

本发明的详细说明

图 2 示出了有源端接电路 100 的一个实施例。有源端接电路 100 是一模拟电路，包括 PMOS 晶体管 102a-n 以及 NMOS 晶体管 104a-n，它们耦合于例如图 1 的 SDRAM 10 的集成电路的多个输入端子 108a-n 中相应的一个。所有 PMOS 晶体管 102a-n 的栅极都彼此耦合并耦合于控制电路 110 的第一输出，其提供第一输出电压 V_{O1} 。类似地，所有 NMOS 晶体管 104a-n 的栅极都彼此耦合并耦合于控制电路 110 的第二输出，其提供第二输出电压 V_{O2} 。通过对于每个输入端子 108a-n 只使用两个晶体管 102a-n、104a-n，并使用单一的控制电路 110 来对所有晶体管 102a-n、104a-n 提供信号，只需要用相对少的电路来控制所有输入端子 108a-n 的输入阻抗。在此方式中，输出电压 V_{O1} 和 V_{O2} 被调整，以保持输入端子 108a-n 上的恒定输入阻抗而不管处理过程的变化以及温度和电源电压 V_{CC} 的变化，下面将和控制电路 110 的说明一起来解释这一方式。

控制电路 110 包括差动放大器 112，其由一对 NMOS 输入晶体管 120、122，一对耦合作为电流反射镜的 PMOS 负载晶体管 126、128，以及共同牵拉流过输入晶体管 120、122 的恒定电流的 NMOS 晶体管 130 构成。差动放大器 112 的输出耦合到 PMOS 晶体管 134 的栅极并进而耦合到缓冲器 136 的输入上。缓冲器 136 的输出耦合到各个 PMOS 晶体管 102a-n 的栅极上，如先前已解释的那样。

PMOS 晶体管 134 与电源电压 V_{CC} 和地之间的电阻器 138 串联连接。PMOS 晶体管 134 和电阻器 138 构成产生反馈电压 V_F 的分压器，反馈电压 V_F 加到输入晶体管 122 的栅极上。另一输入晶体管 120 的栅极耦合于参考电压 V_{REF} ，该参考电压 V_{REF} 可以是电源电压 V_{CC} 的二分之一，

但是也可以具有其它值。

控制电路 110 还包括第二差动放大器 142, 其使用与差动放大器 112 同样的并按照相同方式工作的元件, 并且具有相同的参考数字。差动放大器 142 的第一输出耦合于 NMOS 晶体管 144 的栅极并进而耦合到缓冲器 146 的输入上。缓冲器 146 的输出耦合到各个 NMOS 晶体管 104a-n 的栅极上, 同样如先前已解释的那样。

NMOS 晶体管 144 与电源电压 V_{CC} 和地之间的电阻器 148 串联连接, 以构成分压器。由分压器产生的反馈电压 V_F 耦合于差动放大器 142 内的输入晶体管 122 的栅极。差动放大器 142 的另一输入晶体管 120 的栅极耦合于参考电压 V_{REF} 。然而要注意, 构成第一分压器的 PMOS 晶体管 134 和电阻器 138 的顺序与构成第二分压器的 NMOS 晶体管 144 和电阻器 148 的顺序相反。结果, 第一输出电压 V_{O1} 随着 PMOS 晶体管 134 的阻抗增大而减小, 而第二输出电压 V_{O2} 随着 NMOS 晶体管 144 的阻抗增大而增大。

在工作中, 差动放大器 112 调整输出电压 V_{O1} , 以使 PMOS 晶体管 134 具有引起反馈电压 V_F 等于参考电压 V_{REF} 的电阻。如果参考电压 V_{REF} 等于电源电压 V_{CC} 的二分之一, 则 PMOS 晶体管 134 的阻抗将等于电阻器 138 的电阻。PMOS 晶体管 134 的阻抗的增大引起反馈电压 V_F 减小, 这将引起差动放大器 112 减小输出电压 V_{O1} 。耦合于 PMOS 晶体管 134 的栅极的降低的输出电压 V_{O1} 减小了 PMOS 晶体管 134 的阻抗, 使得反馈电压 V_F 的大小又等于参考电压 V_{REF} 的大小。

差动放大器 142 基本上按同样的方式工作, 以保持 NMOS 晶体管 144 的阻抗等于电阻器 148 的电阻。更准确地说, NMOS 晶体管 144 阻抗的任何减小都引起反馈电压 V_F 值的减小。差动放大器 142 通过减小输出电压 V_{O2} 而响应减小的反馈电压 V_F , 这使 NMOS 晶体管 144 的阻

抗增大直到反馈电压 V_F 的大小再次等于参考电压 V_{REF} 的大小。

尽管已经相对于等于电源电压 V_{CC} 的二分之一大小的参考电压 V_{REF} 的大小解释了控制电路 110，但是应当理解，参考电压与电源电压的大小可以具有其它的关系。例如，如果参考电压 V_{REF} 的大小等于电源电压 V_{CC} 的三分之二，则 PMOS 晶体管的阻抗将是电阻器 138 的电阻的二分之一，以及 NMOS 晶体管 144 的阻抗将是电阻器 148 的电阻的二分之一。只要电阻器 138、148 的电阻彼此相等，PMOS 晶体管 134 的阻抗就仍将等于 NMOS 晶体管 144 的阻抗。

尽管 PMOS 晶体管 102a-n 和 NMOS 晶体管 104a-n 的电特性会随着处理过程的变化、温度以及电源电压而改变，但是期待 PMOS 晶体管 134 和 NMOS 晶体管 144 的同样的电特性能够按基本上相同的方式随处理过程的变化而改变。因此，有源端接电路 100 将基本上对处理过程、温度和电源电压的变化不敏感。

参照图 3A-G，现在解释有源端接电路 100 对电源电压 V_{CC} 的变化不敏感的这种方式。当如图 3A 所示电源电压 V_{CC} 为 1.6 伏，并且如图 3B 所示参考电压 V_{REF} 为 V_{CC} 的二分之一或 0.8 伏时，如图 3C 所示，反馈电压 V_F 也为 V_{CC} 的二分之一或 0.8 伏。在这种情况下，如图 3D 所示，将由差动放大器 112 将输出电压 V_{O1} 调整到 1.24 伏，该电压是使 PMOS 晶体管 134 的阻抗等于电阻器 138 的电阻所需的电压。以类似的方式，如图 3E 所示，差动放大器 142 将产生 0.38 伏的电压 V_{O2} ，该电压是使 NMOS 晶体管 144 的阻抗等于电阻器 148 的电阻所需的电压。PMOS 晶体管 102 的阻抗则将大约等于 NMOS 晶体管 104 的阻抗，以便输入端子 108 上的电压 V_{OUT} 将大约等于 V_{CC} 的二分之一或 0.8 伏。如图 3F 所示，在一个实施例中，该电压为 0.808 伏。最后，如图 3G 所示，通过 PMOS 晶体管 102 与各自的 NMOS 晶体管 104 的每个串联组合的电流

I_0 将是 2.66 毫安。

每个 PMOS 晶体管 102 与每个 NMOS 晶体管 104 的阻抗等于跨接在每个晶体管 102、104 上的电压除以流过晶体管 102、104 的电流。对于 PMOS 晶体管 102, 跨接在晶体管 102 上的电压为 0.792 伏, 这样 PMOS 晶体管 102 的阻抗能够用 0.792 伏与 2.66 毫安之比计算为 298 欧姆。按照类似的方式, NMOS 晶体管 104 的阻抗能够计算为跨接在晶体管 104 上的电压 0.808 伏与流过晶体管 104 的电流 2.66 毫安之比, 或是 304 欧姆。这样, 输入端子 108 的输入阻抗将是两个晶体管 102、104 并联的阻抗, 或基本上为 150 欧姆。

如果如图 3A 所示, 电源电压 V_{CC} 增大到 1.8 伏, 则参考电压和反馈电压将相应地增大, 这样差动放大器 112 就将产生等于 1.29 伏的输出电压 V_{O1} , 以及差动放大器 142 将产生等于 0.54 伏的输出电压 V_{O2} , 分别如图 3D 和 3E 所示。尽管加到 PMOS 晶体管 134 的栅极上的电压从 1.24 伏增大到 1.29 伏, 即增加了 0.05 伏, 但是电源电压 V_{CC} 已经更大程度地增大, 即从 1.6 伏增大到 1.8 伏, 或是增大 0.2 伏。结果, PMOS 晶体管 134 的栅源电压增大了 0.15 伏, 即比 0.2 伏少 0.05 伏。该增大的栅源电压将流过晶体管 134 的电流增大到 3 毫安, 如图 3G 所示。然而, 因为输入端子 108 上的电压已经增大到 0.906 伏, 如图 3F 所示, 所以跨接在 PMOS 晶体管 134 上的电压已经增大到 0.894 伏。PMOS 晶体管 102 的阻抗就能够用 0.894 伏与 3 毫安之比计算为 298 欧姆, 该阻抗与先前对于 1.6 伏的电源电压 V_{CC} 计算出的阻抗相同。类似地, 每个 NMOS 晶体管 104 的阻抗能够用跨接在晶体管 104 上的 0.906 伏电压与流过晶体管 104 的电流 3 毫安之比计算为 302 欧姆, 该阻抗基本上与对于 1.6 伏的电源电压 V_{CC} 计算出的阻抗 304 欧姆相同。

如果如图 3A 所示电源电压 V_{CC} 增大到 2 伏, 则能够按照与上述相

同的方式计算出每个 PMOS 晶体管 102 的阻抗为 299 欧姆，即跨接在晶体管 102 上的 1 伏除以 3.34 毫安。能够按照与上述相同的方式计算出每个 NMOS 晶体管 104 的阻抗也为 299 欧姆，即跨接在晶体管 104 上的 1 伏除以 3.34 毫安。因此，可以看出，每个输入端子 108 上的输入阻抗基本上对电源电压 V_{CC} 的变化不敏感。

图 4 示出有源端接电路 200 的另一个实施例。与图 2 的模拟有源端接电路 100 不同，图 4 的有源端接电路是数字电路。每个输入端子 8a-n 耦合到一组彼此并联耦合的 PMOS 晶体管 204a-n 的漏极上，并耦合到一组彼此并联耦合的 NMOS 晶体管 208a-n 的漏极上。PMOS 晶体管 204a-n 的源极耦合于电源电压 V_{CC} ，而 NMOS 晶体管 208a-n 的源极接地。PMOS 晶体管 204a-n 的栅极耦合于第一控制电路 210，而 NMOS 晶体管 208a-n 的栅极耦合于第二控制电路 216。

在工作中，每个输入端子 8a-n 上的电压由相对于 NMOS 晶体管 208a-n 并联组合之阻抗的 PMOS 晶体管 204a-n 并联组合之阻抗来确定。为每个输入端子 8a-n 提供一组 PMOS 晶体管 204a-n 与一组 NMOS 晶体管 208a-n。输入端子 8a-n 上的输入阻抗由彼此并联的 PMOS 晶体管 204a-n 的并联组合与 NMOS 晶体管 208a-n 的并联组合来确定。如下面详细解释的，第一控制电路 210 选择性地接通多个 PMOS 晶体管 204a-n，第二控制电路 216 选择性地接通多个 NMOS 晶体管 208a-n，以使 PMOS 晶体管 204a-n 的并联组合的阻抗以及 NMOS 晶体管 208a-n 的并联组合的阻抗都基本上等于一预定的阻抗。结果，输入端子 8a-n 上的输入阻抗被设置成预定值。

第一控制电路 210 与第二控制电路 216 在结构和功能上基本上相同。第一控制电路 210 与第二控制电路 216 之间仅有的重要区别是，第一控制电路 210 包括耦合在电源电压 V_{CC} 与电阻器 222 之间的 PMOS 晶

晶体管 220 的并联组合，电阻器 222 接地，而第二控制电路 216 包括耦合在地与电阻器 228 之间的 NMOS 晶体管 226 的并联组合，电阻器 228 接电源电压 V_{CC} 。

控制电路 210、216 的每个都包括第一比较器 230 和第二比较器 232。反馈电压 V_F 加到第一比较器 230 的“+”输入以及第二比较器 232 的“-”输入上。第一比较器 230 还接收第一参考电压 V_{REF+} ，而第二比较器 232 还接收第二参考电压 V_{REF-} 。第一参考电压 V_{REF+} 的大小略大于第二参考电压 V_{REF-} 的大小。如下面所解释的那样，第一参考电压的大小与第二参考电压 V_{REF-} 的大小之间的差异建立起了一个静区。在图 4 的有源端接电路 200 中，该静区最好集中在大约是电源电压 V_{CC} 的二分之一的那个电压上。当反馈电压 V_F 处于静区内时，被接通的晶体管 220、226 的数目不发生变化。当反馈电压 V_F 处于静区外时，依据反馈电压 V_F 是高于还是低于静区，被接通的晶体管 220、226 的数目或增大或减小。

比较器 230、232 的输出加到各自的 NAND 门 236、238 的一输入上。每个 NAND 门 236、238 的一输入还接收来自振荡器 240 的输出。NAND 门 236、238 各自的输出加到加/减计数器 246 上。但是，NAND 门 236 的输出加到第一控制电路 210 内的计数器 246 的“DN”输入上，以及加到第二控制电路 216 内的计数器 246 的“UP”输入上。而且，NAND 门 238 的输出加到第一控制电路 210 内的计数器 246 的“UP”输入上，以及加到第二控制电路 216 内的计数器 246 的“DN”输入上。

现在将首先参照第一控制电路 210 来解释控制电路 210、216 的工作。当反馈电压 V_F 的大小大于参考电压 V_{REF+} 的大小时，由从反馈电压 V_F 与参考电压 V_{REF+} 之间的正比较（positive comparison）产生的比较器 230 的高输出启动 NAND 门 236。结果，来自振荡器 240 的脉冲通过 NAND 门 236 耦合到计数器 246 的“DN”输入上。然后计数器 246 递

减其计数。PMOS 晶体管 220 的接通阻抗最好按二进制方式彼此不同，以使最左边的 PMOS 晶体管 220 的接通阻抗是其右边的 PMOS 晶体管 220 的接通阻抗的二分之一，并且最右边的 PMOS 晶体管 220 的接通阻抗是其左边的 PMOS 晶体管 220 的接通阻抗的两倍。耦合于输入端子 108a-n 的 PMOS 晶体管 204a-n 按照相同的方式变化。结果，PMOS 晶体管 220 及 204a-n 的并联组合的阻抗将对应于计数器 246 的计数。因此，如先前解释的那样，当计数器 246 响应于反馈电压 V_F 大于参考电压 V_{REF+} 而递减时，PMOS 晶体管 220 及 204a-n 的并联组合的阻抗增大。当 PMOS 晶体管 220 的阻抗增大时，反馈电压 V_F 将被降低到处于静区内的某一电压。

控制电路 210 按照类似的方式响应反馈电压 V_F 低于静区。特别地，当反馈电压 V_F 的大小小于参考电压 V_{REF-} 的大小时，由参考电压 V_{REF-} 与反馈电压 V_F 之间的正比较结果启动 NAND 门 238。结果，来自振荡器 240 的脉冲被选通到计数器 246 的“UP”输入上。然后计数器 246 的计数递增，由此接通另外的 PMOS 晶体管 220 以及 204a-n。被接通的另外的 PMOS 晶体管 220 增加反馈电压直到它为处于静区内的一个电压。

如上所述，静区最好集中在电源电压 V_{CC} 的二分之一大小处。当反馈电压 V_F 集中在静区内时，即在二分之一 V_{CC} 处时，PMOS 晶体管 220 以及 204a-n 的并联组合的阻抗将等于电阻器 222 的电阻。耦合于输入端子 8a-n 的 PMOS 晶体管 204a-n 与 PMOS 晶体管 220 相同并按照与 PMOS 晶体管 220 同样的处理来构成。因此每个 PMOS 晶体管 204a-n 的并联组合的阻抗也将等于电阻器 222 的电阻。

控制电路 216 按照与控制电路 210 基本相同的方式工作。如同在控制电路 210 内的那样，当反馈电压 V_F 的大小大于参考电压 V_{REF+} 的大小

时，将启动 NAND 门 236，而当反馈电压 V_F 的大小小于参考电压 V_{REF-} 的大小时，将启动 NAND 门 238。当反馈电压 V_F 的大小大于参考电压 V_{REF+} 的大小时，计数器 246 将递增，以增加被接通的 NMOS 晶体管 226 的数量。因此 NMOS 晶体管 226 以及 208a-n 的并联组合的阻抗将减小，这将降低反馈电压 V_F 的大小，以使它处于静区内。当反馈电压 V_F 的大小小于参考电压 V_{REF-} 的大小时，计数器 246 将递减，以减小被接通的 NMOS 晶体管 226 的数量。因此 NMOS 晶体管 226 以及 208a-n 的并联组合的阻抗将增大，这将增大反馈电压 V_F 的大小，以使它处于静区内。在此方式中，把 NMOS 晶体管 226 以及 208a-n 的并联组合的阻抗设置成等于电阻器 228 的电阻。假设电阻器 222、228 的电阻彼此相等，则耦合于各自的输入端子 8a-n 的各个 PMOS 晶体管 204a-n 的并联组合的阻抗将等于耦合于同一输入端子 8a-n 的各个 NMOS 晶体管 208a-n 的并联组合的阻抗。

如同图 2 的有源端接电路 100 一样，图 4 的有源端接电路 200 也能够只使用单一的一对用于所有输入端子 8a-n 的控制电路 210、216 来精确地控制在各个输入端子 8a-n 上的阻抗及偏压电平。此外，只要参考电压跟踪电源电压 V_{CC} 的变化，诸如通过使用分压器从电源电压 V_{CC} 产生，那么各个输入端子 8a-n 上的输入阻抗将对电源电压 V_{CC} 的变化不敏感。最后，因为 PMOS 晶体管 204a-n 与 PMOS 晶体管 220 相同并按照与 PMOS 晶体管 220 同样的处理来构成，并且 NMOS 晶体管 208a-n 与 NMOS 晶体管 226 相同并按照与 NMOS 晶体管 226 同样的处理来构成，所以各个输入端子 8a-n 上的阻抗基本上对处理过程的变化不敏感。

图 5 说明计算机系统 300 的一个例子，其使用图 1 的 SDRAM 10 和根据本发明一个实施例的耦合于至少一些其外部可接入的输入端子的有源端接电路。计算机系统包括处理器 302，用于完成各种计算功能，

诸如执行特定软件，以便完成特定的计算或是任务。处理器 302 包括处理器总线 304，其通常包括地址总线 14、数据总线 58 以及控制总线 70。另外，计算机系统 300 包括一个或多个输入设备 314，诸如键盘或鼠标，与处理器 302 耦合以允许操作员与计算机系统 300 交互。通常，计算机系统 300 还包括一个或多个耦合于处理器 302 的输出设备 316，这些输出设备典型地是打印机或视频终端。一个或多个数据存储设备 318 也典型地耦合于处理器 302，以允许处理器 302 存储数据或是从内部或外部存储介质（未示出）检索数据。典型存储设备 318 的例子包括硬盘或软盘、盒式磁带以及光盘只读存储器（CD-ROM）。处理器 302 还典型地耦合于高速缓冲存储器 326，高速缓冲存储器 326 通常为静态随机存取存储器（“SRAM”），并通过存储控制器 330 耦合于 SDRAM 10。存储控制器 330 通常包括耦合于 SDRAM 10 的控制总线 70 和地址总线 14。数据总线 58 可以直接地（如示出的）通过存储控制器 330 而耦合于处理器总线 304，或是采用某些其它手段来耦合于处理器总线 304。尽管图 5 所示的计算机系统 300 使用 SDRAM 存储设备，但是应当理解，计算机系统可以替换地使用具有耦合于根据本发明各种实施例的有源端接电路的外部可接入输入端子的存储设备的其它类型。而且，处理器 302 的输入端子可以包括根据本发明各种实施例的有源端接电路。

从上文将可以理解，尽管这里出于说明目的已经描述了本发明的具体实施例，但是可以做出各种修改而不偏离本发明的精神和范围。例如，可以使用一固定阻抗的元件（诸如一电阻器），具有替代 PMOS 晶体管耦合于电源电压、或是替代 NMOS 晶体管耦合于地的相对高的阻抗。输入端子的阻抗就可以由较低阻抗的 NMOS 或 PMOS 晶体管来控制。因此，除了如附带的权利要求所限制的之外，本发明不受其它限制。

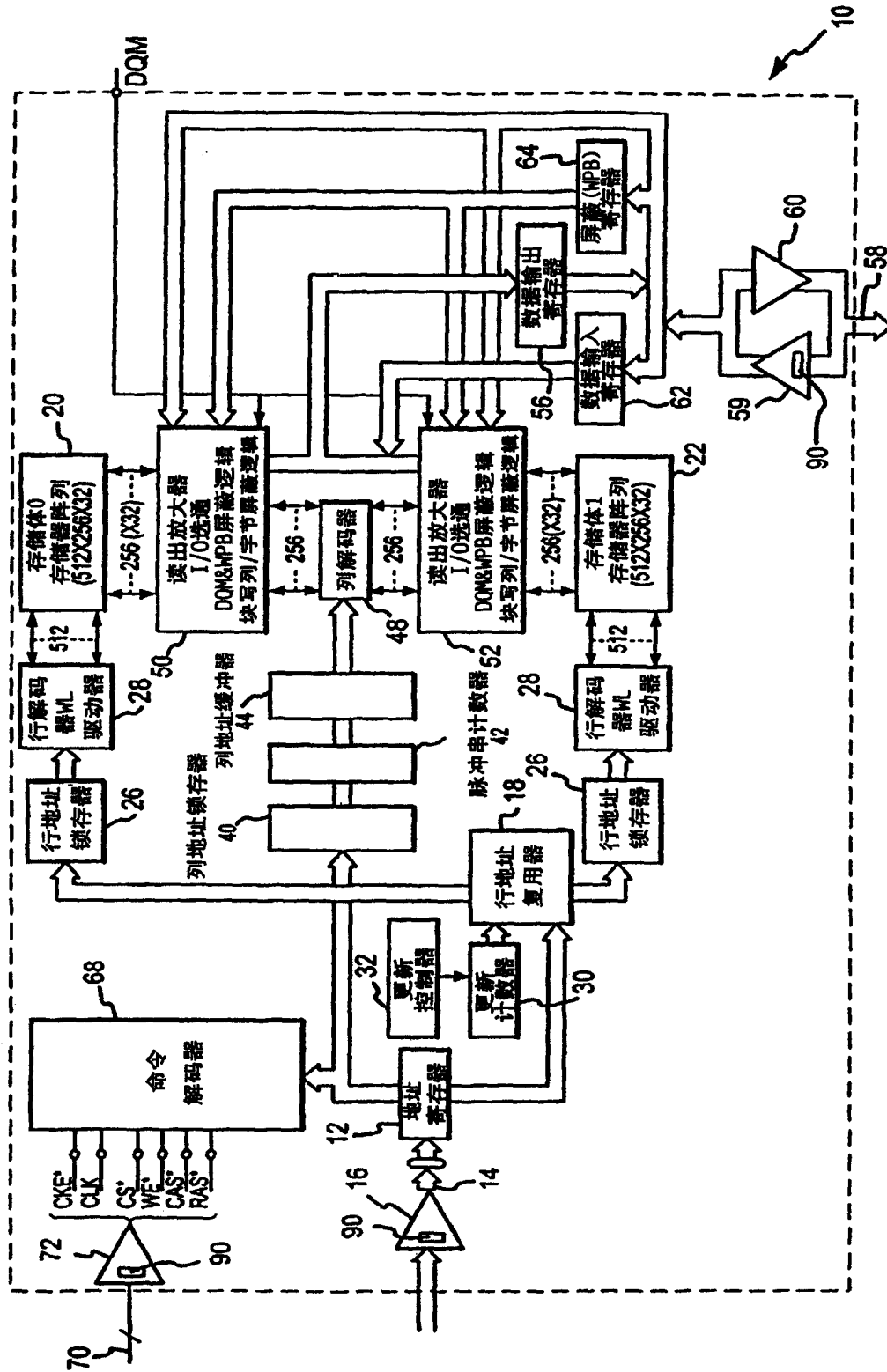


图1

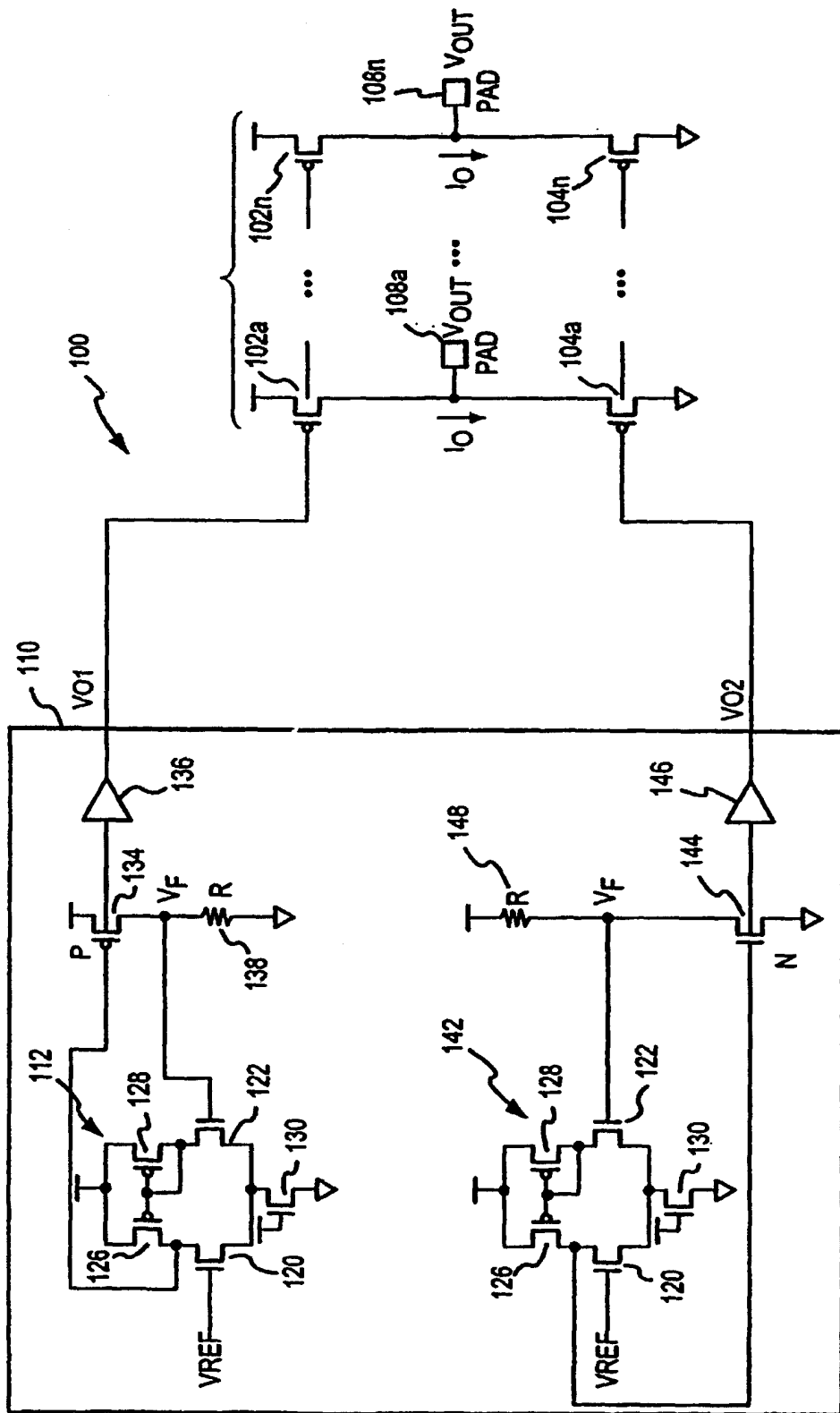
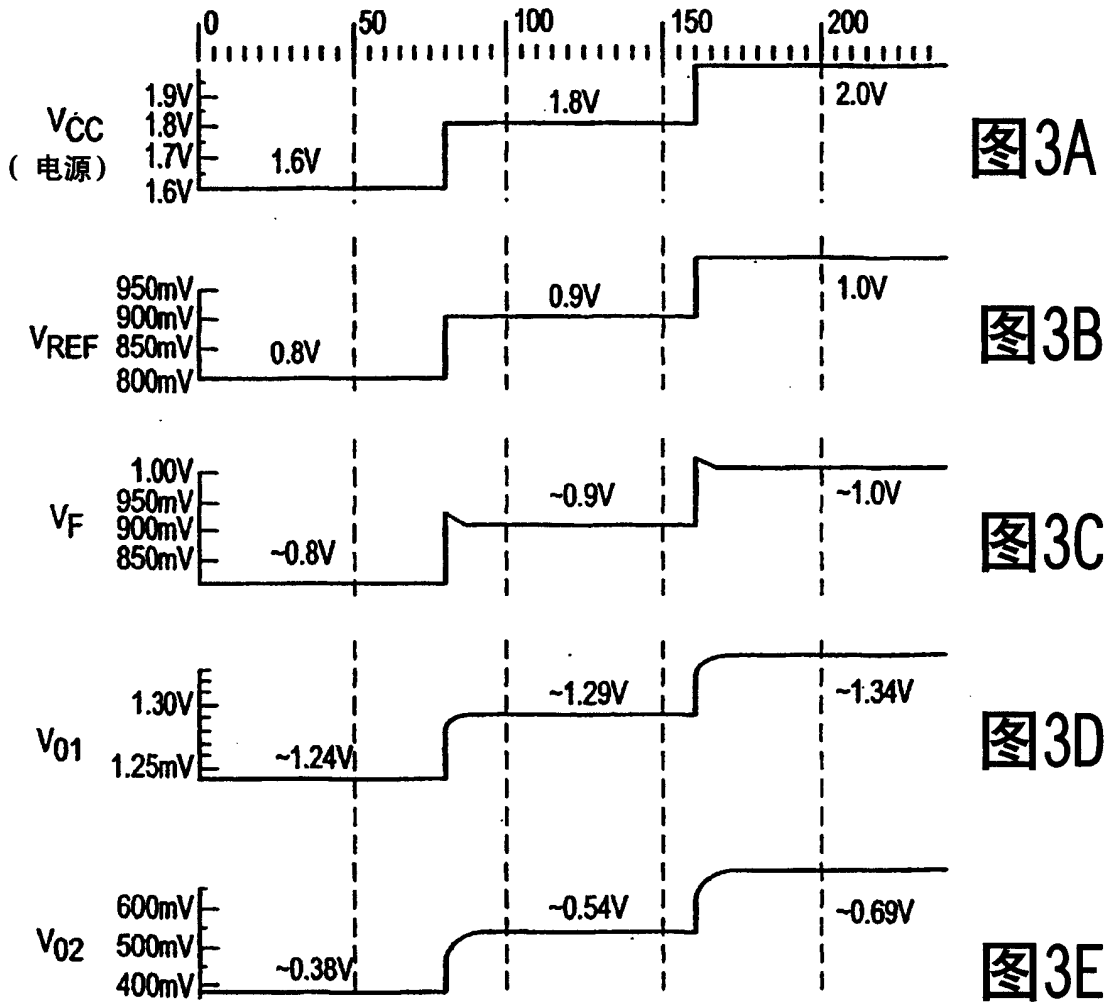


图2



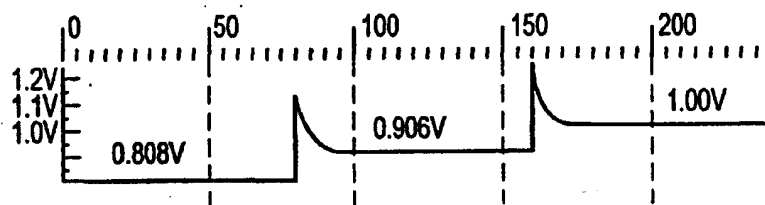


图3F

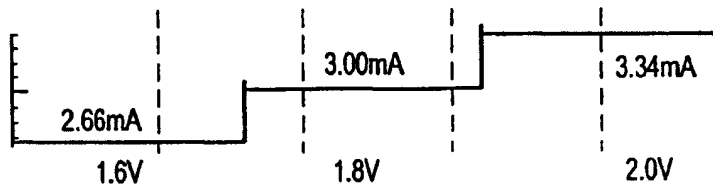


图3G

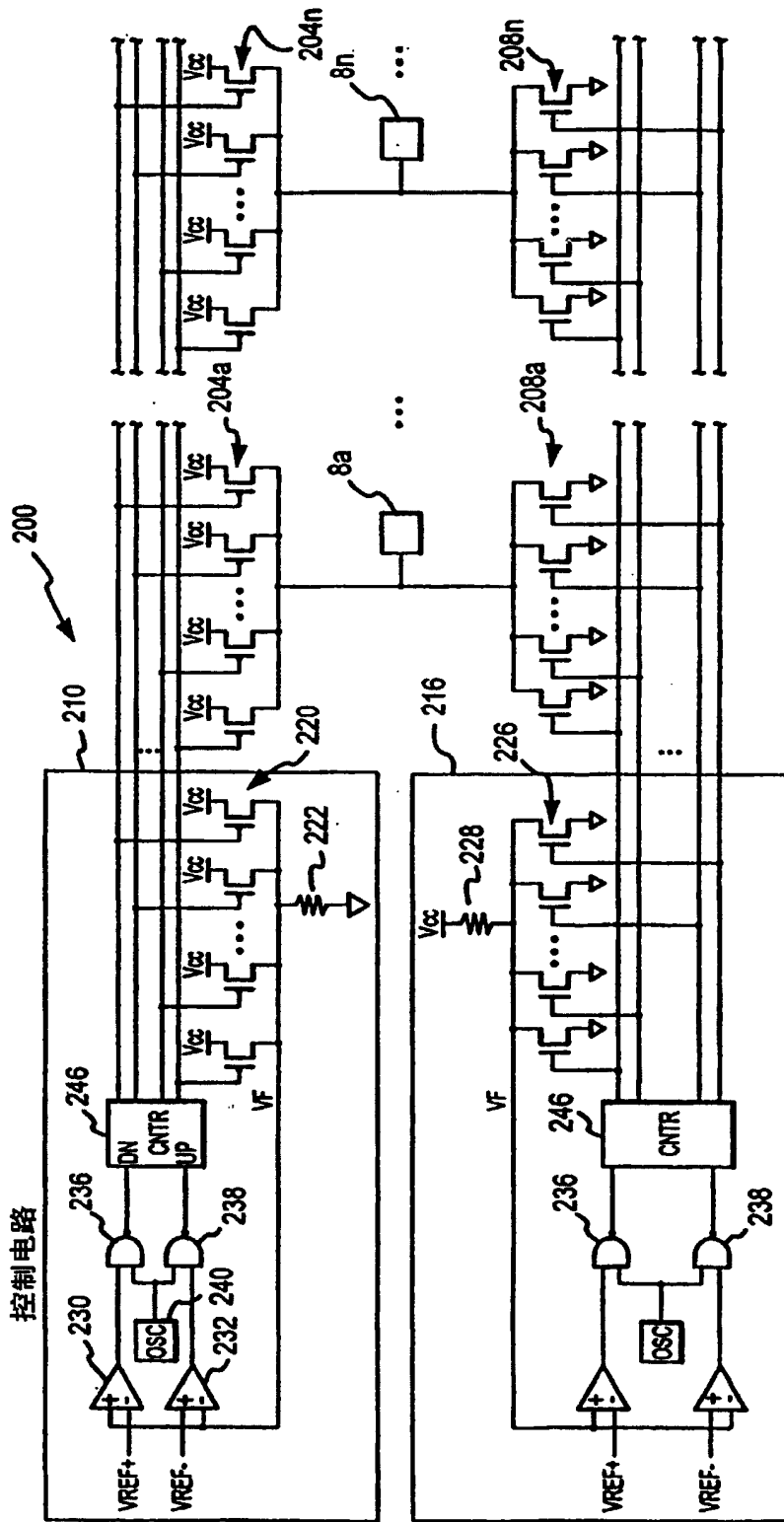


图4

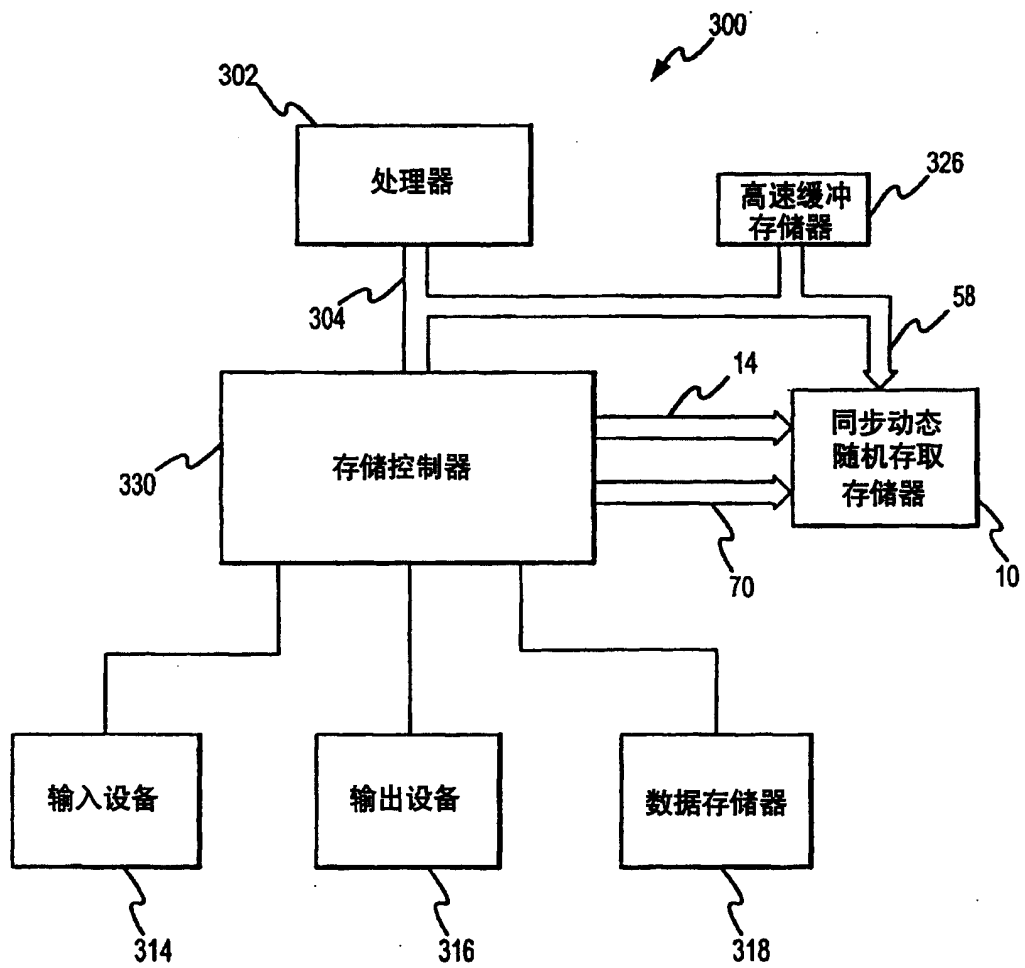


图5