

(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日  
2002年1月24日 (24.01.2002)

PCT

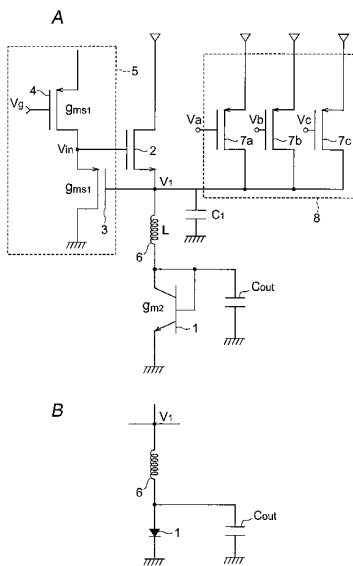
(10) 国際公開番号  
WO 02/07276 A1

- (51) 国際特許分類7: H01S 5/042, H01L 33/00, H04B 10/04
- (21) 国際出願番号: PCT/JP01/06242
- (22) 国際出願日: 2001年7月18日 (18.07.2001)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
特願2000-219777 2000年7月19日 (19.07.2000) JP
- (71) 出願人: 浜松ホトニクス株式会社 (HAMAMATSU PHOTONICS K.K.) [JP/JP]; 〒435-8558 静岡県浜松市市野町1126番地の1 Shizuoka (JP).
- (72) 発明者: 水野誠一郎 (MIZUNO, Seiichiro); 〒435-8558 静岡県浜松市市野町1126番地の1 浜松ホトニクス株式会社内 Shizuoka (JP).
- (74) 代理人: 長谷川芳樹, 外(HASEGAWA, Yoshiki et al.); 〒104-0061 東京都中央区銀座二丁目6番12号 大倉本館 創英国際特許法律事務所 Tokyo (JP).
- (81) 指定国 (国内): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NO, NZ, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TR, TT, TZ, UA, UG, UZ, VN, YU, ZA, ZW.

[続葉有]

(54) Title: LIGHT-EMITTING DEVICE DRIVE CIRCUIT

(54) 発明の名称: 発光素子駆動回路



(57) Abstract: A light-emitting device drive circuit comprising a source-follower circuit (2) connected to the anode of a light-emitting device (1) and constituted of an NMOS-FET for driving the light-emitting device directly, a source-follower circuit (3) constituted of a PMOS-FET having a gate terminal connected to the source terminal of the source follower circuit (2), and a PMOS-FET (4) for supplying current to the source-follower circuit (3).

(57) 要約:

発光素子1のアノード側に接続され、発光素子1を直接駆動するNMOS-FETによるソースフォロワ回路2と、ゲート端子がNMOS-FETによるソースフォロワ回路2のソース端子に接続されたPMOS-FETによるソースフォロワ回路3と、PMOS-FETによるソースフォロワ回路3に電流を供給するPMOS-FET4とを備える構成を採る。



WO 02/07276 A1



(84) 指定国 (広域): ARIPO 特許 (GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZW), ユーラシア特許 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR), OAPI 特許 (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

## 明細書

発光素子駆動回路

### 技術分野

本発明は、発光素子駆動回路に関する。

### 5 背景技術

従来、発光素子としてのレーザダイオードを駆動するための発光素子駆動回路は、図4に示すような構成が採られていた。すなわち、カソード接地されたレーザダイオード40のアノード側に、PMOS-FET41のドレイン端子を接続して直接レーザダイオード40を駆動する。しかしながら、CD-R/W、DVD等では、設計の都合上、レーザダイオード40と駆動用IC（この場合はPMOS-FET41）との距離を数cm以上離して構成される。このような場合、  
10 レーザダイオード40とPMOS-FET41とを配線42で接続するが、この配線42にはインダクタンス成分が必ず発生するため、共振現象によって、ピーキングやリングングが発生し、製品の使用上、重大な問題となっていた。

15 図5は、従来の発光素子駆動回路のシミュレーション結果を示す図である。図5では、上記のような共振現象によって激しいピーキングやリングングが発生していることが示されている。このような問題点を解消するため、従来から、共振現象を起しにくい配線材を使用する努力がなされたり、図4に示すボンディングパッド43とグランドとの間に抵抗Rと容量Cとを直列に挿入したりする方法が  
20 検討されてきた。

### 発明の開示

しかしながら、配線材に余計なコストをかけると製品コストを低減させることが困難となる。また、抵抗R及び容量Cを挿入する方法も、歩留まりばらつきを考慮すると望ましい方法とは言えなかった。

25 図6は、PMOS-FETによるレーザダイオードの駆動回路の一例を示す図であり、図7は、図6に示した駆動回路の等価回路を示す図である。このような

回路における共振定数Qの理論計算結果を以下に示す。ここで、 $g_{m1}$ 及び $g_{m2}$ は相互コンダクタンス、 $g_{d1}$ はドレインコンダクタンス、Lはインダクタンス、Cは容量を示す。

$$g_{m1}V_{gs1} + V_1(sC_1 + gd_1) + \frac{(V_1 - V_{out})}{sL} = 0 \quad \cdots (1)$$

$$\frac{(V_{out} - V_1)}{sL} + V_{out}(gm_2 + sC_{out}) = 0 \quad \cdots (2)$$

5 (2) 式より、

$$\frac{(V_{out} - V_1)}{sL} = -V_{out}(g_{m2} + sC_{out}) \quad \cdots (3)$$

$$V_{out} = -V_{out}sL(g_{m2} + sC_{out}) + V_1 \quad \cdots (4)$$

$$V_1 = V_{out} \{1 + sL(g_{m2} + sC_{out})\} \quad \cdots (2)'$$

(2)' を (1) へ代入すると、

$$g_{m1}V_{in} + V_1\left(sC_1 + gd_1 + \frac{1}{sL}\right) - \frac{V_{out}}{sL} = 0 \quad \cdots (5)$$

$$g_{m1}V_{in} + V_{out} \{1 + sL(g_{m2} + sC_{out})\} \left(sC_1 + gd_1 + \frac{1}{sL}\right) - \frac{V_{out}}{sL} = 0 \quad \cdots (6)$$

$$V_{out} \left[ \{1 + sL(g_{m2} + sC_{out})\} \left(sC_1 + gd_1 + \frac{1}{sL}\right) - \frac{1}{sL} \right] = -g_{m1}V_{in} \quad \cdots (7)$$

従って、 $V_{out}/V_{in}$ は、

$$\begin{aligned} \frac{V_{out}}{V_{in}} &= \frac{-g_{m1}}{\{1 + sL(g_{m2} + sC_{out})\} \left( sC_1 + gd_1 + \frac{1}{sL} \right)} \\ &= \frac{-g_{m1}}{sC_1 + gd_1 + (g_{m2} + sC_{out})(s^2LC_1 + sLgd_1 + 1)} \quad \dots (8) \end{aligned}$$

ここで、 $g_{m2} (=200 \text{ mS}) \gg sC_{out} (=5 \text{ mS})$  とすると、

$$\begin{aligned} \frac{V_{out}}{V_{in}} &= \frac{-g_{m1}}{sC_1 + gd_1 + s^2LC_1g_{m2} + sLgd_1g_{m2} + g_{m2}} \\ &= \frac{-g_{m1}/LC_1g_{m2}}{s^2 + s\left(\frac{1}{Lg_{m2}} + \frac{gd_1}{C_1}\right) + \frac{gd_1}{LC_1g_{m2}} + \frac{1}{LC_1}} \quad \dots (9) \end{aligned}$$

これにより、 $s$ 、 $\omega_0$ 、 $Q$ は、次のようになる。

$$s = \frac{-\left(\frac{1}{Lg_{m2}} + \frac{gd_1}{C_1}\right) \pm \sqrt{\left(\frac{1}{Lg_{m2}} + \frac{gd_1}{C_1}\right)^2 - 4\left(\frac{gd_1}{LC_1g_{m2}} + \frac{1}{LC_1}\right)}}{2} \quad \dots (10)$$

$$\begin{aligned} \omega_0 &= \sqrt{\frac{gd_1}{LC_1g_{m2}} + \frac{1}{LC_1}} \\ &= \sqrt{\frac{gd_1 + g_{m2}}{LC_1g_{m2}}} \approx \frac{1}{\sqrt{LC_1}} \quad \dots (11) \end{aligned}$$

$$Q = \frac{\omega_0}{\frac{1}{Lg_{m2}} + \frac{gd_1}{C_1}} \geq 10 \quad \dots (12)$$

5

不等式 (12) の結果に対し、具体的なパラメータ入力を行うと、概ね、 $Q$ 値

は10前後となる。このようにQ値が1よりも大きくなると、図5に示すようなピーキングやリングが生じてしまう。以上の結果から、ピーキングやリングを抑制するためには、共振定数Qを極力小さい値に設定することが重要であることが分かる。そこで、少しでもインダクタンスLの影響を抑えて共振定数Q

5 の値を1に近い状態に抑えるため、一般には、Lと直列に抵抗を挿入することが行われる。また、例えば、ソースフォロワ回路は、等価抵抗値を電流値により自由に制御する事ができるため、抵抗の代わりに、ソースフォロワ回路を挿入する場合もある。ここでは、抵抗の代わりに、ソースフォロワ回路を挿入した場合について検討する。

- 10 図8は、単純ソースフォロワ回路によるレーザダイオードの駆動回路の一例を示す図であり、図9は、図8の等価回路を示す図である。このような回路における共振定数Qの理論計算結果を以下に示す。ここで、 $g_{m1}$ 及び $g_{m2}$ は相互コンダクタンス、 $g_{d1}$ はドレインコンダクタンス、Lはインダクタンス、Cは容量を示す。

$$-V_{gs1}g_{m1} + V_1(g_{d1} + sC_1) + \frac{(V_1 - V_{out})}{sL} = 0 \quad \cdots (13)$$

$$\frac{(V_{out} - V_1)}{sL} + V_{out}(g_{m2} + sC_{out}) = 0 \quad \cdots (14)$$

15

ここで、 $V_{gs1} = V_{in} - V_{out}$ として、

$$-(V_{in} - V_{out})g_{m1} + V_1(g_{d1} + sC_1) + \frac{(V_1 - V_{out})}{sL} = 0 \quad \cdots (13)'$$

式(14)について、

$g_{m2} \approx 200mS$ ,  $f = 1GHz$ にて、 $sC_{out} \approx 30mS$ であるので、  
 $g_{m2} \gg sC_{out}$ と仮定。

$$\frac{(V_{out} - V_1)}{sL} + V_{out}g_{m2} = 0 \quad \dots (15)$$

$$\left(\frac{1}{sL} + g_{m2}\right)V_{out} = \frac{V_1}{sL} \quad \dots (16)$$

$$V_1 = sL\left(\frac{1}{sL} + g_{m2}\right)V_{out} = (1 + sLg_{m2})V_{out} \quad \dots (14)'$$

式(14)'を式(13)'に代入すると、

$$-(V_{in} - V_{out})g_{m1} + V_{out}(1 + sLg_{m2})(gd_1 + sC_1) + \frac{(1 + sLg_{m2})V_{out} - V_{out}}{sL} = 0 \quad \dots (17)$$

$$-V_{in}g_{m1} + g_{m1}V_{out} + V_{out}(1 + sLg_{m2})(gd_1 + sC_1) + g_{m2}V_{out} = 0 \quad \dots (18)$$

従って、 $V_{out}/V_{in}$ は、

$$\begin{aligned} \frac{V_{out}}{V_{in}} &= \frac{g_{m1}}{g_{m1} + (1 + sLg_{m2})(gd_1 + sC_1) + g_{m2}} \\ &= \frac{g_{m1}}{s^2Lg_{m2}C_1 + s(Lg_{m2}gd_1 + C_1) + (gd_1 + g_{m1} + g_{m2})} \\ &\approx \frac{g_{m1}/Lg_{m2}C_1}{s^2 + s\left(\frac{gd_1}{C_1} + \frac{1}{Lg_{m2}}\right) + \frac{1}{LC_1} + \frac{g_{m1}}{Lg_{m2}C_1}} \quad \dots (19) \end{aligned}$$

これにより、 $s$ 、 $w_0$ 、 $Q$ は、次のようになる。

$$s = \frac{-\left(\frac{gd_1}{C_1} + \frac{1}{Lg_{m2}}\right) \pm \sqrt{\left(\frac{gd_1}{C_1} + \frac{1}{Lg_{m2}}\right)^2 - 4\left(\frac{1}{LC_1} + \frac{g_{m1}}{Lg_{m2}C_1}\right)}}{2} \quad \dots (20)$$

$$w_0 = \sqrt{\frac{1}{LC_1} + \frac{g_{m1}}{Lg_{m2}C_1}} \quad \dots (21)$$

$$Q = \frac{w_0}{\frac{gd_1}{C_1} + \frac{1}{Lg_{m2}}} \quad \dots (22)$$

5 以上の計算結果を見ると、共振周波数 $w_0$ は少し上がったが、 $Q$ そのものには全く影響を与えなかった。すなわち、電流源がPMOS-FETのソース接地であっても、NMOS-FETのドレイン接地であっても、共振定数 $Q$ そのものが変わらないため、ほとんど効果が無いことが分かった。このように、単に抵抗 $R$ を挿入する方法で $L$ の影響を抑えようとしても、 $Q$ そのものの値を抑えることができないため、リングングやピーキングを抑えることは困難であった。また、これらの問題点を解消しようとする、電流を流さなければならない部分が増えるため、3.3V等の低電源電圧駆動も困難となっていた。

10 また、米国特許第5,898,334号では、一つの駆動源を用い、寄生容量を下げる方法が開示されているが、この方法ではMQ1のサイズが小さい必要があると共に、ゲート電圧を大きくしなければならない。このため、5V以上の電圧を必要とし、低電源電圧駆動が困難であると共に、発熱が問題となる。

15 本発明は、このような事情に鑑みてなされたものであり、リングングやピーキングが発生することなく、歩留まりばらつきの影響が少なく、低電源電圧駆動が可能な発光素子駆動回路を提供することを目的とする。

本発明の発光素子駆動回路は、ゲート端子を有し当該ゲート端子への入力電圧



5 に応じて前記発光素子に駆動電流を供給するNMOS-FETを有する第1ソースフォロワ回路と、前記第1ソースフォロワ回路の下流側の節点に接続されたゲート端子を含む第1PMOS-FETを有する第2ソースフォロワ回路と、ゲート端子を有し当該ゲート端子への入力電圧に応じて前記第2ソースフォロワ回路に電流を供給する第2PMOS-FETとを備え、前記第1PMOS-FETと前記第2PMOS-FETとの間の電位を前記入力電圧として前記NMOS-FETの前記ゲート端子に与えることを特徴とする。

10 この場合、第1ソースフォロワ回路のNMOS-FETのゲート端子と、その下流側に位置するソース端子との間の電圧 $V_{gs}$ は、第1ソースフォロワ回路の下流側の節点に接続されたゲート端子を含む第1PMOS-FETの当該ゲート端子とソース端子との間の電圧 $V_{gs}$ に比例し、したがって、MOS-FETを流れる電流はゲート端子及びソース端子間電圧 $V_{gs}$ に応じて決定されること、第1PMOS-FETを流れる電流と、NMOS-FETを流れる電流とは比例関係を有することとなる。一方、第1PMOS-FETに流れる電流は、第2PMOS-FETのゲート端子への入力電圧に応じて決定される。したがって、第2PMOS-FETのゲート端子へ一定電圧を印加すれば、第1PMOS-FET及びNMOS-FETを流れる電流は一定となる。

20 発光素子や周辺回路の状態により、第1ソースフォロワ回路のNMOS-FETの下流側と発光素子との間の節点の電位は変動することがあるが、かかる変動によってもNMOS-FETを流れる電流は第1PMOS-FETを流れる電流が一定であれば殆ど変わらなくなる。回路のQ値は、NMOS-FETを流れる電流に依存して変動するので、Q値が低くなるように回路構成要素の定数を設定しておけば、本構成の駆動回路を用いることにより、Q値の低い状態を維持することができる。

25 このように、本駆動回路においては、共振定数Qを小さくすることができるため、リングングやピーキングが抑制され、安定した発光素子の駆動を行うことが

可能となる。また、部品構成点数を少なくすることができるため、歩留まりばらつきの影響を小さくすることができると共に、コストの低減化を図ることができる。また、インピーダンスを抑えることができるため、ゲート電圧を低くすることができ、低電源電圧駆動が可能となる。さらに、寄生容量がある程度大きくても問題が生じないため、従来のように寄生容量を下げる構成を採る必要がなくなる。

発光素子駆動回路では、電流を一挙に高いレベルに上げるのではなく、例えば、4段階程度でステップ状に徐々に発光素子に電流を加えることが好ましい。

そこで、本発光素子駆動回路においては、第2ソースフォロア回路の下流側の節点を介して前記発光素子に駆動電流を更に与えるPMOS-FET群を備えることを特徴とする。すなわち、PMOS-FET群から発光素子に駆動電流を供給することにより、発光素子に供給される駆動電流の総量を増加させることができる。

このような構成により、例えば4段階に分けて駆動電流を発光素子に供給する場合、最初の1段階の駆動電流を第1及び第2ソースフォロア回路及び第2PMOS-FETを用いて行うことで、共振定数 $Q$ を小さくすることができ、リングングやピーキングが抑制され、安定した発光素子の駆動を行うことが可能となる。この場合、残りの3段階の駆動電流増加は、PMOS-FET群を順次駆動すればよい。本構成によれば、PMOS-FET群には上述の $Q$ 値変動制限構造を用いる必要がないので、部品構成点数を少なくすることができ、歩留まり・製品ばらつきの影響を小さくすることができると共に、コストの低減化を図ることができる。

また、インピーダンスを抑えることができるため、ゲート電圧を低くすることができ、低電源電圧駆動が可能となる。さらに、寄生容量がある程度大きくても問題が生じないため、従来のように寄生容量を下げる構成を採る必要がなくなる。

本発光素子駆動回路は、第1又は第2のタイプの発光素子駆動回路において、

NMOS-FETによる第1ソースフォロワ回路の相互コンダクタンスは、10ミリジーメンズから100ミリジーメンズの範囲におけるいずれかの値を有する構成を採る。

5 このように、NMOS-FETによるソースフォロワ回路の相互コンダクタンスが、10ミリジーメンズから100ミリジーメンズの範囲におけるいずれかの値を採るので、共振定数Qを小さくすることができる。

本発明に係る発光装置は、発光素子と上述のいずれかに記載の発光素子駆動回路とを備える。

10 この構成により、リングングやピーキングが抑制され、安定した発光を行うことが可能となる。また、部品構成点数を少なくすることができるため、歩留まりばらつきの影響を小さくすることができると共に、コストの低減化を図ることができる。また、インピーダンスを抑えることができるため、ゲート電圧を低くすることができ、低電源電圧駆動が可能となる。

#### 図面の簡単な説明

15 図1Aは実施の形態に係る発光素子駆動回路の構成を示す図である。

図1Bはレーザダイオード周辺の回路図である。

図2はソースフォロワ回路部の等価回路を示す図である。

図3Aは実施の形態に係る発光素子駆動回路における駆動電流の時間依存性を示すグラフ（シミュレーション）である。

20 図3Bは実施の形態に係る発光素子駆動回路における駆動電流の時間依存性を示すグラフ（実測値）である。

図3Cは比較例に係る発光素子駆動回路における駆動電流の時間依存性を示すグラフ（実測値）である。

図4は比較例として示される従来の発光素子駆動回路の構成図である。

25 図5は従来の発光素子駆動回路のシミュレーション結果を示す図である。

図6はPMOS-FETによるレーザダイオードの駆動回路の一例を示す図で

ある。

図 7 は図 6 の等価回路を示す図である。

図 8 は単純ソースフォロワ回路によるレーザダイオードの駆動回路の一例を示す図である。

5 図 9 は図 8 の等価回路を示す図である。

#### 発明を実施するための最良の形態

10 図 1 A は、レーザダイオード（発光素子）1 をバイポーラトランジスタとして示す発光素子駆動回路の構成を示す図である。図 1 B はレーザダイオード 1 の周辺部の回路図である。すなわち、図 1 A においては説明の便宜上、レーザダイオード 1 を、コレクタ及びベースが短絡されたトランジスタとして示しているが、レーザダイオード 1 は、本来、図 1 B に示す記号によって示される。

15 レーザダイオード 1 は、カソード側が接地されており、アノード側には NMOS-FET（電界効果トランジスタ）によるソースフォロワ回路 2 のソース端子が接続されている。NMOS-FET によるソースフォロワ回路 2 のソース端子には、PMOS-FET（電界効果トランジスタ）によるソースフォロワ回路 3 のゲート端子が接続されている。PMOS-FET によるソースフォロワ回路 3 のソース端子には、PMOS-FET 4 が接続されており、PMOS-FET によるソースフォロワ回路 3 に電源を供給する。PMOS-FET によるソースフォロワ回路 3 と PMOS-FET 4 とによってフィードバック回路としてのソースフォロワ部 5 が形成されている。

20 レーザダイオード 1 と NMOS-FET によるソースフォロワ回路 2 とは、インダクタンス  $L$  を有する配線 6 で接続されており、また、レーザダイオード 1 の電気回路的動作はトランジスタとして近似的に取り扱うことができるため、これをトランジスタとして仮定し、このトランジスタのエミッタ及びコレクタには容量  $C_{out}$  が接続されている。また、NMOS-FET によるソースフォロワ回路 2 のソース端子には、レーザダイオード 1 を駆動する 3 つの PMOS-FET 7 a,

7 b, 7 cが並列に接続され、PMOS-FET回路8が形成されている。

NMOS-FETによるソースフォロワ回路2のソース端子とPMOS-FET回路8との間には、一端が接地された容量 $C_1$ が接続されている。なお、各PMOS-FET4, 7 a, 7 b, 7 c及びNMOS-FET2のソースは電源電位

5

に接続されている。

図2は、ソースフォロワ部5の等価回路を示す図である。このような回路における共振定数 $Q$ の理論計算結果を以下に示す。ここで、 $g_{ms1}$ 及び $g_{ms2}$ は相互コンダクタンス、 $g_{d1}$ はドレインコンダクタンス、 $L$ はインダクタンス、 $C$ は容量を示す。

10

$$-V_{gs1}g_{m1} + V_1(gd_1 + sC_1) + \frac{(V_1 - V_{out})}{sL} = 0 \quad \dots (23)$$

$$\frac{(V_{out} - V_1)}{sL} + V_{out}(g_{m2} + sC_{out}) = 0 \quad \dots (24)$$

$V_{gs1} = V_{iN} - V_{out}$ として、式(23)について、

$$-(V_{in} - V_{out})g_{m1} + V_1(gd_1 + sC_1) + \frac{(V_1 - V_{out})}{sL} = 0 \quad \dots (25)$$

さらに、

$$V_{in} = V_1 - \frac{g_{ms1}}{g_{ms2}} V_g \quad \dots (26)$$

15

であるから、

$$-\left(V_1 - \frac{g_{ms1}}{g_{ms2}} V_g - V_{out}\right) g_{m1} + V_1 (gd_1 + sC_1) + \frac{(V_1 - V_{out})}{sL} = 0 \quad \dots (23)'$$

ここで、式(23)について、NMOS-FETによるソースフォロワ回路2の相互コンダクタンス  $g_{m1}$  は、10ミリジーメンズから100ミリジーメンズの範囲におけるいずれかの値を有する。これにより、共振定数  $Q$  を小さくすることができる。また、式(24)について、 $g_{m2}$  は概ね200mSとし、 $f = 1\text{GHz}$  としても、 $sC_{out}$  は、概ね30mSであるため、 $g_{m2} \gg sC_{out}$  と仮定することができる。

$$\frac{(V_{out} - V_1)}{sL} + V_{out} g_{m2} = 0 \quad \dots (27)$$

$$V_{out} - V_1 = -sL V_{out} g_{m2} \quad \dots (28)$$

$$V_1 = V_{out} (1 + sL g_{m2}) \quad \dots (24)'$$

ここで、(24)' を (23)' に代入して整理すると、

$$\frac{g_{ms1}}{g_{ms2}} g_{m1} V_g = V_{out} \left\{ \frac{sL g_{m1} g_{m2}}{+ (1 + sL g_{m2}) (gd_1 + sC_1) + g_{m2}} \right\} \quad \dots (29)$$

10

となる。ここで、 $g_{m2}$  が概ね200mSであり、 $gd_1$  は1mSであって、 $g_{m2} \gg gd_1$  となるから、 $V_{out}/V_{in}$  は、

$$\begin{aligned}
\frac{V_{out}}{V_{in}} &= \frac{g_{m1} \frac{g_{ms1}}{g_{ms2}}}{sLg_{m1}g_{m2} + s^2Lg_{m2}C_1 + sLgd_1g_{m2} + sC_1 + gd_1 + g_{m2}} \\
&= \frac{g_{m1} \frac{g_{ms1}}{g_{ms2}}}{s^2Lg_{m2}C_1 + s(Lg_{m1}g_{m2} + Lgd_1g_{m2} + C_1) + gd_1 + g_{m2}} \\
&= \frac{g_{m1}g_{ms1}/Lg_{m2}C_1g_{ms2}}{s^2 + s\left(\frac{g_{m1}}{C_1} + \frac{gd_1}{C_1} + \frac{1}{Lg_{m2}}\right) + \frac{1}{LC_1}} \quad \dots (30)
\end{aligned}$$

これにより、 $w_0$ 、 $Q$ は、次のようになる。

$$w_0 = \frac{1}{\sqrt{LC_1}} \approx 7G \quad \dots (31)$$

$$Q = \frac{w_0}{\frac{g_{m1}}{C_1} + \frac{gd_1}{C_1} + \frac{1}{Lg_{m2}}} \approx 0.445 \quad \dots (32)$$

5  $f_0=1.12\text{GHz}$ とすると、 $w_0$ は概ね $7G$ 、 $g_{m1}/C_1$ は概ね $14.7G$ 、  
 $gd_1/C_1$ は概ね $0.5G$ 、 $1/Lg_{m2}$ は概ね $0.5G$ となるので、 $Q$ の値は、  
 概ね $0.445$ となる。この結果から、最終的にソースフォロワ回路のインピー  
 ダンスがフィードバックループの効果により、共振定数 $Q$ を低くする効果を有す  
 ることが分かる。すなわち、共振定数 $Q$ の分母には、ソースフォロワ回路のイン  
 ピーダンス成分が入り込むため、 $Q$ を小さくする機能を果たしている。

10 本発光素子駆動回路は、ゲート端子を有し当該ゲート端子への入力電圧に応じて  
 発光素子1に駆動電流を供給するNMOS-FET(2)を有する第1ソース  
 フォロワ回路2と、第1ソースフォロワ回路2の下流側の節点(V1)に接続さ

れたゲート端子を含む第1 PMOS-FET (3) を有する第2ソースフォロワ回路3と、ゲート端子を有し当該ゲート端子への入力電圧に応じて第2ソースフォロワ回路3に電流を供給する第2 PMOS-FET 4とを備え、第1 PMOS-FET 3と第2 PMOS-FET 4との間の電位を前記入力電圧としてNMOS-FET (2) のゲート端子に与えることを特徴とする。

第1ソースフォロワ回路2のNMOS-FET (2) のゲート端子と、その下流側に位置するソース端子との間の電圧 $V_{gs}$ は、第1ソースフォロワ回路2の下流側の節点(V1)に接続されたゲート端子を含む第1 PMOS-FET (3) の当該ゲート端子とソース端子との間の電圧 $V_{gs}$ に比例し、したがって、MOS-FETを流れる電流はゲート端子及びソース端子間電圧 $V_{gs}$ に応じて決定されるところ、第1 PMOS-FET (3) を流れる電流と、NMOS-FET (2) を流れる電流とは比例関係を有することとなる。

一方、第1 PMOS-FET (3) に流れる電流は、第2 PMOS-FET (4) のゲート端子への入力電圧に応じて決定される。したがって、第2 PMOS-FET (4) のゲート端子へ一定電圧を印加すれば、第1 PMOS-FET (3) 及びNMOS-FET (2) を流れる電流は一定となる。

レーザダイオード1や周辺回路の状態により、第1ソースフォロワ回路のNMOS-FET (2) の下流側とレーザダイオード1との間の節点(V1)の電位は変動することがあるが、かかる変動によってもNMOS-FET (2) を流れる電流は第1 PMOS-FET (3) を流れる電流が一定であれば殆ど変わらなくなる。回路のQ値は、NMOS-FET (2) を流れる電流に依存して変動するので、Q値が低くなるように回路構成要素の定数を設定しておけば、本構成の駆動回路を用いることにより、Q値の低い状態を維持することができる。

本実施の形態では、このように共振定数Qを小さくすることができるため、リングングやピーキングが抑制され、安定した発光素子の駆動を行うことが可能となる。また、部品構成点数を少なくすることができるため、歩留まり・製品ばら



つきの影響を小さくすることができると共に、コストの低減化を図ることができる。

また、インピーダンスを抑えることができるため、ゲート電圧を低くすることができ、低電源電圧駆動が可能となる。さらに、寄生容量がある程度大きくても問題が生じないため、従来のように寄生容量を下げる構成を採る必要がなくなる。

また、図1に示すような発光素子駆動回路では、電流を一挙に高いレベルに上げるのではなく、例えば、4段階程度でステップ状に徐々にレーザダイオード1に電流を加えているのが通常である。本実施の形態では、4段階のステップのうち、最初の段階にのみソースフォロワ部5において、フィードバックループにてレーザダイオード1に電流を与え、残りの3段階のステップアップについては、複数のPMOS-FETを備えたPMOS-FET回路8で駆動を行う。これは、最初が一番低い段階でインピーダンスのレベルを低い状態に固定すれば、それ以上インピーダンスを下げる必要がなくなるからである。

すなわち、まず、直流電圧 $V_g$ を初段のPMOS-FET(4)のゲート端子に入力することにより、初期段階の電流を流し、続いて、PMOS-FET回路8を構成するPMOS-FET7a, 7b, 7cのゲート端子に電圧 $V_a$ ,  $V_b$ ,  $V_c$ をそれぞれ順次入力する。大きな駆動電流をレーザダイオード1に供給する場合には、これらのPMOS-FET4, 7a, 7b, 7cのゲート端子に入力される電圧パルスのタイミングを適宜一致させればよい。すなわち、レーザダイオード1に供給される駆動電流の大きさはタイミングが重なるパルスの数に依存し、全てのパルスのタイミングが重なれば、最大の駆動電流がレーザダイオード1に供給される。

このような構成により、4ステップを実現するために、最初のステップの部分にのみフィードバック回路を設ければ、共振定数 $Q$ を小さくすることができるため、リングングやピーキングが抑制され、安定した発光素子の駆動を行うことが可能となる。

この場合、残りの3ステップは従来と同様にPMOS-FET群8で駆動するので、部品構成点数を少なくすることができ、歩留まり・製品ばらつきの影響を小さくすることができると共に、コストの低減化を図ることができる。また、インピーダンスを抑えることができるため、ゲート電圧を低くすることができ、低電源電圧駆動が可能となる。本実施の形態に係る発光素子駆動回路では、ゲート電圧を3.3V以下でレーザダイオード1を駆動することが可能である。なお、レーザダイオード1の数は複数であってもよく、これらは並列接続することができる。

図3Aは実施の形態に係る発光素子駆動回路における駆動電流の時間依存性を示すグラフ（シミュレーション）である。図3Bは実施の形態に係る発光素子駆動回路における駆動電流の時間依存性を示すグラフ（実測値）であり、駆動電流のパルス幅は9.76nsである。図3Cは図4に示した比較例に係る発光素子駆動回路における駆動電流の時間依存性を示すグラフ（実測値）である。

図3A、3B、3Cから明らかなように、実施の形態に係る発光素子駆動回路においては、比較例に示されるようなリングングもピーキングもほとんど生じていない。これにより、レーザダイオード1の駆動を適切に行うことが可能であることが示された。

このように、本実施の形態に係る発光素子駆動回路によれば、NMOS-FETによるソースフォロワ回路にフィードバックループを用いることによって、共振定数Qを小さくすることができるため、リングングやピーキングが抑制され、安定したレーザダイオード1の駆動を行うことが可能となる。また、部品構成点数を少なくすることができるため、歩留まりばらつきの影響を小さくすることができると共に、コストの低減化を図ることができる。また、インピーダンスを抑えることができるため、ゲート電圧を低くすることができ、低電源電圧駆動が可能となる。さらに、寄生容量がある程度大きくても問題が生じないため、従来のように寄生容量を下げる構成を採る必要がなくなる。

5 以上、説明したように、本発明に係る発光素子駆動回路は、発光素子のアノード側に接続され、発光素子を直接駆動するNMOS-FETによるソースフォロワ回路と、ゲート端子がNMOS-FETによるソースフォロワ回路のソース端子に接続されたPMOS-FETによるソースフォロワ回路と、PMOS-FETによるソースフォロワ回路に電流を供給するPMOS-FETとを備える構成を採る。

10 この構成により、共振定数Qを小さくすることができるため、リングングやピーキングが抑制され、安定した発光素子の駆動を行うことが可能となる。また、部品構成点数を少なくすることができるため、歩留まりばらつきの影響を小さくすることができると共に、コストの低減化を図ることができる。また、インピーダンスを抑えることができるため、ゲート電圧を低くすることができ、低電源電圧駆動が可能となる。さらに、寄生容量がある程度大きくても問題が生じないため、従来のように寄生容量を下げる構成を採る必要がなくなる。

#### 産業上の利用可能性

15 本発明は、発光素子駆動回路に利用することができる。

## 請求の範囲

1. 発光素子駆動回路において、

ゲート端子を有し当該ゲート端子への入力電圧に応じて前記発光素子に駆動電流を供給するNMOS-FETを有する第1ソースフォロワ回路と、

5 前記第1ソースフォロワ回路の下流側の節점에接続されたゲート端子を含む第1PMOS-FETを有する第2ソースフォロワ回路と、

ゲート端子を有し当該ゲート端子への入力電圧に応じて前記第2ソースフォロワ回路に電流を供給する第2PMOS-FETとを備え、

10 前記第1PMOS-FETと前記第2PMOS-FETとの間の電位を前記入力電圧として前記NMOS-FETの前記ゲート端子に与えることを特徴とする発光素子駆動回路。

2. 前記NMOS-FETによるソースフォロワ回路の相互コンダクタンスは、10ミリジーメンズから100ミリジーメンズの範囲におけるいずれかの値を有することを特徴とする請求の範囲第1項記載の発光素子駆動回路。

15 3. 前記第2ソースフォロワ回路の下流側の節点を介して前記発光素子に駆動電流を更に与えるPMOS-FET群を備えることを特徴とする請求の範囲第1項記載の発光素子駆動回路。

4. 前記発光素子と請求の範囲第1項に記載の発光素子駆動回路とを備えた発光装置。

図1A

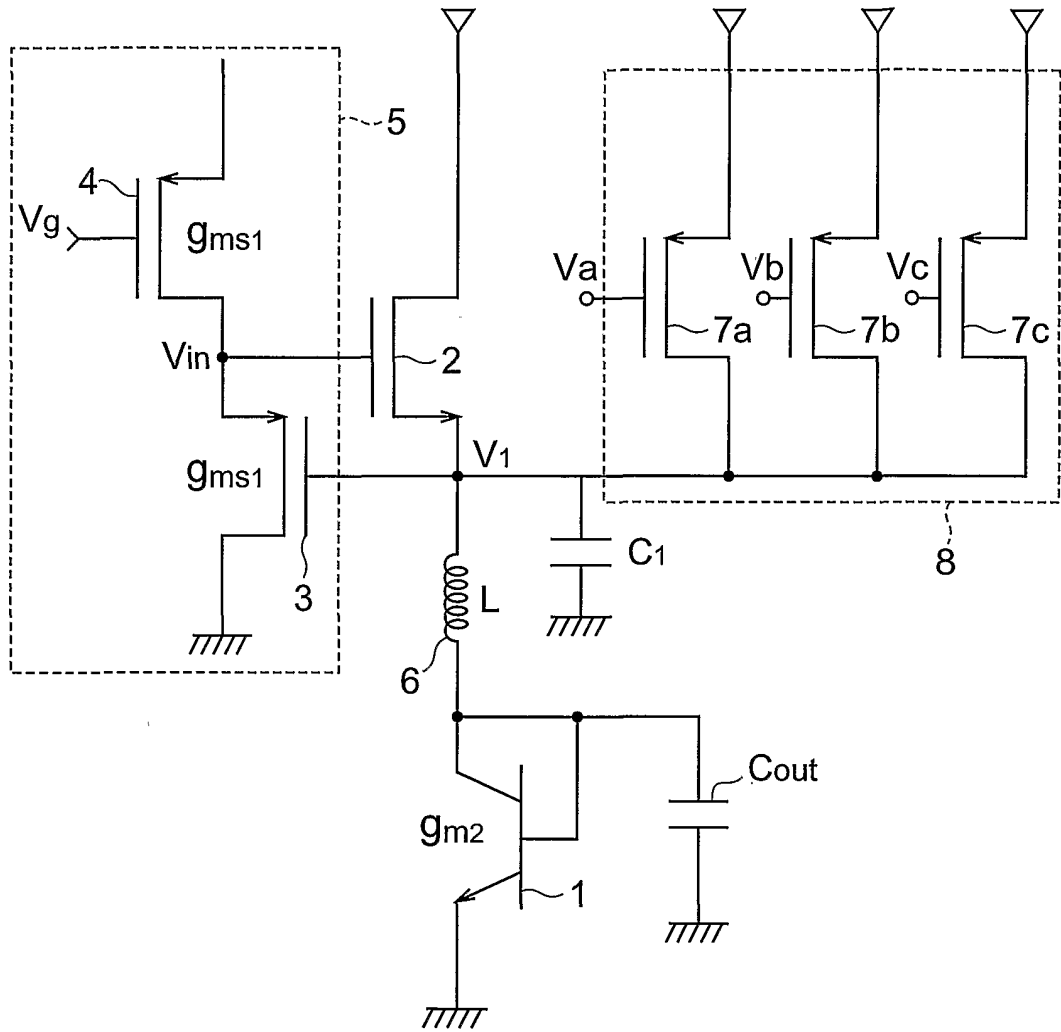


図1B

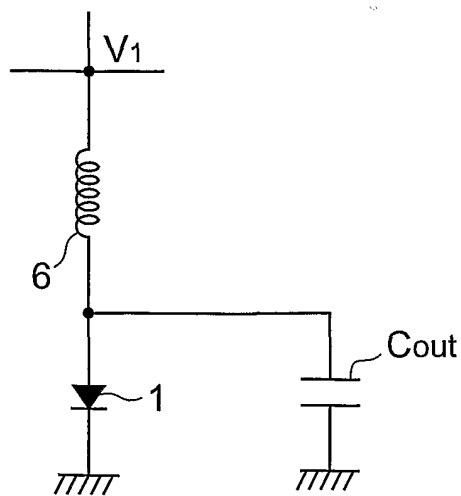


図2

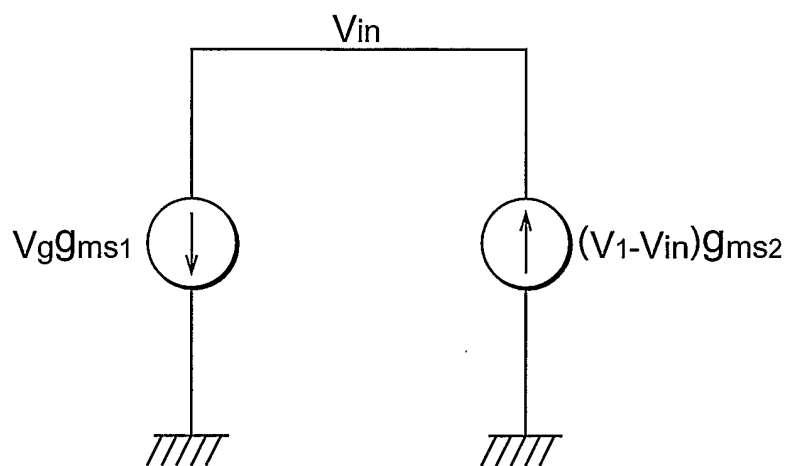


図3A

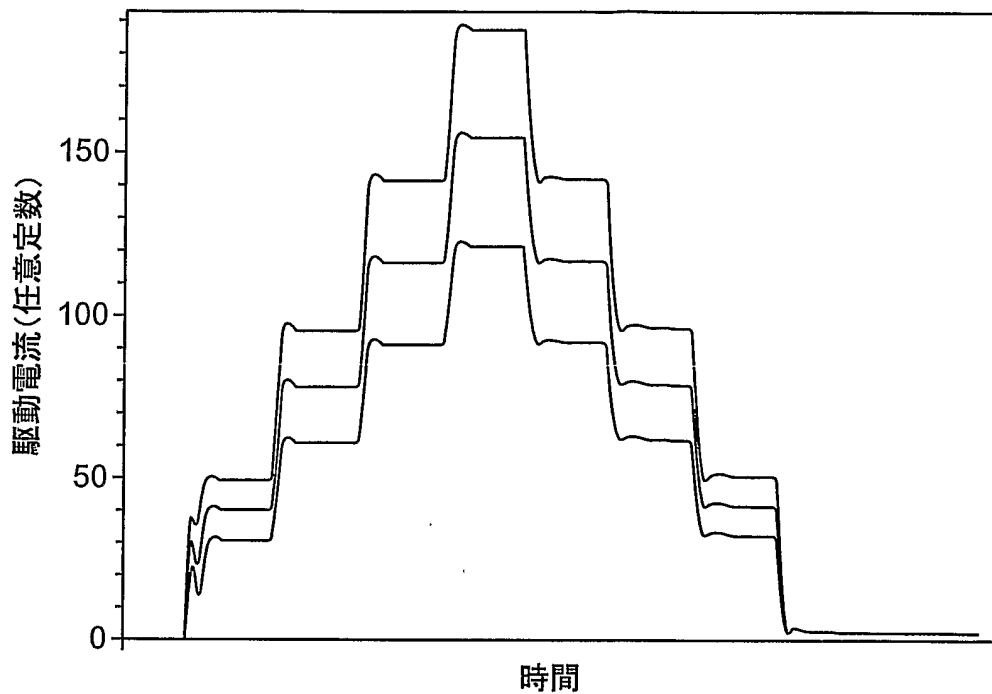


図3B

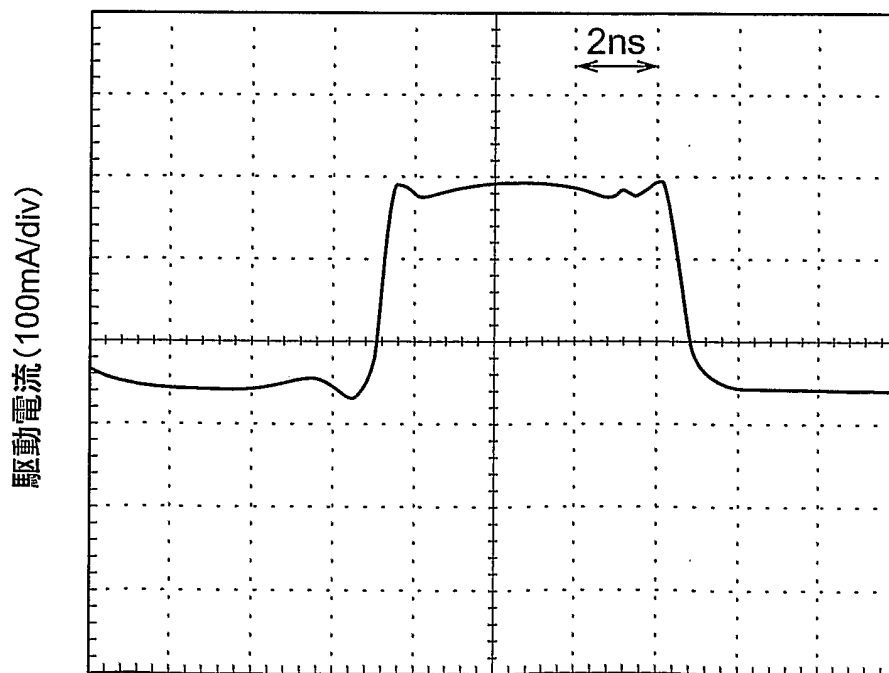


図3C

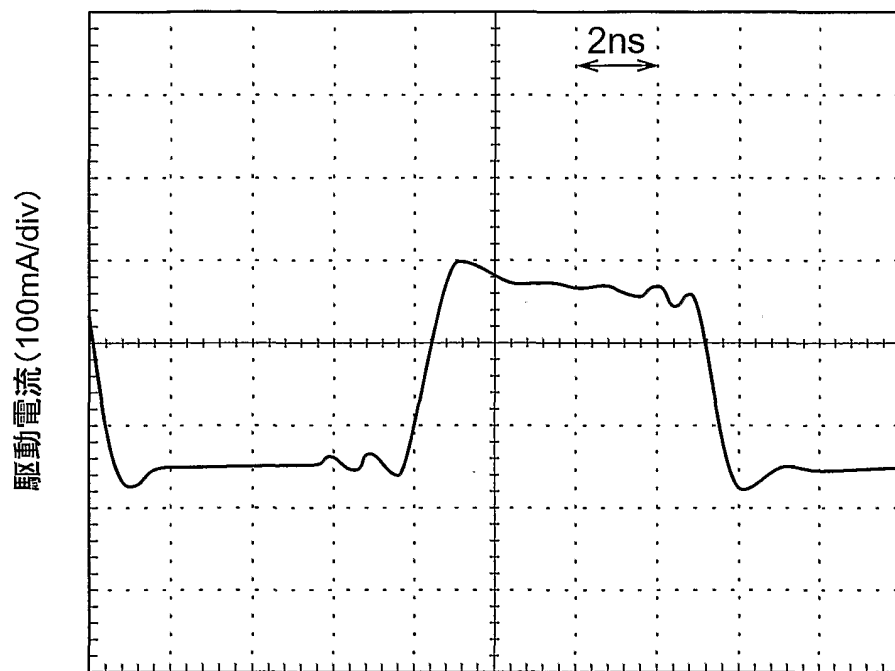




図4

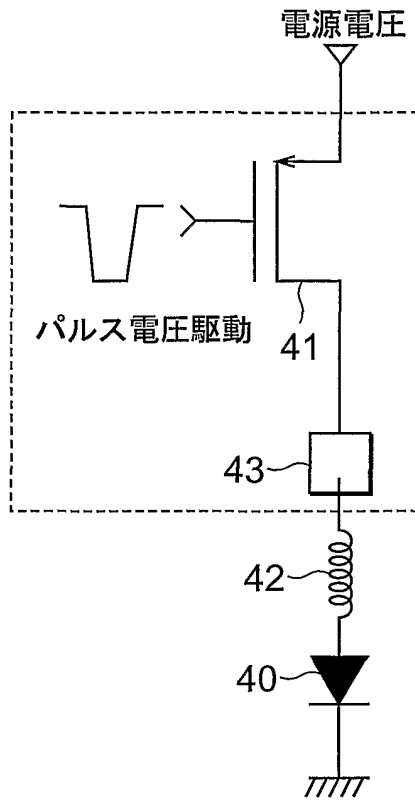


図5

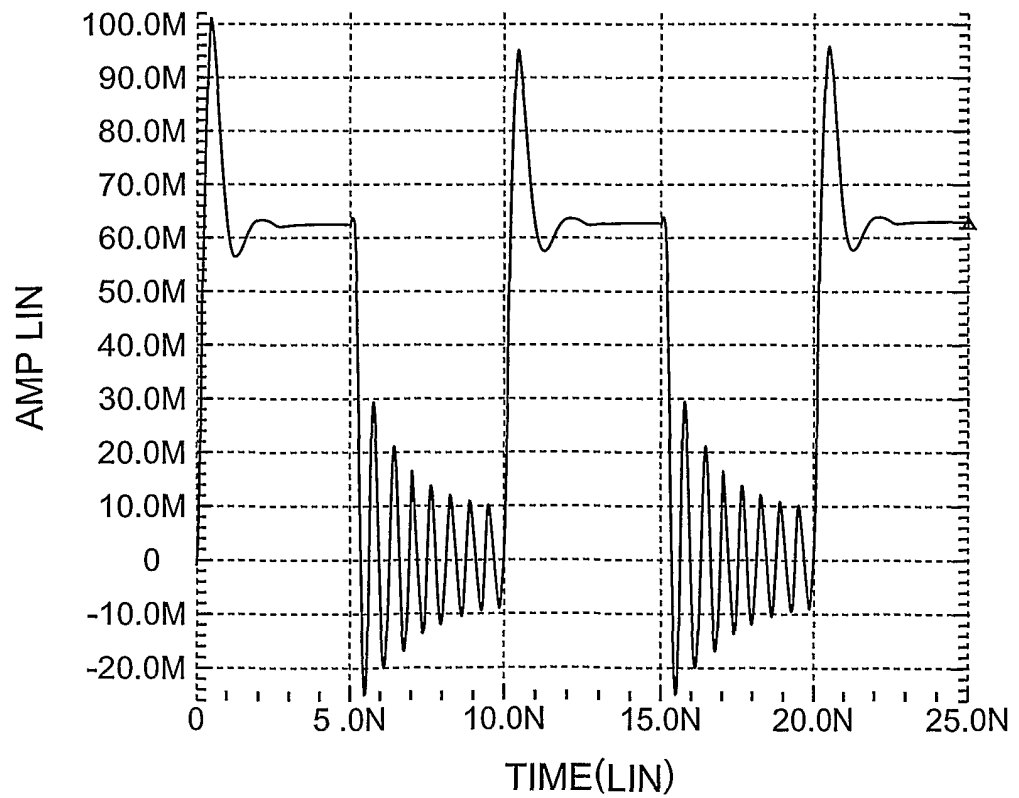


図6

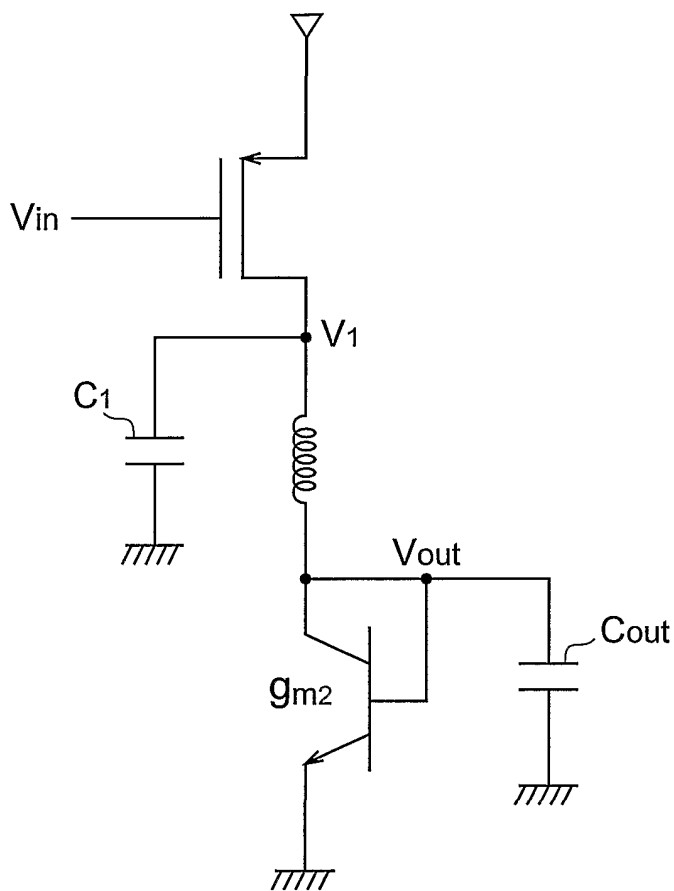


図7

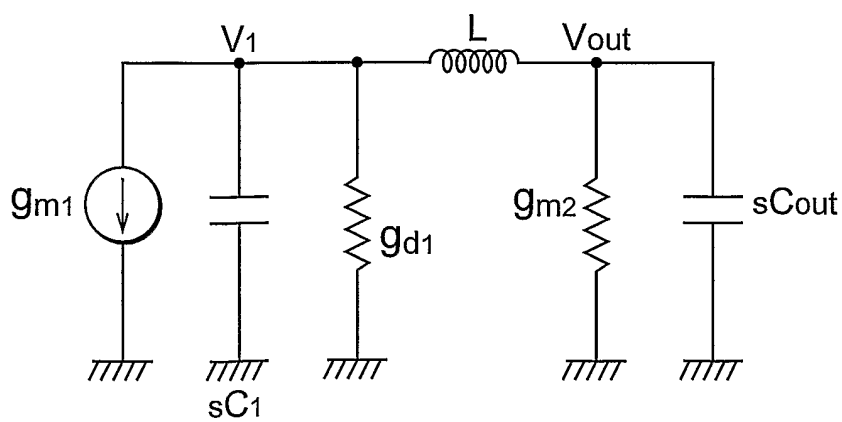


図8

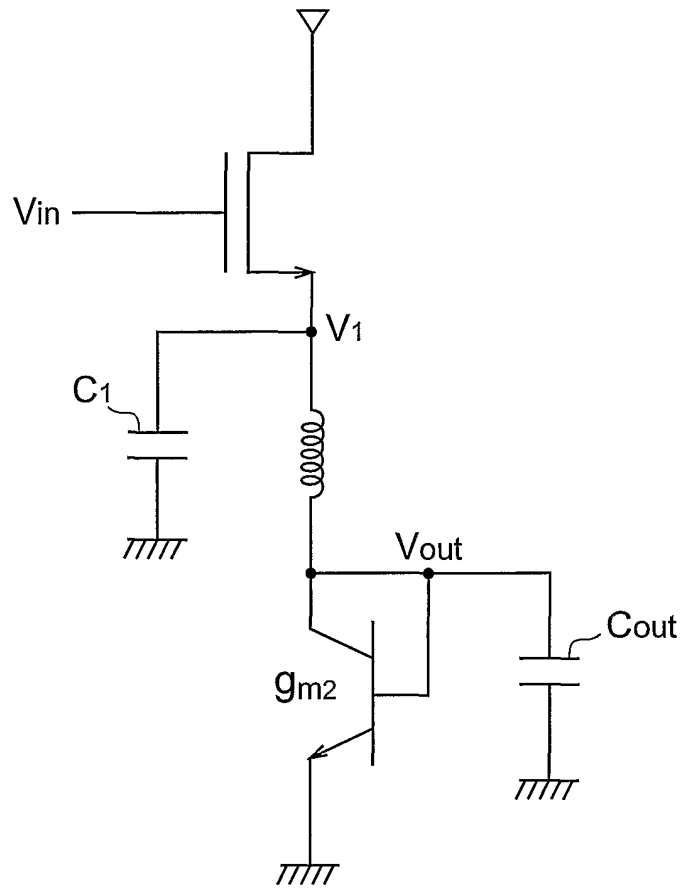
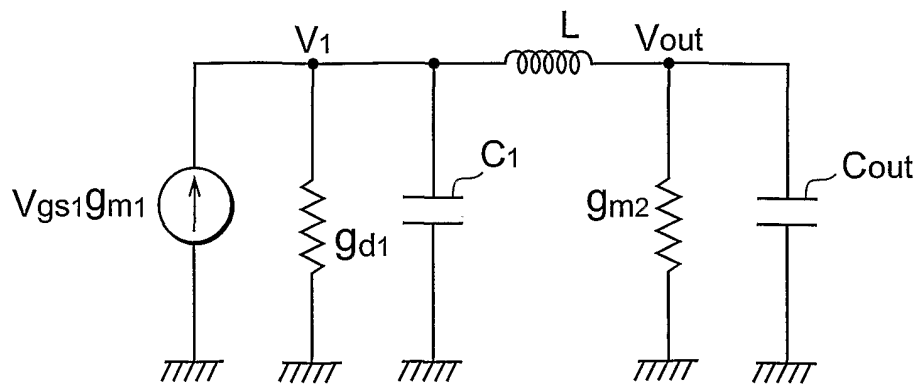


図9



**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP01/06242

A. CLASSIFICATION OF SUBJECT MATTER  
Int.Cl.<sup>7</sup> H01S5/042, H01L33/00, H04B10/04

According to International Patent Classification (IPC) or to both national classification and IPC

**B. FIELDS SEARCHED**

Minimum documentation searched (classification system followed by classification symbols)  
Int.Cl.<sup>7</sup> H01S5/00-5/50, H01L33/00, H04B10/00-10/30

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched  
Jitsuyo Shinan Koho 1965-1996 Jitsuyo Shinan Toroku Koho 1996-2000  
Kokai Jitsuyo Shinan Koho 1971-2000 Toroku Jitsuyo Shinan Koho 1994-2000

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 11-214781 A (Sumitomo Electric Industries, Ltd.), 06 August, 1999 (06.08.99), Full text; all drawings (Family: none)	1-4
A	JP 6-132591 A (Sumitomo Electric Industries, Ltd.), 13 May, 1994 (13.05.94), Full text; all drawings (Family: none)	1-4
A	JP 4-109687 A (Ricoh Company, Ltd.), 10 April, 1992 (10.04.92), Fig. 2 (Family: none)	1-4
A	HIROSE et al., "Low-Power 2.5-Gb/s Si-Bipolar IC Chipset for Optical Receivers and Transmitters Using Low-Voltage and Adjustment-Free Circuit Techniques", IEICE Transactions on Electronics, Vol.E82-C, No.3, (1999), pages 511 to 518, especially, Section 4.5	1-4

Further documents are listed in the continuation of Box C.  See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier document but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search  
02 October, 2001 (02.10.01)


Date of mailing of the international search report  
16 October, 2001 (16.10.01)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

<p>A. 発明の属する分野の分類 (国際特許分類 (IPC))</p> <p style="margin-left: 40px;">Int. Cl<sup>7</sup> H01S5/042, H01L33/00, H04B10/04</p>				
<p>B. 調査を行った分野</p> <p>調査を行った最小限資料 (国際特許分類 (IPC))</p> <p style="margin-left: 40px;">Int. Cl<sup>7</sup> H01S5/00-5/50, H01L33/00, H04B10/00-10/30</p>				
<p>最小限資料以外の資料で調査を行った分野に含まれるもの</p> <p>日本国実用新案公報 1965-1996</p> <p>日本国公開実用新案公報 1971-2000</p> <p>日本国実用新案登録公報 1996-2000</p> <p>日本国登録実用新案公報 1994-2000</p>				
<p>国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)</p>				
<p>C. 関連すると認められる文献</p>				
<p>引用文献の カテゴリー*</p>	<p>引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示</p>	<p>関連する 請求の範囲の番号</p>		
<p>A</p>	<p>JP 11-214781 A (住友電気工業株式会社) (06.08.99) (ファミリーなし)</p> <p style="text-align: right; margin-right: 20px;">6.8月.1999 全文全図</p>	<p>1-4</p>		
<p>A</p>	<p>JP 6-132591 A (住友電気工業株式会社) (13.05.94) (ファミリーなし)</p> <p style="text-align: right; margin-right: 20px;">13.5月.1994 全文全図</p>	<p>1-4</p>		
<p><input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <span style="margin-left: 100px;"><input type="checkbox"/> パテントファミリーに関する別紙を参照。</span></p>				
<p>* 引用文献のカテゴリー</p> <p>「A」 特に関連のある文献ではなく、一般的技術水準を示すもの</p> <p>「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの</p> <p>「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)</p> <p>「O」 口頭による開示、使用、展示等に言及する文献</p> <p>「P」 国際出願日前で、かつ優先権の主張の基礎となる出願</p> <p style="margin-left: 300px;">の日の後に公表された文献</p> <p>「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの</p> <p>「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</p> <p>「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</p> <p>「&amp;」 同一パテントファミリー文献</p>				
<p>国際調査を完了した日</p> <p style="margin-left: 40px;">02.10.01</p>	<p>国際調査報告の発送日</p> <p style="text-align: right; font-size: 1.2em; font-weight: bold;">16.10.01</p>			
<p>国際調査機関の名称及びあて先</p> <p style="margin-left: 20px;">日本国特許庁 (ISA/JP)</p> <p style="margin-left: 20px;">郵便番号100-8915</p> <p style="margin-left: 20px;">東京都千代田区霞が関三丁目4番3号</p>	<p>特許庁審査官 (権限のある職員)</p> <p style="margin-left: 20px;">近藤 幸浩</p> <p style="text-align: right; margin-right: 20px;"></p>	<table border="1" style="width:100%; border-collapse: collapse;"> <tr> <td style="width: 20px; text-align: center;">2K</td> <td style="width: 40px; text-align: center;">8422</td> </tr> </table>	2K	8422
2K	8422			
<p>電話番号 03-3581-1101 内線 3253</p>				

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 4-109687 A (株式会社リコー) 10.4月.1992 (10.04.92) 第2図 (ファミリーなし)	1-4
A	HIROSE et al. Low-Power 2.5-Gb/s Si-Bipolar IC Chipset for Optical Receivers and Transmitters Using Low-Voltage and Adjustment-Free Circuit Techniques, IEICE Transactions on Electronics, Vol. E82-C, No.3 (1999) pages 511-518, especially Section 4.5	1-4