

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4629793号
(P4629793)

(45) 発行日 平成23年2月9日 (2011.2.9)

(24) 登録日 平成22年11月19日 (2010.11.19)

(51) Int.Cl.

F I

G 0 6 F 11/18 (2006.01)

G 0 6 F 11/18 3 1 0 C

請求項の数 6 (全 18 頁)

(21) 出願番号	特願2009-507343 (P2009-507343)	(73) 特許権者	000005223
(86) (22) 出願日	平成19年3月29日 (2007.3.29)		富士通株式会社
(86) 国際出願番号	PCT/JP2007/056858		神奈川県川崎市中原区上小田中4丁目1番1号
(87) 国際公開番号	W02008/120352		
(87) 国際公開日	平成20年10月9日 (2008.10.9)	(74) 代理人	100101856
審査請求日	平成21年8月7日 (2009.8.7)		弁理士 赤澤 日出夫
		(72) 発明者	諸澤 篤史
			神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
		(72) 発明者	石塚 孝治
			神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
		(72) 発明者	植木 俊和
			神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

最終頁に続く

(54) 【発明の名称】 情報処理装置、エラー処理方法

(57) 【特許請求の範囲】

【請求項 1】

互いに同期動作を行うことができる2つの処理部を有する情報処理装置であって、
 前記2つの処理部へ同一の信号を出力することができる共通部と、
 前記処理部毎に備えられ、対応する処理部で発生したエラーを検出する検出部と、
 前記2つの処理部からの出力を比較する比較部と、
 前記検出部による検出結果と前記比較部による比較結果とに基づいて、前記処理部から
 前記共通部への信号の制御を行い、前記2つの処理部に対応する検出部のそれぞれにより
同時に U E (uncorrectable error) が検出され、且つ前記比較部により前記2つの処理
部からの出力が同期していると判定された場合、前記共通部のエラーと判定する制御部と
 を備える情報処理装置。

10

【請求項 2】

請求項 1 に記載の情報処理装置において、
前記2つの処理部に対応する検出部のそれぞれにより同時に前記 U E が検出され、且つ
前記比較部により前記2つの処理部からの出力が同期していると判定された場合、
前記制御部は、前記共通部のエラーと判定し、前記2つの処理部からの出力のうち、い
ずれかを選択する情報処理装置。

【請求項 3】

互いに同期動作を行うことができる2つの処理部を有する情報処理装置であって、
 前記2つの処理部へ同一の信号を出力することができる共通部と、

20

前記処理部毎に備えられ、対応する処理部で発生したエラーを検出する検出部と、
前記処理部毎に備えられ、対応する検出部により検出された C E (Correctable Error)
に関する情報を記録する記録部と、
前記 2 つの処理部からの出力を比較する比較部と、
前記検出部による検出結果と前記比較部による比較結果とに基づいて、前記処理部から
前記共通部への信号の制御を行う制御部とを備え、
前記検出部により前記 C E が検出された場合、
前記制御部は、前記 2 つの処理部のうち前記 C E が検出された処理部から前記共通部へ
信号を伝達し、
前記 C E が検出された処理部に対応する記録部は、前記検出部により検出された C E に
関する情報を記録し、
前記共通部は、前記 2 つの処理部の再同期を行う情報処理装置。

10

【請求項 4】

請求項 3 に記載の情報処理装置において、
前記検出部により前記 C E が検出された場合、
前記制御部は、前記 2 つの処理部のうち前記 C E が検出されなかった処理部を前記情報
処理装置から切り離す情報処理装置。

【請求項 5】

請求項 3 または請求項 4 に記載の情報処理装置において、
前記記録部は、カウンタを有し、
前記 C E に関する情報は、C E の数である情報処理装置。

20

【請求項 6】

互いに同期動作を行うことができる 2 つの処理部と、前記 2 つの処理部へ同一の信号を
出力することができる共通部とを有する情報処理装置のエラー処理を行うエラー処理方法
であって、

前記処理部で発生したエラーを検出する検出ステップと、
前記 2 つの処理部からの出力を比較する比較ステップと、
前記検出ステップによる検出結果と前記比較ステップによる比較結果とに基づいて、前
記処理部から前記共通部への信号の制御を行い、前記検出ステップにより前記 2 つの処理
部のそれぞれで同時に U E (uncorrectable error) が検出され、且つ前記比較ステップ
により前記 2 つの処理部からの出力が同期していると判定された場合、前記共通部のエラ
ーと判定する信号制御ステップと
を実行するエラー処理方法。

30

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、互いに同期する複数の処理装置を有する情報処理装置、エラー処理方法に関
するものである。

【背景技術】**【0002】**

40

従来のミラーモード（2 重化）を用いた情報処理システムについて説明する。ミラーモ
ードとは、1 つの系（同期部）と対象となるもう 1 つの系とを同期させて処理を行うこと
により、1 つの系で障害が発生しても対象となるもう 1 つの系がシステムを走行させる情
報処理技術である。

【0003】

ここで、ミラーモードを用いた従来の情報処理システムの構成について説明する。図 2
5 は、従来の情報処理システムの構成の一例を示すブロック図である。この情報処理シス
テムは、同期動作を行う 2 つの系である A 系と B 系からなり、制御システム 1、A 系の処
理装置 2 a 0、2 a 1、B 系の処理装置 2 b 0、2 b 1 を備える。処理装置は、例えば C
P U である。処理装置 2 a 0、2 a 1、2 b 0、2 b 1 は、内部にエラーチェッカを有す

50

る。制御システム1は、A系インターフェース(A I F) 4 a、B系インターフェース(B I F) 4 b、エラーチェッカ7 a、7 b、コンパレータ9、セクタ生成部1 2、セクタ1 4、共通部1 5を備える。このうち、処理装置2 a 0、2 a 1、A I F 4 a、エラーチェッカ7 aをA系とし、処理装置2 b 0、2 b 1、B I F 4 b、エラーチェッカ7 bをB系とする。

【0004】

制御システム1は、経路3 aとA I F 4 aを介して処理装置2 a 0、2 a 1に接続され、経路3 bとB I F 4 bを介して処理装置2 b 0、2 b 1に接続されている。A系とB系が同期動作を行い、各系は、3箇所のエラーチェッカ(A系は、エラーチェッカ7 a、処理装置2 a 0、2 a 1内部のエラーチェッカ、B系は、エラーチェッカ7 b、処理装置2 b 0、2 b 1内部のエラーチェッカ)を有する。また、コンパレータ9は、A系の出力の信号5 aとB系の出力の信号5 bの同期チェックを行う。

10

【0005】

共通部1 5の出力は、A I F 4 aを介して処理装置の2 a 0、2 a 1へ入力されると共に、B I F 4 bを介して処理装置の2 b 0、2 b 1へ入力される。従って、共通部1 5におけるU E (uncorrectable error)は、処理装置が共通部にリードした場合にA系及びB系に伝播し、A系及びB系の両方で検出される。

【0006】

セクタ生成部1 2は、コンパレータ9の出力の信号1 0、エラーチェッカ7 aの出力の信号8 a、エラーチェッカ7 bの出力の信号8 b、処理装置2 a 0内のエラーチェッカの出力の信号1 1 a 0、処理装置2 a 1内のエラーチェッカの出力の信号1 1 a 1、処理装置2 b 0内のエラーチェッカの出力の信号1 1 b 0、処理装置2 b 1内のエラーチェッカの出力の信号1 1 b 1に基づいて、判定を行う。セクタ1 4は、セクタ生成部1 2の判定結果の信号1 3に従って、信号5 a、5 bのいずれかを選択して共通部1 5へ出力する。

20

【0007】

ここで、エラーチェッカがU Eを検出した場合について説明する。

【0008】

次に、セクタ生成部1 2におけるエラー信号受信時の動作について説明する。図2 6は、従来のセクタ生成部におけるU E信号受信時の動作の一例を示す表である。この表は、ケース番号毎に、セクタ生成部1 2の入力であるA系エラー信号(信号8 a、1 1 a 0、1 1 a 1)、B系エラー信号(信号8 b、1 1 b 0、1 1 b 1)、同期エラー(比較エラー、信号1 0)の内容に対して、セクタ生成部1 2の出力であるセレクト信号1 3の内容を示す。

30

【0009】

A系エラー信号及びB系エラー信号は、それぞれA系のエラーチェッカでU Eが検出されたこと、B系のエラーチェッカでU Eが検出されたことを示す。同期エラーは、A系とB系の同期のエラーであり、コンパレータ9による比較結果が不一致であったこと(同期崩れ)を示す。セレクト信号1 3の内容は、信号5 a、5 b、エラーストップ(セレクトせず、システムが停止)のいずれかを示す。セレクト信号1 3の内容が「5 a / 5 b どちらでもOK」と記されている場合、セクタ生成部1 2は、信号5 a、5 bのどちらを選択しても同じ信号が得られるため、所定の決定方法により信号5 a、5 bのいずれかを選択する。所定の決定方法とは、例えば、予め設定された系を選択する、それ以前に選択されていた系を選択する等である。

40

【0010】

図2 7は、従来のセクタ生成部におけるエラー信号受信時の動作の一例を示すフローチャートである。まず、セクタ生成部1 2は、U Eの通知を受けたか否かの判断を行う(S 1 1)。

【0011】

U Eの通知を受けた場合(S 1 1, Y e s)、セクタ生成部1 2は、U Eがどこから

50

通知されたかの判断を行う（S 2 1）。U EがA系からのエラーである場合（S 2 1，A系エラー）、セクタ生成部1 2は、信号5 bをセレクトし（S 2 2）、このフローは終了する。U EがB系からのエラーである場合（S 2 1，B系エラー）、セクタ生成部1 2は、信号5 aをセレクトし（S 2 3）、このフローは終了する。U EがA系とB系から同時に通知されたエラーである場合（S 2 1，同時）、セクタ生成部1 2は、信号をセレクトせず（S 2 4、エラーストップ）、このフローは終了する。

【0 0 1 2】

処理S 1 1においてU Eの通知を受けていない場合（S 1 1，N o）、セクタ生成部1 2は、コンパレータ9による同期チェック結果の判定を行う（S 6 1）。同期エラーがない場合（S 6 1，エラーなし）、セクタ生成部1 2は、上述した決定方法により信号5 a，5 bのいずれかをセレクトし（S 6 2）、このフローは終了する。同期エラーがある場合（S 6 1，同期エラー）、セクタ生成部1 2は、信号をセレクトせず（S 6 3、エラーストップ）、このフローは終了する。

10

【0 0 1 3】

このセクタ生成部1 2の動作によれば、比較エラーが検出された場合または両系でエラーが検出された場合（ケース番号＝2，5～1 1）、情報処理システムは停止する。

【0 0 1 4】

次に、各エラーチェッカ（エラーチェッカ7 a，7 b、処理装置2 a 0，2 a 1，2 b 0，2 b 1内部のエラーチェッカ）の動作について説明する。図2 8は、従来のエラーチェッカの動作の一例を示すフローチャートである。まず、エラーチェッカは、どんな種類のエラーが発生したかの判断を行う（S 1 1 1）。エラーが発生していない場合（S 1 1 1，N o E r r o r）、エラーチェッカは、何もせず、このフローは終了する。U Eが発生した場合（S 1 1 1，U E）、エラーチェッカは、セクタ生成部1 2へU Eの通知を行い（S 1 1 2）、このフローは終了する。C Eが発生した場合（S 1 1 1，C E）、エラーチェッカは、C Eのコレクトを行い（S 1 1 3）、このフローは終了する。

20

【0 0 1 5】

例えば、B系でU Eが検出された場合、上述したセクタ生成部1 2の動作によりセクタ1 4は信号5 aを選択し、エラーが検出されたB系を切り離す。同様に、A系でU Eが検出された場合、上述したセクタ生成部1 2の動作によりセクタセクタ1 4は信号5 bを選択し、エラーが検出されたB系を切り離すことでシステムの保護を図っている。

30

【0 0 1 6】

また、エラーチェッカ（correctable error）がC Eを検出した場合について説明する。ここで、各系で割り込みによりC E処理を行うためのパスがある場合、C Eを検出した系は、割り込み処理へのマスクを行う。

【0 0 1 7】

なお、本発明の関連ある従来技術として、装置の動作の一時停止時間を短縮するフォルトトレラントコンピュータ装置とその再同期化方法がある（例えば、特許文献1参照）。

【特許文献1】特開2 0 0 4－4 6 5 9 9号公報

【発明の開示】

40

【発明が解決しようとする課題】

【0 0 1 8】

しかしながら、上述した情報処理システムのように、共通部1 5のU EがA系及びB系に伝播し、A系及びB系でエラーを認識するシステムで、且つ上述した動作を行うセクタ生成部1 2を有するシステムは、シングルモードよりミラーモードの方がエラーに対して弱くなるケースがある。

【0 0 1 9】

ポイズニングデータを認識できない処理装置2 a 0が共通部1 5内の資源にリードを行い、その対象がU Eであったケースについて説明する。ポイズニングデータとは、そのデータにエラーが検出された場合、そのエラーが既に検出済みであることを示すためにマー

50

キングされたデータである。シングルモードの場合、処理装置 2 a 0 が共通部 1 5 をリードした時にリード対象が U E であった場合、共通部 1 5 はデータをポイズニングして処理装置 2 a 0 にデータを返す。処理装置 2 a 0 はポイズニングデータを認識できない為、処理装置 2 a 0 内のエラーチェッカは、U E と認識し、エラーログの記録及びシステムの続行が出来るか否かの判断を下すことができる。これに対してミラーモードの場合、共通部 1 5 がポイズニングデータを返し、処理装置 2 a 0、2 b 0 内のエラーチェッカが同時に U E を認識すると、U E は系の切り離し対象のエラーである為、信号 1 1 a 0、1 1 b 0 が同時にアサートされ、システムが S T O P してしまう。

【0020】

また、各系において C E 検知時に割り込みによる C E 処理を処理するパスがある場合、シングルモードにおいては、C E 信号を検知すると C E ログの記録及びシステムの続行が可能である。しかし、前述の様にミラーモードにおいては、C E の割り込み処理へのマスクを行う為、C E ログの記録が出来ない。なぜならば、エラーログの記録のために系に割り込み処理を入れると、両系の同期が取れなくなるためである。このエラーログの記録は、ハードエラーの予兆監視の面から見てとても重要なものである。従って、ミラーモードにおける信頼性に対する弊害となっている。

【0021】

本発明は上述した問題点を解決するためになされたものであり、同期動作の信頼性を向上させる情報処理装置、エラー処理方法を提供することを目的とする。

【課題を解決するための手段】

【0022】

上述した課題を解決するため、本発明は、互いに同期動作を行うことができる 2 つの処理部を有する情報処理装置であって、前記 2 つの処理部へ同一の信号を出力することができる共通部と、前記処理部毎に備えられ、対応する処理部で発生したエラーを検出する検出部と、前記 2 つの処理部からの出力を比較する比較部と、前記検出部による検出結果と前記比較部による比較結果とに基づいて、前記処理部から前記共通部への信号の制御を行い、2 つの前記検出部により同時に同種のエラーが検出された場合、前記共通部のエラーと判定する制御部とを備える。

【0023】

また、本発明は、互いに同期動作を行うことができる 2 つの処理部を有する情報処理装置であって、前記 2 つの処理部へ同一の信号を出力することができる共通部と、前記処理部毎に備えられ、対応する処理部で発生したエラーを検出する検出部と、前記処理部毎に備えられ、対応する検出部により検出されたエラーに関する情報を記録する記録部と、前記 2 つの処理部からの出力を比較する比較部と、前記検出部による検出結果と前記比較部による比較結果とに基づいて、前記処理部から前記共通部への信号の制御を行う制御部とを備える。

【0024】

また、本発明は、互いに同期動作を行うことができる 2 つの処理部と、前記 2 つの処理部へ同一の信号を出力することができる共通部とを有する情報処理装置のエラー処理を行うエラー処理方法であって、前記処理部で発生したエラーを検出する検出ステップと、前記 2 つの処理部からの出力を比較する比較ステップと、前記検出ステップによる検出結果と前記比較ステップによる比較結果とに基づいて、前記処理部から前記共通部への信号の制御を行い、2 つの前記検出部により同時に同種のエラーが検出された場合、前記共通部のエラーと判定する信号制御ステップとを実行する。

【0025】

また、本発明は、互いに同期動作を行うことができる 2 つの処理部と、前記 2 つの処理部へ同一の信号を出力することができる共通部とを有する情報処理装置の制御を行うエラー処理方法であって、前記処理部で発生したエラーを検出する検出ステップと、検出ステップにより検出されたエラーに関する情報を記録する記録ステップと、前記 2 つの処理部からの出力を比較する比較ステップと、前記検出ステップによる検出結果と前記比較ステ

ップによる比較結果とに基づいて、前記処理部から前記共通部への信号の制御を行う制御ステップとを実行する。

【図面の簡単な説明】

【0026】

【図1】実施の形態1に係る情報処理システムの構成の一例を示すブロック図である。

【図2】実施の形態1に係るセクタ生成部におけるUE信号受信時の動作の一例を示す表である。

【図3】実施の形態1に係るセクタ生成部におけるエラー信号受信時の動作の一例を示すフローチャートである。

【図4】実施の形態2に係る情報処理システムの構成の一例を示すブロック図である。

10

【図5】実施の形態2に係るCE記録部の構成の一例を示す回路図である。

【図6】実施の形態2に係るエラーチェッカの動作の一例を示すフローチャートである。

【図7】実施の形態3に係る情報処理システムの構成の一例を示すブロック図である。

【図8】実施の形態3に係るセクタ生成部におけるCE信号受信時の動作の一例を示す表である。

【図9】実施の形態3に係るセクタ生成部におけるエラー信号受信時の動作のうち第1の処理を示すフローチャートである。

【図10】実施の形態3に係るセクタ生成部におけるエラー信号受信時の動作のうち第2の処理を示すフローチャートである。

【図11】実施の形態3に係るエラーチェッカの動作の一例を示すフローチャートである。

20

【図12】実施の形態3に係るシステムボードにおける処理S210の動作を示すブロック図である。

【図13】実施の形態3に係るシステムボードにおける処理S220の動作を示すブロック図である。

【図14】実施の形態3に係るシステムボードにおける処理S230の動作を示すブロック図である。

【図15】実施の形態3に係るシステムボードにおける処理S240の動作を示すブロック図である。

【図16】実施の形態3に係るシステムボードにおける処理S250の動作を示すブロック図である。

30

【図17】実施の形態3に係るシステムボードにおける処理S260の動作を示すブロック図である。

【図18】実施の形態3に係るシステムボードにおける処理S270の動作を示すブロック図である。

【図19】実施の形態3に係るシステムボードにおける処理S280の動作を示すブロック図である。

【図20】実施の形態3に係るシステムボードにおける処理S290の動作を示すブロック図である。

【図21】実施の形態3に係るシステムボードにおける処理S310の動作を示すブロック図である。

40

【図22】実施の形態3に係るシステムボードにおける処理S320の動作を示すブロック図である。

【図23】実施の形態3に係るシステムボードにおける処理S410の動作を示すブロック図である。

【図24】実施の形態3に係るシステムボードにおける処理S420の動作を示すブロック図である。

【図25】従来の情報処理システムの構成の一例を示すブロック図である。

【図26】従来のセクタ生成部におけるUE信号受信時の動作の一例を示す表である。

【図27】従来のセクタ生成部におけるエラー信号受信時の動作の一例を示すフローチ

50

ャートである。

【図 2 8】従来のエラーチェッカの動作の一例を示すフローチャートである。

【発明を実施するための最良の形態】

【0027】

以下、実施の形態の例について図面を参照しつつ説明する。

【0028】

実施の形態 1.

まず、本実施の形態に係る情報処理システム（情報処理装置）の構成について説明する。

【0029】

10

図 1 は、本実施の形態に係る情報処理システムの構成の一例を示すブロック図である。この図において、図 2 5 と同一符号は図 2 5 に示された対象と同一又は相当物を示しており、ここでの説明を省略する。この図は、図 2 5 と比較すると、セクタ生成部 1 2 の代わりにセクタ生成部 1 2 p を備える。

【0030】

次に、本実施の形態に係る情報処理システムの動作について説明する。

【0031】

この情報処理システムは、上述した従来の情報処理システムと同様、共通部 1 5 の U E が伝播する A 系及び B 系でエラーを認識する。

【0032】

20

次に、セクタ生成部 1 2 p におけるエラー信号受信時の動作について説明する。

【0033】

図 2 は、本実施の形態に係るセクタ生成部における U E 信号受信時の動作の一例を示す表である。この表は、図 2 6 と同様であるが、A 系と B 系で U E が検出され、且つ比較エラーがない場合（ケース番号＝5，7，9）、上述した所定の決定方法により信号 5 a，5 b のいずれかを選択する点が異なる。

【0034】

図 3 は、本実施の形態に係るセクタ生成部におけるエラー信号受信時の動作の一例を示すフローチャートである。この図において、図 2 7 と同一符号は図 2 7 に示された対象と同一又は相当物を示しており、ここでの説明を省略する。この図は、図 2 7 と比較すると、処理 S 2 4 の代わりに処理 S 3 1 を実行する。処理 S 2 1 において、U E が同時に A 系と B 系から受けたエラーである場合（S 2 1，同時）、セクタ生成部 1 2 p は、コンパレータ 9 による同期チェック結果の判断を行う（S 3 1）。同期エラーがない場合（S 3 1，エラーなし）、セクタ生成部 1 2 p は、上述した決定方法により信号 5 a，5 b のいずれかをセレクトし（S 3 2）、このフローは終了する。同期エラーである場合（S 3 1，同期エラー）、セクタ生成部 1 2 p は、信号をセレクトせず（S 3 3，エラーストップ）、このフローは終了する。

30

【0035】

各エラーチェッカ（エラーチェッカ 7 a，7 b、処理装置 2 a 0，2 a 1，2 b 0，2 b 1 内部のエラーチェッカ）の動作は、図 2 8 のエラーチェッカと同様である。

40

【0036】

上述したセクタ生成部 1 2 p によれば、例えば、処理装置 2 a 0、2 b 0 が共通部 1 5 内の資源にリードを行い、その対象が U E であった場合、A 系及び B 系が同時に U E を検知しても、上述した従来の情報処理システムの様にセクタ 1 4 によって停止することなく、共通部エラーと認識することが出来る。

【0037】

他の要因によりエラーが A 系及び B 系で同時に検知された場合でも、コンパレータ 9 の同期チェックにより比較エラーの場合（ケース番号＝6，8，10）は、エラーストップと判断するためシステムの信頼性は損なわれない。

【0038】

50

本実施の形態によれば、システムを停止する必要のない共通部エラーがA系及びB系に伝播した場合において、A系及びB系に伝播したエラーを共通部エラーと認識することが可能となり、ミラーモードの信頼性の向上へ繋がる。

【0039】

実施の形態2.

まず、本実施の形態に係る情報処理システム（情報処理装置）の構成について説明する。

【0040】

図4は、本実施の形態に係る情報処理システムの構成の一例を示すブロック図である。この図において、図25と同一符号は図25に示された対象と同一又は相当物を示しており、ここでの説明を省略する。この図は、図25と比較すると、新たに、CE記録部16a、16bを備える。CE記録部16aは、エラーチェッカ7a、処理装置2a0、2a1内部のエラーチェッカで検出されたCEのログを記録する。同様に、CE記録部16bは、エラーチェッカ7b、処理装置2b0、2b1内部のエラーチェッカで検出されたCEのログを記録する。CE記録部16a、16bに記録されたログは、情報処理システムの外部により読み出される。

10

【0041】

図5は、本実施の形態に係るCE記録部の構成の一例を示す回路図である。この図に示すように、CE記録部16a、16bは、簡単なカウンタ回路で構成される。この回路は、CE信号を受信する毎にカウンタとFF（フリップフロップ）を用いて、エラー回数を保持し、エラー回数がMax値に達するとMax回数を保持し続ける回路となっている。

20

【0042】

次に、各エラーチェッカ（エラーチェッカ7a、7b、処理装置2a0、2a1、2b0、2b1内部のエラーチェッカ）の動作について説明する。図6は、本実施の形態に係るエラーチェッカの動作の一例を示すフローチャートである。この図において、図28と同一符号は図28に示された対象と同一又は相当物を示しており、ここでの説明を省略する。この図は、図28と比較すると、処理S113の代わりに処理S123を実行する。処理S111において、CEが発生した場合（S111、CE）、エラーチェッカは、CEのコレクトを行うと共に、接続されたCE記録部にエラーログを記録させ（S123）、このフローは終了する。

30

【0043】

本実施の形態によれば、A系及びB系にCE記録部が備えられることにより、A系又はB系によるCE信号検知時にCEのログを記録しつつ、CE信号をコレクトし、系を切り離すことなくシステムを走行させることができる。従って、エラーログの収集の実現と共に、エラーの内容を利用したハードエラーの予兆監視への応用が期待でき、ミラーモードの信頼性の向上へ繋がる。

【0044】

実施の形態3.

まず、本実施の形態に係る情報処理システム（情報処理装置）の構成について説明する。

40

【0045】

本実施の形態に係る情報処理システムは、A系またはB系を制御システムから切り離しても再同期が可能であり、かつ、各系がCE検知時にCEのログを記録する機構を有している。

【0046】

図7は、本実施の形態に係る情報処理システムの構成の一例を示すブロック図である。この図において、図25と同一符号は図25に示された対象と同一又は相当物を示しており、ここでの説明を省略する。この図は、図25と比較すると、セクタ生成部12の代わりにセクタ生成部12qを備え、処理装置2a0、2a1、2b0、2b1の代わりに、それぞれ処理装置2a0q、2a1q、2b0q、2b1qを備える。更に、処理装

50

置 2 a 0 q で発生したエラーをセクタ生成部 1 2 q へ通知する信号 1 6 a 0、処理装置 2 a 1 q で発生したエラーをセクタ生成部 1 2 q へ通知する信号 1 6 a 1、処理装置 2 b 0 q で発生したエラーをセクタ生成部 1 2 q へ通知する信号 1 6 b 0、処理装置 2 b 1 q で発生したエラーをセクタ生成部 1 2 q へ通知する信号 1 6 b 1 を備える。

【0047】

処理装置 2 a 0 q、2 a 1 q、2 b 0 q、2 b 1 q は、例えば CPU であり、それぞれ CE 検知時に割り込みにより CE のログを記録する CE 記録機能を有する。

【0048】

次に、本実施の形態に係る情報処理システムの動作について説明する。

【0049】

まず、セクタ生成部 1 2 q における CE 信号受信時の動作について説明する。

【0050】

図 8 は、本実施の形態に係るセクタ生成部における CE 信号受信時の動作の一例を示す表である。この表は、ケース番号毎に、A 系エラー信号（信号 1 6 a 0、1 6 a 1）、B 系エラー信号（信号 1 6 b 0、1 6 b 1）、同期エラー（比較エラー、信号 1 0）の内容に対して、セクタ生成部 1 2 q の出力であるセレクト信号 1 3 の内容を示す。セレクト信号 1 3 の内容は、信号 5 a、5 b、エラーストップのいずれかを示す。セレクト信号 1 3 の内容が「5 a / 5 b どちらでも OK」と記されている場合、セクタ生成部 1 2 q は、信号 5 a、5 b のどちらを選択しても良く、上述した決定方法により信号 5 a、5 b のいずれかを選択する。

【0051】

図 9 は、本実施の形態に係るセクタ生成部におけるエラー信号受信時の動作のうち第 1 の処理を示すフローチャートである。図 10 は、本実施の形態に係るセクタ生成部におけるエラー信号受信時の動作のうち第 2 の処理を示すフローチャートである。図 9 と図 10 において、図 27 と同一符号は図 27 に示された対象と同一又は相当物を示しており、ここでの説明を省略する。まず、セクタ生成部 1 2 q は、エラーの通知を受けたか否かの判断を行う（S1）。

【0052】

エラーの通知を受けた場合（S1、Yes）、セクタ生成部 1 2 q は、通知の中に UE があるか否かの判断を行う（S2）。UE がある場合（S2、UE）、セクタ生成部 1 2 q は、従来の処理 S21 以降と同様の処理を行う。CE がある場合（S2、CE Only）、セクタ生成部 1 2 q は、CE がどこで発生したかの判断を行う（S71）。

【0053】

処理 S71 において CE が A 系からのエラーである場合（S71、A 系エラー）、セクタ生成部 1 2 q は、コンパレータ 9 による同期チェック結果の判定を行い、同期エラーがない場合（S72、エラーなし）、信号 5 a をセレクトし（S73）、同期エラーがある場合（S72、同期エラー）、信号をセレクトせず（S74、エラーストップ）、このフローは終了する。

【0054】

処理 S71 において CE が B 系からのエラーである場合（S71、B 系エラー）、セクタ生成部 1 2 q は、コンパレータ 9 による同期チェック結果の判定を行い、同期エラーがない場合（S75、エラーなし）、信号 5 b をセレクトし（S76）、同期エラーがある場合（S75、同期エラー）、信号をセレクトせず（S77、エラーストップ）、このフローは終了する。

【0055】

処理 S71 において CE が A 系と B 系から同時に通知されたエラーである場合（S71、同時）、セクタ生成部 1 2 q は、コンパレータ 9 による同期チェック結果の判定を行い、同期エラーがない場合（S78、エラーなし）、上述した決定方法により信号 5 a、5 b のいずれかをセレクトし（S79）、同期エラーがある場合（S78、同期エラー）、信号をセレクトせず（S80、エラーストップ）、このフローは終了する。

【0056】

処理S1において、エラーの通知を受けていない場合（S1, No）、セクタ生成部12qは、従来の処理S61以降と同様の処理を行う。

【0057】

次に、各エラーチェッカ（エラーチェッカ7a, 7b、処理装置2a0q, 2a1q, 2b0q, 2b1q内部のエラーチェッカ）の動作について説明する。図11は、本実施の形態に係るエラーチェッカの動作の一例を示すフローチャートである。この図において、図28と同一符号は図28に示された対象と同一又は相当物を示しており、ここでの説明を省略する。この図は、図28と比較すると、処理S113の代わりに処理S133を実行する。処理S111においてCEが発生した場合（S111, CE）、エラーチェッカは、CEのコレクトを行うと共に、接続されたセクタ生成部12qにCEを通知し（S133）、このフローは終了する。

10

【0058】

処理装置2a0q内部のエラーチェッカは、CEを検知するとセクタ生成部12qへエラー信号16a0を送信する。CE信号を受信したセクタ生成部12qは、エラーが検出されたA系の信号5aを選択し、エラーが検出されていない方のB系をシステムから切り離す。その後、エラーが検出された系の処理装置2a0qは、CE信号をコレクトし、割り込みによりCE記録機能がエラーログを記録する。

【0059】

ログ記録後、セクタ生成部12qは、切り離したB系を再びシステムに接続し両系の同期を図る再同期化を行う。従って、CEのログを記録しつつ、システムの同期を維持することができる。また、処理装置がCEのログを記録することより、外部からCEログの記録を読み出す為の機構は必要としないため、実施の形態2のようなCE記録部を挿入する必要はない。

20

【0060】

次に、再同期化の動作の一例について説明する。

【0061】

以下、本実施の形態の情報処理システムをシステムボード（SB）60とし、処理装置2a0q, 2a1q, 2b0q, 2b1qをそれぞれCPU70, CPU71, CPU72, CPU73とし、制御システム1をノースブリッジ80とした例を用いて、再同期化の動作を説明する。

30

【0062】

本実施の形態における再同期化とは、CPU再同期化を短時間（OSのタイムアウト検出期間内）で行うことにより、OS稼働中の再同期化を実現する技術である。

【0063】

まず、ノースブリッジ80が、片方の系のCPUでのエラーによる冗長（同期）崩れを検出する（S210）。図12は、本実施の形態に係るシステムボードにおける処理S210の動作を示すブロック図である。ここでは、B系のCPU72に異常が発生した場合を示す。また、CPU70とCPU72、CPU71とCPU73がそれぞれ同期運転による冗長化されたCPUペアであるとする。

40

【0064】

次に、ノースブリッジ80は、異常CPU72に接続されたCPUバスの動作を停止させ、以降の当該CPUバスから外部への命令発行を停止する（S220）。図13は、本実施の形態に係るシステムボードにおける処理S220の動作を示すブロック図である。

【0065】

次に、ノースブリッジ80は、冗長構成のペアになっている正常CPUバスへ片系停止を割り込み通知する（S230）。図14は、本実施の形態に係るシステムボードにおける処理S230の動作を示すブロック図である。ここで、ノースブリッジ80は、正常CPU70, 71に対してB系停止を通知する。

【0066】

50

次に、ノースブリッジ80は、外部からの命令を抑止するため、外部命令をR e t r yさせ続ける（S240）。図15は、本実施の形態に係るシステムボードにおける処理S240の動作を示すブロック図である。この図に示すように、システムボード60のノースブリッジ80は、グローバルアドレスクロスバー62を介してシステムボード（SB）61のノースブリッジ81に接続されている。ここで、システムボード61のノースブリッジ81がシステムボード60への命令を発行すると、その命令はグローバルアドレスクロスバー62を介して（S241）、システムボード60へ送られる（S242）。その命令を受け取ったシステムボード60のノースブリッジ80は、システムボード61へのR e t r yを発行し、そのR e t r yはグローバルアドレスクロスバー62を介して（S243）、システムボード61へ送られる（S244）。 10

【0067】

次に、ノースブリッジ80は、正常CPUから再同期化時に最低限必要なCPU内部情報をメモリへ退避させるように、ファームウェア指示を出す（S250）。図16は、本実施の形態に係るシステムボードにおける処理S250の動作を示すブロック図である。ここで、ノースブリッジ80は、正常CPU70、71に対して、CPU内部情報をメモリ74へ退避するように指示する。

【0068】

次に、ノースブリッジ80からの指示を受けた正常CPU70、71は、その指示に従ってキャッシュデータ（CPU内部情報）をメモリ74へ書き出す（S260）。図17は、本実施の形態に係るシステムボードにおける処理S260の動作を示すブロック図である。 20

【0069】

次に、ノースブリッジ80は、正常CPU全てのキャッシュデータのメモリ書き出しが完了した時点で、ノースブリッジ80内部のスヌープタグ（各CPUのキャッシュステート情報）をクリアする（S270）。図18は、本実施の形態に係るシステムボードにおける処理S270の動作を示すブロック図である。

【0070】

次に、ノースブリッジ80は、各CPU70、71、72、73に対して同時にCPUリセット発行を行い、CPUの同期運転を再開させる（S280）。図19は、本実施の形態に係るシステムボードにおける処理S280の動作を示すブロック図である。 30

【0071】

次に、ノースブリッジ80は、各CPU70、71、72、73の初期化を行い、処理S260でメモリへ退避した情報を各CPUベアへ復元する（S290）。図20は、本実施の形態に係るシステムボードにおける処理S290の動作を示すブロック図である。

【0072】

ここでの状態に応じて次の2つのケースのいずれかが実行される。

【0073】

第1のケースは、全てのCPUにおいて、初期化および内部情報の復元が完了した場合である。その時点で、ノースブリッジ80は、処理S240で行った外部命令の抑止を解除する（S310）。図21は、本実施の形態に係るシステムボードにおける処理S310の動作を示すブロック図である。 40

【0074】

次に、ノースブリッジ80は、運用を再開し（S320）、再同期化は終了する。図22は、本実施の形態に係るシステムボードにおける処理S320の動作を示すブロック図である。この図に示すように、その後、ノースブリッジ81がノースブリッジ80への命令を発行すると、その命令はグローバルアドレスクロスバー62を介して（S321）、ノースブリッジ80へ送られる（S322）。その命令を受け取って処理したノースブリッジ80は、ノースブリッジ81への応答を発行し、その応答はグローバルアドレスクロスバー62を介して（S323）、ノースブリッジ81へ送られる（S324）。 50

【0075】

なお、ノースブリッジ80は、再同期化実施回数のカウントを行うと共に、そのカウントに対して再同期可能上限回数を設定しておき、実施回数 $\geq$ 上限回数となった場合は、再同期化を実施せずに異常発生CPUバスの停止のみ行い、正常なCPUバスのみの片系運転でシステムの継続運転を行う。

【0076】

第2のケースは、CPUの初期化および内部情報の復元が全て完了せず、再同期化の最中に再度処理S210のような同期崩れが発生した場合である。この場合、ノースブリッジ80は、再同期化を中断し、正常なCPUバスのみの片系運転を行い、処理S240で行った外部命令の抑止を解除する（S410）。図23は、本実施の形態に係るシステムボードにおける処理S410の動作を示すブロック図である。

10

【0077】

次に、ノースブリッジ80は、運用を再開し（S420）、再同期化は終了する。図24は、本実施の形態に係るシステムボードにおける処理S420の動作を示すブロック図である。この図に示すように、その後、ノースブリッジ81がノースブリッジ80への命令を発行すると、処理S321～S324が実行される。

【0078】

本実施の形態によれば、A系及びB系の処理装置のソフトがCE信号検出時にログを記録する機能を有し、且つA系またはB系によるCE信号検出時にCEが検出されていない方の系をシステムから切り離すことにより、処理装置のソフトを用いて実施の形態2より詳細なエラーログの収集が可能となる。詳細なエラーログの収集の実現によりハードウェアの予兆監視への応用が期待でき、ミラーモードの信頼性の向上へ繋がる。

20

【0079】

なお、上述した実施の形態1，2，3は、互いに組み合わせても良い。

【0080】

なお、処理部は、実施の形態におけるA系またはB系に対応する。また、検出部は、実施の形態におけるエラーチェッカに対応する。また、比較部は、実施の形態におけるコンパレータに対応する。また、制御部は、実施の形態におけるセクタ生成部に対応する。また、記録部は、実施の形態におけるCE記録部または処理装置におけるCE記録機能に対応する。

【0081】

30

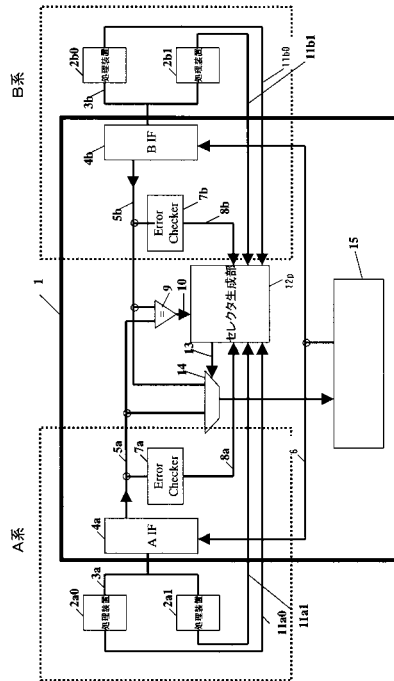
また、検出ステップは、実施の形態におけるエラーチェッカの処理に対応する。また、比較ステップは、実施の形態におけるコンパレータの処理に対応する。また、制御ステップは、実施の形態におけるセクタ生成部の処理に対応する。また、記録ステップは、実施の形態におけるCE記録部の処理または処理装置におけるCE記録機能に対応する。また、再同期ステップは、実施の形態における再同期化に対応する。

【産業上の利用可能性】

【0082】

以上説明したように、本発明によれば、同期動作の信頼性を向上させることができる。

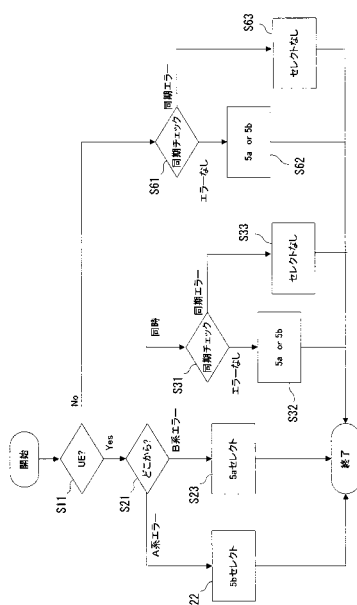
【図 1】



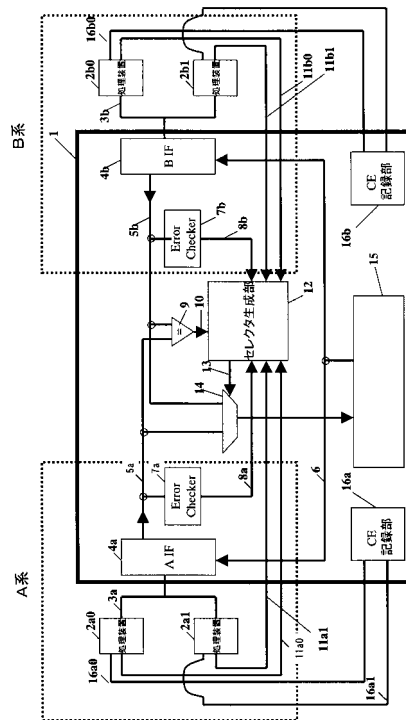
【図 2】

ケース番号	変位記号	日本エナジー	日本エナジー	変位記号	日本エナジー	変位記号
10	11a1	10	11a1	10	11a1	10
1	No Error	No Error	No Error	No Error	No Error	No Error
2	No Error	No Error	No Error	No Error	No Error	No Error
3	No Error	No Error	No Error	No Error	No Error	No Error
4	No Error	No Error	No Error	No Error	No Error	No Error
5	No Error	No Error	No Error	No Error	No Error	No Error
6	No Error	No Error	No Error	No Error	No Error	No Error
7	No Error	No Error	No Error	No Error	No Error	No Error
8	No Error	No Error	No Error	No Error	No Error	No Error
9	No Error	No Error	No Error	No Error	No Error	No Error
10	No Error	No Error	No Error	No Error	No Error	No Error

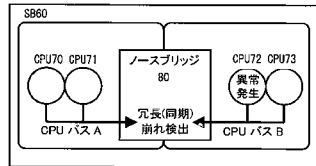
【図 3】



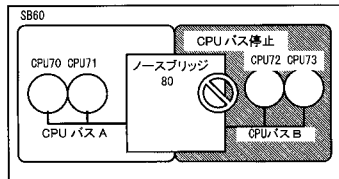
【図 4】



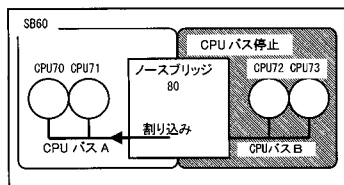
【図 12】



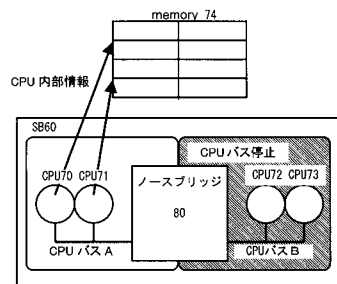
【図 13】



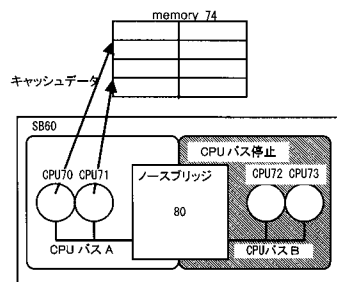
【図 14】



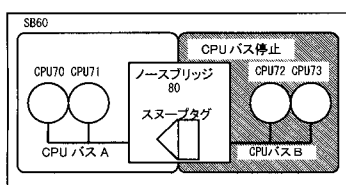
【図 16】



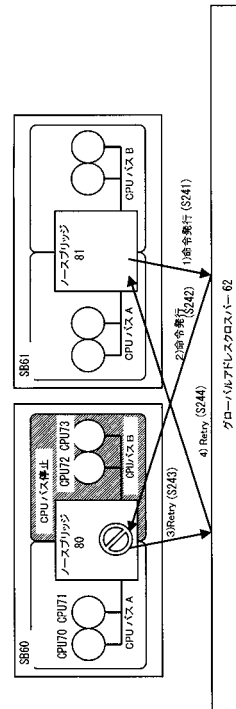
【図 17】



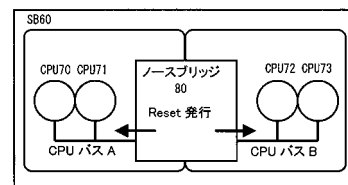
【図 18】



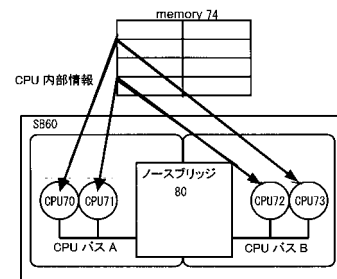
【図 15】



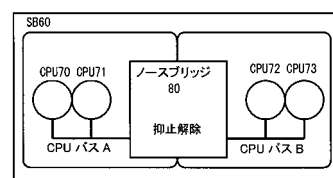
【図 19】



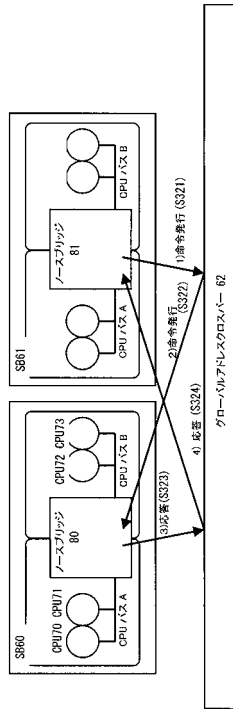
【図 20】



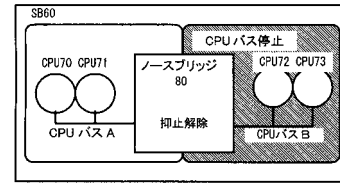
【図 21】



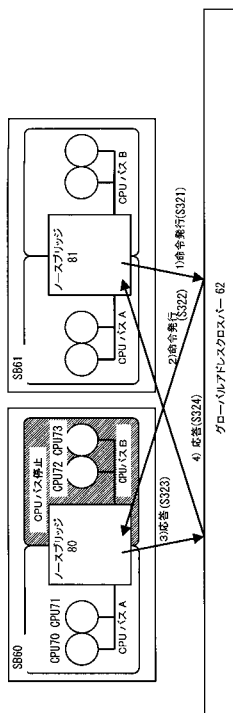
【図 22】



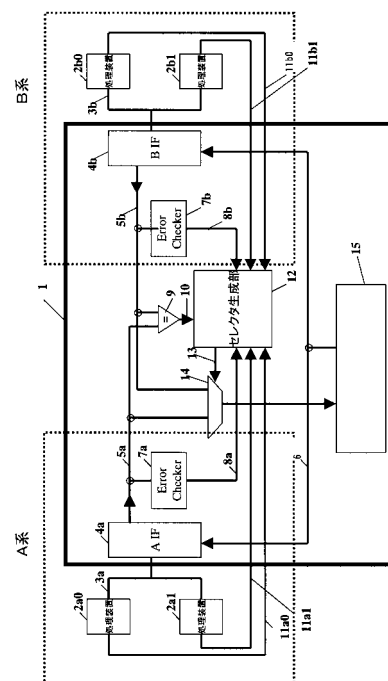
【図 23】



【図 24】



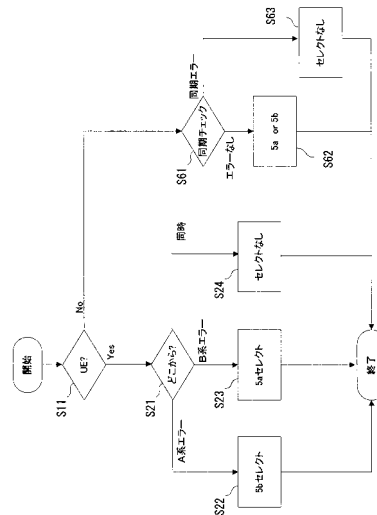
【図 25】



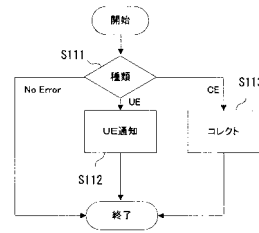
【図 26】

ケース番号	A系エラー	通知種別	自系エラー	通知番号	比較エラー	セレクト番号
1	11a	11b	11b1	11b1	No Error	10 家の状態 OK
2	No Error	No Error	No Error	No Error	Error	エラーストップ
3	No Error	No Error	No Error	No Error	No Error	エラーストップ
4	A系エラー	家の状態のError	No Error	No Error	No Error	家の状態セレクト
5	No Error	No Error	No Error	No Error	No Error	家の状態セレクト
6	No Error	Error	No Error	No Error	No Error	家の状態セレクト
7	No Error	No Error	No Error	No Error	No Error	家の状態セレクト
8	No Error	No Error	No Error	No Error	No Error	家の状態セレクト
9	No Error	Error	No Error	No Error	No Error	家の状態セレクト
10	No Error	Error	No Error	No Error	No Error	家の状態セレクト
11	上記以外の請求エラー	No Error	No Error	No Error	Error	エラーストップ

【図 27】



【図 28】



フロントページの続き

- (72)発明者 畑井田 誠
神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
- (72)発明者 細川 由佳
神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
- (72)発明者 大脇 威
神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
- (72)発明者 山本 崇史
神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
- (72)発明者 伊藤 大介
神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

審査官 塚田 肇

- (56)参考文献 特開平04-153838 (JP, A)
特開平07-271626 (JP, A)
特開2005-165807 (JP, A)
特開2006-209565 (JP, A)

- (58)調査した分野(Int.Cl., DB名)
G06F 11/16-11/20