



(12) 发明专利

(10) 授权公告号 CN 101971264 B

(45) 授权公告日 2015.04.08

(21) 申请号 200980108593.0

(22) 申请日 2009.03.11

(30) 优先权数据
12/046,307 2008.03.11 US

(85) PCT国际申请进入国家阶段日
2010.09.10

(86) PCT国际申请的申请数据
PCT/US2009/001573 2009.03.11

(87) PCT国际申请的公布数据
W02009/114162 EN 2009.09.17

(73) 专利权人 美光科技公司
地址 美国爱达荷州

(72) 发明人 刘峻 迈克尔·P·瓦奥莱特

(74) 专利代理机构 北京律盟知识产权代理有限公司
代理人 宋献涛

(51) Int. Cl.
G11C 16/34(2006.01)
H01L 27/115(2006.01)

(56) 对比文件
US 6855975 B2, 2005.02.15, 说明书摘要, 第6栏.
US 6855975 B2, 2005.02.15,
CN 101154667 A, 2008.04.02, 说明书第5-11页, 图2, 3, 5.
CN 1965418 A, 2007.05.16, 说明书第9, 10

页, 图 11.
WO 2006077747 A1, 2006.07.27, 说明书第7, 8页.
US 2007285967 A1, 2007.12.13, 全文.
US 2006239058 A1, 2006.10.26, 全文.
CN 1651496 A, 2005.08.10, 全文.
CN 1647292 A, 2005.07.27, 全文.
US 6867996 B2, 2005.03.15, 全文.
CN 1075377 A, 1993.08.18, 全文.
US 5991193 A, 1999.11.23, 全文.
EP 1873832 A1, 2008.01.02, 全文.
CN 1078574 A, 1993.11.17, 全文.
I. G. Baek 等. Multi-layer Cross-point Binary Oxide Resistive Memory (OxRRAM) for Post-NAND Storage Application. 《IDEM 2005》. 2005,
Myoung-Jae Lee 等. Two Series Oxide Resistors Applicable to High Speed and. 《Advanced Materials》. 2007, 第19卷(第22期),
Myoung-Jae Lee 等. Two Series Oxide Resistors Applicable to High Speed and. 《Advanced Materials》. 2007, 第19卷(第22期),
Myoung-Jae Lee 等. 2-stack ID-IR

(续)

审查员 李乐

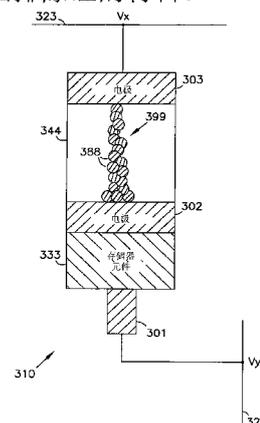
权利要求书3页 说明书14页 附图20页

(54) 发明名称
具有电阻性存取组件的非易失性存储器

(57) 摘要

一些实施例包括具有存储器元件及存取组件的设备及方法, 所述存储器元件经配置以存储信息, 且所述存取组件经配置以当在跨越所述存储器元件及所述存取组件的第一方向上的第一电压差超过第一电压值时允许电流传导通过所述存储器元件, 且当在跨越所述存储器元件及所述存取组件的第二方向上的第二电压差超过第二电压值时阻止电流传导通过所述存储器元件, 其中所述

存取组件包括排除硅的材料。



[转续页]

[接上页]

(56) 对比文件

Cross-point Structure with Oxide Diodes as
Switch Elements for High Density Resistance
RAM Applications. 《IEDM 2007》.2007,
Myoung-Jae Lee 等 .A

Low-Temperature-Grown Oxide Diode as a
New Switch Element for High-Density,
Nonvolatile Memories. 《Advanced
Materials》.2007, 第 19 卷 (第 1 期),

1. 一种具有电阻性存取组件的设备,其包含:

非易失性存储器元件,其经配置以存储信息,所述存储器元件包括单极切换存储器材料,其中所述单极切换存储器材料指的是这样的材料,该材料可在电阻方面切换,以使得该材料可当一个电压在一个方向上施加到该材料时具有一个电阻,且当具有相同极性的另一电压在同一方向上施加到该材料时具有另一电阻;以及

存取组件,其经配置以当在跨越所述存储器元件及所述存取组件的第一方向上的第一电压差超过第一电压值时允许电流传导通过所述存储器元件,且当在跨越所述存储器元件及所述存取组件的第二方向上的第二电压差超过第二电压值时阻止电流传导通过所述存储器元件,其中所述存取组件包括第一硒化锗(GeSe)层、硒化银(AgSe)层或硒化锡(SnSe)层、第二硒化锗(GeSe)层、银层及第三硒化锗(GeSe)层。

2. 根据权利要求1所述的设备,其中所述存取组件的电流对电压特性包括所述第一电压值与所述第二电压值之间的滞后切换区。

3. 根据权利要求1所述的设备,其中所述第一电压值大于所述第二电压值。

4. 根据权利要求1所述的设备,其中所述存取组件包括传导路径,所述传导路径是当所述第一电压差超过所述第一电压值时由所述存取组件的材料的离子及空位中的一者形成。

5. 根据权利要求4所述的设备,其中当所述第二电压差超过所述第二电压值时所述传导路径为不连续的。

6. 根据权利要求1所述的设备,其中所述存取组件及所述存储器元件具有圆柱形结构。

7. 一种具有电阻性存取组件的设备,其包含:

非易失性存储器元件,其经配置以存储信息,所述存储器元件包括单极切换存储器材料,其中所述单极切换存储器材料指的是这样的材料,该材料可在电阻方面切换,以使得该材料可当一个电压在一个方向上施加到该材料时具有一个电阻,且当具有相同极性的另一电压在同一方向上施加到该材料时具有另一电阻;以及

存取组件,其与所述存储器元件串联耦合于第一电极与第二电极之间且经配置以允许电流传导通过所述存储器元件,所述存取组件包括双极切换材料并且包括第一硒化锗(GeSe)层、硒化银(AgSe)层或硒化锡(SnSe)层、第二硒化锗(GeSe)层、银层及第三硒化锗(GeSe)层,其中双极切换材料指的是这样的材料,该材料可在电阻方面切换,以使得该材料可当具有一极性的电压在一个方向上施加到该材料时接通以具有接通电阻状态,且当具有相反极性的另一电压在同一方向上施加到该材料时断开以具有断开电阻状态。

8. 根据权利要求7所述的设备,其中所述单极切换存储器材料包括硫族化物材料。

9. 根据权利要求7所述的设备,其中所述第一硒化锗(GeSe)层具有约15纳米(nm)的厚度,所述硒化银(AgSe)层具有约47nm的厚度,所述第二硒化锗(GeSe)层具有约15nm的厚度,所述银层具有约20nm的厚度,且所述第三硒化锗(GeSe)层具有约10nm的厚度。

10. 一种具有电阻性存取组件的设备,其包含:

第一装置层级,其包括耦合于第一电极与第二电极之间的第一存储器单元;以及

第二装置层级,其堆叠于所述第一装置层级上方,所述第二装置层级包括耦合于第三电极与第四电极之间的第二存储器单元,所述第一存储器单元及所述第二存储器单元中的

每一者包括非易失性存储器元件及耦合到所述存储器元件的存取组件,其中所述非易失性存储器元件包括单极切换存储器材料,且所述存取组件包括第一硒化锗(GeSe)层、硒化银(AgSe)层或硒化锡(SnSe)层、第二硒化锗(GeSe)层、银层及第三硒化锗(GeSe)层,其中所述单极切换存储器材料指的是这样的材料,该材料可在电阻方面切换,以使得该材料可当一个电压在一个方向上施加到该材料时具有一个电阻,且当具有相同极性的另一电压在同一方向上施加到该材料时具有另一电阻。

11. 根据权利要求 10 所述的设备,其进一步包含耦合到所述第一电极的第一导电线、耦合到所述第四电极的第二导电线以及耦合到所述第二电极与所述第三电极的第三导电线。

12. 根据权利要求 11 所述的设备,其中所述第一导电线大体上平行于所述第二导电线,且其中所述第三导电线大体上垂直于所述第一导电线及所述第二导电线。

13. 根据权利要求 11 所述的设备,其中所述第一存储器单元经配置以当所述第一导电线上的信号的电压值大于所述第三导电线上的信号的电压值时在所述第一电极与所述第二电极之间传导电流,且其中所述第二存储器单元经配置以当所述第三导电线上的信号的电压值大于所述第二导电线上的信号的电压值时在所述第三电极与所述第四电极之间传导电流。

14. 根据权利要求 11 所述的设备,其中所述单极切换存储器材料包括相变材料。

15. 根据权利要求 14 所述的设备,其中所述相变材料包括锗、锑及碲的化合物。

16. 根据权利要求 14 所述的设备,其中所述存取组件进一步包括银掺杂的硒化锗(GeSe)。

17. 根据权利要求 14 所述的设备,其中所述存取组件进一步包括银掺杂的硫化锗(GeS)。

18. 一种使用电阻性存取组件的方法,其包含:

施加第一信号以在跨越存储器装置的非易失性存储器单元的存储器元件及存取组件的第一方向上产生第一电压差以接通所述存取组件,其中所述存储器元件包括单极切换存储器材料,其中所述单极切换存储器材料指的是这样的材料,该材料可在电阻方面切换,以使得该材料可当一个电压在一个方向上施加到该材料时具有一个电阻,且当具有相同极性的另一电压在同一方向上施加到该材料时具有另一电阻;以及

施加第二信号以在跨越所述存储器元件及所述存取组件的第二方向上产生第二电压差以断开所述存取组件,其中所述第一电压差超过第一电压值且所述第二电压差超过第二电压值,且其中所述存取组件包括第一硒化锗(GeSe)层、硒化银(AgSe)层或硒化锡(SnSe)层、第二硒化锗(GeSe)层、银层及第三硒化锗(GeSe)层。

19. 根据权利要求 18 所述的方法,其进一步包含:

当所述存取组件接通时施加额外电流通过所述存储器元件及所述存取组件以确定所述存储器元件的材料的电阻。

20. 根据权利要求 18 所述的方法,其进一步包含:

当所述存取组件接通时施加额外电流通过所述存储器元件及所述存取组件以将所述存储器元件的材料的电阻从第一电阻值改变到第二电阻值。

21. 一种形成具有电阻性存取元件的设备的方法,其包含:

形成非易失性存储器单元的存储器元件,其中所述存储器元件包括单极切换存储器材料,其中所述单极切换存储器材料指的是这样的材料,该材料可在电阻方面切换,以使得该材料可当一个电压在一个方向上施加到该材料时具有一个电阻,且当具有相同极性的另一电压在同一方向上施加到该材料时具有另一电阻;以及

形成存取组件以当在跨越所述存储器元件及所述存取组件的第一方向上的第一电压差超过第一电压值时允许电流传导通过所述存储器元件,且当在跨越所述存储器元件及所述存取组件的第二方向上的第二电压差超过第二电压值时阻止电流传导通过所述存储器元件,其中所述存取组件包括第一硒化锗(GeSe)层、硒化银(AgSe)层或硒化锡(SnSe)层、第二硒化锗(GeSe)层、银层及第三硒化锗(GeSe)层。

22. 根据权利要求 21 所述的方法,其中形成所述存储器元件及所述存取组件包括:

在所述非易失性存储器单元的电极上方沉积多个材料层;以及

移除所述多个层中的每一层的一部分以形成耦合到所述电极的柱,所述存储器元件为所述柱的第一部分且所述存取组件为所述柱的第二部分。

23. 根据权利要求 22 所述的方法,其中所述柱包括具有大体上圆形形状的横截面。

24. 根据权利要求 22 所述的方法,其中沉积所述多个材料层包括沉积接触所述电极的单极切换存储器材料及在所述单极切换存储器材料上方沉积双极切换材料。

25. 根据权利要求 24 所述的方法,其中所述单极切换存储器材料包括相变材料。

26. 根据权利要求 22 所述的方法,其中所述柱的第三部分形成所述非易失性存储器单元的额外电极,且其中所述存储器元件及所述存取组件位于所述电极与所述额外电极之间。

27. 根据权利要求 22 所述的方法,其进一步包含:

在所述柱上方沉积多个额外材料层;以及

移除所述多个额外层中的每一层的一部分以形成额外柱,所述额外柱包括形成额外存储器单元的存储器元件的第一部分及形成所述额外存储器单元的存取组件的第二部分。

28. 根据权利要求 27 所述的方法,其进一步包含:

在所述柱上方沉积所述多个额外层之前,在所述柱上方形成额外电极,所述额外电极直接接触所述柱且直接接触所述额外柱。

具有电阻性存取组件的非易失性存储器

[0001] 相关申请案

[0002] 本专利申请案主张 2008 年 3 月 11 日申请的第 12/046,307 号美国申请案的优先权权益,所述美国申请案以引用方式并入本文。

背景技术

[0003] 计算机及其它电子产品(例如,数字电视、数字相机及蜂窝式电话)通常具有带有许多用于存储数据及其它信息的存储器单元的存储器装置。一些常规存储器装置可基于存储器单元的存储节点上的电荷量来存储信息。存储节点上的电荷的不同值可表示存储器单元中所存储的信息的不同值(例如,二进制值“0”及“1”)。存储节点通常包括例如硅等半导体材料。

[0004] 一些其它常规存储器装置(例如,相变存储器装置)可基于存储器单元的存储器元件的电阻状态(而非电荷量)来存储信息。存储器元件可包括相变材料,其可经写入(例如,经编程)以在不同相(例如,结晶相及非晶相)之间改变。材料的不同相可使存储器单元具有不同电阻状态以表示存储器单元中所存储的信息的不同值。

[0005] 这些存储器装置(例如,相变存储器装置)中的存储器单元常包括存取组件以允许进行对存储器元件的存取。在一些状况下,存取组件的材料及存储器元件的材料可具有不同过程温度容差。因此,制造一些常规存储器装置可造成制造工艺挑战。

附图说明

[0006] 图 1 展示根据本发明的实施例的具有存储器阵列的存储器装置的框图,所述存储器阵列具有存储器单元。

[0007] 图 2 展示根据本发明的实施例的具有存储器阵列的存储器装置的部分框图,所述存储器阵列包括具有存取组件及存储器元件的相变存储器单元。

[0008] 图 3 展示根据本发明的实施例的具有离子传导路径的存储器单元的横截面。

[0009] 图 4 为图 3 的存储器单元的存取组件的电流对电压(I-V)特性的实例实施例。

[0010] 图 5 展示根据本发明的实施例的包括具有离子传导硫族化物材料的存取组件的存储器单元的横截面。

[0011] 图 6 展示根据本发明的实施例的包括具有二元金属氧化物材料的存取组件的存储器单元的横截面。

[0012] 图 7 展示根据本发明的实施例的包括具有钙钛矿氧化物材料的存取组件的存储器单元的横截面。

[0013] 图 8 展示根据本发明的实施例的具有存储器阵列的存储器装置的部分示意图。

[0014] 图 9 展示根据本发明的实施例的具有位于单一装置层级上的存储器单元的存储器装置的部分三维(3-D)视图。

[0015] 图 10 展示根据本发明的实施例的具有堆叠于多个装置层级上的存储器单元的存储器装置的部分 3-D 视图。

[0016] 图 11 展示根据本发明的实施例的具有堆叠于多个装置层级上的存储器单元的存储器装置的部分 3-D 视图,其中共享传导线位于装置层级之间。

[0017] 图 12 到图 17 展示根据本发明的实施例的形成具有存储器单元的存储器装置的各种工艺。

[0018] 图 18 及图 19 展示根据本发明的实施例的形成具有多个装置层级的存储器装置的各种工艺。

[0019] 图 20 到图 24 展示根据本发明的实施例的形成具有多个装置层级的存储器装置的各种工艺,所述多个装置层级具有共享传导线。

具体实施方式

[0020] 图 1 展示根据本发明的实施例的具有存储器阵列 102 的存储器装置 100 的框图,所述存储器阵列 102 具有存储器单元 110。存储器单元 110 可与线 123(例如,具有信号 V_{x0} 到 V_{xM} 的字线)及线 124(例如,具有信号 V_{y0} 到 V_{yN} 的位线)一起以行及列布置。存储器装置 100 可使用线 123 及线 124 来传送存储器单元 110 内的信息。存储器单元 110 可物理地位于多个装置层级上,以使得一个群组的存储器单元 110 可堆叠于一个或一个以上群组的其它存储器单元 110 上。行解码器 132 及列解码器 134 可解码线 125(例如,地址线)上的地址信号 A_0 到 A_X 以确定待存取哪些存储器单元 110。行解码器 132 的行层级解码器 136 及列解码器 134 的列层级解码器 138 可分别确定待存取的存储器单元 110 位于装置 100 的多个装置层级中的哪一层级上。

[0021] 读出放大器电路 140 可操作以确定从存储器单元 110 读取的信息的值,且以信号的形式将信息提供到线 123 或线 124。读出放大器电路 140 也可使用线 123 或线 124 上的信号以确定待写入到存储器单元 110 的信息的值。存储器装置 100 可包括电路 150,其在存储器阵列 102 与线(例如,数据线)126 之间传送信息。线 126 上的信号 DQ_0 到 DQ_N 可表示从存储器单元 110 读取的信息或写入到存储器单元 110 中的信息。线 126 可包括存储器装置 100 内的节点或一封装上的引脚(或焊球),存储器装置 100 可常驻于所述封装中。存储器装置 100 外部的其它装置(例如,存储器控制器或处理器)可经由线 125、126 及 127 与存储器装置 100 通信。

[0022] 存储器装置 100 可执行若干存储器操作,例如,用于从存储器单元 110 读取信息的读取操作及用于将信息写入(例如,编程)到存储器单元 110 中的写入操作(有时被称作编程操作)。存储器控制单元 118 可基于线 127 上的控制信号来控制存储器操作。线 127 上的控制信号的实例可包括一个或一个以上时钟信号及用于指示存储器装置 100 可执行哪一操作(例如,写入或读取操作)的其它信号。存储器装置 100 外部的其它装置(例如,处理器或存储器控制器)可控制线 127 上的控制信号的值。线上的信号的组合的特定值可产生可使存储器装置 100 执行对应存储器操作(例如,写入或读取操作)的命令(例如,写入或读取命令)。

[0023] 存储器单元 110 中的每一者可经写入以存储表示单一位(二进制位)的值或多个位(例如,两个、三个、四个或其它数目的位)的值的值的信息。举例来说,存储器单元 110 中的每一者可经写入以存储表示单一位的二进制值“0”或“1”的信息。在另一实例中,存储器单元 110 中的每一者可经写入以存储表示多个位的值(例如,两个位的四个可能值“00”、

“01”、“10”及“11”中的一者、八个可能值“000”、“001”、“010”、“011”、“100”、“101”、“110”及“111”中的一者,或其它数目的多个位的其它值中的一者)的信息。

[0024] 存储器装置 100 可分别在线 141 及 142 上接收供电电压,包括供电电压信号 V_{cc} 及 V_{ss} 。供电电压信号 V_{ss} 可以接地电位(例如,具有约零伏特的值)操作。供电电压信号 V_{cc} 可包括从例如电池或交流到直流(AC-DC)转换器电路等外部电源供应到存储器装置 100 的外部电压。

[0025] 存储器装置 100 的电路 150 可包括选择电路 152 及输入/输出(I/O)电路 116。选择电路 152 可响应于信号 SEL_0 到 SEL_n 以选择线 124 及 128 上的可表示从存储器单元 110 读取或写入到存储器单元 110 中的信息的信号。列解码器 134 可基于线 125 上的 A_0 到 A_X 地址信号而选择性地激活 SEL_0 到 SEL_n 信号。选择电路 152 可选择线 124 及 128 上的信号以在读取操作与写入操作期间提供存储器阵列 102 与 I/O 电路 116 之间的通信。

[0026] 存储器装置 100 可包括非易失性存储器装置且存储器单元 110 可包括非易失性存储器单元,以使得存储器单元 110 可当电力(例如, V_{cc} 或 V_{ss} 或两者)与存储器装置 100 断开时保持存储于其上的信息。举例来说,存储器装置 100 可包括相变存储器装置,以使得存储器单元 110 中的每一者可包括具有一材料的存储器元件,其中所述材料的至少一部分(例如,可编程部分)可经写入以使所述部分在不同相之间改变,例如,在结晶相(或结晶态)与非晶相(或非晶态)之间改变。在存储器单元 110 中的每一者中,可编程部分的材料的不同相可使存储器单元具有不同电阻状态以表示其中所存储的信息的不同值。

[0027] 装置 100 可选择性地读取或写入存储器单元 110。为写入选定的存储器单元 110,存储器装置 100 可施加写入电流通过所述选定的存储器单元以使选定的存储器单元的存储器元件改变到基于待存储于其中的信息的值的电阻状态。为读取选定的存储器单元 110,存储器装置 100 可施加读取电流通过所述选定的存储器单元,且接着基于读取电压来测量其电阻以确定其中所存储的信息的对应值。

[0028] 所属领域的技术人员可认识到,存储器装置 100 可包括图 1 中未展示的其它特征以有助于着重描述本文中所描述的实施例。

[0029] 存储器装置 100 可包括下文参考图 2 到图 24 所描述的存储器装置及存储器单元中的至少一者。

[0030] 图 2 展示根据本发明的实施例的具有存储器阵列 202 的存储器装置 200 的部分框图,所述存储器阵列 202 包括存储器单元 211、212、213、214、215、216、217、218 及 219。存储器阵列 202 可对应于图 1 的存储器阵列 102。在图 2 中,存储器单元 211 到 219 可耦合到分别具有信号 V_{x1} 、 V_{x2} 、 V_{x3} 的线 230、231 及 232 以及分别具有信号 V_{y1} 、 V_{y2} 及 V_{y3} 的线 240、241 及 242。存储器单元 211 到 219 中的每一者可包括串联耦合于线 230、231 及 232 中的一者与线 240、241 及 242 中的一者之间的存储器元件 222 及存取组件 244。每一存储器元件 222 可包括可被写入到对应于各种电阻值的各种电阻状态以表示其中所存储的信息的不同值的材料。在读取或写入操作期间,存储器装置 200 可使用信号 V_{x1} 、 V_{x2} 、 V_{x3} 、 V_{y1} 、 V_{y2} 及 V_{y3} 的合适电压值以接通正被选择以加以读取或写入的存储器单元(选定的存储器单元)的存取组件 244 以存取(例如,读取或写入)所述选定的存储器单元。存储器装置 200 可断开未被选择的存储器单元中的每一者(未选定的存储器单元)的存取组件 244。

[0031] 举例来说,在写入操作中,存储器装置 200 可选择存储器单元 215 以将信息写入到

其中。在此实例中,存储器装置 200 可接通存储器单元 215 的存取组件 244,且接着施加写入电流通过存储器元件 222 以使其材料从一个电阻状态改变到另一电阻状态。因此,存储器元件 222 的材料的电阻也可从一个电阻值改变到表示待存储于存储器单元 215 中的信息的值的另一电阻值。

[0032] 在另一实例中,在读取操作中,存储器装置 200 可选择存储器单元 215 以读取其中所存储的信息。在此实例中,存储器装置 200 可接通存储器单元 215 的存取组件 244,且接着施加读取电流通过存储器元件 222 且基于读取电压来测量其电阻(例如,线 231 与线 241 之间的存储器单元 215 的电阻)以确定其中所存储的信息的对应值。读取电流可具有低于写入电流的值的值,以使得存储器元件 222 的材料可保持于同一电阻状态以将其中所存储的信息在其经读取之后保持于同一值。在本文中的写入及读取实例两者中,存储器装置 200 可断开未选定的存储器单元(存储器单元 210、211、212、213、216、217、218 及 219)中的每一者的存取组件 244,以使得未选定的存储器单元中的每一者的存储器元件 222 可保持未经存取。

[0033] 在上文实例中,因为存储器单元 215 被假设为选定的存储器单元,所以存储器装置 200 可将恰当电压值用于耦合到存储器单元 215 的线 231 及 241 上的信号 V_{x2} 及 V_{y2} ,以使得跨越存储器单元 215 的电压差(例如,电压降)可具有足以接通存储器单元 215 的存取组件 244 的值。当接通时,存储器单元 215 的存取组件 244 可允许电流(例如,读取或写入电流)传导通过存储器单元 215 的存储器元件 222,以使得存储器装置 200 可从存储器单元 215 读取信息或将信息写入到存储器单元 215 中。就未选定的存储器单元而言,存储器装置 200 可将恰当电压值用于信号 V_{x1} 、 V_{x3} 、 V_{y1} 及 V_{y3} 以关闭(或断开)未选定的存储器单元中的每一者的存取组件 244 以阻止电流传导通过未选定的存储器单元。

[0034] 存储器单元 211 到 219 可包括与图 3 的存储器单元类似或相同的存储器单元。

[0035] 图 3 展示根据本发明的实施例的具有离子传导路径 399 的存储器单元 310 的横截面。存储器单元 310 可包括电极 301、302 及 303、存储器元件 333 及存取组件 344。图 3 的线 323 上的信号 V_x 可对应于图 2 的信号 V_{x1} 、 V_{x2} 及 V_{x3} 中的一者。图 3 的线 324 上的信号 V_y 可对应于图 2 的信号 V_{y1} 、 V_{y2} 及 V_{y3} 中的一者。

[0036] 为清楚起见,本文中所描述的图可省略一些特征的一些横截面线。举例来说,图 3 省略存取组件 344 的一部分的横截面线。

[0037] 在图 3 中,存储器单元 310 中所存储的信息的值可视存储器元件 333 的材料的相而定。存储器元件 333 可包括具有熔点温度 T_m 及结晶(或玻璃转变)温度 T_c 的材料(例如,相变材料)。存储器单元 310 的电阻状态可视存储器元件 333 的材料的相(例如,结晶或非晶相)而定。施加到存储器元件 333 的电流(例如,写入电流)可使其材料的至少一部分在不同相之间改变,例如,在结晶相与非晶相之间改变。

[0038] 举例来说,在写入操作期间,存储器装置(存储器单元 310 可常驻于其中)可将电流(例如,写入电流)施加到存储器单元 310 以将存储器元件 333 的材料的至少一部分加热到高于其熔点温度 T_m 的温度。存储器装置可接着允许存储器元件 333 的材料迅速冷却,进而导致材料的至少一部分(熔融的部分)处于对应于一电阻状态的非晶相,所述电阻状态具有可表示存储器单元 310 中所存储的信息的值的电阻值。在写入操作期间使用的电流的不同值可导致不同电阻值。因此,视待存储于存储器单元 310 中的信息的值而定,存储器

装置可在写入操作期间使用电流的各种值中的一者以使存储器单元 310 具有恰当电阻值以反映待存储于其中的信息的值。为将存储器元件从非晶相改变到结晶相,存储器装置可施加电流以将存储器元件 333 的材料的至少一部分加热到高于其结晶温度 T_c 但低于其熔点温度 T_m 的温度。存储器装置可接着将材料保持于某温度持续足以允许材料结晶(例如,允许非晶化部分再结晶)的时间。在结晶之后,材料可具有对应于一电阻状态的结晶相,所述电阻状态具有可表示存储器单元 310 中所存储的信息的值的电阻值。存储器装置可以类似于或相同于上文参考图 2 所描述的读取操作的方式施加电流(例如,读取电流)以读取存储器单元 310 中所存储的信息。

[0039] 在图 3 中,存取组件 344 可在读取或写入操作期间允许对存储器元件 333 的存取。存取组件 344 可具有接通状态及断开状态。图 3 展示存取组件 344 具有接通状态的实例。在接通状态中,存取组件 344 可包括一个或一个以上传导路径(例如,形成于电极 302 与电极 303 之间的传导路径 399(连续传导路径))以允许电流传导通过存储器元件 333 及在线 323 与线 324 之间传导。在断开状态中,传导路径 399 可断开或变得不连续(图 3 中未展示)且阻止电流传导通过存储器元件 333 及在线 323 与线 324 之间传导。因此,存取组件 344 在断开状态中具有较高电阻以阻止电流传导,且在接通状态中具有较低电阻以允许电流传导。

[0040] 存取组件 344 可基于信号 V_x 及 V_y 的电压值而在断开状态(例如,较高电阻)与接通状态(例如,较低电阻)之间切换。举例来说,当存储器单元 310 经选择以加以读取或写入时,信号 V_x 与信号 V_y 之间的电压值(例如,电压电位)的差可设定为相对于线 323 的正值以将存取组件 344 切换到接通状态。当存储器单元 310 未经选择以加以读取或写入时,信号 V_x 与信号 V_y 之间的电压值的差可设定为相对于线 323 的负值。

[0041] 存取组件 344 可包括排除硅的材料(非硅基材料),例如,离子传导硫族化物材料、二元金属氧化物材料、钙钛矿氧化物材料。在接通状态中,存取组件 344 的材料中的一者的离子(例如,带正电荷的离子)(例如,离子 388)可迁移到其它材料中以形成离子传导路径 399。如图 3 中所示,传导路径 399 可包括形成电极 302 与电极 303 之间的连续路径的离子 388 以当存取组件 344 处于接通状态时传导电流。在断开状态中,传导路径 399 的连续性可被断开(例如,传导路径 399 包括不连续区段),进而阻止电流在电极 302 与电极 303 之间传导。

[0042] 在存储器单元 310 中,电极 301、302 及 303 可充当接触点且有助于传递电流通过存储器元件 333 及存取组件 344。电极 301、302 及 303 的材料的实例可包括:耐火金属氮化物、碳化物及硼化物,例如, TiN 、 ZrN 、 HfN 、 VN 、 NbN 、 TaN 、 TiC 、 ZrC 、 HfC 、 VC 、 NbC 、 TaC 、 TiB_2 、 ZrB_2 、 HfB_2 、 VB_2 、 NbB_2 、 TaB_2 、 Cr_3C_2 、 Mo_2C 、 WC 、 CrB_2 、 Mo_2B_5 、 W_2B_5 ; 化合物,例如, $TiAlN$ 、 $TiSiN$ 、 TiW 、 $TaSiN$ 、 $TiCN$ 、 SiC 、 B_4C 、 $WSix$ 、 $MoSi_2$; 金属合金,例如, $NiCr$; 及元素材料,例如,掺杂的硅、碳、铂、铌、钨、钼。

[0043] 如上文所描述,存储器元件 333 可包括相变材料。一些相变材料可包括具有锗(Ge)、锑(Sb)、碲(Te)及其它类似材料的各种组合的硫族化物材料。相变材料的实例可包括:二元组合,例如,碲化锗($GeTe$)、硒化铟($InSe$)、碲化锑($SbTe$)、锑化镓($GaSb$)、锑化铟($InSb$)、碲化砷($AsTe$)、碲化铝($AlTe$);三元组合,例如,碲化锗锑($GeSbTe$, 例如, $Ge_2Sb_5Te_5$)、砷化碲锗($TeGeAs$)、碲化铟锑($InSbTe$)、硒化碲锡($TeSnSe$)、镓化锗

硒 (GeSeGa)、锑化铋硒 (BiSeSb)、碲化镓锑 (GaSeTe)、碲化锡锑 (SnSbTe)、锗化铟锑 (InSbGe) ;及四元组合,例如,硫化碲锗锑 (TeGeSbS)、氧化碲锗锡 (TeGeSnO) 及碲锗锡金、钡碲锗锡、铟硒钛钴、锗锑碲钡、锗锑碲钴、锑碲铋硒、银铟锑碲、锗锑硒碲、锗锡锑碲、锗碲锡镍、锗碲锡钡及锗碲锡铂的合金,及其它。在本文中所列举的相变材料中,部分视装置的应用而定,一些材料可提供相比其它材料而言的恰当选择。举例来说,Ge₂Sb₅Te₅ (碲化锗锑) 部分地由于其在不同电阻状态之间相对快速的切换速度 (例如,几纳秒) 而可为相交存储器装置装置的恰当选择。此描述中的大多数材料组合物仅列举组成元素。这些材料组合物中的每一者中的每一组成元素的相对量不限于特定值。

[0044] 上文描述仅将存储器元件 333 的相变材料用作实例材料。本文中所描述的存储器元件 333 及其它存储器元件除相变材料之外也可包括其它单极切换存储器材料。单极切换存储器材料包括若干材料,所述材料可在电阻方面切换,以使得其可当一个电压在一个方向上施加到材料时具有一个电阻 (例如,对应于信息的一个值的电阻),且当具有相同极性的另一电压在同一方向上施加到材料时具有另一电阻 (例如,对应于信息的另一值的电阻)。

[0045] 如上文所描述,存取组件 344 可包括排除硅的材料,例如,离子传导硫族化物材料、二元金属氧化物材料或钙钛矿氧化物材料。存取组件 344 也可包括其它双极切换材料。双极切换材料包括若干材料,所述材料可在电阻方面切换,以使得其可当具有一极性的电压在一个方向上施加到材料时接通以具有接通电阻状态 (例如,允许电流传导的状态),且当具有相反极性的另一电压在同一方向上施加到材料时断开以具有断开电阻状态 (例如,阻止电流传导的状态)。接通电阻状态可在施加电压时保持或在移除电压时消失。因此,本文中所使用的双极切换材料可能包括或可能不包括切换存储器材料。

[0046] 存取组件 344 的钙钛矿氧化物材料可包括氧化锶钛 (SrTiO)、氧化锶锆 (SrZrO) 及氧化钡钛 (BaTiO) 中的一者。

[0047] 存取组件 344 的二元金属氧化物材料可包括氧化铪 (HfO)、氧化铌 (NbO)、氧化铝 (AlO)、氧化钨 (WO)、氧化钽 (TaO)、氧化钛 (TiO)、氧化锆 (ZrO)、氧化铜 (CuO)、氧化铁 (FeO) 及氧化镍 (NiO) 中的一者。

[0048] 存取组件 344 的离子传导硫族化物材料可包括以一材料 (例如,金属) 掺杂的硫族化物基材料。离子传导硫族化物材料可使用离子 (例如,带正电荷的离子) 来形成一个或一个以上传导路径 (例如,图 3 的传导路径 399) 以当信号的恰当值 (例如,电压值) 跨越存取组件 344 而施加时在不同电阻值之间改变存取组件 344 的电阻。举例来说,离子传导硫族化物材料可为银掺杂或铜掺杂的硫族化物材料,例如,银掺杂的硒化锗、铜掺杂的硒化锗、银掺杂的硫化锗或铜掺杂的硫化锗。这些银掺杂及铜掺杂的硫族化物材料中的每一者可包括多个层。举例来说,存取组件 344 可包括电极 302 与电极 303 之间的多个材料层,其中所述多个层可包括银掺杂的硒化锗,所述多个层具有硒化锗 (GeSe) 层、硒化铜 (CuSe)、硒化银 (AgSe) 或硒化锡 (SnSe) 层、硒化锗 (GeSe) 层、银 (Ag) 层及硒化锗 (GeSe) 层。在另一实例中,存取组件 344 可包括多个层,其中所述多个层可包括银掺杂的硫化锗,所述多个层具有硫化锗 (GeS) 层、硒化银 (AgSe) 或硒化锡 (SnSe) 或硒化铜 (CuSe) 层、硫化锗 (GeS) 层、银 (Ag) 层及硫化锗 (GeS) 层。

[0049] 存取组件 344 的实例材料及存储器元件 333 的材料 (例如上文所列举的材料) 可

具有相似的处理温度容差。因此,制造例如存储器单元 310 等存储器单元的工艺可相比制造常规存储器单元(其中存取组件的材料及存储器元件的材料可具有不同的处理温度容差)的工艺而得以改进。

[0050] 图 4 为说明展示图 3 的存储器单元 310 的存取组件 344 的接通状态及断开状态的 I-V 特性的曲线图的实例实施例。图 4 展示两个电压值:大于零的电压值 $V_{t_{ON}}$ 及小于零的电压 $V_{t_{OFF}}$ 。电压值 $V_{t_{ON}}$ 及 $V_{t_{OFF}}$ 可对应于存取组件 344 的阈值电压值。存取组件 344 可基于以下表达式 (1) 及 (2) 中所示的电压值之间的关系而接通或断开。

[0051] 当 $V_x - V_y > V_{t_{ON}} > 0$ 时,存取组件 344 可接通。(1)

[0052] 当 $V_x - V_y < V_{t_{OFF}} < 0$ 时,存取组件 344 可断开。(2)

[0053] 表达式 (2) 可被重写为表达式 (3):

[0054] $V_y - V_x > V_{t'_{OFF}} > 0$ (其中 $V_{t'_{OFF}} = -V_{t_{OFF}}$ 。)(3)

[0055] 在表达式 (1) 中, V_x 与 V_y 之间的差 (V_x 减 V_y) 可被视为跨越存储器元件 333 及存取组件 344 的在第一方向(例如,从图 3 中的线 323 到线 324 的方向)上的电压差 ($V_x - V_y$)。因此,基于表达式 (1),当跨越存储器元件 333 及存取组件 344 的在第一方向上的电压差 ($V_x - V_y$) 超过电压值 $V_{t_{ON}}$ 且大于零伏特时,存取组件 344 可接通。如上文参考图 3 所描述,当接通时,存取组件 344 可允许电流传导通过存储器元件 333 或存取组件 344(或两者)。

[0056] 在表达式 (2) 中, V_x 与 V_y 之间的差小于 $V_{t_{OFF}}$ 且小于零伏特。因此,差 ($V_x - V_y$) 在第一方向上为负值。然而,替代于描述关于第一方向上的负值的表达式 (2),本文中的描述可或者使用表达式 (3) 来描述关于相反方向(例如,第二方向)上的正值的表达式 (2) 的等效表达式。

[0057] 在表达式 (3) 中, V_y 与 V_x 之间的差 (V_y 减 V_x) 可被视为跨越存储器元件 333 及存取组件 344 的在第二方向(例如,从图 3 中的线 324 到线 323 的方向)上的电压差 ($V_y - V_x$)。因此,基于表达式 (3),当跨越存储器元件 333 及存取组件 344 的在第二方向上的电压差 ($V_y - V_x$) 超过电压值 $V_{t'_{OFF}}$ 且大于零伏特时,存取组件 344 可断开。如上文参考图 3 所描述,当断开时,存取组件 344 可阻止电流传导通过存储器元件 333 或存取组件 344(或两者)。换句话说,如表达式 (2) 中所示,当 $V_x - V_y$ 为小于 $V_{t_{OFF}}$ 的负值时,存取组件 344 可断开。

[0058] 视存取组件 344 的材料而定,电压值 $V_{t_{ON}}$ 可具有比电压值 $V_{t_{OFF}}$ 的绝对值大约 2 到 2.5 倍的绝对值。举例来说,当存取组件 344 具有例如图 5 的存取组件 544 的材料时,电压值 $V_{t_{ON}}$ 可具有约 0.25 伏特的值,且电压值 $V_{t_{OFF}}$ 可具有约负 0.1(-0.1) 伏特的值。

[0059] 图 4 还展示区 411、412 及 413 以及曲线 421 及 422。区 411 可包括从 $V_{t_{ON}}$ 开始且更大的电压值。区 413 可包括从 $V_{t_{OFF}}$ 开始且更低的电压值。区 412 可包括 $V_{t_{ON}}$ 与 $V_{t_{OFF}}$ 之间的电压值。存取组件 344 可经配置以在对应于区 411(例如, $V_x - V_y > V_{t_{ON}} > 0$) 的接通状态下且在对应于区 413(例如, $V_x - V_y < V_{t_{OFF}} < 0$) 的断开状态下操作。区 412 可被称为存取组件 344 的滞后切换区,其中存取组件 344 可处于接通状态或断开状态。

[0060] 图 4 中的曲线 421 可展示当存取组件 344 从断开状态切换到接通状态时存取组件 344 的电压与电流之间的关系。举例来说,当存取组件 344 处于断开状态(例如,图 3 中的传导路径 399 可被断开)时且当线 324 耦合到接地电位(例如, $V_y = 0$) 时,存取组件 344 可接通且从断开状态(图 4 中的区 413)切换到接通状态(区 411)以当线 323 的电压值

(例如, V_x) 大于 $V_{t_{ON}}$ 时 ($V_x > V_{t_{ON}}$) 允许电流传导 (由电流流动方向 431 指示)。

[0061] 图 4 中的曲线 422 可展示当存取组件 344 从接通状态切换到断开状态时存取组件 344 的电压与电流之间的关系。举例来说, 当存取组件 344 处于接通状态 (例如, 图 3 中的传导路径 399 为连续的) 时且当线 323 耦合到接地电位 (例如, $V_x = 0$) 时, 存取组件 344 可断开且从接通状态 (图 4 中的区 411) 切换到断开状态 (区 413) 以当线 324 的电压值 (例如, V_y) 大于 $V_{t'_{OFF}}$ 时 ($V_y > V_{t'_{OFF}}$) 阻止电流传导。如由区 412 中的曲线 422 的部分所示, 当存取组件 344 在从区 411 (接通状态) 切换到区 413 (断开状态) 期间位于区 412 (滞后切换区) 中时, 某一量的电流 (由电流流动方向 432 所指示) 可流动通过存取组件 344。然而, 当 V_y 的电压值大于 $V_{t'_{OFF}}$ 时, 存取组件 344 可离开区 412 且切换到区 413 且阻止电流传导。如由区 413 (断开状态) 中的曲线 422 的部分所示, 电流的值可大体上较小或等于零。

[0062] 除例如上文参考图 3 及图 4 所描述的材料及功能的特性外, 存取组件 344 可至少包括以下特性。存取组件 344 可比存储器元件 333 在相对较短的时间内 (例如, 对于例如银掺杂的硫族化物等材料, 在约一纳秒内) 在断开状态与接通状态之间切换。存取组件 344 可由比用于写入存储器元件 333 的写入电流相对较小量的电流断开, 且可具有相对大的接通电流 (I_{on}) 与断开电流 (I_{off}) 比, 例如, 几百微安 / 皮安范围的 I_{on}/I_{off} 比。存取组件 344 当其处于接通状态时可具有几千欧姆的电阻, 且当其处于断开状态时可具有约大于一百万欧姆的电阻。如上文所描述, 存取组件 344 的特性可使其能够用作允许或阻止电流传导到存储器元件 333 及从存储器元件 333 传导的存取组件。

[0063] 在图 3 的存储器单元 310 中, 存取组件 344 及存储器元件 333 可包括具有相似的处理温度容差的材料。因此, 具有如上文所描述的存取组件 344 及存储器元件 333 的存储器单元 310 可提供合适的选项以形成具有多个装置层级的存储器装置, 其中存储器单元可堆叠于多个装置层级中以增加存储密度。在一些常规存储器装置中, 存储器单元的存取组件 (相比于存取组件 344) 及存储器元件 (相比于存储器元件 333) 可包括不同的处理温度容差; 因此, 在常规装置中形成多个装置层级的存储器单元可造成挑战。举例来说, 在常规装置中, 存储器元件可具有低于存取组件 (例如, 硅基存取组件) 的处理温度容差的处理温度容差。因此, 当形成较高装置层级中的存取组件时, 可发生对较低装置层级中的存储器元件的热损伤。相比而言, 如上文所描述, 因为图 3 的存取组件 344 及存储器元件 333 可包括具有相似的处理温度容差的材料, 所以当形成多个装置层级的存储器单元时, 可避免热损伤。

[0064] 图 5 展示根据本发明的各种实施例的包括具有离子传导硫族化物材料的存取组件 544 的存储器单元 510 的横截面。存储器单元 510 也可包括电极 501、502 及 503 及与存取组件 544 串联耦合于电极 501 与电极 503 之间的存储器元件 555。如图 5 中所示, 存取组件 544 可包括多个层 561、562、563、564 及 565 的实例, 其具有实例材料, 例如, 用于层 561 的硒化锗 (例如, Ge_4Se_6)、用于层 562 的硒化银 (Ag_2Se) 或硒化锡 ($SnSe$)、用于层 563 的硒化锗 (例如, Ge_4Se_6)、用于层 564 的银 (Ag) 及用于层 565 的硒化锗 (例如, Ge_4Se_6)。图 5 中所示的存取组件 544 的材料可被视为银掺杂的硫族化物材料的实例。图 5 展示存取组件 544 的离子传导硫族化物材料为银掺杂的硫族化物作为实例。然而, 存取组件 544 可包括以另一材料 (除银外) 掺杂的另一硫族化物材料。

[0065] 存取组件 544 的层 561、562、563、564 及 565 可分别具有约 15nm (纳米)、约 47nm、

约 15nm、约 20nm 及约 10nm 的厚度。关于特定厚度值的术语“约”意谓厚度可比特定厚度值小或大一裕量。所述裕量可具有等于特定值的百分之一 (1%) 到 20% 的值。存取组件 544 可包括用于层 561、562、563、564 及 565 的其它厚度值。然而,本文中所述的特定实例厚度值可改善接通状态与断开状态之间的切换时间及接通状态中的存取组件 544 的电阻降低中的至少一者。存取组件 544 可包括比图 5 中所示的层更少或更多的层,其中材料类似于或相同于图 3 的存取组件 344 的材料。电极 501、502 及 503 可包括与图 3 的电极 301、302 及 303 的材料类似或相同的材料。

[0066] 存取组件 544 可包括与图 4 的存取组件 344 的 I-V 特性类似或相同的 I-V 特性。举例来说,存取组件 544 可当电极 501 及 503 具有恰当电压值 (例如,可满足上文表达式 (1) 的电压值) 时具有接通状态,且当电极 501 及 503 具有其它恰当电压值 (例如,可满足上文表达式 (2) 的电压值) 时具有断开状态。在接通状态中,来自存取组件 544 的银掺杂的硫族化物材料的银离子 (Ag^+) 可在电极 502 与电极 503 之间形成允许电流传导通过存取组件 544 及存储器元件 555 的传导路径。在断开状态中,由银离子形成的传导路径可断开且阻止电流传导通过存取组件 544 及存储器元件 555。

[0067] 图 6 展示根据本发明的实施例的包括具有二元金属氧化物材料的存取组件 644 的存储器单元 610 的横截面。存储器单元 610 也可包括电极 601、602 及 603 及与存取组件 644 串联耦合的存储器元件 666。存取组件 644 可包括与图 3 的存取组件 344 的二元金属氧化物材料类似或相同的材料。存取组件 644 可包括与图 4 的存取组件 344 的 I-V 特性类似或相同的 I-V 特性。举例来说,存取组件 644 可当电极 601 及 603 具有恰当电压值 (例如,可满足上文表达式 (1) 的电压值) 时具有接通状态,且当电极 601 及 603 具有其它恰当电压值 (例如,可满足上文表达式 (2) 的电压值) 时具有断开状态。在接通状态中,来自存取组件 644 的二元金属氧化物材料的离子或空位可在电极 602 与电极 603 之间形成允许电流传导通过存取组件 644 及存储器元件 666 的传导路径。如果二元金属氧化物材料为氧化铜,则离子的实例包括铜离子 Cu^+ ,且如果二元金属氧化物材料为氧化铁,则离子的实例包括铁离子 Fe^{2+} 。如果二元金属氧化物材料为氧化镍,则空位的实例包括氧空位 O^{2-} 。在断开状态中,由二元金属氧化物的离子 (例如,离子 Cu^+ 或 Fe^{2+} 、或 O^{2-} 空位) 形成的传导路径可断开且阻止电流传导通过存取组件 644 及存储器元件 666。

[0068] 图 7 展示根据本发明的实施例的包括具有钙钛矿氧化物材料的存取组件的存储器单元 710 的横截面。存储器单元 710 也可包括电极 701、702 及 703 及与存取组件 744 串联耦合的存储器元件 777。存取组件 744 可包括与图 3 的存取组件 344 的钙钛矿氧化物材料类似或相同的材料。

[0069] 图 8 展示根据本发明的实施例的具有存储器阵列 802 的存储器装置 800 的部分示意图。存储器阵列 802 可包括存储器单元 811 到 819 及 821 到 829。这些存储器单元统称为图 8 中的“所述”存储器单元。如图 8 中所示,存储器单元中的每一者可包括存储器元件 888 及存取组件 844,其可类似于或相同于上文参考图 3 到图 7 所描述的存储器单元 310、510、610 或 710 的存储器元件及存取组件。在图 8 中,存储器装置 800 可使用分别在线 831、832、833、834、835 及 836 上的信号 V_{x1} 、 V_{x2} 、 V_{x3} 、 V_{x4} 、 V_{x5} 及 V_{x6} 以及分别在线 841、842 及 843 上的信号 V_{y1} 、 V_{y2} 及 V_{y3} 而选择存储器单元。在读取或写入操作期间,存储器装置 800 可使用信号 V_{x1} 到 V_{x6} 及 V_{y1} 到 V_{y3} 的恰当电压值来接通待读取或写入的选定的存储器单

元的存取组件以及断开未选定的存储器单元的存取组件。

[0070] 图 8 中的存储器单元中的每一者的存取组件 844 可包括两个阈值电压,其具有例如与上文参考图 4 所描述的存取组件 344 的电压值类似或相同的电压值 $V_{t_{ON}}$ 及 $V_{t_{OFF}}$ 的电压值。在图 8 中,当跨越选定的存储器单元的关于第一方向(例如,从存取组件 844 到存储器元件 888 的方向)的电压差大于 $V_{t_{ON}}$ 时,选定的存储器单元的存取组件 844 可接通。当跨越未选定的存储器单元中的每一者的关于第二方向(例如,从存储器元件 888 到存取组件 844 的方向)的电压差大于 $V_{t'_{OFF}}$ (或者如果关于第一方向考虑电压差,则小于 $V_{t_{OFF}}$) 时,未选定的存储器单元中的每一者的存取组件 844 可断开。

[0071] 以下实例假设存储器单元中的每一者的存取组件 844 处于断开状态,且存储器装置 800 选择存取存储器单元 815 以读取或写入存储器单元 815。在此实例中,存储器装置 800 可选择性地将电压值 +V 及 0(如图 8 中所示)用于信号 V_{x1} 到 V_{x6} 及 V_{y1} 到 V_{y3} ,以使得存储器装置 800 可接通存储器单元 815 的存取组件 844(且接着施加读取或写入电流通过存储器元件 888)且保持其它存储器单元中的每一者的存取组件 844 处于断开状态。

[0072] 图 8 中的电压值 +V 可具有大于电压值 $V_{t_{ON}}$ 及 $V_{t'_{OFF}}$ 的值。因此,在此实例中,跨越存储器单元 815 的电压差等于线 834 的电压(+V)减去线 842 上的电压(零)。因为电压值 +V 大于 $V_{t_{ON}}$,所以跨越存储器单元 815 的电压差大于 $V_{t_{ON}}$ 。因此,使用图 8 的实例电压值,存储器装置 800 可接通选定的存储器单元 815 的存取组件 844。跨越未选定的存储器单元 825 的电压差等于线 842 上的电压(零)减去线 833 上的电压(+V)。因此,跨越存储器单元 825 的电压差为 -V,其小于 $V_{t_{OFF}}$ 。因此,选定的存储器单元 825 的存取组件 844 可保持于断开状态。

[0073] 电压值 +V 及零仅为了易于描述实例起见而用于以上实例中。存储器装置 800 可使用除零伏特外的值,以使得从存取组件 844 到存储器元件的方向上的电压差大于选定的存储器单元的电压值 $V_{t_{ON}}$ 且小于未选定的存储器单元的 $V_{t_{OFF}}$ 。

[0074] 存储器装置 800 可包括多个装置层级,以使得第一群组的存储器单元可位于一个装置层级上,且第二群组的存储器单元可位于另一装置层级上且堆叠于第一群组上。

[0075] 图 9 到图 11 展示具有单一装置层级及多个装置层级的一些存储器装置的 3-D 视图。

[0076] 图 9 展示根据本发明的实施例的具有位于单一装置层级 991 上的存储器单元 910 的存储器装置 900 的部分 3-D 视图。图 9 还为了易于描述存储器装置 900 的特征的相对位置起见而展示 x-y-z 维度。举例来说,如图 9 中所示,存储器单元 910 可分别沿 x 维度及 y 维度以行及列布置,且可位于 z 维度的装置层级 991 上。

[0077] 每一存储器单元 910 可包括电极 901、902、903 及与存储器元件 999 串联耦合于线 930 或 931 与线 940 或 941 之间的存取组件 944。如图 9 中所示,每一存储器单元 910 的电极 901、902 及 903、存取组件 944 以及存储器元件 999 可具有在 z 方向上延伸的圆柱形结构,以使得存储器单元 910 的平行于 x-y 平面的横截面(例如,存储器元件 999、或存取组件 944、或电极 901、902 及 903 中的每一者的横截面)可具有圆形或大体上圆形形状。本文中的圆形或大体上圆形形状包括椭圆形或大体上椭圆形形状。存储器元件 999 可具有其它形状。

[0078] 图 9 的线 930、931、940 及 941 可分别对应于图 2 的线 230、231、240 及 241。在图

9 中,线 930、931、940 及 941 可包括例如金属(例如,铜、铝、金或其它)等导电材料,且可被称为存储器装置 900 的金属线。存储器元件 999 可包括与图 3 的存储器元件 333 的材料类似或相同的材料,例如,相变材料(例如硫族化物)或其它单极切换存储器材料。存取组件 944 可包括与图 4 的存取组件 344 的材料类似或相同的材料,例如,离子传导硫族化物、二元金属氧化物或钙钛矿氧化物、或其它双极切换材料。

[0079] 图 10 展示根据本发明的实施例的具有堆叠于多个装置层级 1091 及 1092 上的存储器单元 1010 的存储器装置 1000 的部分 3-D 视图。如图 10 中所示,装置层级 1092 可在 z 维度上堆叠于装置层级 1091 上方,其中装置层级 1091 及 1092 中的每一者可包括分别沿 x 维度及 y 维度以行及列布置的许多存储器单元 1010。每一存储器单元 1010 可包括电极 1001、1002 及 1003 以及与存储器元件 1011 串联耦合于其相应线(例如,例如金属线等导电导线)1030、1031、1032、1033 与线 1040、1041、1042 及 1043 之间的存取组件 1044。存储器装置 1000 的特征(例如,存取组件 1044 及存储器元件 1011)的材料可类似于或相同于图 9 的存储器装置 900 的特征的材料。图 10 的线 1030、1031、1040 及 1041 可分别对应于图 2 的线 230、231、240 及 241。图 10 的线 1032、1033、1042 及 1043 可分别对应于图 2 的线 230、231、240 及 241。

[0080] 图 11 展示根据本发明的实施例的具有堆叠于多个装置层级上的存储器单元的存储器装置 1100 的部分 3-D 视图,其中共享导线位于装置层级之间。如图 11 中所示,装置层级 1192 可在 z 维度上堆叠于装置层级 1191 上方,其中装置层级 1191 及 1192 中的每一者可包括分别沿 x 维度及 y 维度以行及列布置的许多存储器单元 1110。每一存储器单元 1110 可包括电极 1101、1102 及 1103 以及与存储器元件 1111 串联耦合于其相应线(例如,例如金属线等导电导线)1131、1133、1132 或 1134 与线 1141 或 1142 之间的存取组件 1144。图 11 的线 1131、1133、1132 及 1134 可分别对应于图 8 的线 831、833、832 及 834。图 11 的线 1141 及 1142 可分别对应于图 8 的线 841 及 842。在图 11 中,存储器装置 1100 的特征(例如,存取组件 1144 及存储器元件 1111)的材料可类似于或相同于图 9 的存储器装置 900 的特征的材料。如图 11 中所示,来自不同装置层级的两个存储器单元 1110 可共享同一线,例如,线 1141 或 1142。共享同一线 1141 或 1142 可缩小装置大小且简化制造工艺。

[0081] 图 12 到图 17 展示根据本发明的实施例的形成存储器装置 1200 的各种工艺。存储器装置 1200(图 17 中更详细地展示)可对应于图 9 的存储器装置 900。在图 12 到图 17 中,在图 9 的 y 维度上(或朝纸内)观看,存储器装置 1200 的特征的横截面视图可对应于存储器装置 900 中所示的类似特征的横截面视图。为清楚起见,图 12 到图 17 包括仅用于其中的一些特征的横截面线。

[0082] 如图 12 中所示,已在衬底 1212 上方形成导电线 1230。当在本文中使用时,关于两种或两种以上材料而使用的术语“在...上”、“一者在另一者上”意谓材料之间的至少某一接触,而“在...上方”意谓材料紧密接近但可能具有一个或一个以上额外介入材料以使得接触是可能但非所需的。“在...上”或“在...上方”在本文中使用时皆不暗示任何方向性,除非如此陈述。在图 12 中,衬底 1212 可包括例如四乙氧基硅烷(TEOS)或氮化硅或其它绝缘材料的材料。形成导电线 1230 可包括在衬底 1212 上方沉积材料层且图案化所述层以形成导电线 1230。或者,形成导电线 1230 可包括镶嵌工艺。导电线 1230 的材料可类似于或相同于图 9 的线 930 的材料。导电线 1230 可具有沿着与图 9 的 x 维度类似的 x 维度延伸的更大

尺寸（例如，长度）。

[0083] 在图 13 中，已形成绝缘体 1313 及电极 1301。形成绝缘体 1313 可包括在衬底 1212 上方沉积绝缘材料，继之以例如化学机械抛光（CMP）平坦化的抛光工艺。形成电极 1301 可包括移除绝缘体 1313 的一些部分且在绝缘体 1313 的经移除部分中沉积材料。电极 1301 的材料可类似于或相同于图 3 的电极 301。

[0084] 在图 14 中，已形成多个层 1444、1402、1461、1462、1463、1464、1465 及 1403。形成这些多个层可包括沉积直接接触电极 1301 的层 1444 且在层 1444 上方沉积其它层 1402、1461、1462、1463、1464、1465 及 1403。层 1444 可包括与图 3 的存储器元件 333 的材料类似或相同的材料；层 1402 及 1403 可包括分别与图 3 的电极 302 及 303 的材料类似或相同的材料；且层 1461、1462、1463、1464 及 1465 可包括分别与图 5 的存取组件 555 的层 561、562、563、564 及 565 的材料类似或相同的材料。

[0085] 在图 15 中，已形成存储器单元 1510。形成存储器单元 1510 可包括将图 14 的层 1444、1402、1461、1462、1463、1464、1465 及 1403 图案化为可形成存储器单元 1510 的一部分的凸台或柱（如图 15 中所示）。存储器单元 1510 中的每一者可包括电极 1301、1502 及 1503、存储器元件 1555 以及存取组件 1544，所述存取组件 1544 具有已在图 15 中图案化的图 14 的多个层 1461、1462、1463、1464 及 1465。图 14 展示五个层 1461、1462、1463、1464 及 1465 作为实例。形成存取组件 1544 可或者包括形成少于或多于五个层以使得存取组件 1544（图 15）可包括与图 3 的存取组件 344 的材料类似或相同的材料。

[0086] 在图 16 中，已形成绝缘体 1613。形成绝缘体 1613 可包括在图 15 的存储器单元 1510 的特征上方沉积绝缘体材料及接着执行例如 CMP 等抛光工艺。抛光工艺可在电极 1503 上终止。或者，可在形成绝缘体 1613 之前形成额外薄囊封层（例如，氮化硅）以保护存储器单元 1510。

[0087] 在图 17 中，已形成导电线 1740 及 1741 以及绝缘体 1713。形成导电线 1740 及 1741 可包括在绝缘体 1613 及电极 1503 上方沉积导电材料且图案化导电材料以形成导电线 1740 及 1741，以使得导电线 1740 及 1741 可垂直于（或大体上垂直于）导电线 1230。或者，形成导电线 1740 可包括镶嵌工艺。形成绝缘体 1713 可包括在绝缘体 1613 以及导电线 1740 及 1741 上方沉积绝缘材料且接着执行例如 CMP 等抛光工艺。抛光工艺可在导电线 1740 及 1741 上终止。导电线 1740 及 1741 的材料可类似于或相同于图 9 的线 940 及 941 的材料。在图 17 中，导电线 1740 及 1741 中的每一者可具有沿着与图 9 的 y 维度类似的 y 维度延伸的更大尺寸（例如，长度）。

[0088] 图 18 及图 19 展示根据本发明的实施例的形成具有多个装置层级的存储器装置 1800 的各种工艺。存储器装置 1800（图 19 中更详细地展示）可对应于图 10 的存储器装置 1000。在图 18 及图 19 中，在图 10 的 y 维度上观看，存储器装置 1800 的特征的横截面视图可对应于存储器装置 1000 中所示的类似特征的横截面视图。为清楚起见，图 18 及图 19 包括仅针对其中的一些特征的横截面线。

[0089] 在图 18 中，已形成具有存储器单元 1810 的装置层级 1891。形成装置层级 1891 可包括与上文参考图 12 到图 17 而描述的工艺类似或相同的工艺。因此，图 12 到图 17 以及图 18 及图 19 中的相似或相同特征具有相同参考数字。在图 18 中，已在装置层级 1891 上方形成绝缘体 1813。形成绝缘体 1813 可包括在装置层级 1891 上方沉积绝缘材料。

[0090] 在图 19 中,已在装置层级 1891 上方形成具有存储器单元 1910 的另一装置层级 1992。形成装置层级 1992 可包括与上文参考图 12 到图 17 而描述的工艺类似或相同的工艺。在图 19 中,装置层级 1992 可在与图 10 的 z 维度类似的 z 维度上堆叠于装置层级 1891 上方。在图 19 的存储器装置 1800 中,存储器单元 1810 及 1910 中的每一者可包括与图 3 的存储器单元 310 的材料类似或相同的材料。因此,存储器单元 1810 及 1910 的存取组件及存储器元件可包括具有相似的处理温度容差的材料。因此,当形成装置层级 1992 上的存储器单元 1910 时可避免对存储器单元 1810 的损伤(例如,热损伤)(例如对存储器单元 1810 的存储器元件的热损伤),进而导致形成具有多个堆叠的装置层级的存储器装置 1800。

[0091] 图 20 到图 24 展示根据本发明的实施例的形成具有多个装置层级的存储器装置 2000 的各种工艺,所述多个装置层级具有共享传导线。存储器装置 2000(图 24 中更详细地展示)可对应于图 11 的存储器装置 1100。在图 20 到图 24 中,在图 11 的 y 维度上观看,存储器装置 2000 的特征的横截面视图可对应于存储器装置 1100 中所示的类似特征的横截面视图。为清楚起见,图 20 到图 24 包括仅用于其中的一些特征的横截面线。

[0092] 在图 20 中,已形成具有存储器单元 2010 的装置层级 2091。形成装置层级 2091 可包括与上文参考图 12 到图 17 而描述的工艺类似或相同的工艺。因此,图 12 到图 17 及图 20 到图 24 中的相似或相同特征具有相同参考数字。在图 20 中,已在装置层级 2091 上方形成绝缘体 2013 及电极 2001。形成绝缘体 2013 可包括在装置层级 2091 上方沉积绝缘材料。形成电极 2001 可包括移除绝缘体 2013 的一些部分且在绝缘体 2013 的经移除部分中沉积材料。电极 2013 的材料可类似于或相同于图 3 的电极 301。

[0093] 在图 21 中,已形成多个层 2111、2102、2161、2162、2163、2164、2165 及 2103。层 2111 可包括与图 3 的存储器元件 333 的材料类似或相同的材料;层 2102 及 2103 可包括分别与图 3 的电极 302 及 303 的材料类似或相同的材料;且层 2161、2162、2163、2164 及 2165 可包括分别与图 5 的存取组件 555 的层 561、562、563、564 及 565 的材料类似或相同的材料。

[0094] 在图 22 中,已形成存储器单元 2210。形成存储器单元 2210 可包括将图 21 的层 2111、2102、2161、2162、2163、2164、2165 及 2103 图案化为可形成存储器单元 2210 的一部分的凸台或柱(如图 22 中所示)。存储器单元 2210 中的每一者可包括电极 2001、2202 及 2203、存储器元件 2222 及存取组件 2244,所述存取组件 2244 具有已在图 22 中图案化的图 21 的多个层 2161、2162、2163、2164 及 2165。图 21 展示五个层 2161、2162、2163、2164 及 2165 作为实例。形成存取组件 2244 可或者包括形成少于或多于五个层,以使得存取组件 2244(图 22)可包括与图 3 的存取组件 344 的材料类似或相同的材料。

[0095] 在图 23 中,已形成绝缘体 2313。形成绝缘体 2313 可包括在图 15 的存储器单元 1510 的特征上方沉积绝缘体材料且接着执行例如 CMP 等抛光工艺。抛光工艺可在电极 2203 上终止。或者,可在形成绝缘体 2313 之前形成额外的薄囊封层(例如,氮化硅)以保护存储器单元 2210。

[0096] 在图 24 中,已形成导电线 2432。形成导电线 2432 可包括在绝缘体 2313 及电极 2203 上方沉积导电材料且图案化导电材料以形成导电线 2432 以使得导电线 2432 可垂直于(或大体上垂直于)导电线 1740 及 1741 且平行于(或大体上平行于)导电线 1230。或者,形成导电线 2432 可包括镶嵌工艺。导电线 2432 的材料可类似于或相同于图 11 的线 1132 及 1134 的材料。在图 24 中,导电线 2432 可具有沿着与图 11 的 x 维度类似的 x 维度延伸

的更大尺寸（例如，长度）。

[0097] 如图 24 中所示，存储器装置 2000 可包括装置层级 2091 及装置层级 2492，所述装置层级 2492 可在类似于图 11 的 z 维度的 z 维度上堆叠于装置层级 2091 上方。在图 24 的存储器装置 2000 中，存储器单元 2010 及 2210 中的每一者可包括与图 3 的存储器单元 310 的材料类似或相同的材料。因此，存储器单元 2010 及 2210 的存取组件及存储器元件可包括具有相似的处理温度容差的材料。因此，当形成装置层级 2492 上的存储器单元 2210 时可避免对存储器单元 2010 的损伤（例如，热损伤）（例如，对存储器单元 2010 的存储器元件的热损伤），进而导致形成具有多个堆叠的装置层级的存储器装置 2000。

[0098] 本文中所述的一个或一个以上实施例包括具有存储器元件及存取组件的设备及方法，所述存储器元件经配置以存储信息且所述存取组件经配置以当跨越存储器元件及存取组件的在第一方向上的第一电压差超过第一电压值时允许电流传导通过存储器元件，且当跨越存储器元件及存取组件的在第二方向上的第二电压差超过第二电压值时阻止电流传导通过存储器元件，其中存取组件包括排除硅的材料。上文参考图 1 到图 24 描述包括额外设备方法的其它实施例。

[0099] 例如存储器装置 100、200、800、900、1000、1100、1200、1800 及 2000 以及存储器单元 110、211 到 219、811 到 819、821 到 829、910、1010、1110、1510、1810、1910、2010 及 2210 的设备的说明希望提供各种实施例的结构的一般理解且并非可利用本文中所描述的结构的所有元件及特征的完整描述。

[0100] 各种实施例的设备可包括或包括于用于高速计算机中的电子电路、通信及信号处理电路、存储器模块、便携式存储器存储装置（例如，拇指驱动器）、单一或多处理器模块、单一或多个嵌入式处理器、多核处理器、数据交换器及包括多层、多芯片模块的专用模块中。这些设备可进一步作为例如以下各者的多种电子系统内的子元件而包括：电视、蜂窝式电话、个人计算机（例如，膝上型计算机、桌上型计算机、掌上型计算机、平板计算机等）、工作站、无线电、视频播放器、音频播放器（例如，MP3（动画专家组，音频层 3）播放器）、车辆、医疗装置（例如，心脏监视器、血压监视器等）、机顶盒及其它。

[0101] 上文描述及图说明本发明的一些实施例以使所属领域的技术人员能够实践本发明的实施例。其它实施例可并有结构、逻辑、电、工艺及其它改变。在图中，相同特征或相同数字描述遍及若干视图的大体上相似特征。实例仅代表可能的变化。一些实施例的部分及特征可包括于其它实施例的部分及特征中或可替代其它实施例的部分及特征。在阅读并理解以上描述后，许多其它实施例对于所属领域的技术人员将显而易见。因此，本发明的各种实施例的范围是由随附权利要求书连同此权利要求书的等效物的全部范围确定。

[0102] 发明摘要经提供以与 37C. F. R. § 1. 72(b) 相符，37C. F. R. § 1. 72(b) 要求发明摘要允许读者快速地确定技术揭示内容的本质及要点。在发明摘要将不用于解释或限制权利要求书的范围或含义的理解下来提交所述发明摘要。

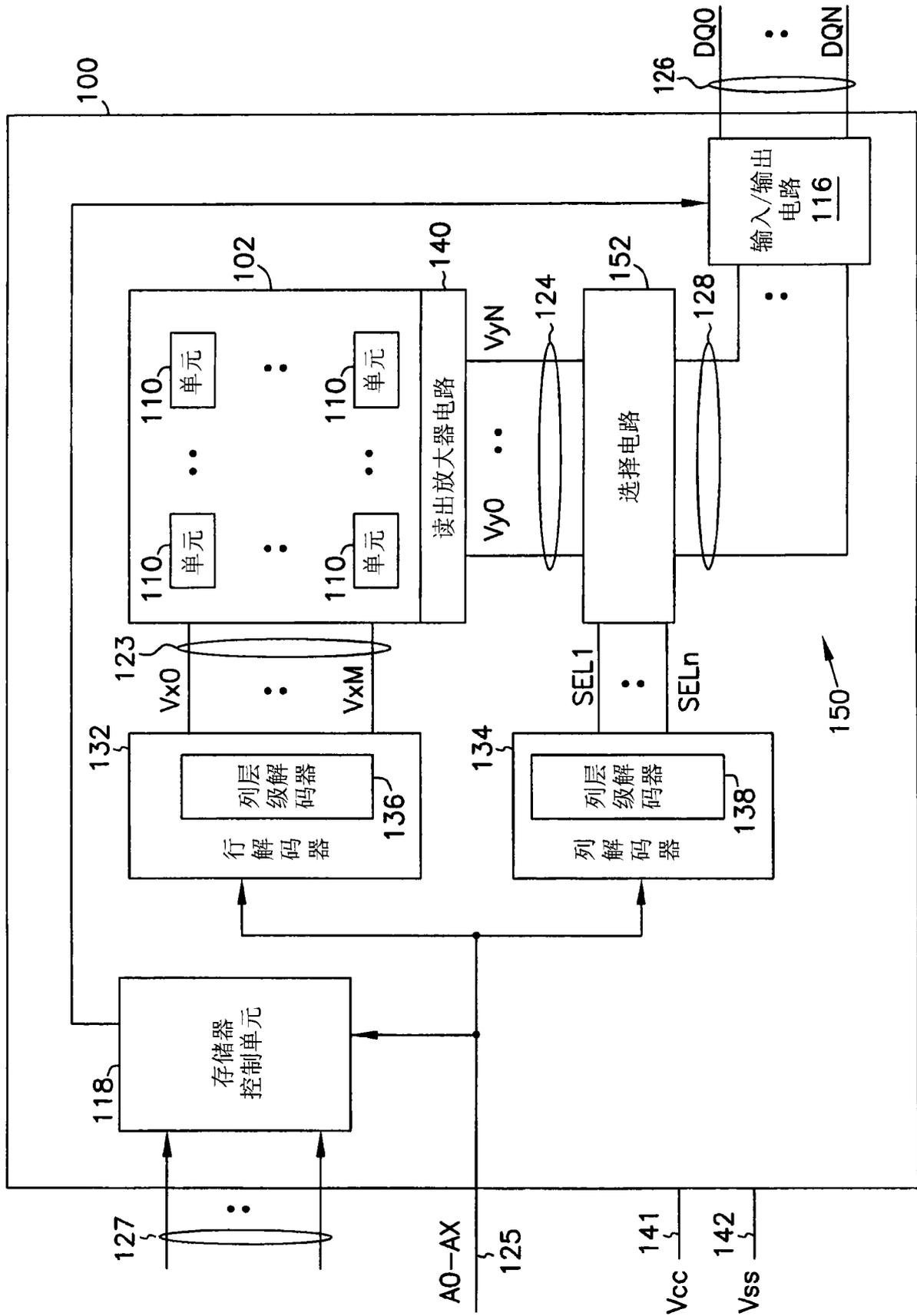


图 1

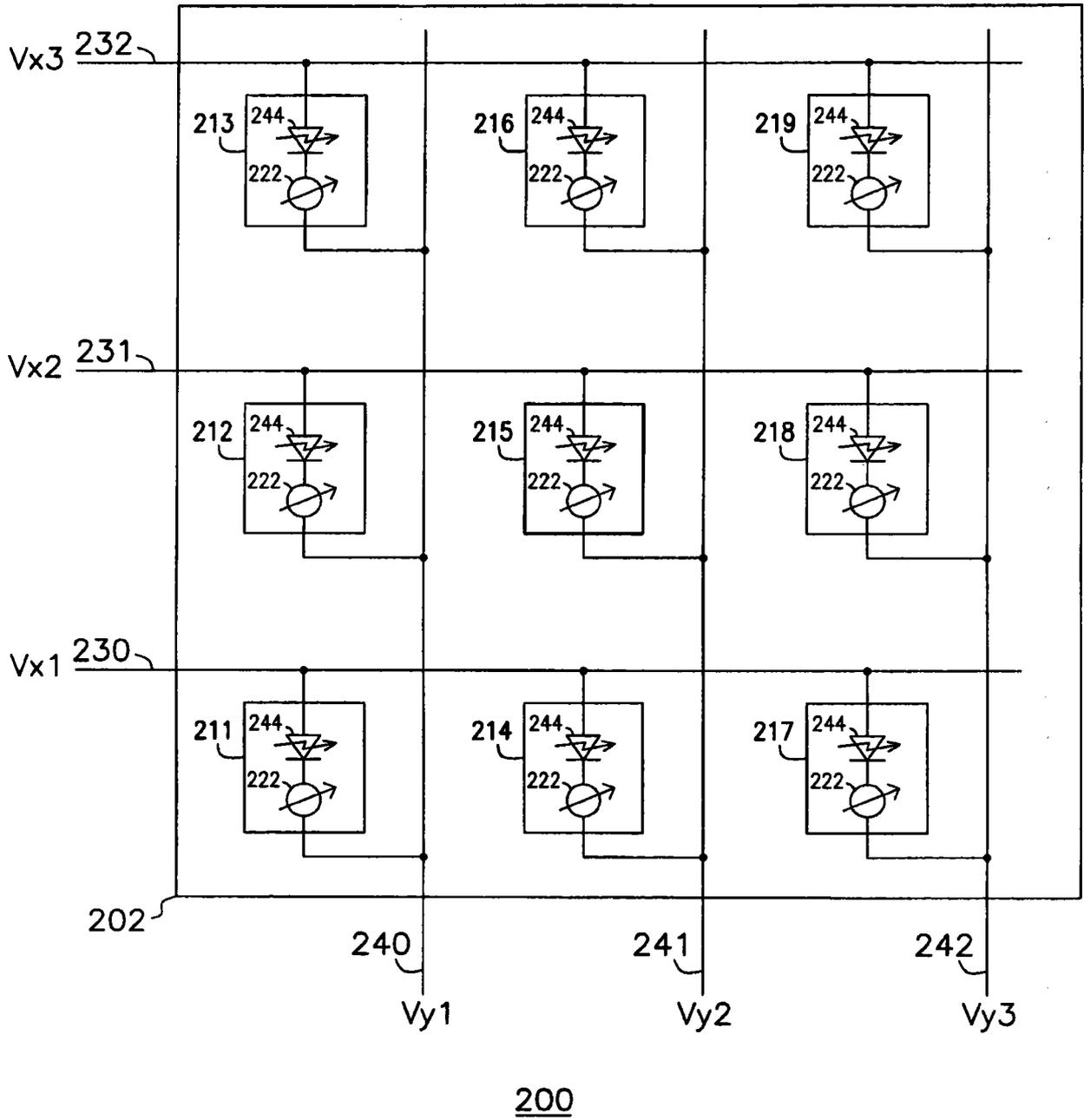


图 2

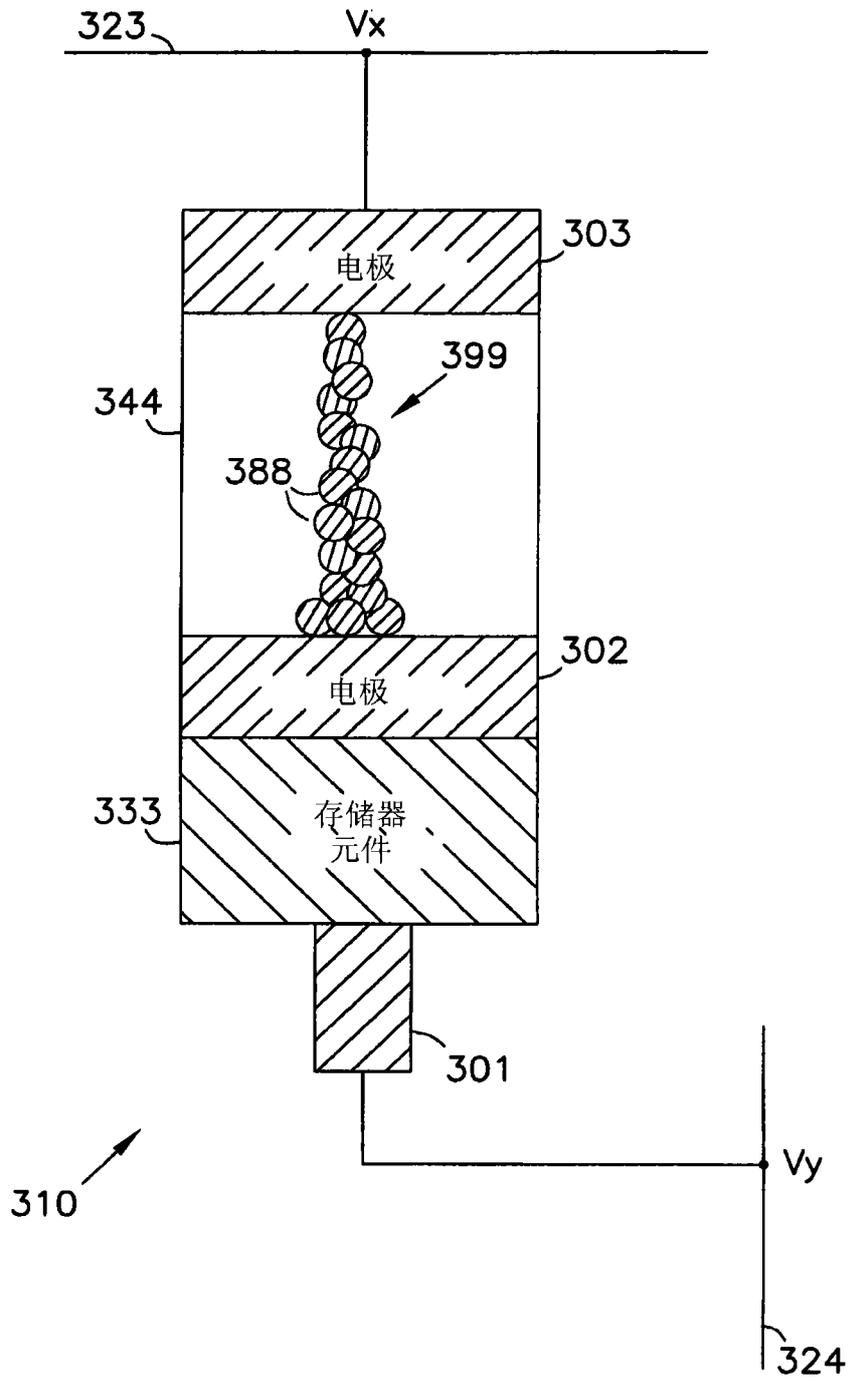


图 3

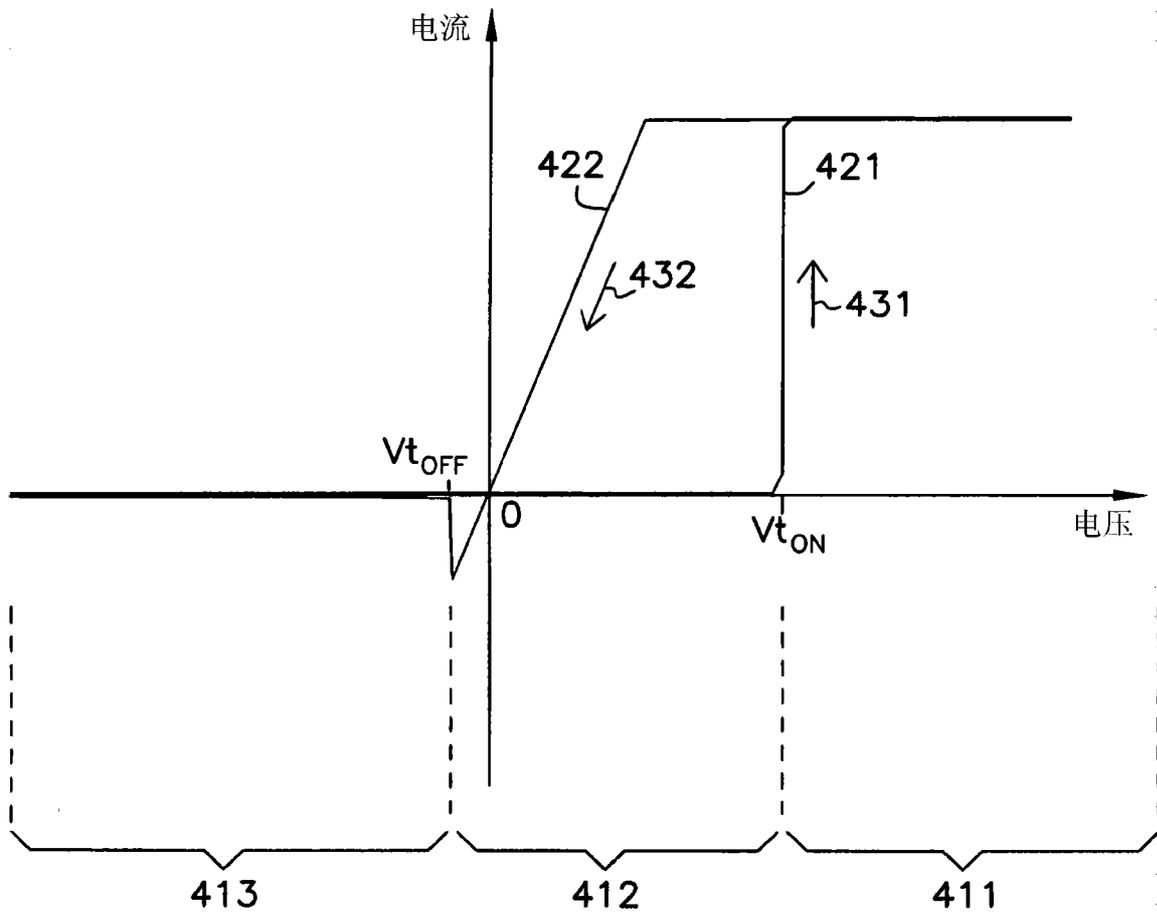


图 4

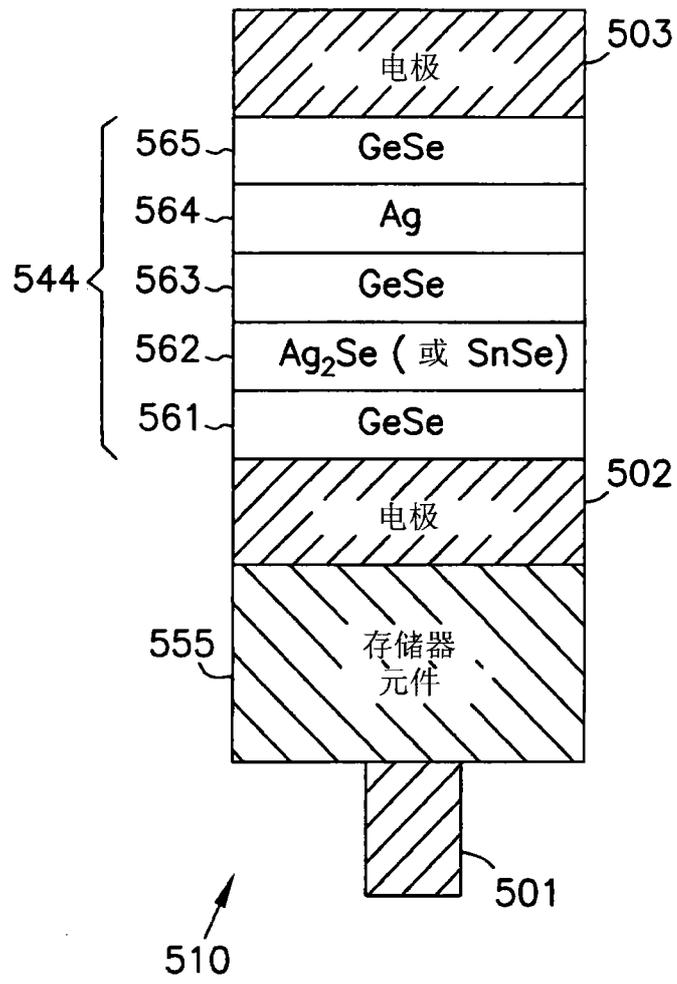


图 5

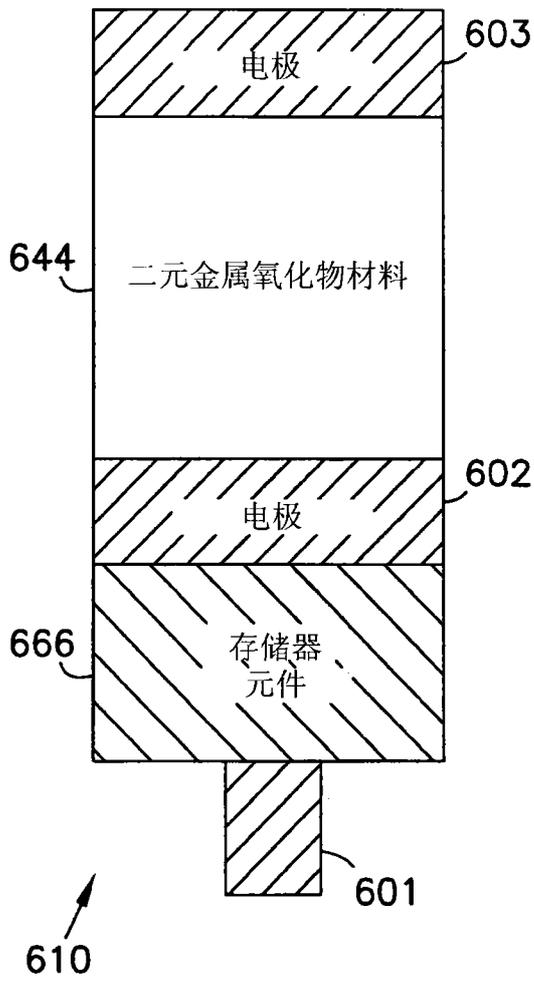


图 6

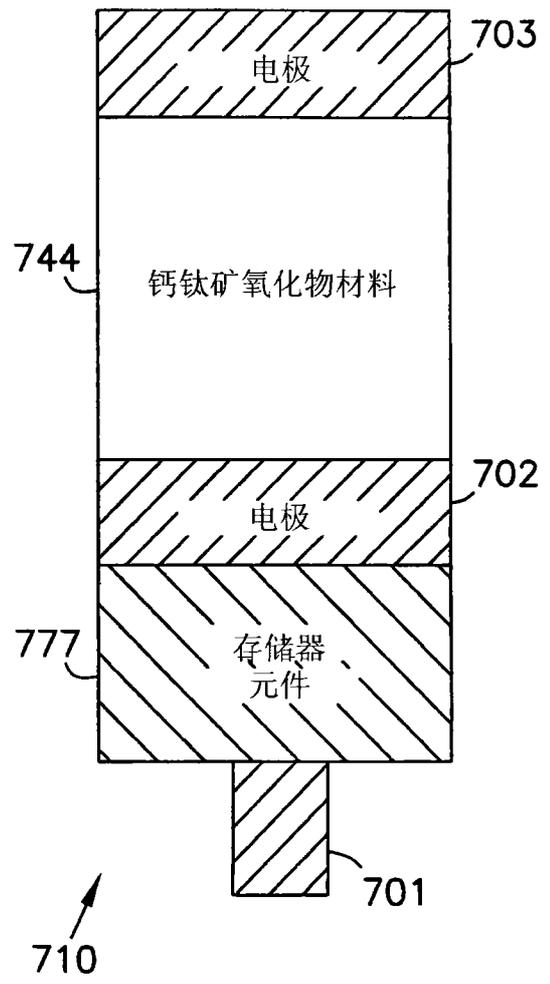


图 7

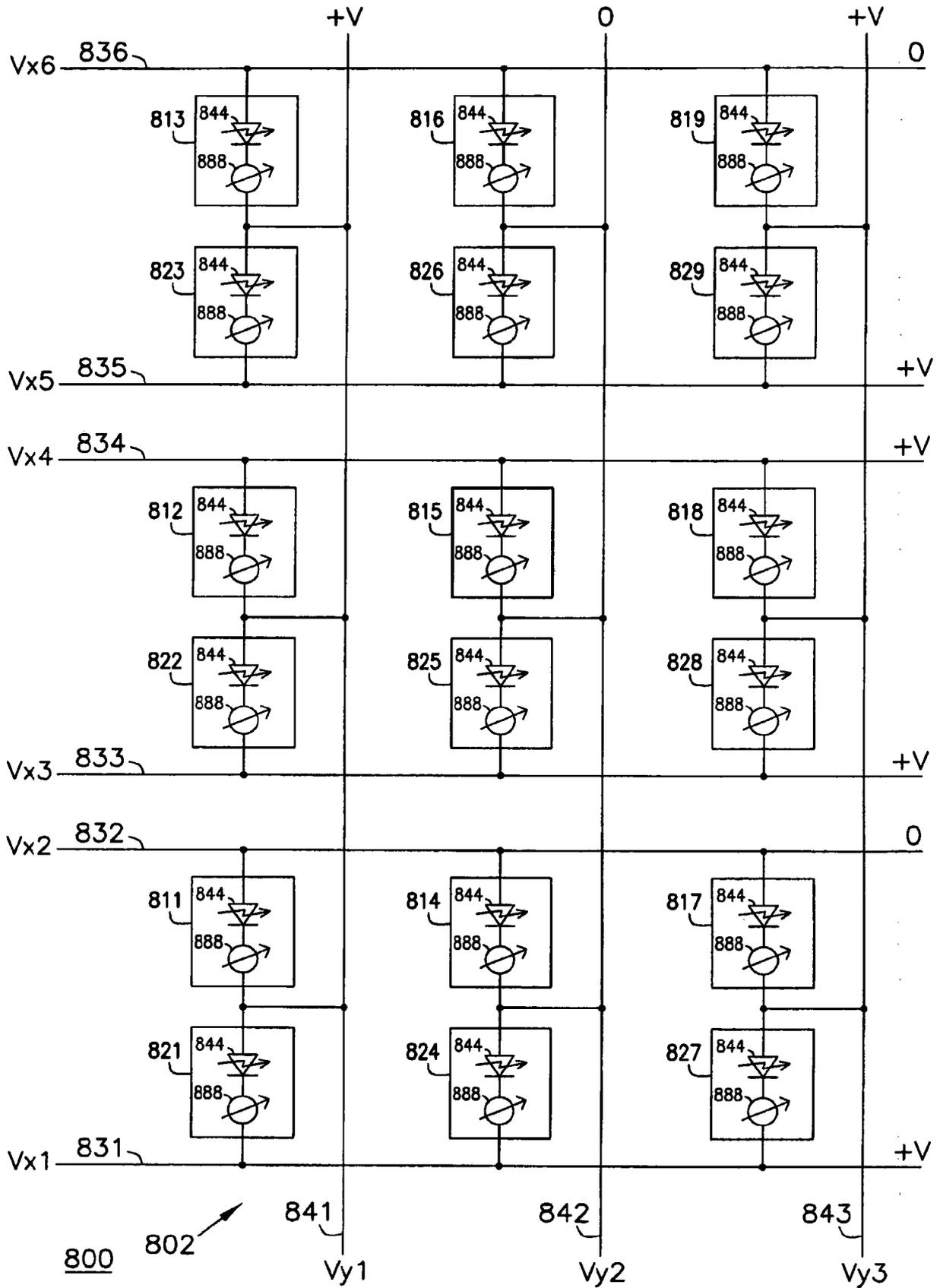


图 8

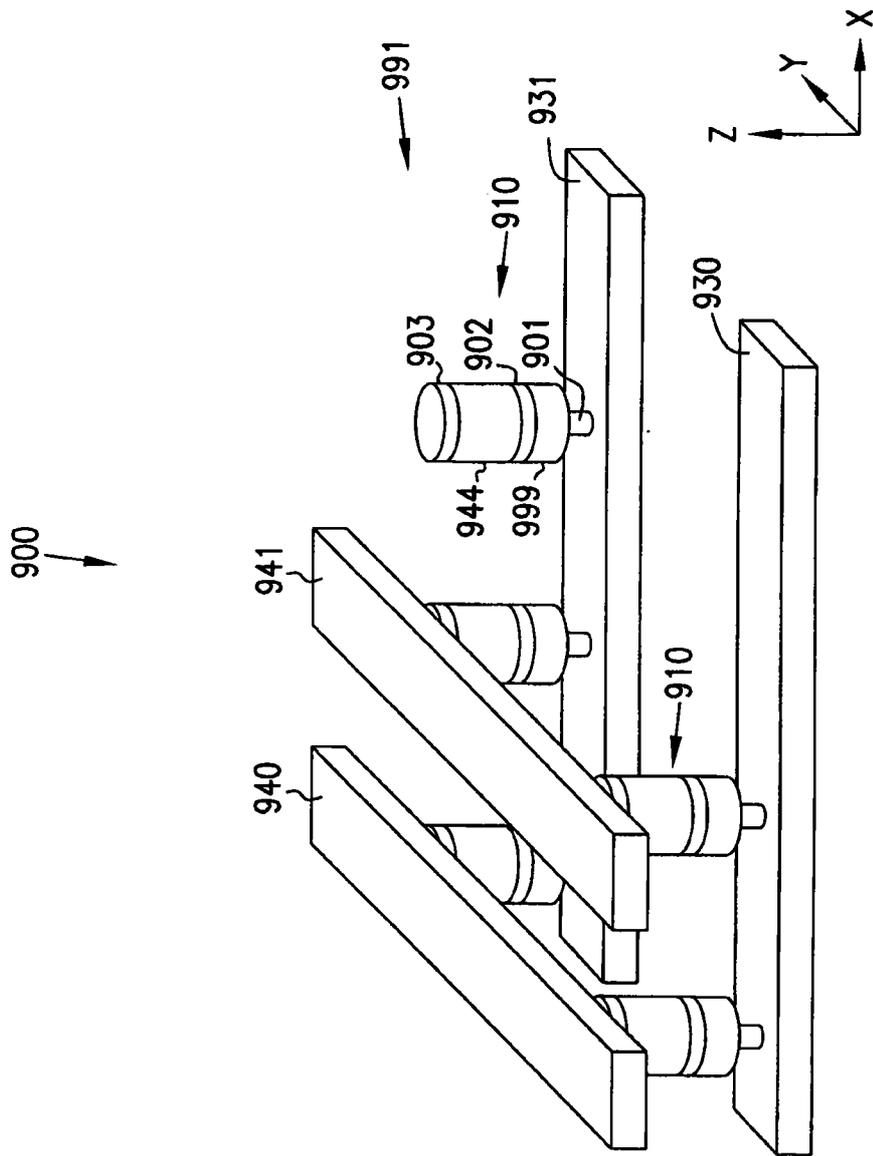


图 9

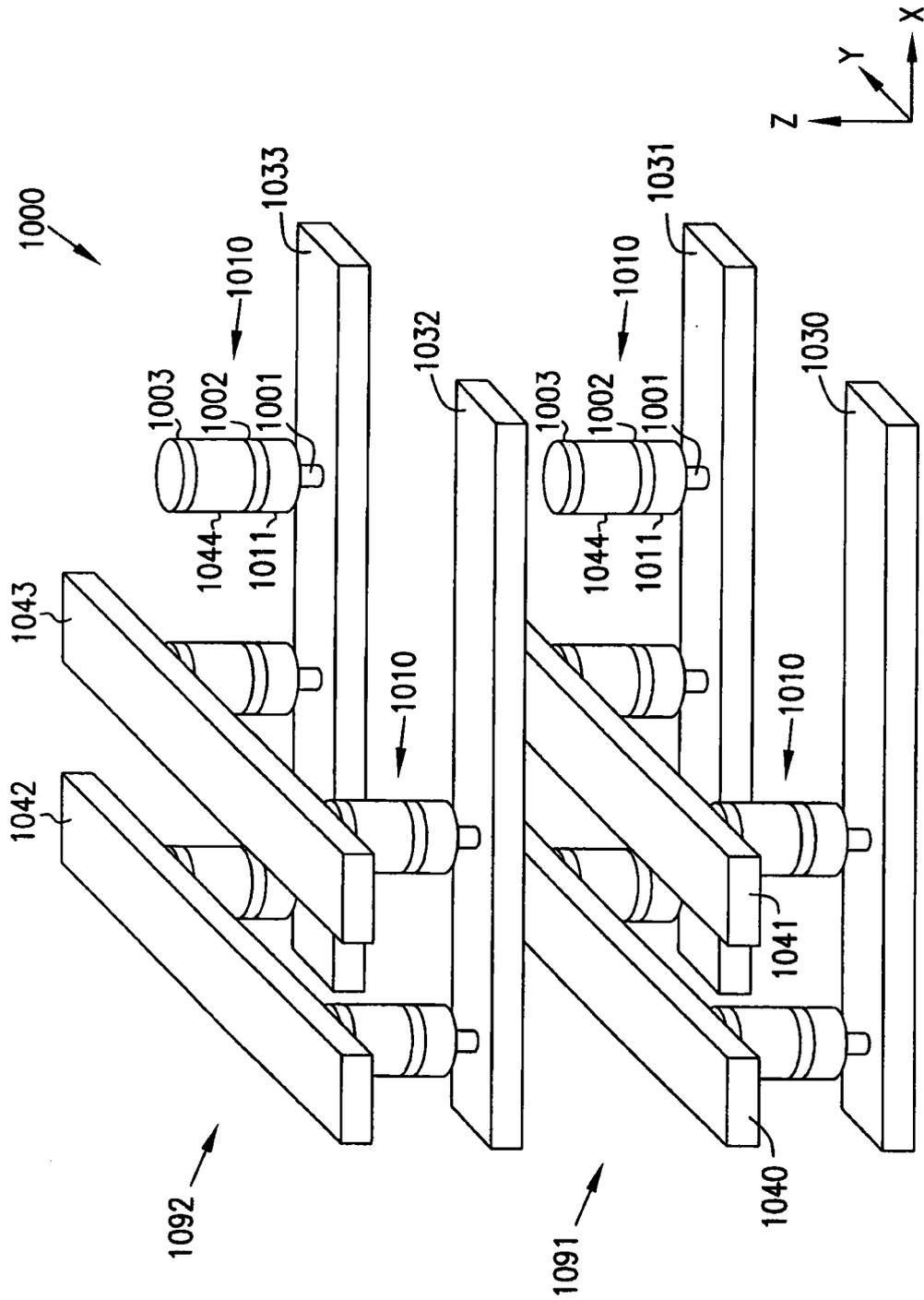


图 10

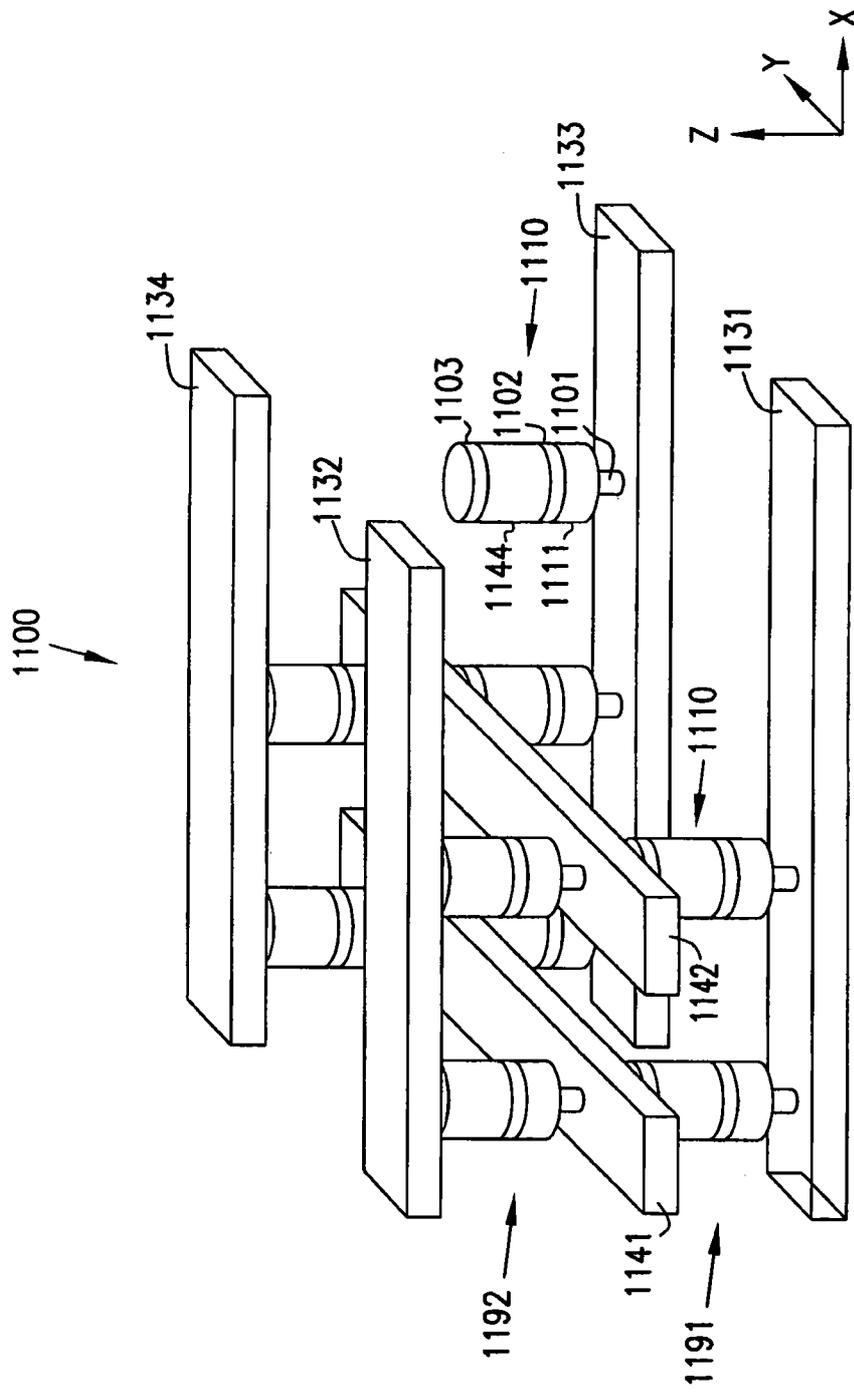


图 11

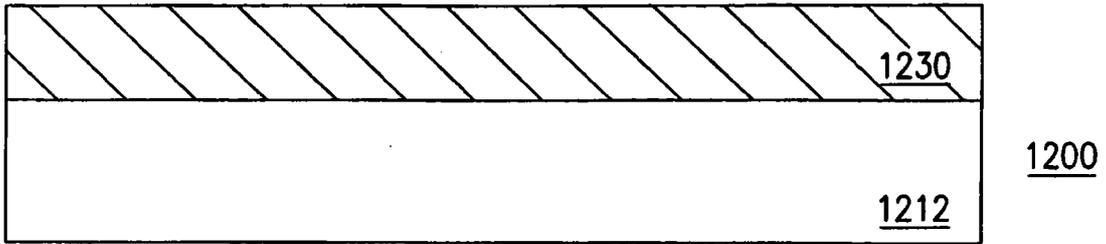


图 12

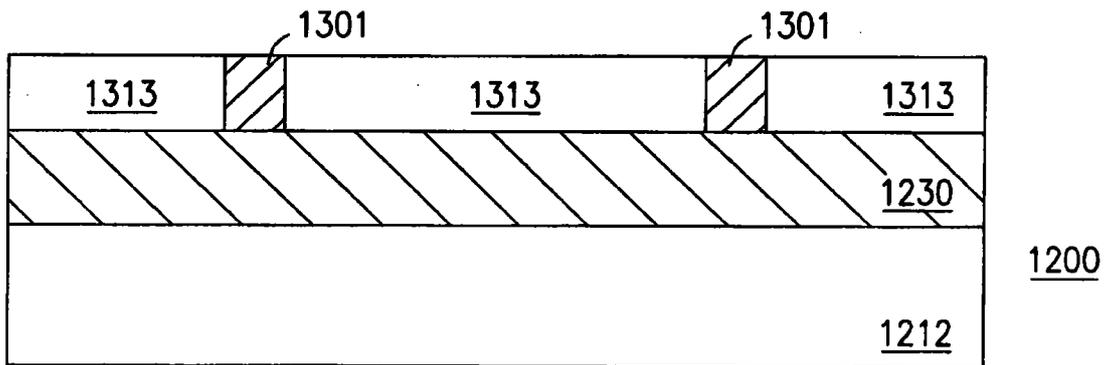


图 13

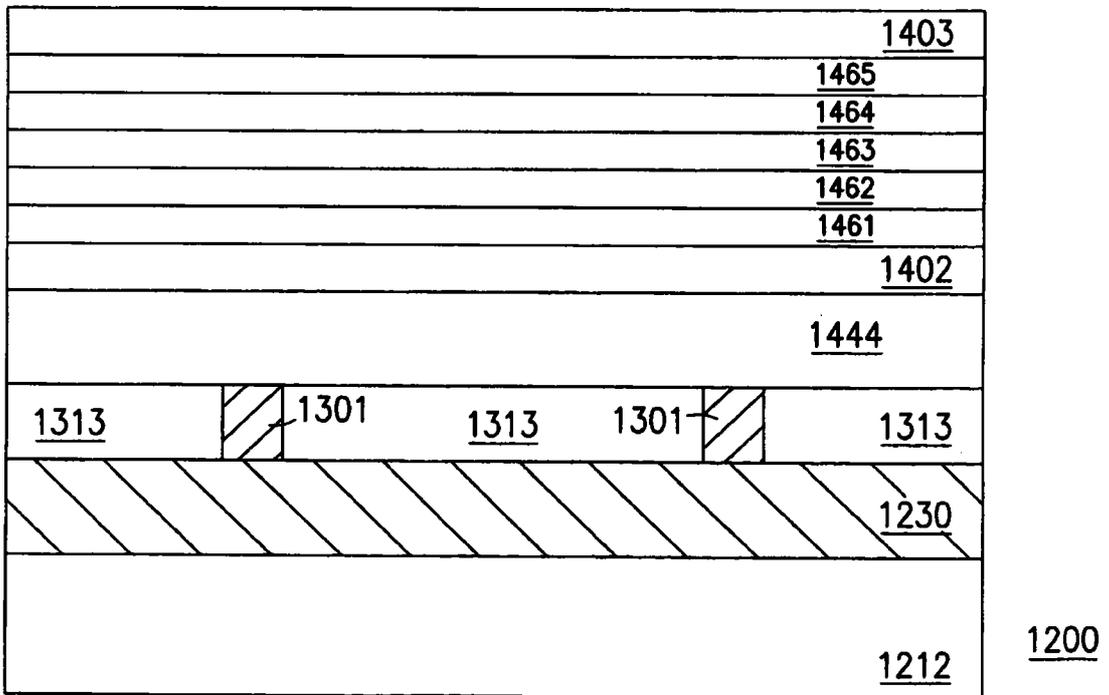


图 14

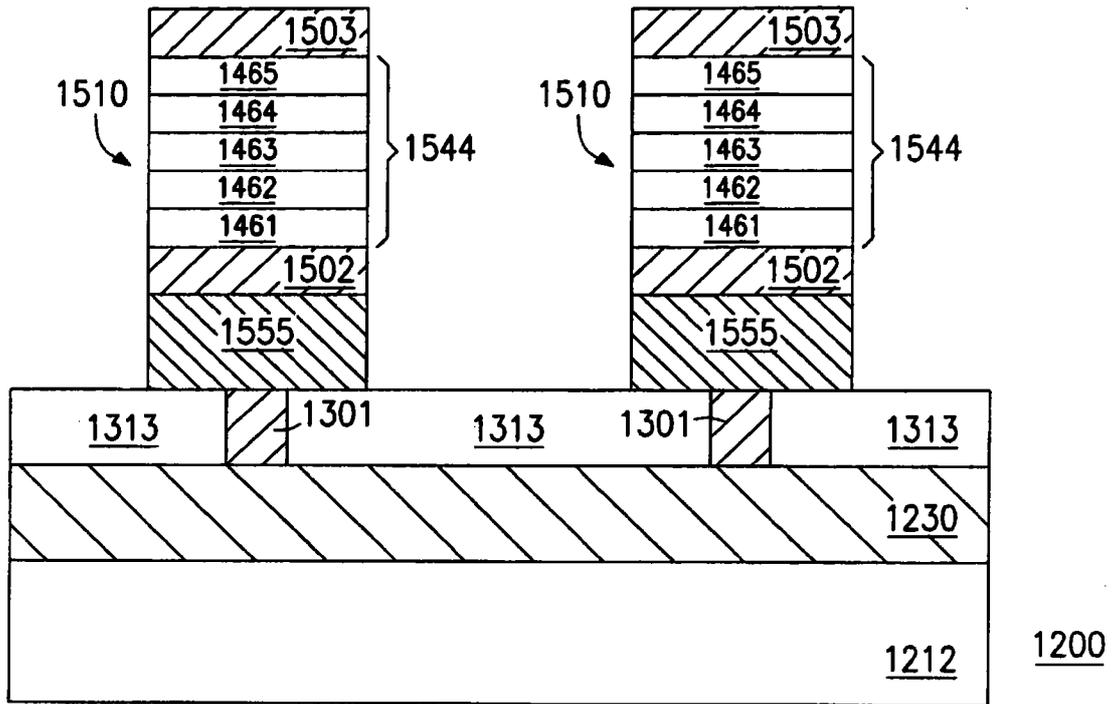


图 15

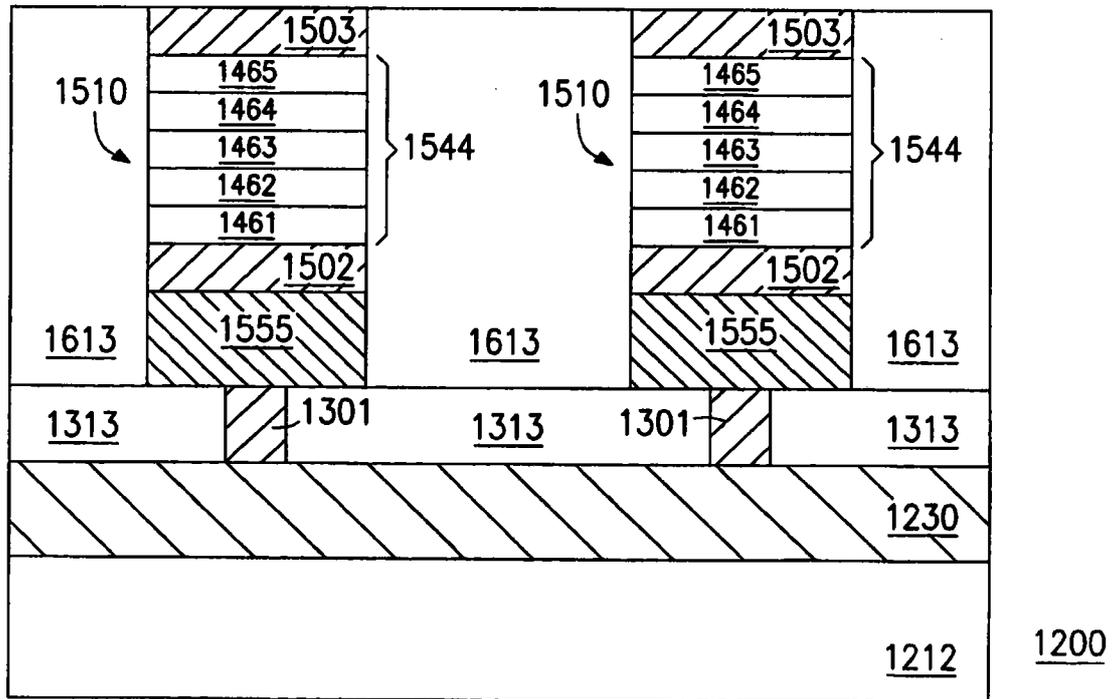


图 16

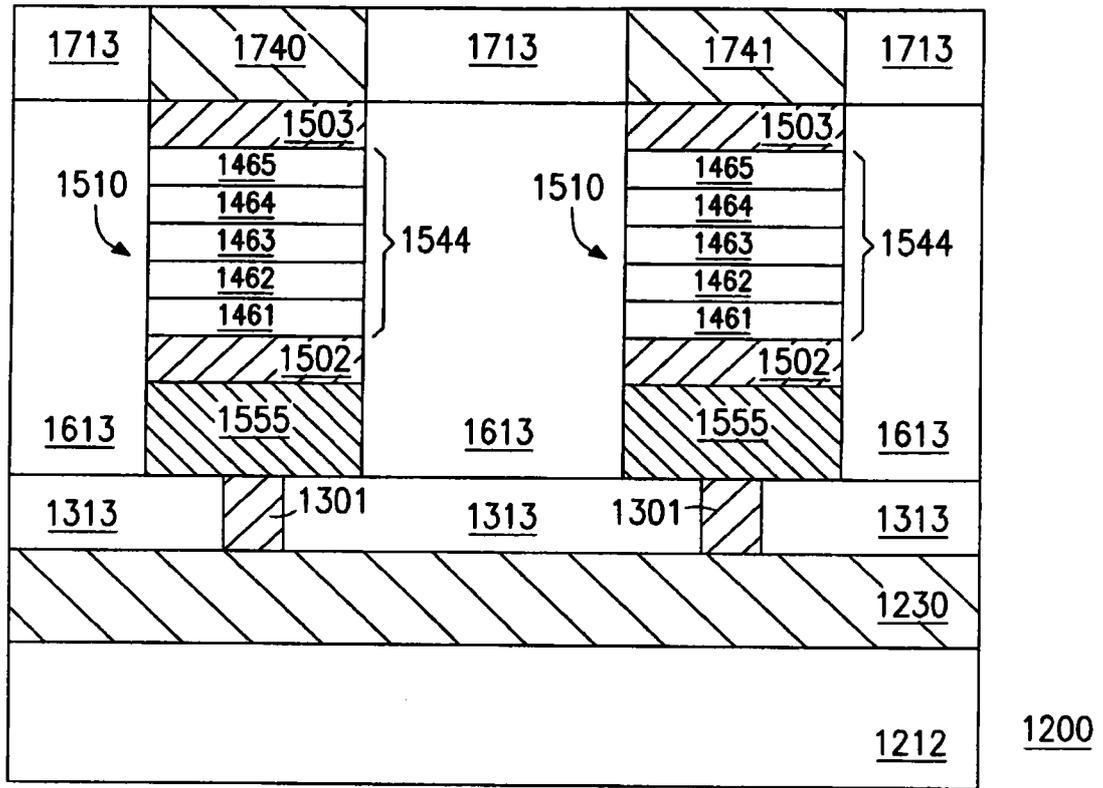


图 17

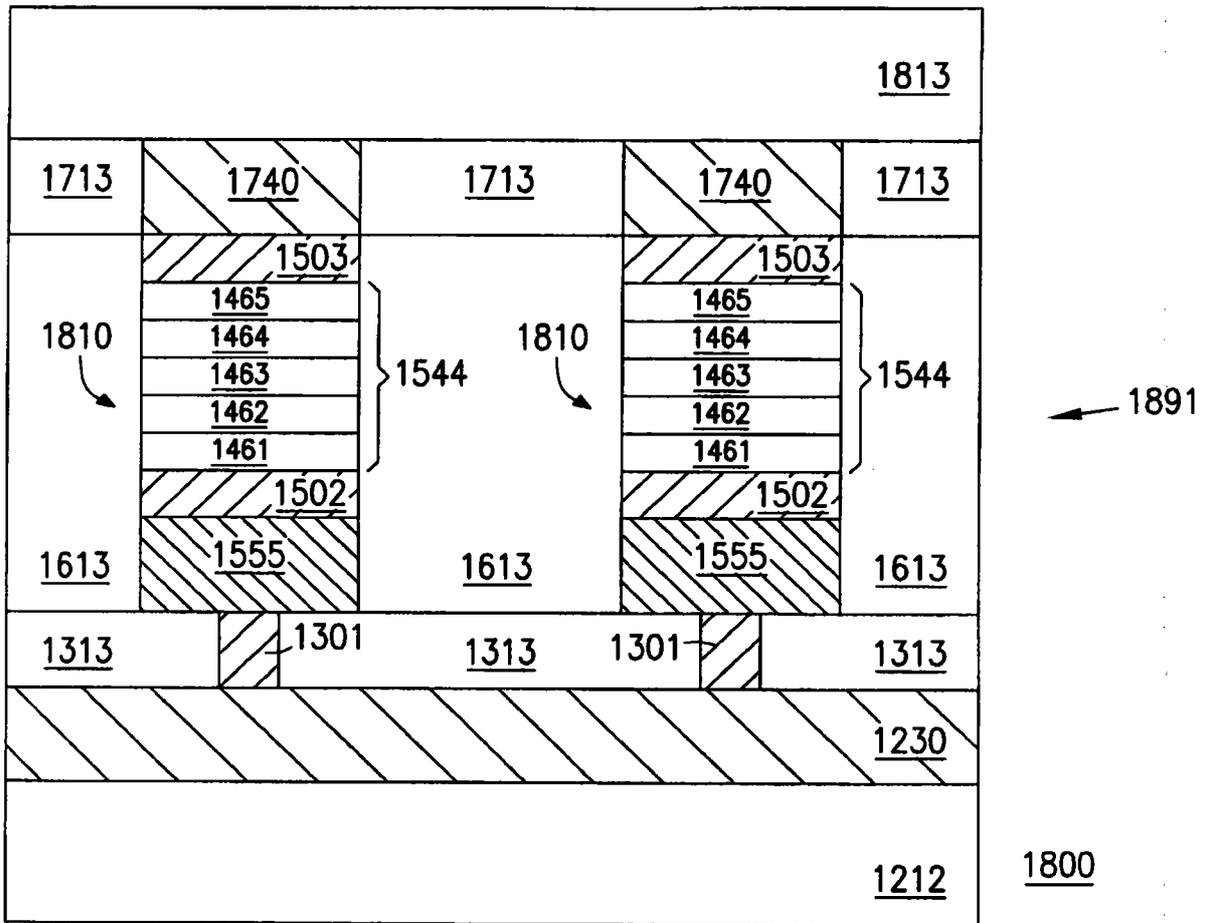


图 18

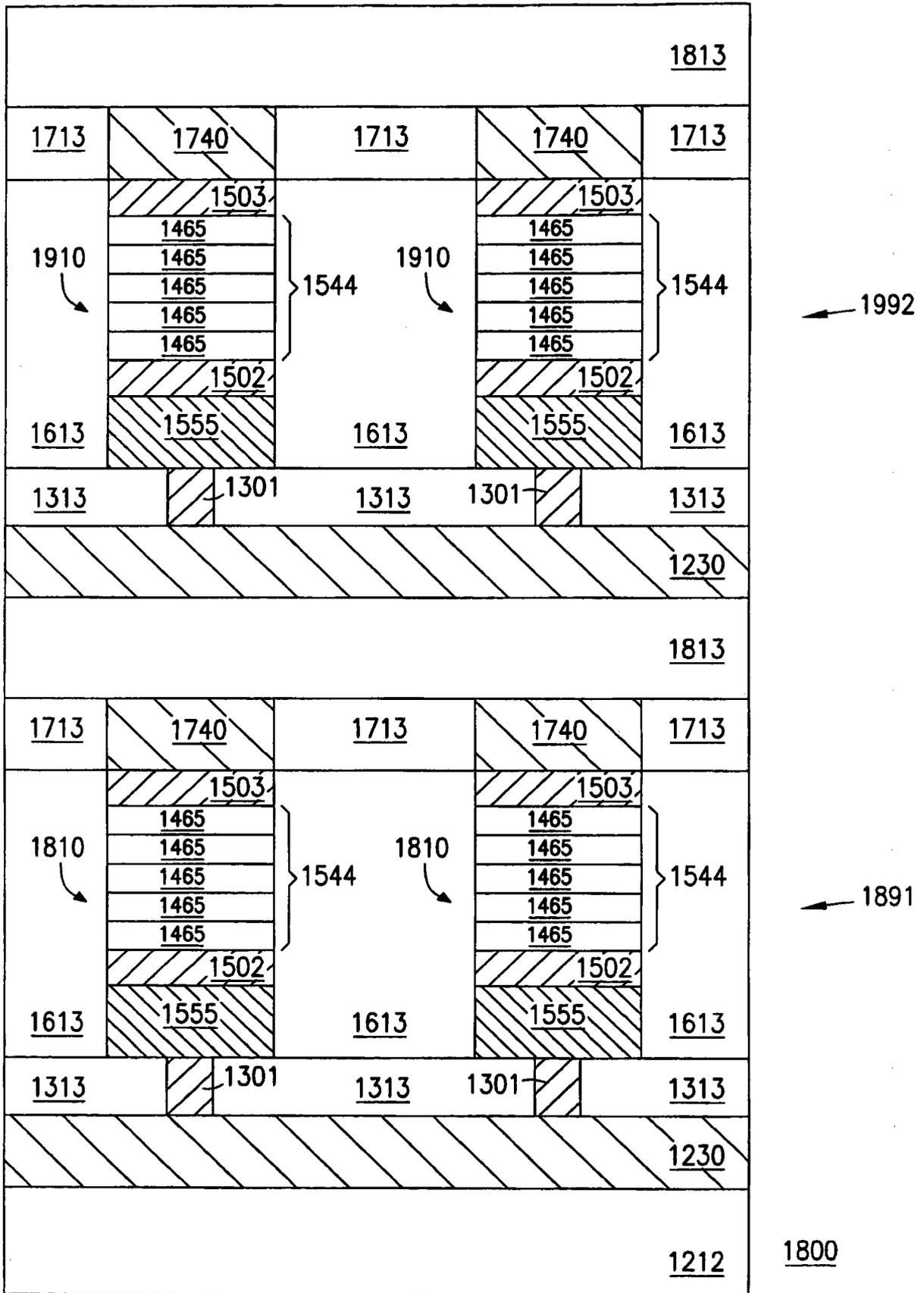


图 19

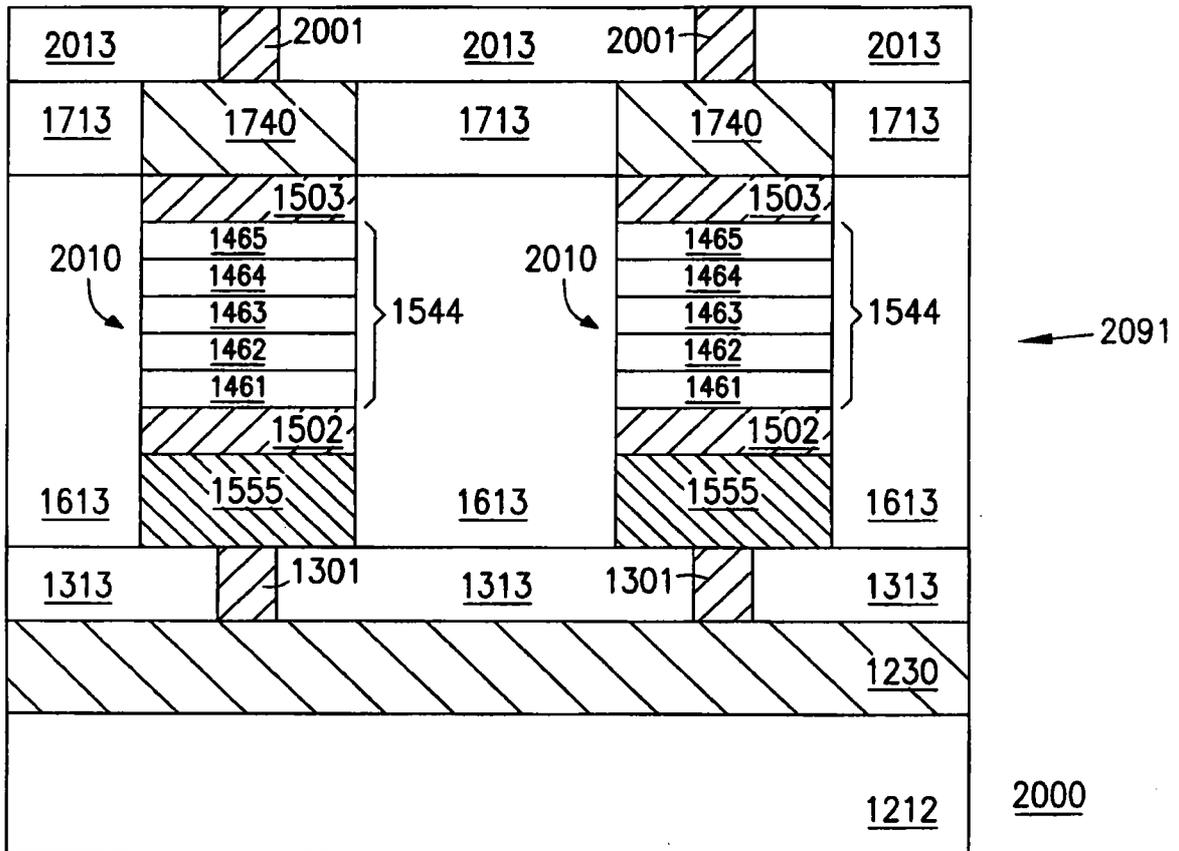


图 20

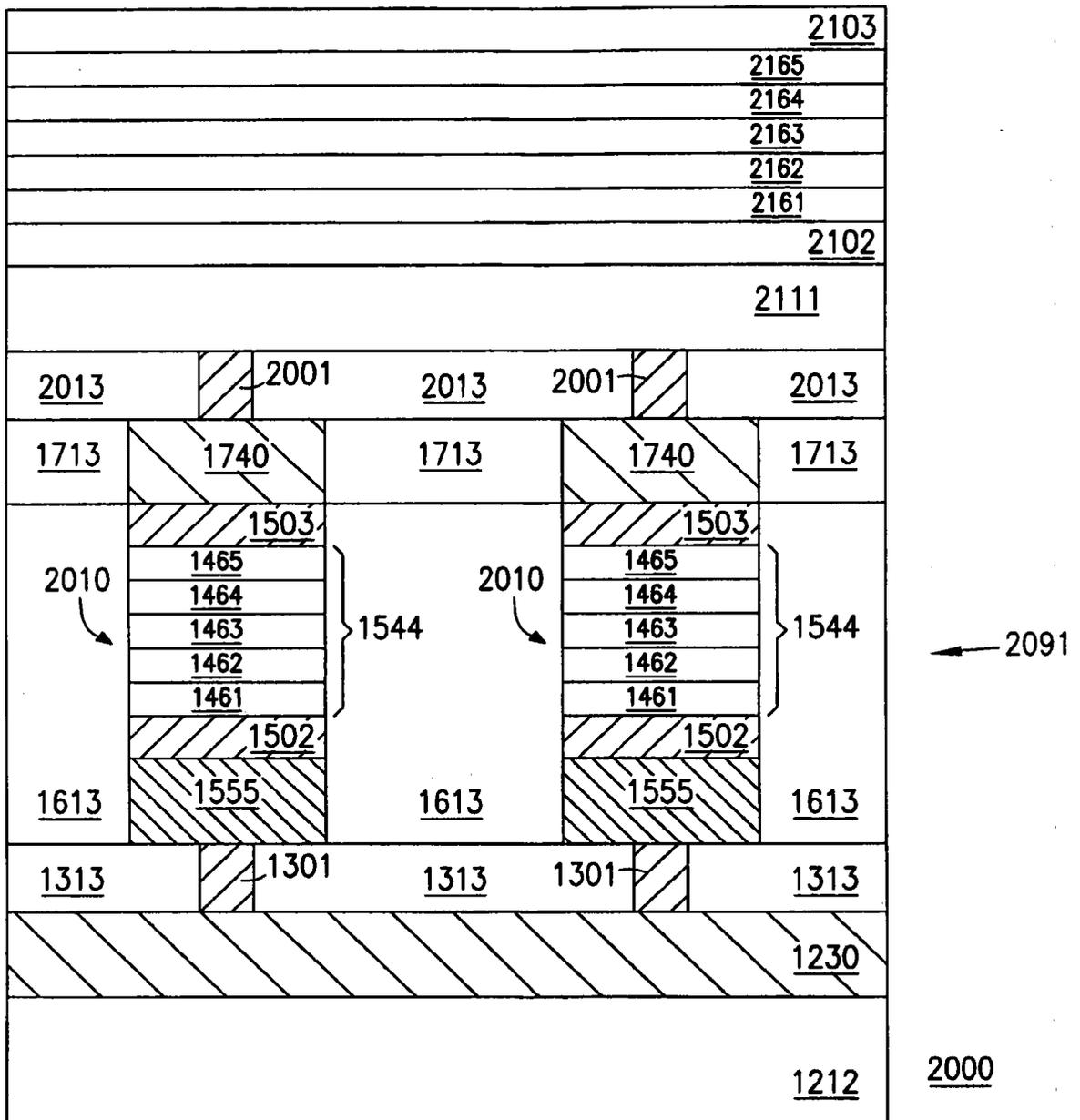


图 21

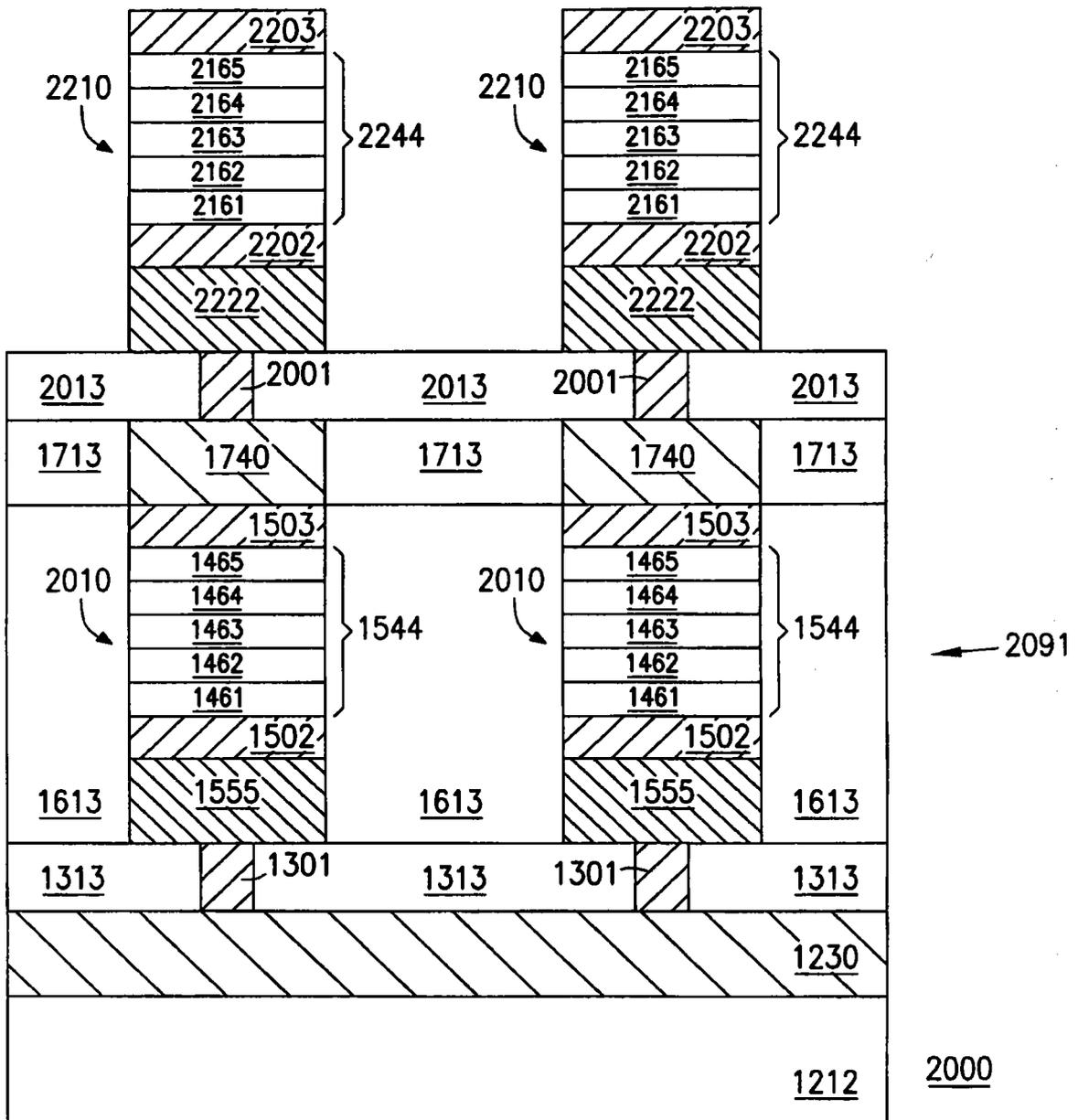


图 22

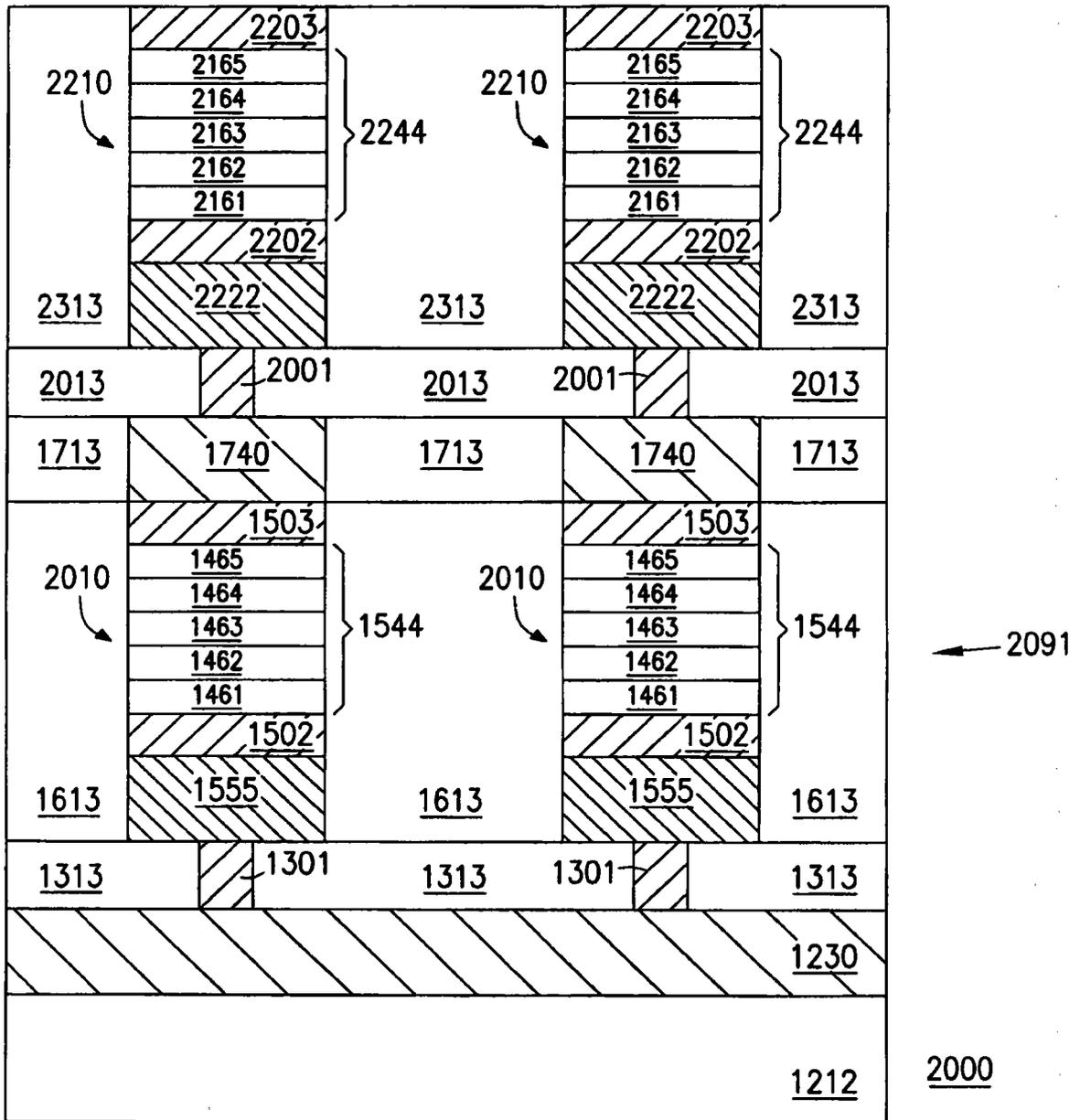


图 23

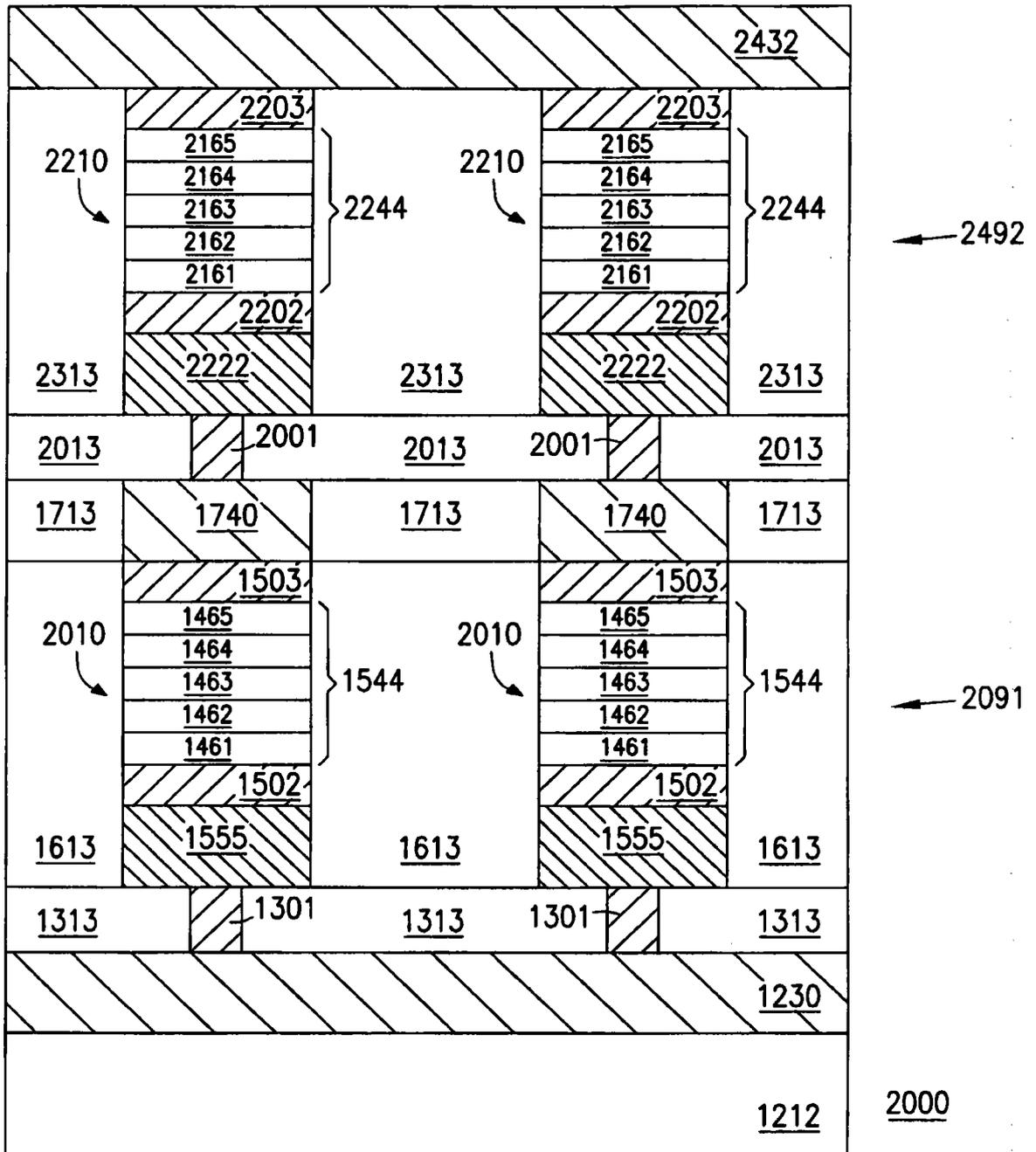


图 24