



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201216620 A1

(43)公開日：中華民國 101 (2012) 年 04 月 16 日

(21)申請案號：099133954

(22)申請日：中華民國 99 (2010) 年 10 月 06 日

(51)Int. Cl. : **H03K17/22 (2006.01)**

G06F1/24 (2006.01)

(71)申請人：鴻海精密工業股份有限公司 (中華民國) HON HAI PRECISION INDUSTRY CO., LTD. (TW)

新北市土城區自由街 2 號

(72)發明人：趙鴻文 CHAO, HONG WEN (TW)；莊三元 CHUANG, SAN YUAN (TW)；席茂順 HSI, MAO SHUN (TW)

申請實體審查：無 申請專利範圍項數：8 項 圖式數：2 共 13 頁

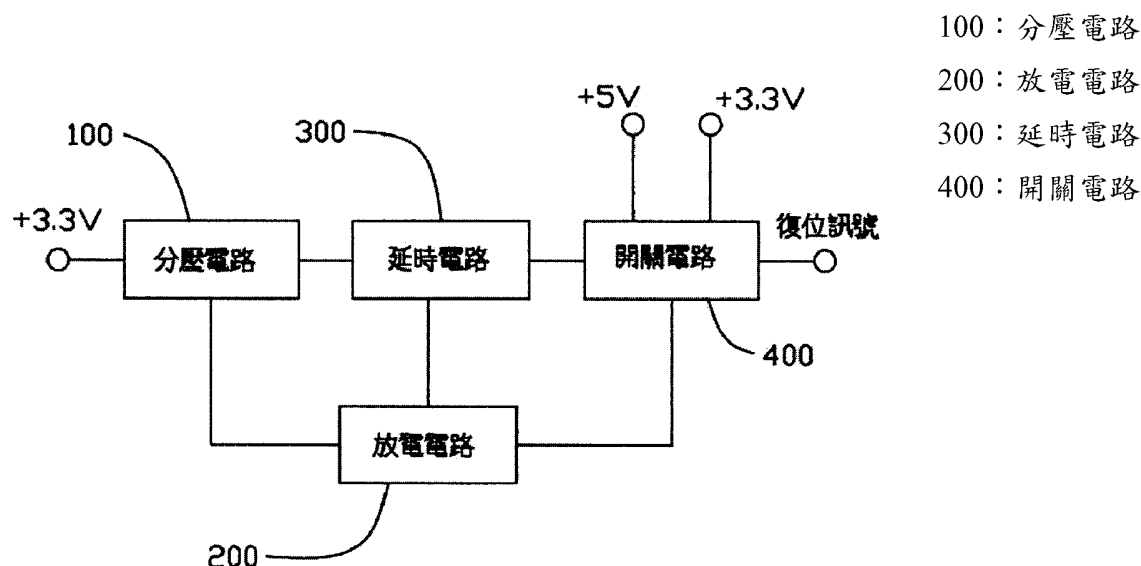
(54)名稱

復位訊號放電電路

RESETTING SIGNAL DISCHARGE CIRCUIT

(57)摘要

一種復位訊號放電電路，用以於復位訊號拉低過程中對該復位訊號進行放電，包括一分壓電路、一放電電路、一延時電路及一開關電路，該分壓電路接收一第一電壓訊號，並將該第一電壓訊號降壓後輸出一第二電壓訊號，該第二電壓訊號對延時電路進行充電，並於該延時電路充滿電後將第二電壓訊號輸出給該開關電路，該開關電路接收第二電壓訊號，並根據該第二電壓訊號輸出復位訊號，該放電電路於第一電壓訊號由高電位變為低電位之過程中加快對該延時電路之放電處理，使得該復位訊號於第一電壓訊號之前被拉低。



六、發明說明：

【發明所屬之技術領域】

[0001] 本發明涉及一種復位訊號放電電路，尤指一種可保證電腦系統時序正常之復位訊號放電電路。

【先前技術】

[0002] 根據電腦運行之訊號時序規範，RSMRST（重啟正常復位）訊號由於受到+3.3V_AUX（+3.3 V輔助電壓）訊號之控制，RSMRST訊號之下降時間應比+3.3V_AUX訊號之下降時間要短，即RSMRST訊號應先於+3.3V_AUX訊號被拉低至低電位。習知之RSMRST電路中通常採用電阻與電容構成RC濾波電路以濾除訊號中之雜波干擾。然而由於電容屬於儲能元件具有充電延時之效應，因此造成RSMRST訊號於放電過程中有延時。最終可能導致RSMRST訊號之時序落後於+3.3V_AUX訊號，即+3.3V_AUX訊號先於RSMRST訊號被拉低至低電位，不符合訊號時序規範。由此產生之時序紊亂容易造成電腦系統不穩定與開機異常。

【發明內容】

[0003] 鑒於以上內容，有必要提供一種可保證電腦系統時序正常之復位訊號放電電路。

[0004] 一種復位訊號放電電路，用以於復位訊號拉低過程中對該復位訊號進行放電，包括一分壓電路、一放電電路、一延時電路及一開關電路，該分壓電路接收一第一電壓訊號，並將該第一電壓訊號降壓後輸出一第二電壓訊號，該第二電壓訊號對延時電路進行充電，並於該延時電

路充滿電後將第二電壓訊號輸出給該開關電路，該開關電路接收第二電壓訊號，並根據該第二電壓訊號輸出復位訊號，該放電電路於第一電壓訊號由高電位變為低電位之過程中加快對該延時電路之放電處理，使得該復位訊號於第一電壓訊號之前被拉低。

[0005] 與習知技術相比，上述復位訊號放電電路藉由延時電路對充滿電後之開關電路進行放電處理，使得復位訊號由高轉低時於第一電壓訊號之前被拉低，確保了復位訊號與第一電壓訊號之時序正常。

【實施方式】

[0006] 請參閱圖1，本發明復位訊號放電電路用以於復位訊號拉低過程中對該復位訊號進行放電，包括一分壓電路100、一放電電路200、一延時電路300及一開關電路400。該分壓電路100接收一第一電壓訊號，並將該第一電壓訊號降壓後輸出一第二電壓訊號。該第二電壓訊號對延時電路300進行充電，並於該延時電路300充滿電後將第二電壓訊號輸出給該開關電路400。該開關電路400接收第二電壓訊號，並根據該第二電壓訊號輸出復位訊號。該放電電路200於第一電壓訊號由高電位變為低電位之過程中加快對該延時電路300之放電處理，使得該復位訊號於第一電壓訊號之前被拉低。請參閱圖2，該分壓電路100包括一第一電阻R1及一第二電阻R2。該第一電阻R1一端接收第一電壓訊號，該第一電阻R1另一端經由第二電阻R2接地，該第一電阻R1與第二電阻R2之間之連接節點輸出該第二電壓訊號。該放電電路200包括一二極體D。該二

極體D之陽極電性連接該第一電阻R1與第二電阻R2之間之連接節點，該二極體D之陰極接收該第一電壓訊號。該延時電路300包括一電容C，該第一電阻R1與第二電阻R2之間之連接節點經由該電容C接地。

[0007] 該開關電路400包括一第一開關T1、一第二開關T2、一第三電阻R3及一第四電阻R4。每一開關T1、T2包括一第一端、一第二端及一第三端。該第一開關T1之第一端接收該第二電壓訊號。該第一開關T1之第二端接地。該第一開關T1之第三端電性連接該第二開關T2之第一端。該第一開關T1之第三端還經由該第三電阻R3接收一第三電壓訊號。該第二開關T2之第二端接地。該第二開關T2之第三端輸出該復位訊號。該第二開關T2之第三端還經由該第四電阻R4接收第一電壓訊號。其中，該第一開關與第二開關T1、T2為NPN型電晶體，該第一端、第二端與第三端分別為基極、射極與集極。其中，該第一電壓訊號為+3.3V輔助電壓訊號，該第二電壓訊號為+5V輔助電壓訊號。

[0008] 當該分壓電路100接收高電位之第一電壓訊號時，該第一電壓訊號經該分壓電路100降壓後轉換為一第二電壓訊號。該第二電壓訊號給該延時電路300之電容C充電直至該第一開關T1導通，此時該第二開關T2截止，該第二開關T2之第三端輸出高電位之復位訊號。

[0009] 當該分壓電路100接收低電位之第一電壓訊號時，儲滿電量之電容C藉由該二極體D快速放電由高電位降至低電位。此時該第一開關T1截止，第二開關T2導通，該第二開

關T2之第三端輸出低電位之復位訊號。於該第一電壓訊號由高轉低之過程中，該電容C藉由二極體D快速放電，使得該復位訊號可於第一電壓訊號之前被拉低。

[0010] 藉由一示波器分別對該第一電壓訊號與復位訊號進行量測，未使用本發明復位訊號放電電路時，該復位訊號拉低至0.8V之時間比第一電壓訊號拉低至2.1V之時間落後560微秒。而使用本發明復位訊號放電電路後，該復位訊號拉低至0.8V之時間比第一電壓訊號拉低至2.1V之時間提前480微秒，符合因特爾對於第一電壓訊號與復位訊號之時序規範。

[0011] 本發明復位訊號放電電路藉由延時電路300對充滿電後之開關電路400進行放電處理，使得復位訊號由高轉低時於第一電壓訊號之前被拉低，確保了復位訊號與第一電壓訊號之時序正常。

[0012] 綜上所述，本發明確已符合發明專利要求，爰依法提出專利申請。惟，以上所述者僅為本發明之較佳實施方式，舉凡熟悉本發明技藝之人士，爰依本發明之精神所作之等效修飾或變化，皆應涵蓋於以下之申請專利範圍內。

【圖式簡單說明】

[0013] 圖1係本發明復位訊號放電電路之框圖。

[0014] 圖2係本發明復位訊號放電電路之電路圖。

【主要元件符號說明】

[0015] 分壓電路：100

[0016] 放電電路：200

[0017] 延時電路：300

[0018] 開關電路：400

[0019] 第一開關：T1

[0020] 第二開關：T2

[0021] 二極體：D

[0022] 電容：C

[0023] 第一電阻：R1

[0024] 第二電阻：R2

[0025] 第三電阻：R3

[0026] 第四電阻：R4



專利案號：099133954



日期：99年10月06日

發明專利說明書

※申請案號：099133954

※IPC分類：

H03K 17/22 (2006.01)
G06F 1/24 (2006.01)

※申請日：99.10.06

一、發明名稱：

復位訊號放電電路

Resetting Signal Discharge Circuit

二、中文發明摘要：

一種復位訊號放電電路，用以於復位訊號拉低過程中對該復位訊號進行放電，包括一分壓電路、一放電電路、一延時電路及一開關電路，該分壓電路接收一第一電壓訊號，並將該第一電壓訊號降壓後輸出一第二電壓訊號，該第二電壓訊號對延時電路進行充電，並於該延時電路充滿電後將第二電壓訊號輸出給該開關電路，該開關電路接收第二電壓訊號，並根據該第二電壓訊號輸出復位訊號，該放電電路於第一電壓訊號由高電位變為低電位之過程中加快對該延時電路之放電處理，使得該復位訊號於第一電壓訊號之前被拉低。

三、英文發明摘要：

A resetting signal discharge circuit includes a voltage regulator circuit, a discharge circuit, a delay circuit and a switch circuit. The voltage regulator circuit receives a first voltage signal, and converts the first voltage signal to a second voltage signal. The second voltage signal charges the delay circuit, and outputs the second voltage signal when the delay circuit is fully discharged. The switch circuit receives the second voltage signal, and outputs the resetting signal according to the received second voltage signal. The discharge circuit discharges the delay circuit rapidly when the first voltage signal changes from a high voltage to a

201216620

low voltage level. The resetting signal is pulled down to a low voltage level before that of the first voltage signal.



Michael
2012/12/12
Office

七、申請專利範圍：

- 1 . 一種復位訊號放電電路，用以於復位訊號拉低過程中對該復位訊號進行放電，包括一分壓電路、一放電電路、一延時電路及一開關電路，該分壓電路接收一第一電壓訊號，並將該第一電壓訊號降壓後輸出一第二電壓訊號，該第二電壓訊號對延時電路進行充電，並於該延時電路充滿電後將第二電壓訊號輸出給該開關電路，該開關電路接收第二電壓訊號，並根據該第二電壓訊號輸出復位訊號，該放電電路於第一電壓訊號由高電位變為低電位之過程中加快對該延時電路之放電處理，使得該復位訊號於第一電壓訊號之前被拉低。
- 2 . 如申請專利範圍第1項所述之復位訊號放電電路，其中該分壓電路包括一第一電阻及一第二電阻，該第一電阻一端接收第一電壓訊號，該第一電阻另一端經由第二電阻接地，該第一電阻與第二電阻之間之連接節點輸出該第二電壓訊號。
- 3 . 如申請專利範圍第2項所述之復位訊號放電電路，其中該延時電路包括一電容，該第一電阻與第二電阻之間之連接節點經由該電容接地。
- 4 . 如申請專利範圍第3項所述之復位訊號放電電路，其中該開關電路包括一第一開關、一第二開關、一第三電阻及一第四電阻，每一開關包括一第一端、一第二端及一第三端，該第一開關之第一端接收該第二電壓訊號，該第一開關之第二端接地，該第一開關之第三端電性連接該第二開關之第一端，該第一開關之第三端還經由該第三電阻接收一

第三電壓訊號，該第二開關之第二端接地，該第二開關之第三端輸出該復位訊號，該第二開關之第三端還經由該第四電阻接收第一電壓訊號。

- 5 . 如申請專利範圍第4項所述之復位訊號放電電路，其中該第一開關與第二開關為NPN型電晶體，該第一端、第二端與第三端分別為基極、射極與集極。
- 6 . 如申請專利範圍第4項所述之復位訊號放電電路，其中該放電電路包括一二極體，該二極體之陽極電性連接該第一電阻與第二電阻之間之連接節點，該二極體之陰極接收該第一電壓訊號。
- 7 . 如申請專利範圍第6項所述之復位訊號放電電路，其中當該分壓電路接收高電位之第一電壓訊號時，該第二開關之第三端輸出高電位之復位訊號。
- 8 . 如申請專利範圍第6項所述之復位訊號放電電路，其中當該分壓電路接收低電位之第一電壓訊號時，該第二開關之第三端輸出低電位之復位訊號。

八、圖式：

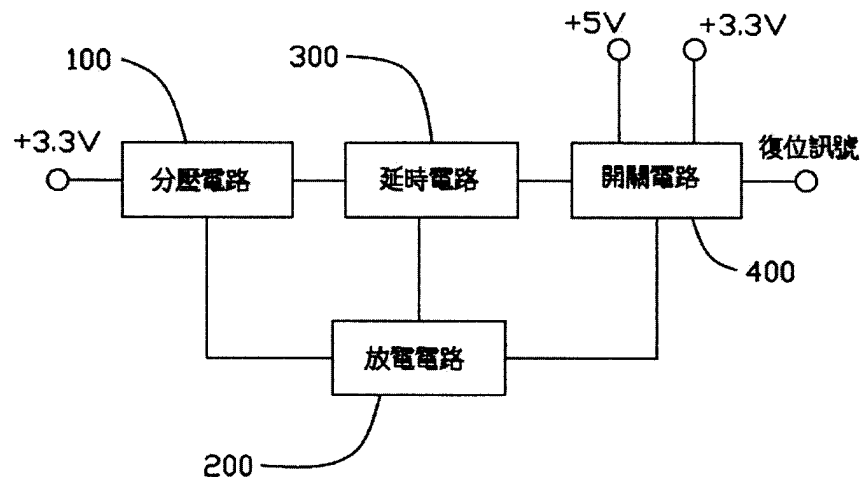


圖 1

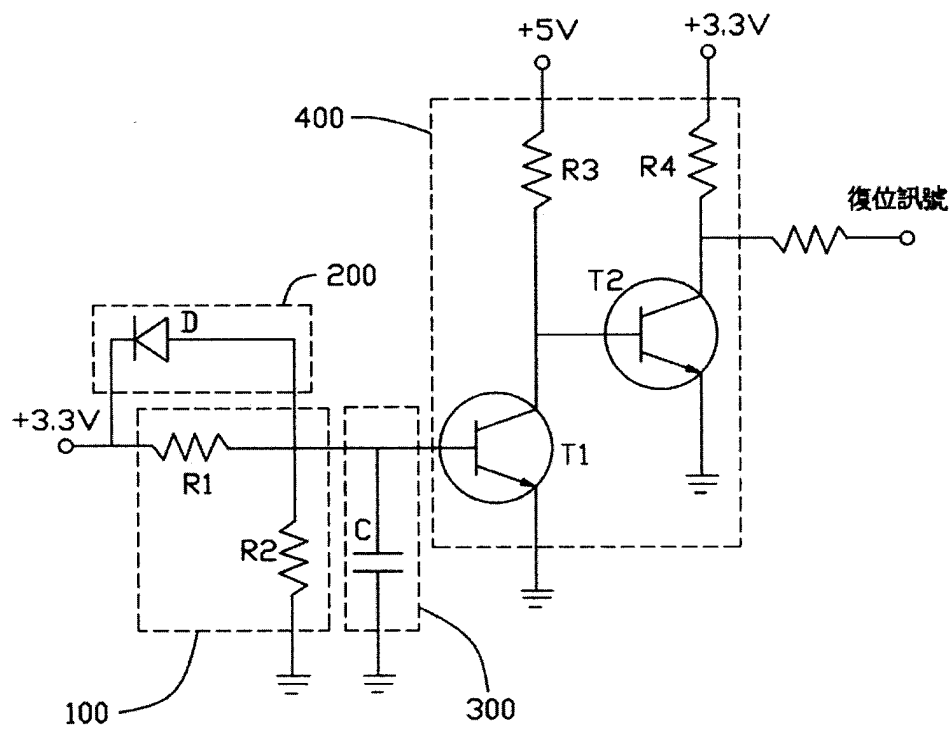


圖 2

四、指定代表圖：

(一)本案指定代表圖為：第 (1) 圖

(二)本代表圖之元件符號簡單說明：

分壓電路：100

放電電路：200

延時電路：300

開關電路：400

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：



Intellectual
Property
Office