

公告本

申請日期	89 年 6 月 27 日
案 號	89112658
類 別	G06F 15/00

A4
C4

494309

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	PCI 串列傳輸之基本觀念
	英 文	Basic concept of PCI serial transmission
二、發明 創作人	姓 名	(1) 中村伸隆
	國 籍	(1) 日本 (1) 日本國埼玉縣日高市橫手一—三一—九
	住、居所	
三、申請人	姓 名 (名稱)	(1) 東芝股份有限公司 株式会社東芝
	國 籍	(1) 日本 (1) 日本國神奈川縣川崎市幸區堀川町七二番地
	住、居所 (事務所)	
	代 表 人 姓 名	(1) 西室泰三

裝

訂

線

(由本局填寫)

承辦人代碼：
大 類：
I P C分類：

A6
B6

本案已向：

國 (地區) 申請專利，申請日期： 案號： ， ☐有 ☐無主張優先權

日本 1999 年 6 月 29 日 11-183919 ☒有主張優先權

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明(1)

發明背景

本發明有關一種電腦系統，而更明確地，有關一種電腦系統，其被改進以透過一串列傳輸路徑來彼此連接兩個匯流排。

近來，各種手提式、電池驅動的、筆記簿型式個人電腦（於下文中被稱為筆記型電腦）已被發展。某些筆記型電腦被設計以附加至擴充單元來擴充所需的功能。為了容許一筆記型電腦主體有效地使用一擴充單元的資源，重要的是連接筆記型電腦主體之匯流排至擴充單元中之匯流排。以此匯流排連接，擴充單元中之匯流排上的裝置可被操作以相同於筆記型電腦主體中之裝置的相同方式。

於許多個人電腦中，P C I（週邊零件介面）匯流排被使用。介於一筆記型電腦主體與一擴充單元之間的匯流排連接通常被執行藉由實際地透過對接（docking）連接器以將筆記型電腦主體側上之P C I匯流排連接至擴充單元側，其每個對接連接器具有許多相應於每個P C I匯流排之信號線數目的梢（pins），其係備製於筆記型電腦側及擴充單元側上。

然而，依據此種配置，一實際的大面積須安裝一對接連接器。如此導致一缺點，於減小筆記型電腦主體之尺寸與外形時。此外，筆記型電腦主體側上之連接器安裝位置須匹配其擴充單元側上之位置。如此造成生產發展中之一實際外殼結構上的限制。

一種透過一電纜以將一個人電腦主體連接至一擴充單

（請先閱讀背面之注意事項再填寫本頁）

訂

線

五、發明說明(2)

元（藉由使用個人電腦主體之一標準平行埠）的技術被揭露於美國專利編號 5,457,785、

5,579,489、及 5,619,659。依據此種技術，一 ISA（工業標準架構）匯流排被形成於擴充單元中，此擴充單元係經由個人電腦主體之標準平行埠（透過電纜）而被連接至個人電腦主體，而擴充單元中之

ISA 匯流排被操作以相同於個人電腦主體之 ISA 匯流排的方式，藉由使用一電路以轉變個人電腦主體中之

ISA 匯流排的信號狀態。

美國專利編號 5,822,571 亦揭露一種配置，其中一 PCI 匯流排從一個人電腦主體被延伸至另一外殼，藉由連接主要側上之一 PCI 匯流排至從屬（secondary）側上之一 PCI 匯流排透過一平坦電纜，以及一種處理電纜中之傳輸延遲的時鐘同步化方法。

然而，依據這些傳統的電纜連接方法，因為資料被平行地轉移透過一電纜，所以電纜被提供以許多信號線。為此原因，則下列問題產生：

- 1) 電纜變粗、難以操作、及昂貴
- 2) 電纜連接之連接器的梢數目增加，因而每個連接器之成本增加。此亦阻礙尺寸之減小。

通常，一 PCI-PCI 橋被用以連接一系統板上之多數 PCI 匯流排。PCI-PCI 橋為一 LSI 以雙向地連接一主要 PCI 匯流排至一從屬 PCI 匯流排。此橋容許主要 PCI 匯流排上之一裝置存取從屬 PCI 匯流排

（請先閱讀背面之注意事項再填寫本頁）

訂

線

五、發明說明(3)

上之裝置，反之亦然。此等 P C I - P C I 橋可被提供於一電纜之兩端上以連接筆記型電腦主體之 P C I 匯流排至擴充單元中之 P C I 匯流排。然而，於此配置中，電纜部分亦當作一 P C I 匯流（其被指定以一個別的匯流排數字），依據 P C I 規格，而因此總共三個 P C I 匯流排須被管理（從軟體的觀點）。因為無 P C I 裝置被連接至電纜以連接筆記型電腦主體至擴充單元，所以指定一匯流排數字給電纜導致浪費資源。此外，如此變為一個藉由軟體之資源管理複雜化的因素。

發明概述

本發明顧及上述情況，故其目的為提供一種電腦系統，其可透過一電纜而將一電腦主體連接至一擴充單元以較少數目之信號線，實現一種避免資源被浪費地指定給電纜之新的匯流排連接方案，且具有絕佳的功能可擴充性及外殼結構之彈性。

為了達成上述目的，本發明之一電腦系統的特徵為：包括第一與第二匯流排，其個別地由多位元寬度平行傳輸路徑所構成；一連接至第一匯流排之第一控制器；一連接至第二匯流排之第二控制器；及一插入於第一與第二控制器之間的串列傳輸路徑；其中第一與第二控制器交換一從第一與第二匯流排之一至另一匯流排之一處理的指令、位址及資料，藉由透過串列傳輸路徑之串列轉移，且第一與第二控制器邏輯地構成一單元。

（請先閱讀背面之注意事項再填寫本頁）

訂

線

五、發明說明(4)

於此電腦系統中，用以彼此連接第一與第二匯流排之橋單元被區分為兩個實際地隔離的控制器，且兩個控制器被彼此連接透過一串列傳輸路徑。介於匯流排之間之一處理的轉移所需的指令、位址、及資料被交換於兩個控制器之間，藉由透過此串列傳輸路徑之串列轉移。如此容許一匯流排上之處理被再生於其他匯流排上。因此，假如兩個控制器被分別地提供於一電腦主體中（其中設有第一匯流排）及一擴充單元中（其中設有第二匯流排），且介於這些控制器之間的串列傳輸路徑係由一電纜來達成，則電腦主體可透過一電纜而被連接至擴充單元以較少數目之信號線。此外，第一與第二控制器邏輯上地構成單一橋單元。因此，串列傳輸路徑僅為橋單元內之一本地內部繞線而不會被軟體所識別。這表示無任何不必要的資源被指定給串列傳輸路徑。

此外，因為邏輯上地單一控制器被實際地區分為兩個控制器，所以多少需要特別的設計。許多組態暫存器（其中操作環境待被設定）最好是被構成以兩個控制器，而環境設定資訊之相同片段最好是被設定於這些暫存器中。假如組態暫存器被構成以兩個控制器之唯一，則另一控制器須透過串列傳輸路徑以讀取一控制器中之組態暫存器，每當其儲存於這些暫存器中之資訊變為必要的時。如此導致系統性能之退化（degradation）。假如組態暫存器被分別地構成以兩個控制器，如所需，則每個控制器可操作依據其設定於相應組態暫存器中之環境設定資訊。如此使其有

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明(5)

可能執行高速操作。

因為透過串列傳輸路徑之串列轉移需要一比匯流排時鐘信號還快的時鐘信號，所以一種用以改進雜訊阻抗之機構是需要的。為此原因，則一差動信號線對（其中有一變壓器被插入）最好是被使用為一串列傳輸路徑。藉著插入此變壓器，則一信號之DC成分的轉移可被避免，而因此對於共同模式雜訊（例如靜電）之雜訊阻抗可被改進。

假如其中插入有一變壓器之一差動信號線對被使用的話，則重要的是確保相關於傳輸信號之一適當的DC平衡，在顧及變壓器的特性之下。這是因為變壓器之磁飽和或激發以及變壓器上之從屬側上的信號補償位準中的偏移須被避免。為此原因，則串列轉移最好是被執行藉由使用一種將每個構成串列資料之二元資料轉變為三元資料，其包含第一狀態（其中變壓器中之電流流動於一正方向）、第二狀態（其中變壓器中之電流流動於一負方向）、及第三狀態（其中變壓器中無電流流動），並傳送三元資料之系統（scheme）。例如，一適當的DC平衡可被確保藉由，例如，輸出三元資料之控制操作於交替地切換第一與第二狀態當每次二元資料之值改變時，且輸出資料以第三狀態當二元資料之值保持不變時。參考另一範例，適當的DC平衡亦可被確保藉由以下控制操作：輸出資料以第三狀態當二元資料之值為“0”時，且輸出資料以交替地切換第一與第二狀態當二元資料之值為“1”時。

可取代上述三元系統而使用一種nBmB系統，其傳

（請先閱讀背面之注意事項再填寫本頁）

表

訂

線

五、發明說明(6)

送處理轉移所需的資訊藉由將資訊編碼為 m 位元 ($m > n$) 碼序列於 n 位元資訊字元之單元中。一適當的 DC 平衡可被確保藉由將資訊位元轉變為碼序列以 "1" 之數目對 "0" 之數目的比率為相等，並傳送碼序列。

每個第一與第二控制器最好是包括：匯流排介面機構，其同步地操作以與第一及第二匯流排之一相應匯流排上之裝置所使用者相同的第一時鐘信號來交換一處理與相應的匯流排、及串列轉移機構，其同步地操作以一第二時鐘信號（其異步與第一時鐘信號）來執行串列轉移透過串列傳輸路徑。

因為第一時鐘信號為一匯流排時鐘信號，所以其頻率須被設定至一由匯流排規格所決定的標準值。此外，一匯流排時鐘信號可被停止以利電力節省控制。藉由異步地操作匯流排介面機構及串列轉移機構，則串列轉移性能可被自由地決定而不被第一時鐘信號之頻率、匯流排之狀態，等等，所影響。

第一與第二控制器之匯流排介面機構最好是被異步地操作。藉由以此方式設定異步時鐘信號於串列傳輸路徑之兩端，則準確的處理轉移可被執行而不管由於串列轉移所導致之傳輸延遲。

串列傳輸路徑之特徵在於包括一種完全雙工通道，其包含至少一對信號傳輸方向彼此相反的單向串列傳輸路徑，且每個串列傳輸路徑包含：一串列資料線以串列地轉移指令、位址、及資料，及一時鐘信號線以轉移一相應的時

（請先閱讀背面之注意事項再填寫本頁）

訂

線

五、發明說明(7)

鐘信號。以此配置，則一完全雙工通道可被實現藉由使用一串列傳輸路徑。此外，足夠高速的串列轉移可被實現藉由提供一獨立於一串列資料現之時鐘信號線，相較於其中時鐘資訊被嵌入資料中之情況。

本發明之另加的目的及優點將被提出於下列說明中，且將部分地從該說明變得明白，或者可藉由本發明之實施而被獲知。本發明之目地及優點可被實現及達成，藉由下文所特別指出的手段及組合。

圖形簡述

其被併入且構成說明書之一部分的附圖此刻說明本發明之較佳實施例，且連同上述之一般說明及以下之較佳實施例的詳細說明，以解釋本發明之原理。

圖 1 為一方程式以顯示依據本發明之一較佳實施例的電腦系統配置；

圖 2 為一方程式以顯示本實施例中所使用之一 P C I - P C I 橋的配置；

圖 3 為一方程式以顯示本實施例中所使用之一主要 P C I 串列轉移控制器及從屬 P C I 串列轉移控制器的內部結構；

圖 4 為一方程式以顯示本實施例中所使用之主要 P C I 串列轉移控制器及從屬 P C I 串列轉移控制器的實際硬體配置；

圖 5 為一方程式以解釋本實施例中所使用之一串列轉

(請先閱讀背面之注意事項再填寫本頁)

訂

線

(請先閱讀背面之注意事項再填寫本頁)

訂 線

五、發明說明(8)

移系統；

圖 6 為一視圖以解釋圖 5 之串列轉移系統中介於輸入與輸出值之間的關係；

圖 7 為一方程式以解釋本實施例中所使用之串列轉移系統的第二範例；及

圖 8 A 及 8 B 為視圖以解釋圖 7 之串列轉移系統中所使用之一 n B m B 編碼器／解碼器的原理。

符號說明

- 1 處理器匯流排
- 2, 4 PCI 匯流排
- 3 ISA 匯流排
- 1 1 中央處理器單元
- 1 2 主機 PCI 橋
- 1 3 主記憶體
- 1 4 顯示控制器
- 1 5 主要 PCI 串列轉移控制器
- 1 6 PCI - ISA 橋
- 1 7 I / O 控制器
- 1 8 ISA 裝置
- 1 9 內嵌控制器
- 2 0 控制器
- 3 1 網路介面控制器
- 3 2 PC 卡控制器

經濟部智慧財產局員工消費合作社印製

五、發明說明(9)

- 3 3 I D E 控制器
- 3 4 P C I 槽
- 3 5 從屬 P C I 串列轉移控制器
- 3 6 對接站控制器
- 3 7 控制器
- 1 0 0 P C 主體
- 1 5 0 , 3 5 0 組態暫存器
- 1 5 1 P C I 介面區段
- 1 5 2 傳輸緩衝器
- 1 5 3 平行 / 串列轉換電路
- 1 5 4 相位鎖定迴路電路
- 1 5 5 , 1 5 6 差動輸出緩衝器
- 1 5 7 異步聯繫交換電路
- 1 5 8 , 1 5 9 差動輸入緩衝器
- 1 6 0 串列 / 平行轉換電路
- 1 6 1 接收緩衝器
- 1 6 2 P L L 電路
- 1 6 3 異步聯繫交換電路
- 2 0 0 對接站
- 2 0 1 匯流排處理緩衝器
- 2 0 2 匯流排週期控制器
- 2 0 3 區塊轉移緩衝器
- 2 0 4 文字緩衝器
- 2 0 5 串列 / 平行轉換器

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (10)

- 2 0 6 L V D S 傳 輸 / 接 收 區 段
- 3 0 0 串 列 轉 移 路 徑
- 3 0 1 匯 流 排 處 理 緩 衝 器
- 3 0 2 匯 流 排 週 期 控 制 器
- 3 0 3 區 塊 轉 移 緩 衝 器
- 3 0 4 文 字 緩 衝 器
- 3 0 5 串 列 / 平 行 轉 換 器
- 3 0 6 L V D S 傳 輸 / 接 收 區 段
- 3 5 1 P C I 介 面 區 段
- 3 5 2 傳 輸 緩 衝 器
- 3 5 3 平 行 / 串 列 轉 換 電 路
- 3 5 4 P L L 電 路
- 3 5 5 , 3 5 6 差 動 輸 出 緩 衝 器
- 3 5 7 異 步 聯 繫 交 換 電 路
- 3 5 8 , 3 5 9 差 動 輸 入 緩 衝 器
- 3 6 0 串 列 / 平 行 轉 換 電 路
- 3 6 1 接 收 緩 衝 器
- 3 6 2 P L L 電 路
- 3 6 3 異 步 聯 繫 交 換 電 路
- 5 0 0 , 6 0 0 , 7 0 0 變 壓 器
- 5 0 1 , 6 0 1 假 三 元 編 碼 器
- 5 0 2 , 6 0 2 假 三 元 解 碼 器
- 7 0 1 , 8 0 1 n B m B 編 碼 器
- 7 0 2 , 8 0 2 n B m B 解 碼 器

(請先閱讀背面之注意事項再填寫本頁)

訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明 (11)

本發明之詳細說明

本發明之一實施例將被描述於下參考附圖之圖式。

圖 1 顯示依據本發明之一實施例的電腦系統配置。此電腦系統為一筆記型個人電腦 (PC) 且包括一 PC 主體 100 及一對接站 200 以利功能擴充，其可被使用於透過一電纜以連接至 PC 主體 100 之後。電纜中之信號線構成一串列轉移路徑 300，如圖 1 中所顯示。串列轉移路徑 300 被構成以一 LVDS (低壓差動發信) 線、

I²C (內積體電路) 匯流排、及其他串列控制信號線。

LVDS 線為一串列傳輸路徑，其被用以串列地連接 PC 主體 100 中之一 PCI 匯流排 2 至對接站 200 中之一 PCI 匯流排 4。匯流排處理被交換於 PC 主體 100 中的 PCI 匯流排 2 與對接站 200 中的 PCI 匯流排 4 之間，藉由透過此串列傳輸路徑之高速位元串列信號轉移。

如圖 1 中所示，PC 主體 100 包括一處理器匯流排 1、PCI 匯流排 2、ISA 匯流排 3、CPU 11、主機 PCI 橋 12、主記憶體 13、顯示控制器 14、主要 PCI 串列轉移控制器 15、PCI-ISA 橋 16、I/O 控制器 17、數種 ISA 裝置 18、EC (內嵌控制器) 19、數種其他控制器 20，等等。

CPU 11 控制此 PC 系統之總操作並執行操作系統、系統 BIOS、及數種載入主記憶體 13 中之其他程

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (12)

式。主機 P C I 橋 1 2 為一橋單元雙向地連接處理器匯流排 1 至主要 P C I 匯流排 2。主機 P C I 橋 1 2 結合一記憶體控制邏輯以用於主記憶體 1 3 上之存取控制及一控制邏輯以用於一 A G P (加速圖形埠)，其被用以連接至顯示控制器 1 4。主機 P C I 橋 1 2 可作用為主要 P C I 匯流排 2 上之一匯流排主機。主記憶體 1 3 儲存，例如，操作系統、待被處理之應用程式／公用程式、及由應用程式所產生之使用者資料，等等。

主要 P C I 串列轉移控制器 1 5 邏輯地形成一 P C I - P C I 橋，連同一對接站 2 0 0 中之從屬 P C I 串列轉移控制器 3 5。此 P C I - P C I 橋單元用以雙向地連接 P C 主體 1 0 0 中之 P C I 匯流排 2 至對接站 2 0 0 中之 P C I 匯流排 4。P C I - P C I 橋單元容許 P C I 匯流排 2 上之一裝置存取 P C I 匯流排 4 上之一裝置，反之亦然。

P C I 匯流排 2，其較接近主機側（從 P C I - P C I 橋單元之觀點來看），作用為 P C I - P C I 橋單元之主要 P C I 匯流排，而 P C I 匯流排 4，其較遠離主機側，作用為 P C I - P C I 橋單元之從屬 P C I 匯流排。因此，於此實施例中，其將 P C I 匯流排 2 連接至 P C I 匯流排 4 之 P C I - P C I 橋單元被區分為兩個實際上隔離的控制器（主要 P C I 串列轉移控制器 1 5 及從屬 P C I 串列轉移控制器 3 5），且兩個控制器被彼此連接透過 L V D S 線，藉以實現一 P C I 串列介面。

P C I - I S A 橋 1 6 為一橋以連接 P C I 匯流排 2

（請先閱讀背面之注意事項再填寫本頁）

訂

線

五、發明說明 (13)

至 I S A 匯流排 3 。數種 I S A 裝置 1 8 被連接至 I S A 匯流排 3 。I / O 控制器 1 7 係作用為 P C I 匯流排 2 上之匯流排主機或目標的裝置。裝置 (例如一 P C 卡控制器、I D E (積體驅動電子電路) 控制器、及聲音控制器) 被連接為 I / O 控制器 1 7 至 P C I 匯流排 2 。

E C (內嵌控制器) 1 9 控制 P C 主體 1 0 0 之電力管理且亦控制對接站 2 0 0 之對接 / 拆解 (undocking) 序列，藉由通訊與一建構於對接站 2 0 0 中之 D S C (對接站控制器) 3 6 。

如圖 1 中所顯示，對接站 2 0 0 結合 P C I 匯流排 4 、一網路介面控制器 3 1 、一 P C 卡控制器 3 2 、一 I D E 控制器 3 3 、P C I 槽 3 4 、從屬 P C I 串列轉移控制器 3 5 、D S C (對接站控制器) 3 6 、其他控制器 3 7 ，等等。

網路介面控制器 3 1 執行通訊控制以連接至一 L A N ，且作用為 P C I 匯流排 4 上之一匯流排主機或目標。

P C 卡控制器 3 2 控制一 P C 卡，其符合 P C M C I A (個人電腦記憶卡國際協會) / C a r d B u s 規格且插入一 P C 卡槽中。P C 卡控制器 3 2 亦作用為 P C I 匯流排 4 上之一匯流排主機或目標。I D E 控制器 3 3 控制

I D E 裝置，例如一安裝於對接站 2 0 0 中之一硬碟機或者光碟機，且作用為 P C I 匯流排 4 上之一匯流排主機或目標。數種 P C I 擴充卡可被插入 P C I 槽 3 4 中。

當 P C 主體 1 0 0 被連接至對接站 2 0 0 時，則這些

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (14)

P C I 裝置，例如網路介面控制器 3 1、P C 卡控制器 3 2、I D E 控制器 3 3、P C I 槽 3 4 之 P C I 擴充卡，可被使用為 P C 主體 1 0 0 中之硬體資源。

P C I - P C I 橋

圖 2 顯示主要 P C I 串列轉移控制器 1 5 及從屬 P C I 串列轉移控制器 3 5 之功能性配置。

如上所述，雖然主要 P C I 串列轉移控制器 1 5 及從屬 P C I 串列轉移控制器 3 5 係實際上獨立的 L S I，但它們仍邏輯上作用為一 P C I - P C I 橋。為此原因，其連接主要 P C I 串列轉移控制器 1 5 至從屬 P C I 串列轉移控制器 3 5 之 L V D S 線僅為 P C I - P C I 橋內部之一邏輯內繞線而不被軟體所識別。這表示沒有非必要的資源被指定給串列傳輸路徑。因為主要 P C I 串列轉移控制器 1 5 及從屬 P C I 串列轉移控制器 3 5 共用其由一 I D S E L 信號所指定之組態位址空間，所以它們被軟體識別為一個裝置。因為兩個控制器，即主要 P C I 串列轉移控制器 1 5 與從屬 P C I 串列轉移控制器 3 5，被識別為一個裝置，所以只有主要 P C I 串列轉移控制器 1 5 可具有裝置辨識資訊。

每個主要 P C I 串列轉移控制器 1 5 及從屬 P C I 串列轉移控制器 3 5 被構成以一 P C I 介面區段 (section) 及串列轉移介面區段。

於主要 P C I 串列轉移控制器 1 5 中，P C I 介面區

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (15)

段交換匯流排處理與主要 P C I 匯流排 2 。於從屬 P C I 串列轉移控制器 3 5 中，P C I 介面區段交換匯流排處理與從屬 P C I 匯流排 4 。P C I 介面區段彼此交換處理，藉由主要 P C I 串列轉移控制器 1 5 與從屬 P C I 串列轉移控制器 3 5 中所個別建構的串列轉移介面區段之間的串列資料轉移。

一 P C I 匯流排為一平行傳輸路徑，其包含具有多位元之寬度等等之位址／資料線。P C I 匯流排上之一匯流排處理被基本地構成以：一位址階段以輸出一指令及位址、及一個或更多接續於位址階段之後的資料轉移階段。因此，假如個別的 P C I 介面區段交換指令、位址、及資料於相應的 P C I 匯流排之間藉由個別串列轉移介面區段之間的串列轉移，則處理可從主要 P C I 匯流排 2 被轉移至從屬 P C I 匯流排 4，反之亦然。

當一自主要 P C I 匯流排 2 上之一匯流排主機至從屬 P C I 匯流排 4 上之一裝置的處理發生時，則主要 P C I 串列轉移控制器 1 5 變成其被執行於主要 P C I 匯流排 2 上的處理之一目標，而從屬 P C I 串列轉移控制器 3 5 變成其待被執行於從屬 P C I 匯流排 4 上的處理之一起始者（匯流排主機）。當一自從屬 P C I 匯流排 4 上之一匯流排主機至主要 P C I 匯流排 2 上之一裝置的處理發生時，則從屬 P C I 串列轉移控制器 3 5 變成其被執行於從屬 P C I 匯流排 4 上的處理之一目標，主要 P C I 串列轉移控制器 1 5 變成其待被執行於主要 P C I 匯流排 2 上的處

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明 (16)

理之一起始者。注意到假如無匯流排主機裝置出現於從屬 P C I 匯流排 4 之上，則只有前面的狀況會發生。

如圖 2 中所示，組態暫存器 1 5 0 及 3 5 0 被分別地建構於主要 P C I 串列轉移控制器 1 5 及從屬 P C I 串列轉移控制器 3 5 之 P C I 介面區段中。每個組態暫存器 1 5 0 及 3 5 0 包括一符合 P C I 規格之暫存器族群。於這些暫存器中，環境設定資訊之相同片段被設定。

環境設定資訊包含上述之裝置辨識資訊、裝置控制資訊以指定硬體資源（例如其裝置將使用之一記憶體位址空間及 I / O 位址空間）、裝置狀態資訊以指明裝置之目前狀態，等等。

裝置辨識資訊被用以辨識裝置之型式，且包含資訊例如裝置 I D、賣主 I D、修訂 I D、表頭（header）型式、及等級碼。裝置辨識資訊是唯讀的資訊。裝置辨識資訊之相同片段被寫入組態暫存器 1 5 0 及 3 5 0 中。明顯地，此唯讀裝置辨識資訊可被備製於只有較接近

C P U 1 1 之主要 P C I 串列轉移控制器 1 5 中，但無須被置於從屬 P C I 串列轉移控制器 3 5 中。這是因為，於一組態週期中，C P U 1 1 僅存取主要 P C I 串列轉移控制器 1 5 且識別其介於 P C I 匯流排 2 與 P C I 匯流排 4 之間的 P C I - P C I 橋之存在，藉由讀取裝置辨識資訊自主要 P C I 串列轉移控制器 1 5。

一組態暫存器作用以保持環境設定資訊以界定一

P C I 裝置之操作環境。一組態暫存器總是被建構於每個

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明 (17)

P C I 裝置中。因爲主要 P C I 串列轉移控制器 1 5 及從屬 P C I 串列轉移控制器 3 5 操作爲一 P C I 裝置 (P C I - P C I 橋)，所以控制器 1 5 及 3 5 可基本上共用一組態暫存器，如上所述。然而，假如一組態暫存器被以此方式建構於只有一控制器中，則另一不具組態暫存器之控制器須讀取一控制器中之組態暫存器透過每個處理之一串列傳輸路徑。如此可能導致系統性能之退化。因爲組態暫存器被分別地建構於兩個控制器 1 5 及 3 5 中，如本實施例，所以兩個控制器 1 5 及 3 5 可操作依據個別地設定於其組態暫存器中之環境設定資訊的片段。如此使之有可能實現高速的操作。於此例中，控制器 1 5 及 3 5 之每個均包含大部分的暫存器族群 (一用以設定裝置控制資訊之暫存器族群、一用以設定其指示裝置之目前狀態之裝置狀態資訊的暫存器族群，等等)，除了一用以設定唯讀裝置辨識資訊之暫存器以外。

組態暫存器 1 5 0 及 3 5 0 之內容的一致被實現藉由自動地執行下列複製操作於主要 P C I 串列轉移控制器

1 5 與從屬 P C I 串列轉移控制器 3 5 之間。當

C P U 1 1 執行一寫入處理 (組態寫入週期) 以將資料寫入組態暫存器 1 5 0 時，則複製操作被自動地執行從組態暫存器 1 5 0 至組態暫存器 3 5 0。之後，一指示寫入完成之狀態被回復至 C P U 1 1。如此使之有可能永遠保持組態暫存器 1 5 0 及 3 5 0 的內容相同。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (18)

兩個 P C I 串列轉移控制器的內部配置

主要 P C I 串列轉移控制器 1 5 及從屬 P C I 串列轉移控制器 3 5 之內部結構將參考圖 3 而被描述，考慮到邏輯協定階層結構。

如圖 3 中所示，主要 P C I 串列轉移控制器 1 5 包括一匯流排處理緩衝器 2 0 1、匯流排週期控制器 2 0 2、區塊轉移緩衝器 2 0 3、文字緩衝器 2 0 4、串列／平行轉換器 2 0 5、及 L V D S 傳輸／接收區段 2 0 6。

匯流排處理緩衝器 2 0 1 及匯流排週期控制器 2 0 2 相應於上述之 P C I 介面區段。區塊轉移緩衝器 2 0 3、文字緩衝器 2 0 4、串列／平行轉換器 2 0 5、及 L V D S 傳輸／接收區段 2 0 6 相應於上述的串列轉移介面區段。

同樣地，如圖 3 中所示，從屬 P C I 串列轉移控制器 3 5 包括一匯流排處理緩衝器 3 0 1、匯流排週期控制器 3 0 2、區塊轉移緩衝器 3 0 3、文字緩衝器 3 0 4、串列／平行轉換器 3 0 5、及 L V D S 傳輸／接收區段 3 0 6。匯流排處理緩衝器 3 0 1 及匯流排週期控制器 3 0 2 相應於上述之 P C I 介面區段。區塊轉移緩衝器 3 0 3、文字緩衝器 3 0 4、串列／平行轉換器 3 0 5、及 L V D S 傳輸／接收區段 3 0 6 相應於上述的串列轉移介面區段。

圖 3 之右端顯示一階層結構以實施此實施例中之一 P C I 串列介面。頂層為一 P C I 匯流排處理層，而接續

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (19)

以一 P C I 匯流排週期層，其被用以控制需用以實際地執行一處理之一匯流排週期。

藉由結合匯流排週期層之上的區段所建構的區段（包含左及右半部），即，藉由結合匯流排處理緩衝器 2 0 1 與 3 0 1 以及匯流排週期控制器 2 0 2 與 3 0 2 所建構的區段，相應於一般的 P C I - P C I 橋。

圖 3 之下半部上所顯示的層相應於一區段以執行串列通訊於主要 P C I 串列轉移控制器 1 5 與從屬 P C I 串列轉移控制器 3 5 之間。

其上半部上所顯示的層被設計依據一 P C I 匯流排協定，而下半部上所顯示的層被最理想地設計以準確地傳送其 P C I 匯流排上所轉移的資料至其他部分。無須考慮於 P C I 匯流排上待被轉移之一區塊的每個資料的意義為何。其能滿足假如區塊被適當地指定轉移特性的話，其轉移特性係適於一組透過區塊以轉移之資料於 P C I 匯流排上所具有的意義，以及假如這些轉移特性被實施的話。亦即，一類似通訊領域中之封包通訊的觀念可被使用。

在這方面，圖 3 中之“文字”相應於一固定長度之封包，而“區塊”為一包含一個控制文字及 0 至 1 0 個資料文字的轉移單元。

每個緩衝器之意義將被描述於下。

匯流排處理緩衝器 2 0 1 及 3 0 1 為緩衝器以管理一 P C I 匯流排週期為一處理，且被用以傳達於一 P C I 匯流排週期與區塊轉移之間，如下所述。以下是構成一處理

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明 (20)

之資訊的片段，雖然它們根據處理之型式而有些微改變：

- 位址
- 指令
- 寫入資料（寫入處理）
- 位元組致能
- 完成狀態
- 讀取資料（讀取處理）

資訊之這些片段被保存於匯流排處理緩衝器 2 0 1 及 3 0 1 中。

區塊轉移緩衝器（B L O C K）2 0 3 及 3 0 3 為暫時資訊儲存裝置以一起轉移其被稱為區塊的可變長度資料於兩個串列控制器 1 5 與 3 5 之間。區塊尺寸是可變的，如上所述。每個區塊被基本上構成以資訊之片段，例如一位址、資料、指令、及位元組致能，其構成一處理。

文字緩衝器（W O R D）2 0 4 及 3 0 4 為暫時資訊儲存裝置以一個接一個轉移其被稱為文字的固定長度資料於兩個串列控制器 1 5 與 3 5 之間。文字包含控制及資料文字。每個區塊之基本部分（P C I 處理資訊：位址、指令、資料、位元組致能，等等）被交換為資料文字，而剩餘之部分被交換為控制文字。

串列／平行轉換器 2 0 5 及 3 0 5 執行平行／串列轉換及串列／平行轉換於文字之單元中。L V D S 傳輸／接收區段 2 0 6 及 3 0 6 透過 L V D S 線以執行實際的串列資料轉移。

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明 (21)

兩個 P C I 串列轉移控制器之硬體配置

兩個 P C I 串列轉移控制器之詳細的硬體配置將參考圖 4 而被描述。

介於兩個 P C I 串列轉移控制器 1 5 與 3 5 之間的 L V D S 線被構成以一從 P C I 串列轉移控制器 1 5 至 P C I 串列轉移控制器 3 5 之單向的線路及一從 P C I 串列轉移控制器 3 5 至 P C I 串列轉移控制器 1 5 之單向的線路，且作用為一完全雙工通道，以整體觀之。每個單向線路具有一差動信號線對 (L V DATA) 當作資料線以利其構成一處理之資訊的串列轉移，及一差動信號線對 (L V CLK) 當作時鐘信號線以利一串列時鐘信號之串列轉移。以此配置，則資料及時鐘信號可被同時地傳輸透過不同的信號線。如此使之有可能執行串列轉移以一足夠的高速度，相較於一種時鐘資訊被嵌入於資料中的時鐘資訊的狀況。

因為實際的串列位元時鐘速度具有其上限，所以可能不易實現一種可令人滿意地符合一 P C I 匯流排之資料轉移速度的串列轉移路徑速度。此一問題可被有效地解決，藉由設定每個單向線路之資料線數目相對於時鐘信號線數目的比為 2 : 1，並設定一串列轉移路徑之資料線數目為兩個以個別地向上及向下轉移。

以下是其可藉由使用多數資料信號線而達成之另一優點。因為本實施例之串列轉移路徑使用一種專用時鐘信號

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (22)

線，所以實際地存在有一並非直接轉移資訊之 overhead 信號線。實際的 overhead 率變為傳統串列匯流排的 $1/2$ 。假如兩條資料信號線被使用以一時鐘信號線，則 overhead 率減至 $1/3$ 。然而，隨著資料信號線數目之增加，則變得不易設定相同實施條件於一時鐘信號線電路以及資料信號線電路，且歪斜寬度增加。因此宜設定其每一時鐘線之信號線數目至四或更少。

主要 P C I 串列轉移控制器 1 5

如圖 4 中所示，主要 P C I 串列轉移控制器 1 5 包括一 P C I 介面區段 1 5 1、傳輸緩衝器 1 5 2、平行／串列轉換電路 1 5 3、P L L（相位鎖定迴路）電路 1 5 4、差動輸出緩衝器 1 5 5 與 1 5 6、異步聯繫交換（handshake）電路 1 5 7、差動輸入緩衝器 1 5 8 與 1 5 9、串列／平行轉換電路 1 6 0、接收緩衝器 1 6 1、P L L 電路 1 6 2、及異步聯繫交換電路 1 6 3。

P C I 介面區段 1 5 1 相應於上述之匯流排處理緩衝器 2 0 1 及匯流排週期控制器 2 0 2，且同步地操作與 P C I 時鐘信號 # 1，如同 P C I 匯流排 2 上之其他 P C I 裝置。P C I 時鐘信號 # 1 為 P C I 匯流排 2 上之所有 P C I 裝置之一共同的匯流排時鐘信號。

傳輸緩衝器 1 5 2、平行／串列轉換電路 1 5 3、P L L 電路 1 5 4、及差動輸出緩衝器 1 5 5 與 1 5 6 作用為傳輸用之一串列轉移介面區段。此串列轉移介面區段

五、發明說明 (23)

同步地操作與平行傳輸時鐘信號 # 1，其係異步與 P C I 時鐘信號 # 1。

兩個高速串列時鐘信號被獲取自平行傳輸時鐘信號 # 1。第一串列傳輸時鐘具有較平行傳輸時鐘信號 # 1 還高的頻率。第二串列傳輸時鐘具有與平行傳輸時鐘信號 # 1 相同的頻率。P L L 電路 1 5 4 產生第一串列傳輸時鐘，藉由頻率相乘與平行傳輸時鐘信號 # 1。於此實施例中，P L L 電路 1 5 4 將平行傳輸時鐘信號 # 1 乘以九以產生第一串列傳輸時鐘。P L L 電路 1 5 4 傳送第一串列傳輸時鐘至平行／串列轉換電路 1 5 3。P L L 電路 1 5 4 產生第二串列傳輸時鐘，藉由頻率相除以第一串列傳輸時鐘以匹配其相位。於此實施例中，P L L 電路 1 5 4 將第一串列傳輸時鐘除以九以產生第二串列傳輸時鐘。P L L 電路傳送第二串列傳輸時鐘至差動輸出緩衝器 1 5 6。

傳輸緩衝器 1 5 2 包括如上所述之一區塊轉移緩衝器 (B B) 及文字緩衝器 (W B)。於此緩衝器中，用以轉移一處理之資訊被儲存。平行／串列轉換電路 1 5 3 同步地操作與其由 P L L 電路 1 5 4 所獲得之第一串列傳輸時鐘信號，將備製於文字緩衝器 (W B) 中之平行資料轉換為串列資料，並將其輸出至差動輸出緩衝器 1 5 5。差動輸出緩衝器 1 5 5 為一驅動器以驅動資料傳輸之一差動信號線對 (L V DATA)。此緩衝器將其由平行／串列轉換電路 1 5 3 所獲得之串列資料傳輸至從屬 P C I 串列轉移控制器 3 5，透過資料傳輸之一差動信號線對 (L V DATA)

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (24)

。差動輸出緩衝器 1 5 6 為一驅動器以驅動一差動信號線對 (LV CLK) 來傳輸第二串列傳輸時鐘信號。與藉由差動輸出緩衝器 1 5 5 之串列資料轉移同時地，差動輸出緩衝器 1 5 6 將一相應的第二串列傳輸時鐘信號傳輸至從屬 P C I 串列轉移控制器 3 5，透過一差動信號線對 (LV CLK)。

如上所述，傳輸之串列轉移介面區段被設計以異步地操作與 P C I 介面區段 1 5 1。異步聯繫交換電路 1 5 7 介面於區段之間，這些區段係藉由聯繫交換而以此方式操作以不同的時鐘信號。更明確地，異步聯繫交換電路

1 5 7 被個別地提供於 P C I 介面區段 1 5 1 之匯流排處理緩衝器 2 0 1 側上以及傳輸緩衝器 1 5 2 中之區塊轉移緩衝器 2 0 3 側上。於接收一傳輸請求自匯流排處理緩衝器 2 0 1 時，異步聯繫交換電路 1 5 7 便將一完成通知從區塊轉移緩衝器 2 0 3 回復至匯流排處理緩衝器 2 0 1，此完成通知係指示儲存之完成當所請求之傳輸被儲存於區塊轉移緩衝器 2 0 3 時。匯流排處理緩衝器 2 0 1 不會發出下一個傳輸請求直到其接收完成通知。

差動輸入緩衝器 1 5 8 與 1 5 9、串列／平行轉換電路 1 6 0、接收緩衝器 1 6 1、及 P L L 電路 1 6 2 作用為一接收串列介面區段。差動輸入緩衝器 1 5 8 為一接收器以接收資料自差動信號線對 (LV DATA)。此緩衝器將接收的串列資料傳送至串列／平行轉換電路 1 6 0。與藉由差動輸入緩衝器 1 5 8 之串列資料之此接收同時地，差

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (25)

動輸入緩衝器 1 5 9 接收第四串列傳輸時鐘信號，透過一差動信號線對 (LV CLK)。並將所接收之第四串列傳輸時鐘信號傳送至 P L L 電路 1 6 2。

P L L 電路 1 6 2 再生時鐘信號 (平行傳輸時鐘信號 # 2 及第三串列傳輸時鐘信號) 於從屬 P C I 串列轉移控制器 3 5 側上，根據由差動輸入緩衝器 1 5 9 所接收之第四串列傳輸時鐘信號。平行傳輸時鐘信號 # 2、第三串列傳輸時鐘、及第四串列傳輸時鐘將被描述於下。P L L 電路 1 6 2 再生第三串列傳輸時鐘，藉由頻率相乘與第四串列傳輸時鐘。於此實施例中，P L L 電路 1 6 2 將第四串列傳輸時鐘乘以九以產生第三串列傳輸時鐘。P L L 電路 1 6 2 傳送第三串列傳輸時鐘至串列 / 平行轉換電路

1 6 0。P L L 電路 1 6 2 產生平行傳輸時鐘信號 # 2，藉由頻率相除以第三串列傳輸時鐘。於此實施例中，P L L 電路 1 6 2 將第三串列傳輸時鐘之頻率除以九以產生平行傳輸時鐘信號 # 2。P L L 電路 1 6 2 傳送平行傳輸時鐘信號 # 2 至接收緩衝器 1 6 1。

串列 / 平行轉換電路 1 6 0 操作以再生的第三串列傳輸時鐘信號，將差動輸入緩衝器 1 5 8 所接收之串列資料轉換為平行資料，並將之寫入接收緩衝器 1 6 1。接收緩衝器 1 6 1 相應於上述之文字緩衝器 (W B) 及區塊轉移緩衝器 (B B)，並操作與再生的平行傳輸時鐘信號 # 2。

資訊被異步地交換於接收緩衝器 1 6 1 的區塊轉移緩

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (26)

衝器與 P C I 介面區段 1 5 1 的匯流排處理緩衝器之間，藉由透過異步聯繫交換電路 1 6 3 之聯繫交換。

從屬 P C I 串列轉移控制器 3 5

如圖 4 中所示，從屬 P C I 串列轉移控制器 3 5 包括一 P C I 介面區段 3 5 1、傳輸緩衝器 3 5 2、平行／串列轉換電路 3 5 3、P L L 電路 3 5 4、差動輸出緩衝器 3 5 5 與 3 5 6、異步聯繫交換 (handshake) 電路 3 5 7、差動輸入緩衝器 3 5 8 與 3 5 9、串列／平行轉換電路 3 6 0、接收緩衝器 3 6 1、P L L 電路 3 6 2、及異步聯繫交換電路 3 6 3。

P C I 介面區段 3 5 1 相應於上述之匯流排處理緩衝器 3 0 1 及匯流排週期控制器 3 0 2，且同步地操作與 P C I 時鐘信號 # 2，如同從屬 P C I 匯流排 4 上之其他 P C I 裝置。P C I 時鐘信號 # 2 為從屬 P C I 匯流排 4 上之所有 P C I 裝置之一共同的匯流排時鐘信號。

於此實施例中，P C I 時鐘信號 # 1 及 # 2 被產生以獨立的時鐘信號振盪器。P C I 時鐘信號 # 1 及 # 2 具有相同的頻率但基本上是異步的。因此，主要 P C I 串列轉移控制器 1 5 之 P C I 介面區段 1 5 1 異步地操作與從屬 P C I 串列轉移控制器 3 5 之 P C I 介面區段 3 5 1。藉由使用介於以此方式所構成之一橋的兩個控制器 1 5 與 3 5 之間的異步 P C I 時鐘信號，則串列傳輸路徑之兩端上的 P C I 介面區段可異步地操作。如此使其有可能執行

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (27)

準確的處理轉移，無論由於串列轉移所引起的傳輸延遲。

傳輸緩衝器 3 5 2、平行／串列轉換電路 3 5 3、P L L 電路 3 5 4、及差動輸出緩衝器 3 5 5 與 3 5 6 作用為一用於傳輸之串列轉移介面區段。此串列轉移介面區段同步地操作與平行傳輸時鐘信號 # 2，其係異步與 P C I 時鐘信號 # 2。

兩個高速串列時鐘信號被獲得自平行傳輸時鐘信號 # 2。第三串列傳輸時鐘具有較平行傳輸時鐘信號 # 2 為高的頻率。第四串列傳輸時鐘具有與平行傳輸時鐘信號 # 2 相同的頻率。P L L 電路 3 5 4 產生第三串列傳輸時鐘，藉由頻率相乘與平行傳輸時鐘信號 # 2。於此實施例中，P L L 電路 3 5 4 將平行傳輸時鐘信號 # 2 之頻率乘以九以產生第一串列傳輸時鐘。P L L 電路 3 5 4 傳送第一串列傳輸時鐘至平行／串列轉換電路 3 5 3。P L L 電路 3 5 4 產生第四串列傳輸時鐘，藉由頻率相除以第三串列傳輸時鐘以匹配其相位。於此實施例中，P L L 電路 3 5 4 將第三串列傳輸時鐘之頻率除以九以產生第四串列傳輸時鐘。P L L 電路傳送第四串列傳輸時鐘至差動輸出緩衝器 3 5 6。平行傳輸時鐘信號 # 1 及 # 2 被產生以獨立的時鐘信號振盪器。平行傳輸時鐘信號 # 1 及 # 2 具有相同的頻率但基本上是異步的。

傳輸緩衝器 3 5 2 包括如上所述之區塊轉移緩衝器 (B B) 及文字緩衝器 (W B)。於此緩衝器中，用以轉移一處理之資訊被保持。平行／串列轉換電路 3 5 3 同步地

五、發明說明 (28)

操作與其由 P L L 電路 3 5 4 所獲得之第三串列傳輸時鐘信號，將備製於文字緩衝器 (W B) 中之平行資料轉換為串列資料，並將其輸出至差動輸出緩衝器 3 5 5 。

差動輸出緩衝器 3 5 5 為一驅動器以驅動資料傳輸之一差動信號線對 (L V DATA)。此緩衝器將其由平行／串列轉換電路 3 5 3 所獲得之串列資料傳輸至主要 P C I 串列轉移控制器 1 5，透過資料傳輸之差動信號線對 (L V DATA)。與藉由差動輸出緩衝器 3 5 5 之串列資料轉移同時地，差動輸出緩衝器 3 5 6 將一相應於第四串列傳輸時鐘信號之時鐘信號傳輸至主要 P C I 串列轉移控制器 1 5，透過差動信號線對 (L V CLK)。

異步聯繫交換電路 3 5 7 介面於區段之間，這些區段係以此方式操作以不同的時鐘信號。更明確地，異步聯繫交換電路 3 5 7 被個別地提供於 P C I 介面區段 3 5 1 之匯流排處理緩衝器 3 0 1 側上以及傳輸緩衝器 3 5 2 中之區塊轉移緩衝器 3 0 3 側上。於接收一傳輸請求自匯流排處理緩衝器 3 0 1 時，異步聯繫交換電路 3 5 7 便將一完成通知從區塊轉移緩衝器 3 0 3 回復至匯流排處理緩衝器 3 0 1，此完成通知係指示儲存之完成當所請求之傳輸被儲存於區塊轉移緩衝器 3 0 3 時。匯流排處理緩衝器 3 0 1 不會發出下一個傳輸請求直到其接收完成通知。

差動輸入緩衝器 3 5 8 與 3 5 9、串列／平行轉換電路 3 6 0、接收緩衝器 3 6 1、及 P L L 電路 3 6 2 作用為一接收串列介面區段。差動輸入緩衝器 3 5 8 透過差動

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (29)

信號線對 (LV DATA) 以接收串列資料，並傳送所接收之串列資料至串列／平行轉換電路 3 6 0。與藉由差動輸入緩衝器 3 5 8 之串列資料之此接收同時地，差動輸入緩衝器 3 5 9 接收第二串列傳輸時鐘信號，透過時鐘傳輸之差動信號線對 (LV CLK)，並將所接收之第二串列傳輸時鐘信號傳送至 P L L 電路 3 6 2。

P L L 電路 3 6 2 再生時鐘信號 (平行傳輸時鐘信號 # 1 及第一串列傳輸時鐘信號) 於主要 P C I 串列轉移控制器 1 5 側上，根據由差動輸入緩衝器 3 5 9 所接收之第二串列傳輸時鐘信號。P L L 電路 3 6 2 再生第一串列傳輸時鐘，藉由頻率相乘與第二串列傳輸時鐘。於此實施例中，P L L 電路 3 6 2 將第二串列傳輸時鐘乘以九以產生第一串列傳輸時鐘。P L L 電路 3 6 2 傳送第一串列傳輸時鐘至串列／平行轉換電路 3 6 0。P L L 電路 3 6 2 產生平行傳輸時鐘信號 # 1，藉由頻率相除以第一串列傳輸時鐘。於此實施例中，P L L 電路 3 6 2 將第一串列傳輸時鐘之頻率除以九以產生平行傳輸時鐘信號 # 1。P L L 電路 3 6 2 傳送平行傳輸時鐘信號 # 1 至接收緩衝器 3 6 1。

串列／平行轉換電路 3 6 0 操作以再生的第一串列傳輸時鐘信號，將差動輸入緩衝器 3 5 8 所接收之串列資料轉換為平行資料，並將之寫入接收緩衝器 3 6 1。接收緩衝器 3 6 1 相應於上述之文字緩衝器 (W B) 及區塊轉移緩衝器 (B B)，並操作與再生的平行傳輸時鐘信號 # 1

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (30)

。資訊被異步地交換於接收緩衝器 3 6 1 的區塊轉移緩衝器與 P C I 介面區段 3 5 1 的匯流排處理緩衝器之間，藉由異步聯繫交換電路 3 6 3。

串列轉移系統 1

一種透過 L V D S 線之串列轉移的實際系統將被描述。

圖 5 顯示一硬體配置，其被使用當變壓器被插入其由差動信號線對所構成之串列傳輸路徑時，且串列傳輸路徑係由一假的三元系統所驅動。只有其相應於資料傳輸之差動信號線對 (L V DATA) 之一部分的配置該被描述於下。然而，一類似之配置可被應用至時鐘傳輸之差動信號線對 (L V CLK)。

如圖 5 中所顯示，一變壓器 (脈衝變壓器) 5 0 0 被插入朝下的差動信號線對 (L V DATA)，從 P C I 串列轉移控制器 1 5 至 P C I 串列轉移控制器 3 5。因為串列轉移路徑 3 0 0 係由電纜所構成，所以變壓器 5 0 0 被實際地實施於從屬 P C I 串列轉移控制器 3 5 中以作為透過朝下差動信號線對 (L V DATA) 之串列轉移的接收側，如圖 5 所示。變壓器 5 0 0 截去信號之 D C 成分並且只轉移 A C 成分。藉由插入變壓器 5 0 0，因此，對於共同模式雜訊 (例如靜電) 之雜訊阻抗可被改進。當變壓器 5 0 0 被插入時須顧及下列幾點：

- 1) 為了避免變壓器飽和或激發，則電流須被避免持

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (31)

續地流動於一方向。

2) 其施加至變壓器於正及負方向的量被平衡。假如於某一方向所產生之電壓的量很大，則變壓器之從屬側上所產生的電壓波形整體而言會偏移於電壓位準，雖然電壓振幅保持不變。

因此，於此實施例中，於主要 P C I 串列轉移控制器 1 5 中，一假三元編碼器 5 0 1 被內插於一平行／串列轉換電路 1 5 3 與一差動輸出緩衝器 1 5 5 之間。假三元編碼器 5 0 1 為一調變電路以將其構成串列資料之“1”與“0”二元資料轉換為三元值，即， $+V$ 、 $-V$ 與零。更明確地，每次二元資料改變其值，則 $+V$ 與 $-V$ 便被交替地輸出自差動輸出緩衝器 1 5 5。當具有相同值之二元資料持續，則零被輸出自差動輸出緩衝器 1 5 5。另一方面，零可能被輸出當二元資料之值為“0”時，而 $+V$ 與 $-V$ 可能被交替地輸出當值為“1”時。

於“ $+V$ ”輸出之狀態下，其被連接至差動輸出緩衝器 1 5 5 之正輸出終端的信號線被設定為一正電位，而其被連接至差動輸出緩衝器 1 5 5 之負輸出終端的信號線被設定為一負電位。於此例中，一電流於變壓器 5 0 0 中流動以朝下之正方向，於圖 5 中。

於“ $-V$ ”輸出之狀態下，其被連接至差動輸出緩衝器 1 5 5 之正輸出終端的信號線被設定為一負電位，而其被連接至差動輸出緩衝器 1 5 5 之負輸出終端的信號線被設定為一正電位。於此例中，一電流於變壓器 5 0 0 中流

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (32)

動以朝上之負方向，於圖 5 中。

於“零”輸出之狀態下，其被連接至差動輸出緩衝器 155 之正與負輸出終端的信號線變為相同電位，而無電流流動於變壓器 500 中。

於從屬 P C I 串列轉移控制器 35 中，如圖 5 中所示，兩個差動輸入緩衝器 358 a 與 358 b 被平行地設於變壓器 500 之從屬側上。差動輸入緩衝器 358 a 與 358 b 可檢測三元值，即， $+V$ 、 $-V$ 、及零。

圖 6 顯示其介於來自差動輸出緩衝器 155 的輸出 (O U T) 與由差動輸入緩衝器 358 a 與 358 b 所檢測的值 (I N 1, I N 2) 之間的關係。O U T 指示一電狀態，而 I N 1 及 I N 2 代表邏輯值。

假如 O U T 為 $+V$ ，則差動輸入緩衝器 358 a 與 358 b 均輸出“1” (I N 1, I N 2 = “1”)。假如 O U T 為 $-V$ ，則差動輸入緩衝器 358 a 與 358 b 均輸出“0” (I N 1, I N 2 = “0”)。假如 O U T 為零，則差動輸入緩衝器 358 a 輸出“0”，而差動輸入緩衝器 358 b 輸出“1” (I N 1 = “0”，I N 2 = “1”)。I N 1 及 I N 2 之邏輯值被解碼回二元資料，藉由一假三元解碼器 502。一解碼方法被決定依據其由假三元編碼器 501 所使用之編碼方法。

一變壓器 (脈衝變壓器) 600 被插入朝上的差動信號線對 (L V DATA)，從 P C I 串列轉移控制器 35 至 P C I 串列轉移控制器 15。如同朝下的差動信號線對之

五、發明說明 (33)

例中，一假三元編碼器 6 0 1 被內插於平行／串列轉換電路 3 5 3 與從屬 P C I 串列轉移控制器 3 5 側上的差動輸出緩衝器 3 5 5 之間。此外，於主要 P C I 串列轉移控制器 1 5 側上，兩個差動輸入緩衝器 1 5 8 a 與 1 5 8 b 及一假三元解碼器 6 0 2 被內插於變壓器 6 0 0 與串列／平行轉換電路 1 6 0 之間。

藉由使用此假三元系統以執行串列轉移，則一適當的 D C 平衡可被確保。如此使其有可能解決變壓器之磁飽和以及變壓器之從屬側上之信號補償位準之偏移的問題。

串列轉移系統 2

圖 7 顯示一種使用 n B m B 系統之配置，其傳輸處理轉移所需的資訊藉由將資訊編碼為 m 位元 ($m > n$) 碼序列於 n 位元資訊字元之單元中，以取代使用假三元系統。

如圖 7 中所示，一變壓器（脈衝變壓器）7 0 0 被插入朝下的差動信號線對（LV DATA），從 P C I 串列轉移控制器 1 5 至 P C I 串列轉移控制器 3 5。因為串列轉移路徑 3 0 0 係由電纜所構成，所以變壓器 7 0 0 被實際地實施於從屬 P C I 串列轉移控制器 3 5 中以作為接收側，如圖 5 所示。

於主要 P C I 串列轉移控制器 1 5 中，一 n B m B 編碼器 7 0 1 被連接至平行／串列轉換電路 1 5 3 之輸入。於從屬 P C I 串列轉移控制器 3 5 中，一 n B m B 解碼器 7 0 2 被連接至串列／平行轉換電路 3 6 0 之輸出。

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明 (34)

n B m B 編碼器 7 0 1 將一 n 位元之資訊字元 (其係由 $n - 1$ 位元之資訊與 1 位元之極性所構成) 轉換為一 m 位元之碼序列。此轉換被實施藉由將其由 n 位元資料所代表之每個 5 1 2 資料指定至其預先選自由 m 位元碼序列所代表之 1 , 0 2 4 資料之一相應的 5 1 2 資料。更明確地, 如圖 8 A 中所示, 其轉換可被執行藉由使用, 例如, 一個表以輸出 m 位元資料依據一 n 位元輸入值。一適當的 D C 平衡可被確保藉由僅只使用其由 m 位元碼序列所代表之 1 , 0 2 4 資料的資料, 其中 " 1 " 之數目相對於 " 0 " 之數目的比率是幾乎相等的。其被串列地轉移之 m 位元的碼序列被解碼為原本之 n 位元的資訊字元, 藉由圖 8 B 中之 n B m B 解碼器 7 0 2 。

一變壓器 (脈衝變壓器) 8 0 0 被插入朝上的差動信號線對 (LV DATA), 從 P C I 串列轉移控制器 3 5 至 P C I 串列轉移控制器 1 5 。如朝下的差動信號線對之例中, 一 n B m B 編碼器 8 0 1 被設於從屬 P C I 串列轉移控制器 3 5 側上, 而一 n B m B 解碼器 8 0 2 被設於主要 P C I 串列轉移控制器 1 5 側上。

一 8 B 1 0 B 編碼器及 8 B 1 0 B 解碼器可個別被使用為一 n B m B 編碼器及一 n B m B 解碼器。

應用

此實施例之上述 P C I 串列介面機構可被使用於兩個對接站之間的匯流排連接以及 P C 主體 1 0 0 與對接站 2

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (35)

0 0 之間的匯流排連接。例如，假如兩個對接站可被串接至 P C 主體 1 0 0，則此機構可被使用於第一對接站與第二對接站之間的匯流排連接。此外，假如兩個 P C 主體被連接透過一匯流排，則 P C 可共用資源而無須一網路（例如 L A N）之媒介。於任一例中，因為一串列傳輸路徑可被實施以一電纜，所以其功能可被輕易地擴充。

於此實施例中，朝上與朝下之傳輸路徑是對稱的（相同的）。然而，根據系統設計，兩個傳輸路徑最好可不同於：同步化／異步化、匯流排之資料寬度、匯流排協定、電介面，等等。

於此實施例中，串列傳輸路徑被實施為一電纜。然而，串列傳輸路徑亦可被實施以各種形式，例如，連接器、一基底上之佈線形態、無線電波、紅外線、超音波、及 L S I 內部之電佈線。

如上所述，依據本發明，一電腦主體及一擴充單元可被相互連接透過一具有較少信號線之電纜，而任何不必要的資源無須被分配給電纜，藉以實現一種具有絕佳的功能可擴充性及外殼結構之彈性。

額外的優點及修改將使那些熟悉本項技術者易於瞭解。因此，本發明之較寬廣範圍並不限定於此處所顯示及描述之特定細節及代表性實施例。因而，各種修改可被執行而不背離由後附申請專利範圍及其同等物所定義之一般發明觀念的精神與範圍。

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

四、中文發明摘要(發明之名稱: P C I 串列傳輸之基本觀念)

於本發明中，一電腦主體之匯流排透過一串列介面而被連接至一擴充單元之匯流排以實施連接佈線以串列電纜之形式。一用以連接主要 P C I 匯流排至從屬 P C I 匯流排之 P C I - P C I 橋包括兩個實際上隔離的控制器，即，一實施於 P C 主體側上之主要 P C I 串列轉移控制器及一實施於對接站側上之從屬 P C I 串列轉移控制器。這兩個控制器被彼此連接透過串列 L V D S 線。處理被交換於主要 P C I 匯流排與從屬 P C I 匯流排之間，藉由主要 P C I 串列轉移控制器與從屬 P C I 串列轉移控制器之間的串列轉移。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

英文發明摘要(發明之名稱: BASIC CONCEPT OF PCI SERIAL TRANSMISSION)

In this invention, the bus of a computer body is connected to the bus of an expansion unit through a serial interface so as to implement connection wirings in the form of a serial cable. A PCI-PCI bridge for connecting a primary PCI bus to a secondary PCI bus comprises two physically isolated controllers, i.e., a primary PCI serial transfer controller implemented on the PC body side and a secondary PCI serial transfer controller implemented on the docking station side. The two controllers are connected to each other through serial LVDS lines. Transactions are exchanged between the primary PCI bus and the secondary PCI bus by serial transfer between the primary PCI serial transfer controller and the secondary PCI serial transfer controller.

六、申請專利範圍

1 . 一種電腦系統，包括：

第一與第二匯流排，其個別地由多位元寬度之平行傳輸路徑所構成；

一連接至該第一匯流排之第一控制器；

一連接至該第二匯流排之第二控制器；及

一插入於該第一與該第二控制器之間的串列傳輸路徑；

其中該第一與第二控制器從該第一與第二匯流排之一交換一處理之一指令、位址及資料至另一匯流排，藉由透過該串列傳輸路徑之串列轉移，且該第一與第二控制器邏輯地構成一單元。

2 . 如申請專利範圍第 1 項之電腦系統，其中該串列傳輸路徑包含多數串列傳輸路徑。

3 . 如申請專利範圍第 1 項之系統，其中該第一與第二控制器共用一由 I D S E L 信號所指定之組態位址空間。

4 . 如申請專利範圍第 1 項之系統，其中該第一與第二控制器具有第一及第二組態暫存器以指示個別的操作環境，且環境設定資訊之相同片段被個別地設定於第一及第二組態暫存器中。

5 . 如申請專利範圍第 4 項之系統，其中環境設定資訊之相同片段被個別地設定於第一及第二組態暫存器中，藉由將第一組態暫存器中之環境設定資訊複製至第二組態暫存器。

(請先閱讀背面之注意事項再填寫本頁)

訂

線

六、申請專利範圍

6 . 如申請專利範圍第 1 項之系統，其中串列傳輸路徑包含至少一差動信號線對。

7 . 如申請專利範圍第 1 項之系統，其中串列傳輸路徑包含至少一差動信號線對，且一變壓器被插入每個差動信號線對中。

8 . 如申請專利範圍第 7 項之系統，其中每個該第一與第二控制器包括

機構以將其從該第一與第二匯流排之一相應者轉移至另一匯流排所需之資訊自平行資料轉換為串列資料，及

機構以將其構成串列資料之每個二元資料轉換為三元資料，其包含一第一狀態（其中該變壓器中之電流流動於一正方向）、第二狀態（其中該變壓器中之電流流動於一負方向）、及第三狀態（其中該變壓器中無電流流動），並將三元資料輸出至差動信號線對。

9 . 如申請專利範圍第 8 項之系統，其中該每個第一與第二控制器包括

機構以檢測差動信號線對上之三元資料並將所檢測之三元資料轉換為二元資料，及

機構以將其由已轉換之二元資料所構成的串列資料轉換為平行資料以被輸出至該第一或第二匯流排。

10 . 如申請專利範圍第 6 項之系統，其中每個該第一與第二控制器包括

機構以將其從該第一與第二匯流排之一相應者轉移至另一匯流排所需的資訊編碼為其 n 位元資訊字元之單元中

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

六、申請專利範圍

的 m 位元 ($m > n$) 碼序列，及

機構以將 m 位元 ($m > n$) 碼序列轉換為串列資料並將串列資料輸出至差動信號線對。

1 1 . 如申請專利範圍第 1 0 項之系統，其中該編碼機構以其 1 之數目相對於 0 之數目係大致上相等的比率來將資訊字元編碼為碼序列。

1 2 . 如申請專利範圍第 1 0 項之系統，其中每個該第一與第二控制器包括

機構以接收串列資料輸出至差動信號線對，並將一 m 位元 ($m > n$) 碼序列解碼為一 n 位元資訊字元，及

機構以將其已解碼之 n 位元資訊字元轉換為平行資料以被輸出至該第一或第二匯流排。

1 3 . 如申請專利範圍第 1 項之系統，其中每個該第一與第二控制器包括

匯流排介面機構，其同步地操作以與第一及第二匯流排之一相應匯流排上之裝置所使用者相同的第一時鐘信號來交換一處理與相應的匯流排，及

串列轉移機構，其同步地操作以一異步與第一時鐘信號之第二時鐘信號來執行串列轉移透過串列傳輸路徑。

1 4 . 如申請專利範圍第 1 項之系統，其中該第一控制器包括第一匯流排介面機構以交換一處理與第一匯流排

該第二控制器包括第二匯流排介面機構以交換一處理與第二匯流排，及

(請先閱讀背面之注意事項再填寫本頁)

訂

線

六、申請專利範圍

該第一及第二匯流排介面機構個別地同步操作與其彼此異步之第一及第二時鐘信號。

1 5 . 如申請專利範圍第 1 項之系統，其中串列傳輸路徑包括一完全雙工通道，其包含至少一對信號傳輸方向彼此相反的單向串列傳輸路徑，及

每個單向串列傳輸路徑包含：一串列資料線以串列地轉移指令、位址、及資料，及一時鐘信號線以轉移相應的時鐘信號。

1 6 . 一種電腦系統，其中一用於功能擴充之擴充單元可被連接至一電腦主體，包括：

一第一匯流排，其被設於該電腦主體中且係由多位元寬度平行傳輸路徑所構成；

一第二匯流排，其被設於該擴充單元中且係由多位元寬度平行傳輸路徑所構成；及

匯流排連接機構以透過一串列傳輸路徑將該第一匯流排連接至第二匯流排，並藉由透過串列傳輸路徑之串列轉移以交換其從該第一與第二匯流排之一至另一匯流排之一處理轉移所需的指令、位址及資料。

1 7 . 一種電腦系統，包括：

第一及第二匯流排，其係個別由多位元寬度平行傳輸路徑所構成且其中有相同的處理協定被執行；

連接至該第一匯流排之第一匯流排介面機構以交換一處理與該第一匯流排；

連接至該第二匯流排之第二匯流排介面機構以交換一

(請先閱讀背面之注意事項再填寫本頁)

訂

線

六、申請專利範圍

處理與該第二匯流排；

一串列傳輸路徑，其被插入於該第一與第二匯流排介面機構之間，且串列資料轉移被異步地執行至該第一及第二匯流排於其上。

插入於該第一匯流排介面與串列傳輸路徑之間的機構以將其從該第一匯流排至第二匯流排之一處理之轉移所需的資訊自平行資料轉換至串列資料，並將串列資料輸出至串列傳輸路徑；及

插入於該串列傳輸路徑與該第二匯流排介面機構之間的機構以：透過串列傳輸路徑接收串列資料、將串列資料轉換為平行資料、及將平行資料輸出至該第二匯流排介面機構。

18．如申請專利範圍第17項之系統，其中該第一與第二匯流排介面機構、該平行／串列轉換機構、該串列／平行轉換機構邏輯地構成一橋單元。

19．如申請專利範圍第17項之系統，其中該第一與第二匯流排介面機構共用一由IDSEL信號所指定之組態位址空間。

20．如申請專利範圍第17項之系統，其中該第一與第二匯流排介面機構具有第一及第二組態暫存器以指示個別的操作環境，且環境設定資訊之相同片段被個別地設定於第一及第二組態暫存器中。

21．如申請專利範圍第20項之系統，其中環境設定資訊之相同片段被個別地設定於第一及第二組態暫存器

(請先閱讀背面之注意事項再填寫本頁)

訂

線

六、申請專利範圍

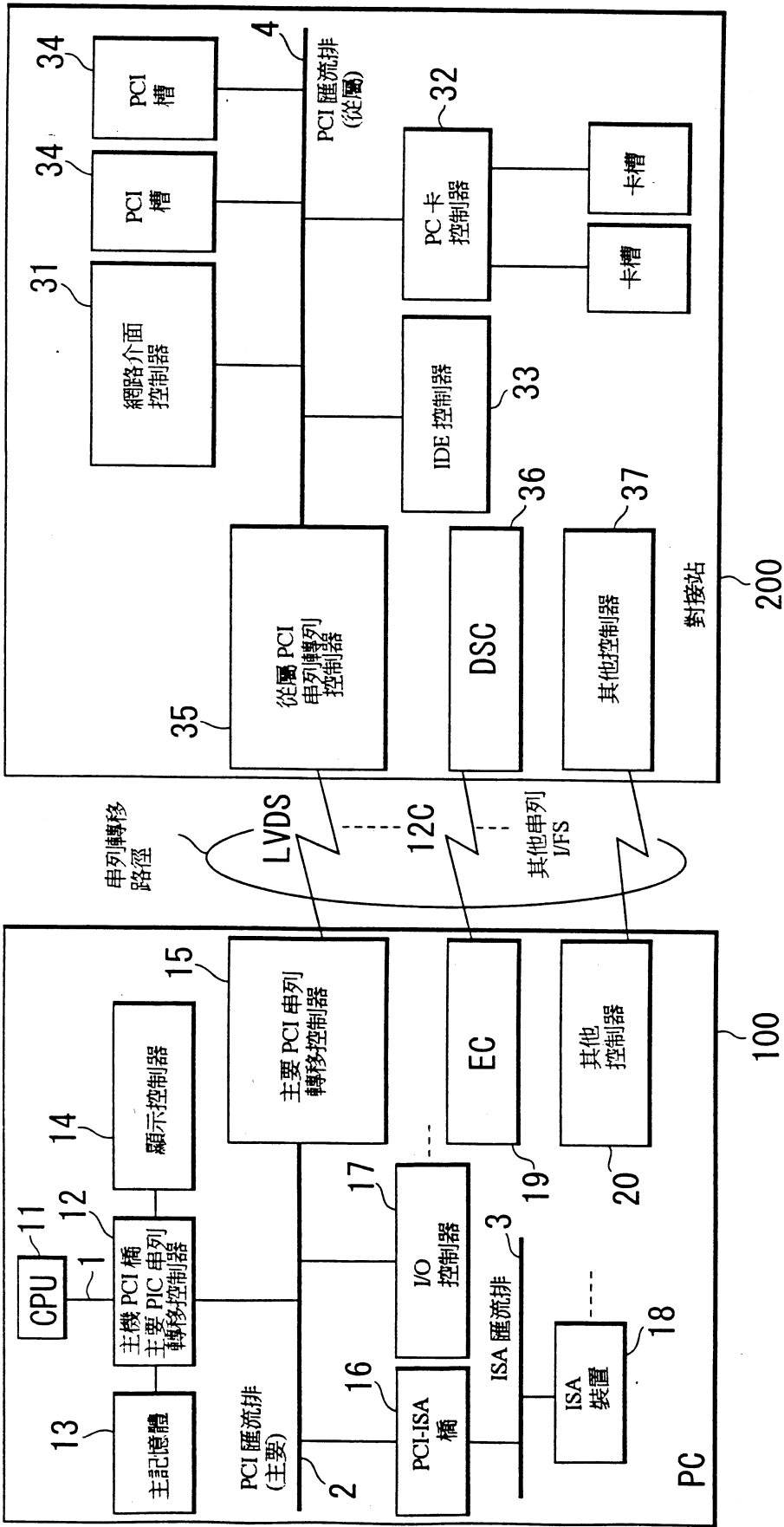
中，藉由將第一組態暫存器中之環境設定資訊複製至第二組態暫存器。

(請先閱讀背面之注意事項再填寫本頁)

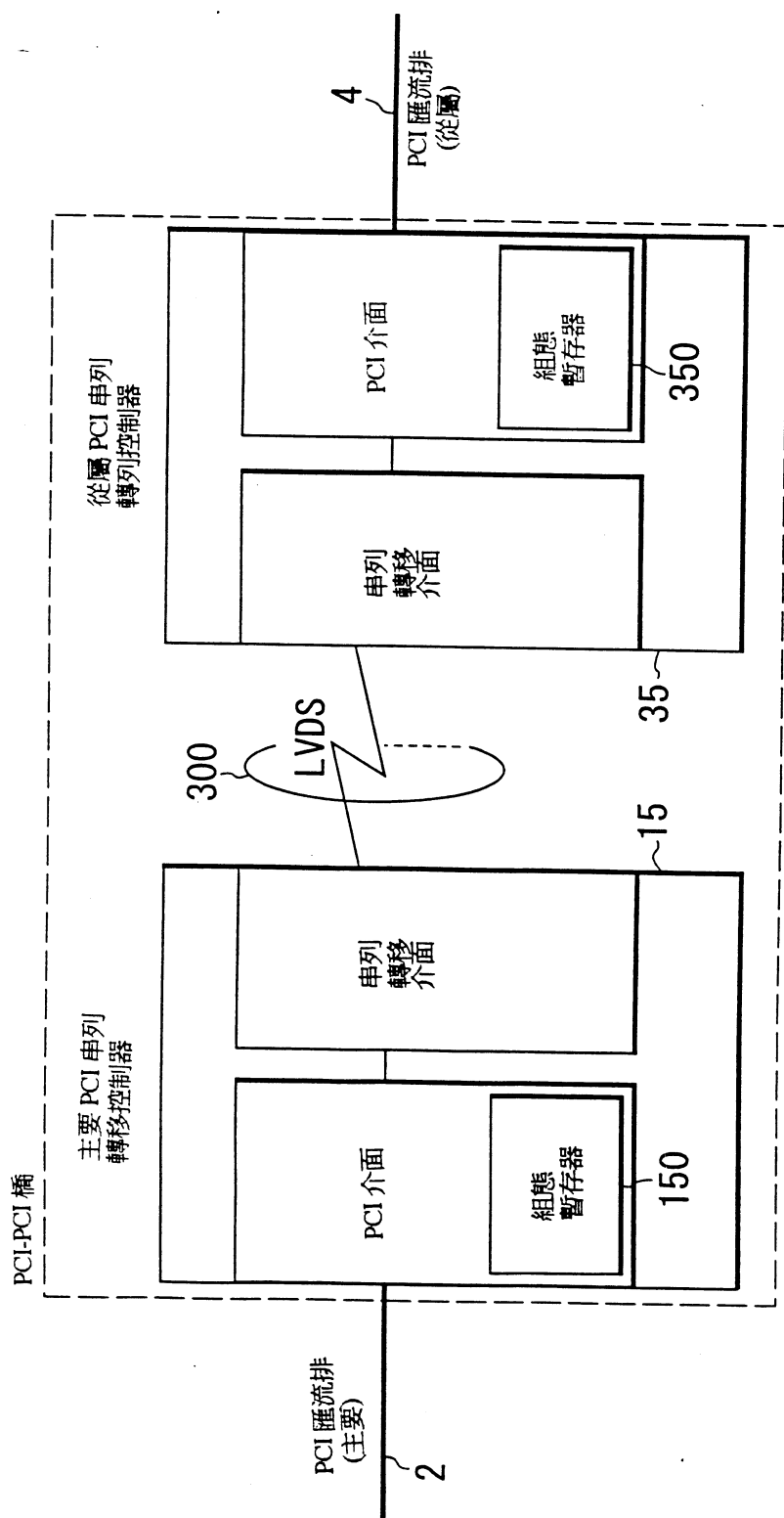
訂

線

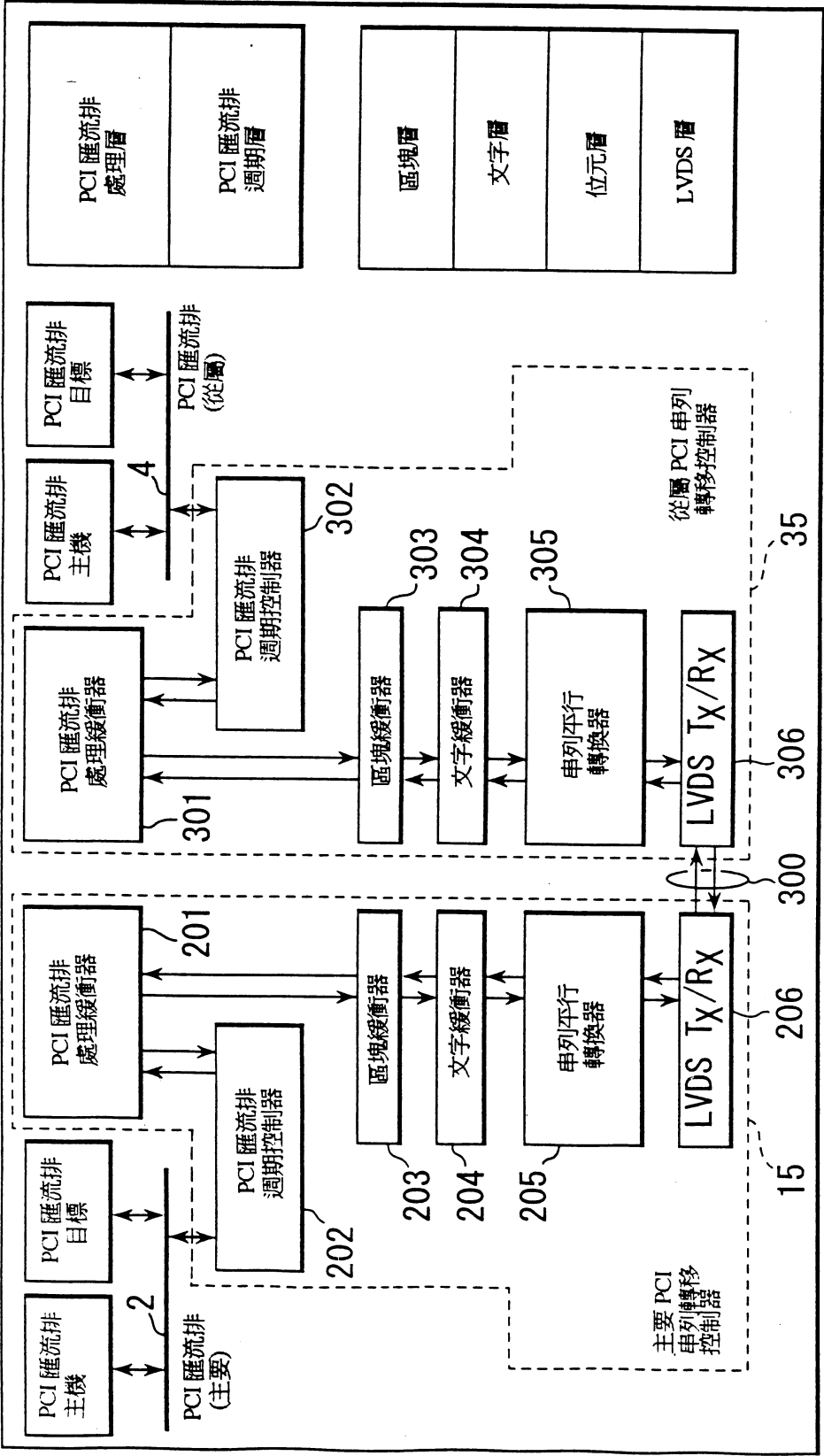
經濟部智慧財產局員工消費合作社印製



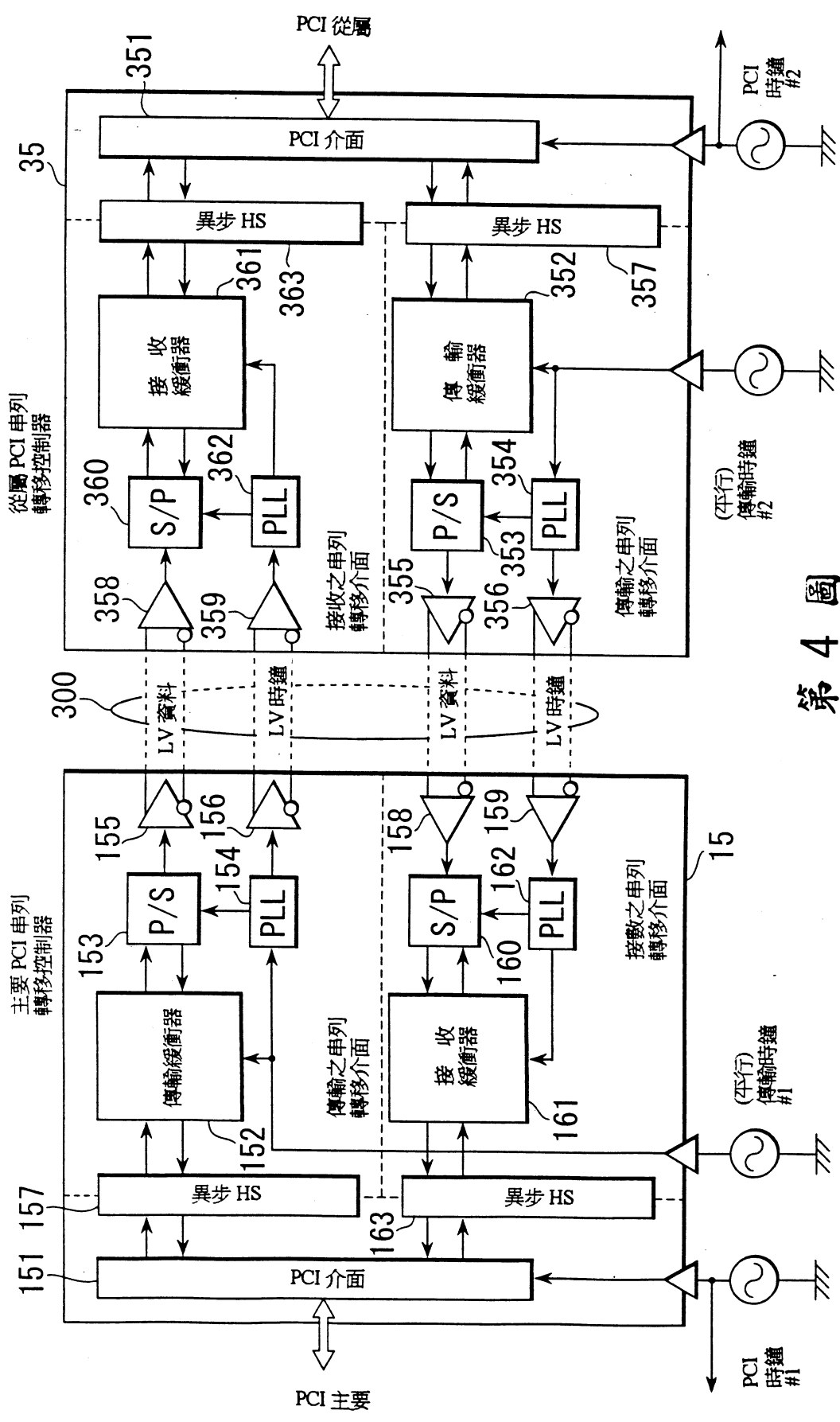
第 1 圖



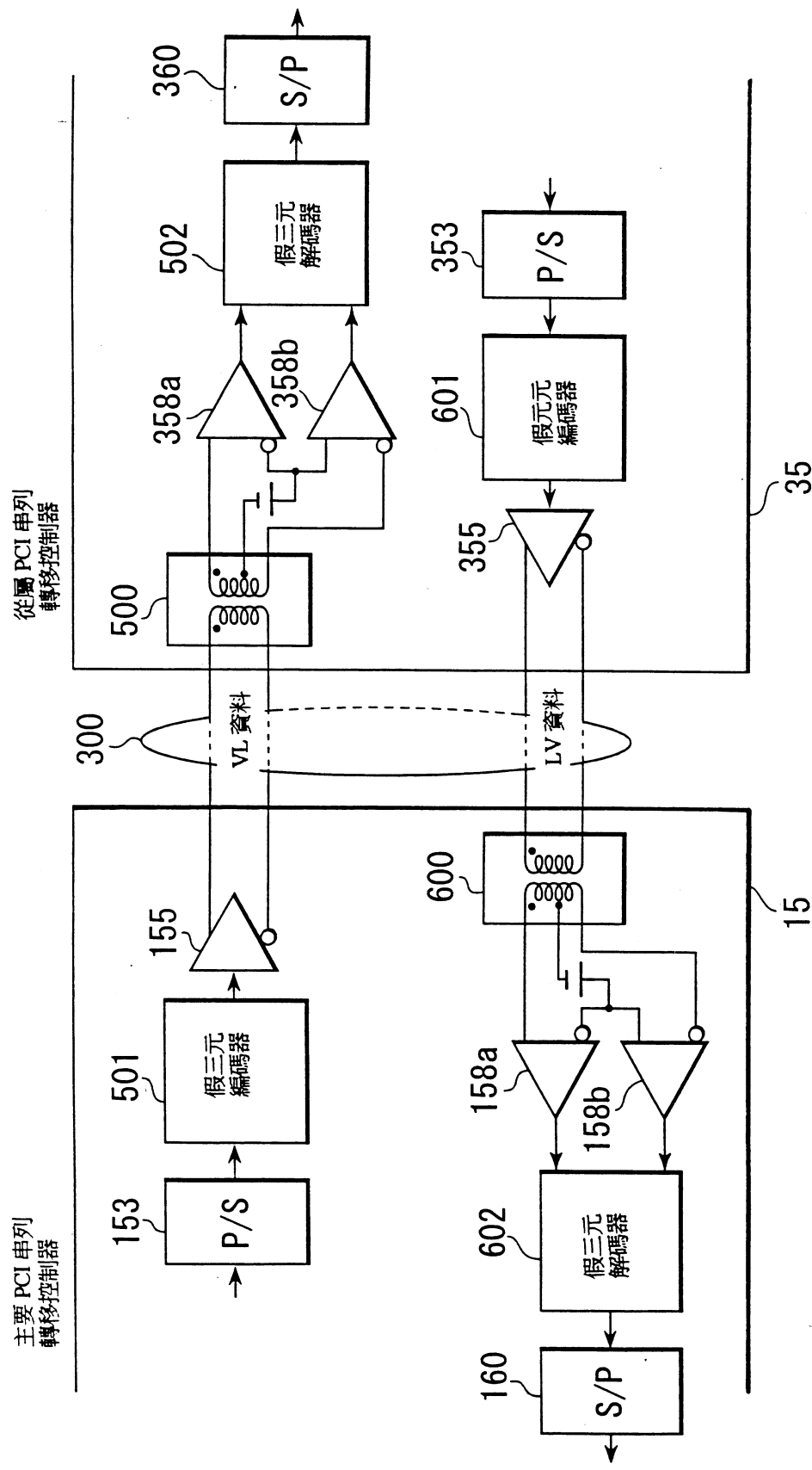
第 2 圖



第 3 圖



第 4 圖

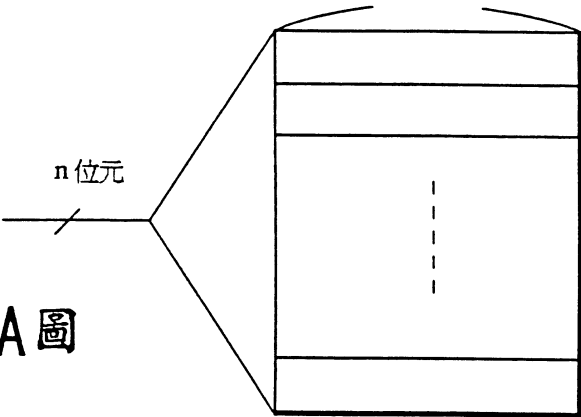


第 5 圖

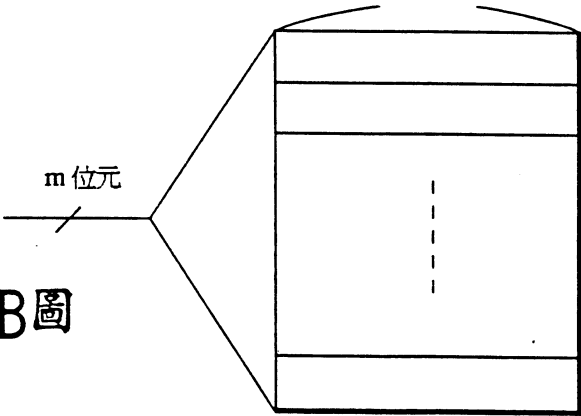
第 6 圖

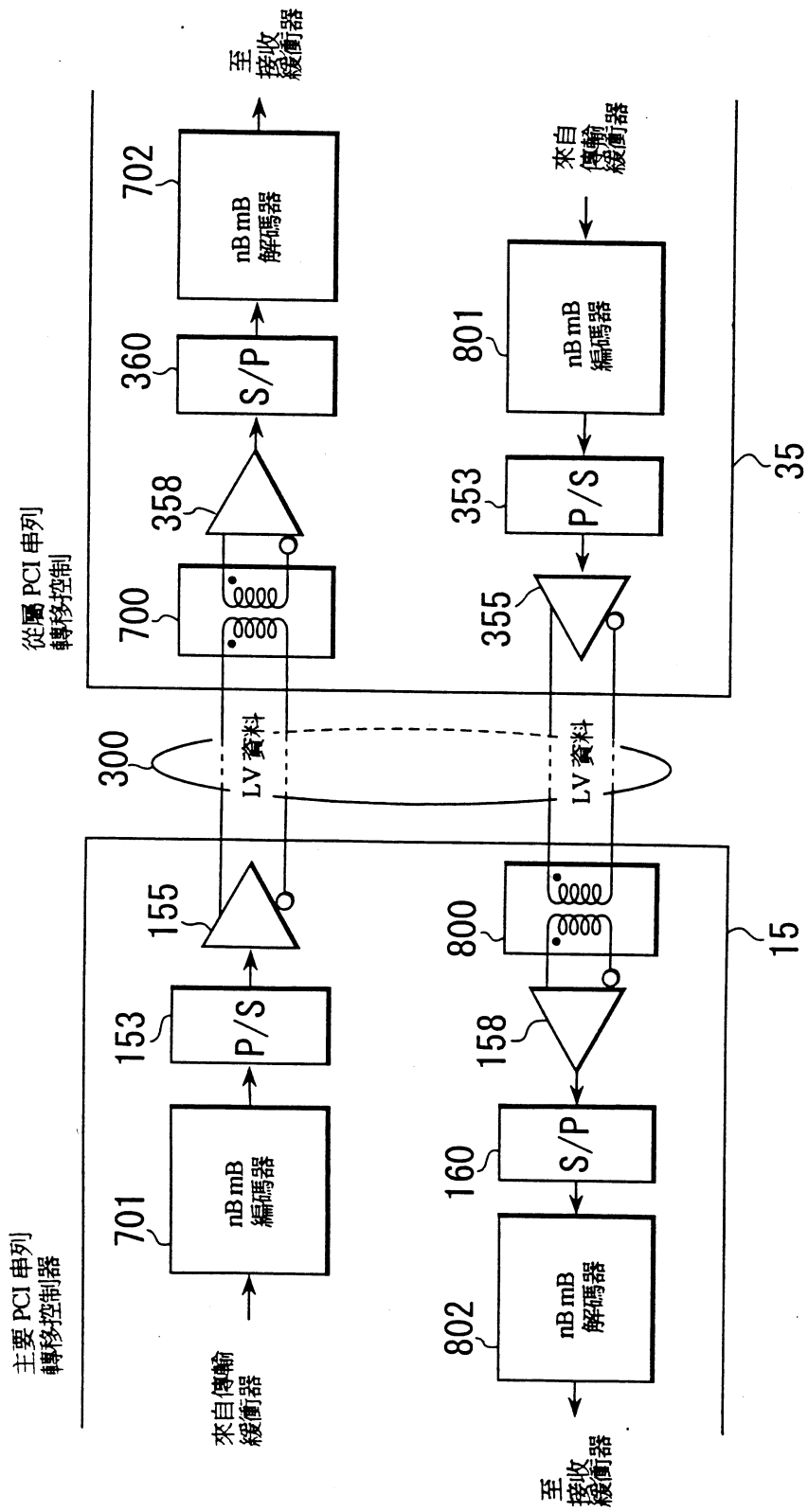
OUT	IN1	IN2
+V	"1"	"1"
零	"0"	"1"
-V	"0"	"0"

第 8A 圖



第 8B 圖





第 7 圖