(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년09월25일
(11) 등록번호 10-0860450
(24) 등록일자 2008년09월19일

(51) Int. Cl.
*B41J 2/01* (2006.01)
(21) 출원번호 10-2000-0050304
(22) 출원일자 2000년08월29일
심사청구일자 2005년08월26일
(65) 공개번호 10-2001-0021455
(43) 공개일자 2001년03월15일
(30) 우선권주장
09/385,298 1999년08월30일 미국(US)
(56) 선행기술조사문헌
US5491505
US5635968
US5748209
JP07148915
전체 청구항 수 : 총 9 항

(73) 특허권자
**휴렛-팩커드 컴퍼니(델라웨어주법인)**
미합중국 캘리포니아주 (우편번호 94304) 팔로 알토 하노버 스트리트 3000
(72) 발명자
**스쿨트도널드더블유**
미국오레곤주97330코발리스노스웨스트킹스블러바드2215
**기어매튜디**
미국캘리포니아주92129샌디에고세고비아코트15240
*(뒷면에 계속)*
(74) 대리인
**김창세, 장성구**

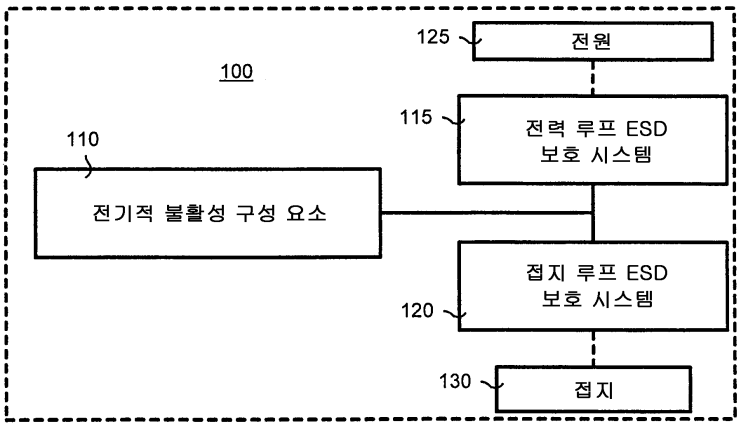
심사관 : 김대환

# (54) 열 잉크젯 프린트 헤드

## (57) 요 약

본 발명은 ESD 이벤트로부터 마이크로시스템(100)의 전기적 불활성 구성 요소(110)를 보호하는 시스템 및 방법으로 구체화된다. 본 발명은 전기적 불활성 구성 요소(110)에 직접 충격을 가하고 상기 전기적 불활성 구성 요소(110) 외부에 있는 ESD 이벤트로부터 마이크로시스템(100)을 보호하는 실시예를 포함한다. 본 발명은 전기적으로 부동하는 전기적 불활성 구성 요소의 접속된 체인을 구비하는 ESD 방산 디바이스를 포함한다. 대안적으로 전기적 불활성 구성 요소는 전기적 구성 요소와 동일한 전위로 유지될 수 있다. 더욱이, 상기 보호된 구성 요소에서 떨어져서 우선적인 ESD 브레이크다운 위치를 제공하는 희생적 ESD 브레이크다운 디바이스가 포함된다. 또한, 용량성으로 접속된 박막층은 전기적 불활성 구성 요소(110)에 차폐를 제공할 수 있다.

*대 표 도* - 도1a



(72) 발명자

**심스타일러**

미국캘리포니아주92131샌디에고터렛드라이브11058

**라자노아씨**

미국캘리포니아주92107
샌디에고산타크루즈애비뉴4957

**켄트마리**

미국오레곤주97330
코발리스노스이스트글라시아웨이2954

## *특허청구의 범위*

**청구항 1**

열 잉크젯 프린트 헤드에 있어서,

잉크 방울(ink drop)을 분출하도록 충분한 양의 열을 제공하는 저항층(310)과,

상기 저항층(310) 위에 배치되는 패시베이션층(passivation layer)(320)과,

상기 패시베이션층(320) 위에 배치되고 상기 저항층(310) 위에 적어도 부분적으로 배치되는 보호층(330)과,

정전기 방전 이벤트를 상기 저항층(310)으로부터 션트(shunt)시키기 위해 상기 보호층(330)에 전도성으로 접속되는 정전기 방전 디바이스

를 포함하되,

상기 보호층(330)은 전도성 브리지(350)에 의해 접속되는 다수의 보호층을 포함하는 열 잉크젯 프린트 헤드.

**청구항 2**

삭제

**청구항 3**

제 1 항에 있어서,

상기 전도성 브리지(350)는 상기 다수의 보호층 부분의 각각보다 작은 적어도 하나의 치수를 갖는 열 잉크젯 프린트 헤드.

**청구항 4**

제 1 항에 있어서,

상기 전도성 브리지(350)는 상기 패시베이션층(320) 아래에 배치되고, 상기 정전기 방전 이벤트를 상기 저항층(310)으로부터 션트시키는 것을 보조하는 열 잉크젯 프린트 헤드.

**청구항 5**

제 1 항에 있어서,

상기 패시베이션층(320) 아래에 있는 버스 구조(475)를 더 포함하는 열 잉크젯 프린트 헤드.

**청구항 6**

제 5 항에 있어서,

상기 보호층(330)과 상기 저항층(310)은 상기 버스 구조(475)에 의해 서로 전기적으로 접속되어, 상기 보호층(330)과 상기 저항층(310)이 동일한 전위에 있게 되는 열 잉크젯 프린트 헤드.

**청구항 7**

제 1 항에 있어서,

상기 정전기 방전 이벤트에 대해 우선적인 브레이크다운(breakdown) 위치를 제공하는 전도성 서펜타인 구조(serpentine structure)(1130)를 더 포함하는 열 잉크젯 프린트 헤드.

**청구항 8**

제 7 항에 있어서,

상기 전도성 서펜타인 구조(1130)는 상기 보호층(330) 아래에 배치되는 열 잉크젯 프린트 헤드.

**청구항 9**

삭제

**청구항 10**

박막 구조를 구비하는 열 잉크젯 프린트 헤드에 있어서,

열을 생성하는 저항층(310)과,

상기 저항층(310) 위에 적어도 부분적으로 배치되는 보호층(330)과,

상기 보호층(330)과 결합하여 상기 프린트 헤드 상에 배치되고, 상기 저항층(310)으로부터 멀리 떨어져 정전기 방전 이벤트에 대해 우선 경로를 제공하는 정전기 방전 보호 시스템을 포함하되,

상기 보호층(330)은 상기 정전기 방전 보호 시스템과의 전도 결합 부분 외에는 전기적으로 분리되고, 큰 용량성 영역을 형성하기 위해 전도성으로 접속되는 다수의 보호층 부분을 포함하는 열 잉크젯 프린트 헤드.

**청구항 11**

삭제

**청구항 12**

제 10 항에 있어서,

상기 정전기 방전 이벤트에 대해 상기 우선 경로를 제공하는 서펜타인 구조(1130)를 더 포함하는 열 잉크젯 프린트 헤드.

# *명 세 서*

## *발명의 상세한 설명*

### *발명의 목적*

#### *발명이 속하는 기술 및 그 분야의 종래기술*

<22> 본 발명은 전반적으로 정전기 방전(ESD; electrostatic discharge) 보호 시스템에 관한 것으로, 보다 구체적으로는 ESD 이벤트(event)로부터 열 잉크젯 프린팅 시스템의 전기적 불활성 구성 요소(electrically-inactive component)를 보호하는 시스템 및 방법에 관한 것이다.

<23> 정전기 방전(ESD) 이벤트는 프린팅 시스템과 같은 전자 디바이스에 대해 중대한 손상을 발생시킬 수 있는 잠정적으로 심각한 이벤트이다. 대표적인 ESD 이벤트는 통상 고 전압 이벤트이고, 프린팅 시스템과 구체적으로는 저 전압에서 동작하도록 설계된 프린트 헤드를 쉽게 손상시키거나 훼손시킬 수 있다.

<24> 열 잉크젯 프린팅 시스템은 통상 (예를 들면, 저항 및 커패시터와 같은) 전기적 활성(또는 전기적) 구성 요소{electrically-active(or electrical) component}와, 일차적으로 비전기적 기능을 갖는 (임의의 유형의 박막층과 같은) 전기적 불활성 구성 요소를 모두 포함한다. 열 잉크젯 프린팅 시스템의 프린트 헤드의 ESD 이벤트는 프린트 헤드 내에 포함된 구성 요소를 쉽게 손상시키거나 훼손할 수 있다. 더욱이, 손상은 프린트 헤드의 전기적 구성 요소뿐만 아니라, 프린트 헤드의 전기적 불활성 구성 요소에서도 있을 수 있다.

#### *발명이 이루고자 하는 기술적 과제*

<25> 많은 프린팅 시스템이 ESD 보호 시스템을 포함하지만, 현재의 ESD 보호 구조는 프린팅 시스템의 전기적 구성 요소만을 보호하도록 설계된다. 따라서, 전기적 불활성 구성 요소는 통상 잠재적으로 손상시키는 ESD 이벤트로부터 보호받지 못한 채로 남는다. 전기적 구성 요소가 ESD 보호부를 구비한다 할 지라도, 특히 전기적 불활성 구성 요소가 전기적 구성 요소에 근접해 있을 때 ESD 이벤트는 여전히 프린팅 시스템의 전기적 구성 요소를 손상시킬 수 있기 때문에 문제가 있다. 따라서, 열 잉크젯 프린팅 시스템의 전기적 구성 요소뿐만 아니라 전기적 불활성 구성 요소에 대해서도 ESD 이벤트로부터 보호하는 ESD 보호 시스템이 필요하다.

### *발명의 구성 및 작용*

<26> 종래 기술에서의 한계를 극복하기 위하여, 또한 본 명세서를 읽고 이해할 때 분명해질 다른 한계를 극복하기 위하여, 본 발명은 잉크젯 프린팅 시스템의 전기적 불활성 구성 요소를 보호함으로써 정전기 방전(ESD)으로부터 열 잉크젯 프린팅 시스템을 보호하는 시스템 및 방법으로 구체화된다. 전기적 불활성 구성 요소에 ESD 보호를 제공하기 위하여, 프린팅 시스템의 전기적 구성 요소용 추가의 ESD 보호 방법을 제공하는 보다 완전하고 효율적인 ESD 보호 시스템이 성취된다. 전기적 불활성 구성 요소는 일시적으로 비전기적 용도를 갖는 비전기적 기능 및 구조(예를 들면, 박막층)를 구비하는 프린팅 시스템의 구성 요소이다.

<27> 본 발명은 전기적 불활성 구성 요소를 포함하는 프린팅 시스템에 높은 효과 및 효율의 ESD 보호를 제공한다. 구체적으로는, 전기적 구성 요소뿐만 아니라 프린팅 시스템의 전기적 불활성 구성 요소에 ESD 보호를 제공함으로써 본 발명은 ESD 이벤트로부터 손상 및 파손에 대한 프린팅 시스템(특히 프린트 헤드)의 민감성 및 감도를 크게 감소시킨다. 더욱이, 본 발명은 프린트 헤드의 기존 구조 및 회로를 사용하거나 적절한 초소형 제조 방법(microfabrication) 및 박막 기술에 의해 프린팅 시스템의 프린트 헤드 내에서 구현될 수 있다.

<28> 본 발명의 시스템은 ESD 이벤트가 프린팅 시스템의 전기적 불활성 구성 요소로부터 멀리 떨어져 배치되는 ESD 보호 시스템을 포함한다. 본 발명의 ESD 보호 시스템은 ESD 이벤트의 손상 효과를 감소시키고, 몇몇 실시예에서는 ESD 이벤트가 발생하는 것조차도 방지할 수 있다. 본 발명의 ESD 보호 시스템은 이를 성취하기 위하여 각종 실시예를 포함한다.

<29> 보다 구체적으로는, ESD 보호 시스템의 일 실시예는 ESD 이벤트를 없애기 위해 전기적으로 부동하는 큰 전도 영역(electrically floating large conductive area)을 제공한다. 상기 큰 전도 영역은 전기적 불활성 구성 요소에 용량성으로 결합되고, ESD 이벤트에 대비한 저장 영역을 제공함으로써 ESD 이벤트에 대한 전기적 불활성 구성 요소의 감도를 감소시킨다. 다른 실시예에서는 큰 전도 영역 및 전기적 불활성 구성 요소가 동일한 전위 혹은, 접지에서 유지되며, 따라서 ESD 이벤트의 발생을 크게 감소시키고 심지어 발생하지 않게 한다. 더욱이, 제조 공정 동안 ESD 보호를 제공하기 위하여, 본 실시예는 (퓨즈와 같은) 절단 가능한 링크를 포함할 수 있어서, 큰 전도 영역과 전위 사이의 접속이 절단되기 전에, 전기적 불활성 구성 요소 및 큰 전도 영역이 일정한 시간 주기 동안 동일한 전위에서 유지되게 된다. ESD 보호 시스템은 그 자체로 프린팅 시스템의 정상 동작에 영향을 미치지 않고서 제조 공정 동안 ESD 이벤트의 발생을 크게 감소시킨다.

<30> 본 발명의 다른 실시예는 전기적 불활성 구성 요소로부터 떨어져 있는 위치에서 ESD 이벤트에 대비한 우선적인 브레이크다운(breakdown) 위치를 제공하는 ESD 보호 시스템을 포함한다. 다른 ESD 보호 시스템이 모두 실패할지라도, 프린팅 시스템에 결과적으로 나타나는 손상은 프린팅 시스템 동작에 영향을 미치지 않는 위치에 있을 것이다. 본 발명의 다른 실시예는 프린팅 시스템 내의 큰 전도성 영역을 각종 박막층으로 나누는 각종 ESD 보호 시스템을 포함한다. ESD 이벤트로 인한 전하는 상기 각종 층에 저장됨으로써, 상기 각종 층을 손상시킬 수 있는 임의의 단일 층에 고전하 영역이 생성되는 것을 방지한다. 더욱이, 션트 바(shunt bar)를 사용하여 ESD 이벤트가 뒤이어 발생할 우선 경로를 제공하는데 사용될 수 있고, 상기 우선 경로는 전기적으로 불활성 구성 요소로부터 멀리 떨어져 있다. 본 발명은 또한 상기 시스템을 사용하여 전기적으로 불활성 구성 요소를 구비하는 프린팅 시스템을 보호하는 방법을 포함한다.

<31> 본 발명의 보다 완전한 이해뿐만 아니라 본 발명의 다른 측면 및 장점이 본 발명의 원리의 예를 예시하는 첨부 도면과 관련하여, 다음의 상세한 설명에 의해 명백해질 것이다. 더욱이, 본 발명의 범위는 청구 범위에 의해 한정되고, 앞서 기술된 (발명이 이루고자 하는 기술적 과제)나 다음에 기술된 (발명의 구성 및 작용)에 의해 한정되지는 않는다.

<32> 본 발명은 바람직일 실시예를 예시하는 다음의 설명 및 첨부 도면을 참조하여 더 많이 이해될 수 있다. 다른 특징 및 장점은 예를 통하여 본 발명의 원리를 예시하는 첨부 도면과 관련하여 기술된 바람직일 실시예에 대한 다음의 (발명의 구성 및 작용)에 의해 명백해질 것이다.

<33> 본 발명의 다음의 상세한 설명에서, 본 발명의 일부를 형성하고 본 발명이 실시될 수 있는 특정 예를 예시를 통해 도시하는 첨부 도면이 참조된다. 다른 실시예가 사용될 수 있고, 본 발명의 범위에서 벗어나지 않고서도 구조 변화가 이루어질 수 있음을 이해해야 한다.

<34> Ⅰ. 전체 개요

<35> 본 발명은 직접적인 ESD 이벤트 및 외부 ESD 이벤트 모두로부터 ESD 보호 기능을 구비하는 마이크로시스템

(microsystem)을 제공한다. 통상, 직접적인 ESD 이벤트는 전기적 불활성 구성 요소에 직접 (또는 전기적 불활성 구성 요소 근방에서) 충격을 주는 이벤트이다. 외부 ESD 이벤트는 전기적 불활성 구성 요소로부터 멀리 떨어져 발생하는 이벤트이다. 외부 ESD 이벤트가 전기적 불활성 구성 요소로부터 멀리 떨어져 발생한다 할 지라도, 충격 영역에서 구성 요소까지 전도성 경로가 존재하기 때문에 구성 요소를 손상시킬 수 있다. 예를 들면, 저항이 열 잉크젯 프린트 헤드의 구성 요소 내에 깊이 위치할 수 있다 할 지라도, ESD 이벤트가 프린트 헤드의 표면상의 트레이스(trace)에 충격을 가할 경우 저항이 손상될 수 있다.

<36> A. 직접적인 ESD 이벤트로부터의 ESD 보호

<37> 도 1a는 구성 요소에 직접적으로 발생하는 ESD 이벤트로부터 보호되는 전기적 불활성 구성 요소를 도시하는 본 발명의 제 1 실시예에 대한 개략적 블록도이다. 집적 회로 또는 마이크로머신(micromachine)일 수 있는 마이크로시스템(microsystem)(100)은 전기적 불활성 구성 요소(110)를 포함한다. 통상, 전기적 불활성 구성 요소(110)는 본 발명의 ESD 보호 시스템에 접속된다. 회로의 전력 측에는 전력 루프 ESD 보호 시스템(115)이 있고, 회로의 접지 측에는 접지 루프 ESD 보호 시스템(120)이 있다.

<38> 전력 루프 ESD 보호 시스템(115)은 전원(125)에 전기적으로 접속될 수 있고, 접지 루프 ESD 보호 시스템(120)은 접지(130)에 전기적으로 접속될 수 있다. 대안적으로, 전기적 불활성 구성 요소(110), 전력 루프 ESD 보호 시스템(115) 및 접지 루프 ESD 보호 시스템(120)의 조합은 (점선으로 도시된 바와 같이) 전원(125) 또는 접지(130)에 접속될 필요는 없다. 그 대신에, 상기 조합은 전기적으로 부동(floating) 상태일 수 있다. 도 1a에 도시된 구성은 전기적 불활성 구성 요소(110)에 직접적으로 충격을 주는 ESD 이벤트로 인한 손상으로부터 마이크로시스템(100)을 보호한다.

<39> 도 1b는 도 1a의 작동 예를 예시하는 열 잉크젯 프린트 헤드(140)에 대한 블록 다이어그램이다. 탄탈륨 "아일랜드(islands)"(분리 영역)와 같은 다수의 보호층(150)이 열 잉크젯 프린트 헤드(140)의 상단층 근방에 배치되고 브리지(160)에 의해 접속되는 것으로 도시된다. 보호층(150)은 잉크 방울 버블 붕괴(ink drop bubble collapse)로부터 아래에 있는 층을 보호하기 위한 것이다(이하에 상세히 설명됨). 다음의 예에서, 재료는 탄탈륨이지만, 예를 들면, 로듐(Rh), 몰리브데늄(Mo) 및 니켈(Ni)과 같은 임의의 다른 적합한 재료가 사용될 수 있다. 각각의 탄탈륨 아일랜드(150)를 잉크 방울의 분출(firing of ink drops)에 사용되는 저항(도시되지 않음) 위에 있는 것이 바람직하다.

<40> 열 잉크젯 프린트 헤드(140)의 전력은 프린트 헤드(140)를 전압원(170)과 접지(175)에 접속함으로써 공급된다. 프린트 헤드(140)의 접지 측에는 ESD 방전 이벤트로부터 탄탈륨 아일랜드(150)를 보호하는 접지 루프 보호 회로(180)가 있다. 마찬가지로, 프린트 헤드(140)의 전력 측에는 탄탈륨 아일랜드(150)를 보호하는 전력 루프 보호 회로(190)가 있다. 바람직하게는, 상기 보호 회로는 프린트 헤드(140)로 그리고 프린트 헤드(140)로부터 단일 전하 방향을 제공하는 다이오드를 포함한다. ESD 이벤트가 하나 이상의 탄탈륨 아일랜드(150)에 충격을 가할 때, 동반하는 전하는 전력 루프 보호 회로(190)나 접지 루프 보호 회로(180)를 통하여 방산되고(dissipated), ESD 이벤트로 민감한 구성 요소에 손상을 입히는 것이 방지된다.

<41> B. 외부 ESD 이벤트로부터 ESD 보호

<42> 도 2a는 구성 요소 외부의 임의의 지점에서 발생하는 ESD 이벤트로부터 보호되는 전기적 불활성 구성 요소를 도시하는 본 발명의 제 2 실시예에 대한 개략 블록도이다. 마이크로시스템(200)은 외부 경로(205)를 포함하고, 외부 경로(205)는 마이크로시스템(200)에 접속되고, 임의의 간섭도 없으면 ESD 이벤트로 인한 전하가 전기적 불활성 구성 요소(210)로 통과할 수 있게 한다. 예를 들면, 외부 경로는 마이크로시스템의 표면을 따라서 전도성 트레이스(conductive trace)를 포함하며, 상기 전도성 트레이스는 ESD 이벤트를 수취하여 전하를 전기적 불활성 구성 요소에 전할 수 있다.

<43> 도 2a에 도시된 마이크로시스템(200)은 마이크로시스템(200)의 전력측용 전력 루프 ESD 보호 시스템(215)과, 마이크로시스템(200)의 접지측용 접지 루프 ESD 보호 시스템(220)을 포함한다. 전력 루프 ESD 보호 시스템(215)은 바람직하게 전원(225)에 접속되며, 반면에 접지 루프 ESD 보호 시스템(220)은 바람직하게 접지(230)에 접속된다. 지연 시스템(235)은 ESD 이벤트로 인한 임의의 전하가 전기적 불활성 구성 요소(210)를 손상시킬 수 있기 전에, 보호 회로(215, 220)를 활성화시키고 ESD 이벤트로 인한 임의의 전하를 방산하기에 충분한 시간을 보호 회로(215, 220)에게 허용하도록 전기적 불활성 구성 요소(210) 근방에 배치된다. 바람직하게는, 상기 지연 시스템(235)은 저항이다.

<44> 도 2b는 도 2a의 실시예의 동작 예를 예시하는 열 잉크젯 프린트 헤드(250)에 대한 블록도이다. 상기 예에서,

프린트 헤드의 표면에 있지만 다른 도체의 근방에 있지는 않고 노출된 전도층(255)은 마이크로시스템의 외부 경로이다. 접지 루프 보호 회로(260)와 전력 루프 보호 회로(265)는 프린트 헤드(250)의 전력 측과 접지 측을 보호한다. 저항(270)은 ESD 이벤트로 인한 전하에 의해 보호 회로(260, 265)가 활성화되기 전에 열 방산층(275)에 이르는 것을 지연시키는 지연 시스템으로 작동한다. 열 방산층(275)은 (도시되지 않은) 열 잉크젯 저항 바로 아래에 있고, 저항용 히트 싱크(heat sink)로 작동하며, 따라서 전기적 기능은 없다. ESD 이벤트로부터 열 방산층(275)을 보호하는 것 외에, 열 방산층(275)이 저항에 근접해 있기 때문에 저항에 대한 추가적 ESD 보호가 이루어진다. 이러한 방식으로, 노출된 전도성 층(255)에서 발생하는 ESD 이벤트로 인해 전기적 불활성 열 방산층(275)과 저항 모두가 손상되는 것이 방지된다.

<45> Ⅱ. ESD 보호 시스템에 대한 설명

<46> 본 발명은 ESD 이벤트로부터 보호하는 각종 실시예를 구비하는 ESD 보호 시스템을 포함한다. 상기 ESD 보호 시스템이 이제 각각 설명될 것이다.

<47> A. 직접 ESD 이벤트로부터의 ESD 보호 시스템:

<48> 전기적으로 부동하는 ESD 방산 시스템

<49> 본 발명의 일 실시예는 전기적으로 부동하는 ESD 방산 시스템이다. 본 실시예에서, 전기적 불활성 구성 요소는 전기적 구성 요소 또는 다른 전기적 불활성 구성 요소에 용량성으로 접속될 수 있는 큰 용량성 영역을 포함한다. ESD 이벤트가 발생할 때, ESD 이벤트에 의해 생성되는 전하는 우선 경로를 따라서, 전하가 방산되는 큰 전도성 영역으로 전달된다. 전기적 구성 요소는 ESD 이벤트로 인한 전하를 우선 경로를 따라서 전달하고 큰 전도성 영역에서 전하를 방산함으로써 보호되고, 전기적 불활성 구성 요소는 상기 전하가 전기적으로 부동하기 때문에 보호된다.

<50> 도 3은 상기 유형의 ESD 방산 시스템에 대한 동작 예를 예시한다. 상기 동작 예에서, 마이크로시스템은 박막 구조를 갖는 열 잉크젯 프린트 헤드이다. 박막 구조는 (상기 예에서 저항인) 전기적 구성 요소층과, 저항 위에 겹치는 유전체층과, 상기 유전체층의 적어도 일부분 위에 겹치는 보호층을 포함한다. 프린트 헤드의 박막 구조는 또한 기판 위에 위치하는 다른 적합한 층을 포함할 수 있다.

<51> 보호층은 탄탈륨(Ta)과 같은 재료로 만들어진다. 통상적으로, 하나의 큰 영역으로서가 아니라, 저항 위에 겹쳐지는 개별적으로 절연된 영역 또는, "아일랜드"로서 마이크로시스템 상에 탄탈륨을 증착하는 것이 바람직하다. 이것은 보호층의 상단부 위에 증착될 수 있는 임의의 박막이 탄탈륨 보호층 외의 다른 층에 보다 잘 부착하기 때문이다. 대부분의 경우에, 각각의 저항은 탄탈륨으로 형성된 전기 절연 아일랜드로 덮힌다. 그러나, ESD 이벤트가 발생할 때, 상기 아일랜드에 전하가 형성되고, 이 전하를 방산하는 능력이 없어서 탄탈륨 아일랜드와 저항 사이에 큰 전위차를 초래하게 된다. 이러한 큰 전위차는 탄탈륨 아일랜드와 저항 사이의 패시베이션층(passivation layer)의 브레이크다운의 원인이 될 수 있다.

<52> 그러나, 본 발명의 ESD 방산 디바이스는 하나의 큰 영역과 절연 아일랜드의 두 극단(extremes) 사이에 평형을 제공한다. 즉, 한 극단에서 (하나의 큰 영역과 같은) 넓은 전도성 영역은 본질적으로 다량의 전류의 흐름을 허용하는 아일랜드 사이의 저저항 브리지로 작동하고, ESD 이벤트 동안 패시베이션층(320) 양단 간의 피크 전압을 감소시킨다. 하나의 큰 영역은 아일랜드 사이의 저저항 접속을 제공하고, (다량의 전하가 저장될 수 있기 때문에) 양호한 ESD 보호를 제공한다. 그러나, 저저항 브리지는 또한 저항 고장으로 마이크로시스템 도처에 걸친 전파할 쉬운 경로를 제공하며, 상기 전파는 마이크로시스템의 광범위한 고장의 원인이 될 수 있다.

<53> 다른 극단적인 상태에서는, 전류가 브리지를 통과하는 것을 방해하고 그 결과 보다 높은 피크 전압을 발생시키는 절연 아일랜드(또는 아일랜드 사이의 고저항 브리지)가 있기 때문에 큰 전도성 영역이 사실상 존재하지 않는다. 더욱이, 아일랜드가 전혀 접속되지 않을 때 아일랜드 사이에는 본질적으로 무한 저항이 있다. 저항 고장이 상기 고저항 브리지를 통하여 쉽게 전파되지는 않기 때문에, 적절한 ESD 보호를 제공하지는 않는다.

<54> 본 발명의 ESD 방산 시스템의 장점은 어떠한 기계 보호 품질의 저하 없이도 프린트 헤드의 박막 구조의 요구 조건의 평형을 이루는 것이다. 구체적으로는, 탄탈륨 아일랜드를 함께 전도성으로 접속함으로써 프린트 헤드의 탑코트(topcoat)의 부착성이 희생되지 않고, 고장난 저항으로 인한 손상이 다른 저항에 전파되지 않으며, 캐비테이션 및 버블 붕괴 보호(cavitation and bubble collapse protection)가 유지된다. 더욱이, 탄탈륨 아일랜드들을 접속함으로써 ESD 이벤트로 인한 임의의 전하가 단일 탄탈륨 아일랜드에 저장되기보다는 오히려 다수의 탄탈륨 도처에 퍼지고 상기 다수의 탄탈륨 아일랜드 내에서 방산된다. 전도성으로 접속된 탄탈륨 아일랜드는 탄탈륨 층의 전하 저장 능력을 크게 증가시키고, ESD 이벤트 동안 패시베이션층 양단 간의 전압을 감소시킴으로

써, 패시베이션층에 대한 손상을 피하게 된다.

<55> 도 3은 열 잉크젯 프린트 헤드(도시되지 않음)의 박막 구조(300)에 대한 측면도이고, 기판(305)과, 상기 기판(305) 위에 겹쳐진 저항층(310)과, 제 1 패시베이션층(320)을 포함한다. 기판(305)은 예를 들면 실리콘 또는 유리로 만들어 질 수 있고, 저항층(310)은, 예를 들면, 탄탈륨 알루미늄일 수 있으며, 제 1 패시베이션층(320)은, 예를 들면, 실리콘 탄화물 및 실리콘 질화물로 만들어질 수 있다. 저항층(310)은 (예를 들면, 탄탈륨 알루미늄과 같은) 저항 재료 위에 겹쳐지는 저항층(310)에서 (예를 들면, 알루미늄과 같은) 전도성 재료의 조합의 에치 패턴에 의해 형성되는 저항(도시되지 않음)을 포함한다. 제 2 패시베이션층 또는 보호층(330)은 브리지(350)에 의해 서로 접속되는 아일랜드(150)를 포함한다. 앞서 논의된 바와 같이, 상기 보호층(330)은 통상 탄탈륨으로 만들어진다. 열 잉크젯 프린트 헤드에서 박막 구조의 다른 측면 및 상세한 설명은 전체 내용이 본 명세서에서 인용되는 Patent Number 5,187,500 entitled "Control of Energy to Thermal Ink Jet Heating Elements" by Bohorquez et al.에서 알게 된다.

<56> 아일랜드(150)를 접속하는 브리지(350)는 보호층(330)과 동일한 층에 도시되며, 표준 박막 처리 기술을 사용하여 생성될 수 있다. 대안적으로, 아일랜드(150)를 접속하는 브리지는 보호층(330) 위에 겹쳐지는 잉크통(도시되지 않음)을 통하거나 또는 박막 구조(300)의 추가적 금속층(도시되지 않음)을 통하여 경로 지정될 수 있다. 더욱이, 브리지(350)의 기하적 모양은 편리하고 효과적인 임의의 모양일 수 있다.

<57> 브리지(350)를 사용하여 아일랜드(150)를 접속하는 것에 의해, 저항층(310)에 용량성으로 접속되고 전기적으로 부동하는 일련의 탄탈륨 아일랜드(340)를 생성하여, ESD 방산 디바이스를 효과적으로 형성한다. 디바이스의 커패시턴스는 저항층(310) 위의 보호층(330)의 면적과, 패시베이션층(320)의 두께와, 패시베이션의 절연 내력(dielectric strength)의 함수이다. 상기 커패시턴스 증가로, 패시베이션층(320)의 브레이크다운과 저항층(310)의 아크(arcing)를 발생시킬 수 있는 큰 전위를 생성하지 않고서 보호층(330)이 대량의 전하를 저장할 수 있게 한다.

<58> 도 3에 도시된 바와 같이, 보호층(330)은 패시베이션층(320)에 의해 저항층(310)으로부터 효과적으로 분리되고, 커패시터를 효과적으로 생성한다. 커패시터 양단 간의 전압은 다음과 같다.

*수학식 1*

<59> $V = q / C$

<60> 여기서 V는 유전체 양단 간의 전위차이고, q는 각각의 플레이트 상의 전하이며, C는 커패시턴스이다. 보호층(330) 상의 전하가 그 자신을 균일하게 분배하도록 노력하고 저항층(310)과 함께 저항층 아래의 보호층(330) 만이 커패시터로 작용하기 때문에, 전하(qeff)의 일부만이 실제로 전위차에 영향을 미친다. (수학식 1)은 다음과 같이 된다.

*수학식 2*

<61> $V = q_{eff} / C$

<62> 여기서,

*수학식 3*

<63> $q_{eff} = q\ (A_{RL} / A_{CL})$

<64> 이며,

<65> ARL=보호층 아래의 저항층의 면적이고,

<66> ACL=보호층(아일랜드와 브리지)의 총 면적이다.

<67> 상기 결과를 조합하면,

*수학식 4*

<68> $V = (q/C) * (A_{RL} / A_{CL})$

<69> 이다. 상기 수학식에서, ARL은 통상 변하지 않고 q는 일정한 것으로 추정되기 때문에, V는 C나 ACL을 증가시킴으로서 감소될 수 있다.

<70> 유전체 사이의 전압 차가 임의의 임계치에 이를 때 패시베이션 브레이크다운이 발생하기 때문에, C를 증가시키거나 q를 감소시킴으로써 보다 견고한 ESD 방산 시스템을 만들 수 있다. 커패시터는 병렬로 접속될 때 가법 계산되기 때문에 아일랜드를 함께 접속하면 커패시턴스를 크게 증가시킨다. 더욱이, ESD 이벤트는 고 전압/저 전하 이벤트로 볼 수 있기 때문에, 전하는 보호층 전체에 그 자신을 균일하게 분배하고자 할 것이다. 따라서, 보호층의 면적을 증가시키면 전하 밀도를 크게 감소시키게 된다. 전하 밀도를 상기와 같이 감소시키면 (전기적 불활성 구성 요소를 포함하여) 커패시터 상의 전하를 감소시키고 유전체 양단 간의 전압을 더 낮추는 유익한 효과를 나타낸다.

<71> 1) 절단 가능한 링크를 구비하고 임의의 전위에서 유지되는 ESD 방산 시스템

<72> 본 발명의 다른 실시예에서, ESD 보호 디바이스는 전기적 불활성 구성 요소를 전기적 구성 요소에 전도성으로 접속하는 ESD 방산 시스템(위에서 논의한 시스템과 유사함)을 포함한다. 상기 조합은 동일한 전위 또는 접지에서 유지되며 따라서 ESD 이벤트를 상당히 감소시키거나 제거한다. 그 외에, 상기 실시예는 (퓨즈와 같은) 절단 가능한 링크를 포함하여, 전기적 불활성 구성 요소와 전기적 구성 요소가 그들 사이의 접속이 절단되기 전에 일정한 시간 주기 동안 동일한 전위에서 유지되게 된다. 따라서, ESD 보호 시스템은 (가령 제조 공정 동안과 같이) 원하는 시간 주기 동안 사용될 수 있고, 마이크로시스템의 정상 동작에 영향을 미치지 않는다.

<73> 위에서 논의된 바와 같이, ESD 이벤트로 인한 전기적 불활성 구성 요소의 손상은 넓은 전도성 영역을 구비하는 ESD 방산 시스템을 제공함으로써 감소될 수 있다. 상기 방산 시스템은 넓은 전도성 영역을 제공함으로써, ESD 이벤트로 인한 전하는 안전하게 방산될 수 있다. ESD 이벤트에 대한 감도의 추가로 낮추는 것은 ESD 방산 시스템의 기준을 임의의 알려진 전위나 접지로 함으로써 얻어질 수 있다. (전기적 불활성 구성 요소 및 전기적 구성 요소와 같은) 물체 사이에 전위차가 있을 때에만 ESD 이벤트가 발생할 수 있기 때문에, 구성 요소를 동일한 전위로 유지시키면 ESD 손상이 발생할 가능성을 크게 감소시킨다.

<74> 임의의 환경에서, 구성 요소의 전위를 시간 주기 동안(예를 들면, 제조 기간 동안) 동일한 전위로 유지시키고 그 후에 물체를 동일한 전위로 유지하는 것을 중단하는 것이 바람직할 수 있다. 상기 환경에서, 구성 요소 사이의 (퓨즈와 같은) 절단 가능한 링크는 임의의 시간 주기 동안 구성 요소를 동일한 전위로 유지시키는데 사용되고, 상기 시간 주기 후, 물체 사이의 전도성 링크는 절단된다.

<75> 상기 논의된 ESD 방산 시스템의 동작 예에서, 위에서 논의된 구조와 유사한 박막 구조를 갖는 열 잉크젯 프린트 헤드가 사용될 것이다. 통상, 저항과 유전체 패시베이션층위에 겹쳐지는 보호층은 캐비테이션 손상과 버블 붕괴로부터 저항을 보호한다. 프린트 헤드의 정상 작동 기간 동안, 프린트 헤드의 잉크통 내의 잉크는 저항에 의해 가열되어 분출된다. 잉크 버블의 이러한 팽창 및 붕괴로, 아래에 있는 층에 끊임없이 충격을 가하는 "워터 해머(water hammer)" 효과를 초래한다. 결국, 상기 캐비테이션과 버블 붕괴로, 유전체층과 저항층을 부식시키고 저항 고장을 초래한다. 보호층은 상기 불리한 요인으로 인한 저항의 손상을 감소시키거나 제거한다.

<76> 위에 논의된 바와 같이, (통상 탄탈륨으로 만들어지는) 보호층의 아일랜드가 함께 접속될 때 이들은 넓은 전도성 영역을 형성하고, ESD 이벤트에 대한 감도를 크게 감소시킬 수 있다. 그러나, 상기 탄탈륨 아일랜드는 통상 전기적으로 절연되고, ESD 이벤트에 대한 감도는 탄탈륨 아일랜드와 저항을 동일한 전위에 접속하거나 모두 접지에 접속함으로써 더 낮추어질 수 있다. 더욱이, 제조하는 동안 ESD 이벤트로 인한 손상을 감소시키거나 방지하기 위하여, 탄탈륨 아일랜드와 저항은 모두 프린트 헤드의 양전압 패드에 접속하는 것이 바람직하다. 프린트 헤드의 모든 저항이 공동 버스를 통하여 양전압 패드에 접속되기 때문에, 이것은 저항과 그 아래의 탄탈륨 아일랜드 사이에 전위차가 거의 없거나 없음을 보증한다.

<77> 탄탈륨 아일랜드를 서로 그리고 양전압 패드와 접속하면, 프린트 헤드가 잉크를 포함하지 않을 때 프린트 헤드 동작에 충격을 가하지 않는다. 그러나, 프린트 헤드가 잉크로 채워질 때 탄탈륨 아일랜드와 접지 사이의 전도 경로는 링크를 통하여 형성된다. 따라서, 탄탈륨 아일랜드가 정상 프린트 헤드 동작 기간 동안 양전압 패드의 전위에 있을 때, 전류는 잉크를 통하여 접지로 흘러서, 탄탈륨 아일랜드의 음극 산화의 원인이 될 것이다. 상기 산화가 프린트 헤드 성능에 불리하게 영향을 미칠 수 있기 때문에, 탄탈륨 아일랜드를 정상 프린트 헤드 동작 기간 동안 양전압 패드의 전위에 두는 것이 바람직하지 않다.

<78> 상기 문제점을 피하기 위하여, 탄탈륨 아일랜드는 제조 공정 동안만 양전압 패드에 접속되고 저항과 동일한 전위로 유지된다. 이것은 탄탈륨 아일랜드를 양전압 패드에 접속하도록 절단 가능한 전도성 링크를 사용하여 성

취된다. 상기 동작 예에서, 절단 가능한 링크는 퓨즈이다. 제조 기간 동안 탄탈륨 아일랜드와 저항은 양전압 패드의 전위로 유지되지만, 펜이 잉크로 채워진 후 탄탈륨 아일랜드와 양전압 패드 사이의 접속은 퓨즈를 개방함으로써 절단된다. 상기 동작 예에서, 퓨즈는 저항을 발화하는데 사용되는 것과 유사한 트랜지스터{바람직하게는, 스위칭 전계 효과 트랜지스터(FET)}를 사용하여 개방된다. 열 잉크젯 프린트 헤드는 사용되지 않는 어드레스를 포함하기 때문에, 상기 퓨즈가 끊어진 링크용 FET는 프린트 헤드의 회로를 크게 복잡하게 하지 않고서 상기 사용되지 않은 어드레스 중 한 어드레스를 통하여 개방될 수 있다.

<79> 도 4는 열 잉크젯 프린트 헤드 상의 각각의 탄탈륨 아일랜드가 그 자신의 접점을 구비하는 상기 실시예의 동작 예에 대한 평면도이다. 도 4에 도시된 바와 같이, 제 1 탄탈륨 아일랜드(400)와 제 2 탄탈륨 아일랜드(410)는 브리지(420)로 접속된다. 제 1 탄탈륨 아일랜드(400)는 제 1 저항(430) 위에 배치되고, 마찬가지로 제 2 탄탈륨 아일랜드(410)는 제 2 저항(440) 위에 배치된다. 도 3을 참조하면, 탄탈륨 아일랜드는 적어도 하나의 유전체 패시베이션층에 의해 저항으로부터 분리된다. 두 저항은 단지 예시를 위해서 도시된 것이고, 프린트 헤드는 통상 다수의 저항과 탄탈륨 아일랜드를 포함할 것이다. 제 1 저항(430)과 제 2 저항(440)은 모두 (양전압 입력과 같은) 입력(450)과 (FET 드레인과 같은) 드레인(460)을 포함한다.

<80> 각각의 탄탈륨 아일랜드 상의 접점(470)은 탄탈륨 아일랜드를 아래에 있는 저항과 전도성으로 접속한다. 버스(475)는 탄탈륨 아일랜드와 저항을 접점(480)을 통하여 양전압 패드(485)에 접속하고, 절단 가능한 링크(490)는 버스와 패드(485) 사이에 배치된다. 스위칭 디바이스(495)(예를 들면, 트랜지스터)는 양전압 패드(485)와 버스(475) 사이의 접속을 절단하기 위하여 절단 가능한 링크(490)를 원하는 시간에 개방하는데 사용될 수 있다. 바람직하게는, 스위칭 디바이스(495)는 전계 효과 트랜지스터(FET)이다. 상기 방식으로, 탄탈륨 아일랜드와 저항은 절단 가능한 링크(490)가 개방될 때까지 양전압 패드(485)의 전위로 유지된다. 도 4에 도시된 실시예는 모든 아일랜드들 사이에 저저항 접속을 제공하는 장점을 가지며, ESD 이벤트로 인한 전하가 방산되는 속도를 개선할 수 있다.

<81> 도 5는 본 발명의 동작 예이고, 탄탈륨 아일랜드를 절단 가능한 링크 구조에 접속하는데 한 접점만 사용되는 도 4의 실시예의 변형 예에 대한 평면도이다. 특히, 제 1 탄탈륨 아일랜드(500)과 제 2 탄탈륨 아일랜드(510)은 브리지(515)에 의해 접속된다. 앞의 실시예에서처럼, 제 1 저항(520)은 제 1 탄탈륨 아일랜드(500) 아래에 있고, 제 2 저항(530)은 제 2 탄탈륨 아일랜드(510) 아래에 있다. 각각의 저항은 입력(535)과 드레인(540)을 구비한다. 탄탈륨 아일랜드는 접점(550)에 의해 절단 가능한 링크 구조에 접속되고, 절단 가능한 링크 구조는 버스(560)와, 절단 가능한 링크(570)와, 버스(560)를 양전압 패드(585)에 접속하는 다른 접점(580)을 포함한다. 스위칭 디바이스(590)는 버스(560)에 접속되고, 절단 가능한 링크(570)가 원하는 시간에 끊어지는 길을 제공한다.

<82> 도 5에 도시된 실시예는 저항을 덮은 탄탈륨 아일랜드를 절단 가능한 링크 구조에 접속하는데 한 접점이 필요하기 때문에 통상 구현하기 쉽다. 그 외에, 상기 실시예는 다수의 탄탈륨 아일랜드를 단일 접점을 사용하여 절단 가능한 링크에 접속하는데 쉽게 사용될 수 있다.

<83> 도 4 및 도 5의 실시예는 또한 절단 가능한 링크가 개방된 후 조차도 추가적으로 보호한다. 특히, 접속된 탄탈륨 아일랜드는 절단 가능한 링크가 절단된 후 조차도 스위칭 디바이스에 접속된 채 유지된다. 바람직일 실시예에서, 스위칭 디바이스는 큰 LDMOS FET이고, 접속된 탄탈륨 아일랜드는 상기 FET의 드레인에 접속된 채 유지된다. FET가 절단 가능한 링크를 개방하는데 사용된 후, FET는 접속된 탄탈륨 아일랜드용 ESD 보호 디바이스로 계속하여 작용한다. 더욱이, 다른 유형의 ESD 보호 디바이스는 ESD 이벤트로부터 접속된 탄탈륨 아일랜드를 보호하는데 사용될 수도 있다.

<84> 보호층을 접지에 접속하면 전원에서 과다한 전류를 끌어 낼 수 있고, 저항 고장이 발생할 경우 발화(fire)의 원인이 될 수 있다. 파괴적인 저항 고장으로, 나머지 저항층과 보호층 사이의 격렬한 쇼트(shorts)를 형성할 수 있다. 발화의 위험을 피하기 위하여, 많은 열 잉크젯 프린트 헤드 상의 보호층은 접지로부터 절연된다. 따라서, 절단 가능한 링크 구조와 양전압 패드 사이의 접속을 절단하는데 사용되는 스위칭 디바이스는 링크가 절단되기 전이나 링크가 절단된 후 ESD 이벤트에 의해 접지로 쇼트될 가능성이 있다. 결론적으로, 스위칭 디바이스와 접속된 탄탈륨 아일랜드 사이에 2차 절단 가능한 링크를 부가함으로써 상기 가능성에 대해 보호하는 것이 바람직 할 것이다.

<85> 도 6은 2차 절단 가능한 링크를 추가한 도 5의 실시예와 통상 유사하다. 도 6에 도시된 바와 같이, 제 1 탄탈륨 아일랜드(605)와 제 2 탄탈륨 아일랜드(610)는 브리지(615)에 의해 접속된다. 제 1 탄탈륨 아일랜드(605)는 제 1 저항(620)을 덮고, 제 2 탄탈륨 아일랜드(610)는 저항(625)을 덮는다. 저항은 모두 입력(630)과 드레인

(635)을 구비한다. 단일 접점(640)은 접속된 탄탈륨 아일랜드를 버스(645)에 접속한다. 버스(645)는 통상 탄탈륨 보호층보다 낮은 레벨에 있고, 접점(650)에 의해 양전압 패드(660)에 접속된다. 절단 가능한 링크(670)는 버스(645)를 양전압 패드(660)에 접속하고, 버스(645)에 접속되는 스위칭 디바이스(680)에 의해 절단될 수 있다. 2차 절단 가능한 링크(690)는 접속된 탄탈륨 아일랜드를 버스(645)에 접속한다.

<86> 2차 절단 가능한 링크(690)의 부가는 절단 가능한 링크(670)를 개방시키는 스위칭 디바이스(680)의 능력에 영향을 미치지 않는다. 접속된 탄탈륨 아일랜드가 접점(640)에서 접속되기 때문에, 2차 절단 가능한 링크(690)는 절단 가능한 링크(670)가 개방되는 동안 탄탈륨 아일랜드에서 방산되는 임의의 전하가 2차 절단 가능한 링크(690)를 손상키지 않도록 설계된다. 상기 2차 절단 가능한 링크(690)는 접속된 탄탈륨 아일랜드가 양전압 패드(660)로부터 분리된 후 그대로 유지되고, 파국적인 저항 고장 이벤트 때 전원으로부터 과다한 전류를 끌어내는 것(과다 발화의 위험)으로부터 보호한다.

<87> 도 7 내지 도 9는 전기적 불활성 구성 요소가 전기적 구성 요소에 전도성으로 접속되고 접지로 유지되는 다른 실시예에 대한 동작 예이다. 그 외에, 상기 실시예는 파국적인 저항 고장이 발생할 때 과전류(overcurrent) 보호를 제공하는 절단 가능한 링크를 포함한다.

<88> 도 7에서, 제 1 탄탈륨 아일랜드(705)는 제 1 저항(710)을 덮고, 제 2 탄탈륨 아일랜드(715)는 제 2 저항(720)을 덮는다. 저항은 모두 입력(725)과 드레인(730)을 포함한다. 더욱이, 제 1 탄탈륨 아일랜드(705)와 제 2 탄탈륨 아일랜드(715)는 브리지(740)로 접속된다. 접속된 탄탈륨 아일랜드는 접점(750)에 의해 보다 낮은 층 버스(745)에 접속되고, 버스(745)는 절단 가능한 링크(760)에 의해 접지에 접속된다. 상기 실시예는 완전히 접속된 탄탈륨 아일랜드를 보호하는데 단지 한 접점(750)과 하나의 절단 가능한 링크(760)만 필요하기 때문에 구현하기 가장 용이일 실시예 중 하나이다.

<89> 탄탈륨 아일랜드가 보다 낮은 층에 있는 버스에 의해 브리지되고, 각각의 아일랜드가 그 자신의 접점과 퓨즈를 구비하는 다른 실시예가 도 8에 도시된다. 구체적으로는, 도 8은 제 1 저항(810) 위에 겹쳐지는 제 1 탄탈륨 아일랜드(805)와 제 2 저항 위에 겹쳐지는 제 2 탄탈륨 아일랜드(815)를 도시한다. 각각의 저항은 입력(825)과 드레인(830)을 구비하고, 제 1 탄탈륨 아일랜드(805)는 제 1 접점(850)에 의해 보다 낮은 층에 있는 버스(840)에 접속된다. 마찬가지로, 제 2 탄탈륨 아일랜드(815)는 제 2 접점(860)에 의해 버스(840)에 접속된다. 제 1 접점(850)과 버스(840) 사이에는 제 1 절단 가능한 링크(870)가 있고, 제 2 접점(860)과 버스(840) 사이에는 제 2 절단 가능한 링크(880)가 있다. 두 탄탈륨 아일랜드는 버스(840)에 의해 접속되고, 버스(840)는 접지에 접속된다.

<90> 도 8에 도시된 실시예는 도체 층에서 버스(840)를 통한 접지와의 접점을 제공한다. 그 외에, 저항의 고장으로, 저항 위에 겹쳐지는 단일 탄탈륨 아일랜드를 접지로부터 절연시킬 것이고, 다른 아일랜드는 접지 상태로 유지될 것이다.

<91> 도 9는 절단 가능한 링크가 보호층 그 자체에 형성되는 다른 실시예를 예시한다. 제 1 탄탈륨 아일랜드(905)는 제 1 저항(910)을 덮고, 제 2 탄탈륨 아일랜드(915)는 제 2 저항(920)을 덮는다. 다른 실시예에서처와 같이 저항은 입력(925)과 드레인(930)을 포함한다. 탄탈륨 아일랜드와 동일한 층에 있고 동일한 재료로 만들어지는 버스(940)는 접지에 접속된다. 제 1 탄탈륨 아일랜드(905)는 보호층 재료(본 예에서는 탄탈륨)로 형성되는 제 1 절단 가능한 링크(950)에 의해 버스(940)에 접속된다. 마찬가지로, 제 2 탄탈륨 아일랜드(915)는 또한 보호층 재료로 형성되는 제 2 절단 가능한 링크(960)에 의해 버스(940)에 접속된다.

<92> 도 9에 도시된 실시예는 보호층의 패턴이 변경되는 것을 요구할 뿐이기 때문에 구현이 용이하다. 탄탈륨의 높은 저항치와 용융 온도로 인해, 탄탈륨에서 양호한 절단 가능한 링크를 형성하는 다른 실시예보다 어려울 수 있다. 그러나 도 9의 실시예는 탄탈륨 외의 다른 물질(예를 들면, 로듐(Rh), 하프늄(hafnium)(Hf), 지르코늄(Zr) 및 니켈(Ni)과 같은)이 보호층용으로 사용되는 경우 유용할 수 있다.

<93> B. 외부 ESD 이벤트로부터 ESD 보호

<94> 본 발명은 마이크로시스템의 전기적 불활성 구성 요소 외부에서 발생하는 ESD 이벤트로부터 보호하는 ESD 보호 시스템에 대한 각종 실시예를 포함한다. ESD 보호 시스템 각각이 이제 논의될 것이다.

<95> 1) 희생적 ESD 브레이크다운 시스템

<96> 본 발명의 이전의 실시예들은 ESD 이벤트를 방지하고 방산하는 것에 대해 논의하였다. 본 발명의 본 실시예에서는 우선적인 ESD 브레이크다운 위치가 션트 디바이스(shunt device)를 사용하여 마이크로시스템의 전기적 불

활성 부분에서 생성된다. 결론적으로, 마이크로시스템에서 사용되는 ESD 보호 시스템이 고장이거나 쓸모 없을 경우, 션트 디바이스는 ESD 이벤트가 우선적인 ESD 브레이크다운 위치로 향하게 할 것이고, 상기 브레이크다운 위치에서는 결과적인 손상으로 마이크로시스템의 동작을 손상시키지는 않을 것이다.

<97> 본 발명의 한가지 장점은 간단하고 구현하기가 경제적이며 ESD 이벤트로 인한 어떠한 손상도 마이크로시스템의 예측할 수 있는 위치에서 발생하도록 하는 것이다. 따라서, ESD 이벤트의 크기가 어떠하더라도, 본 발명의 본 실시예는 마이크로시스템의 기능을 보호한다.

<98> 도 10은 본 발명의 마이크로시스템(1000)에 대한 희생적 ESD 보호 시스템에 대한 개략적 블록도이다. ESD 이벤트(1010)가 마이크로시스템(1000)에 충격을 가할 때, 결과적인 방전은 마이크로시스템(1000)의 중요 영역(1030)으로부터 떨어진 션트 디바이스(1020)에 의해 방향이 지정된다. 그 대신에, 션트 디바이스(1020)는 ESD 이벤트(1010)로 인한 방전을 우선적인 ESD 브레이크다운 위치(1040)까지, 최종적으로는 접지(1050)까지 향하게 한다. 우선적인 ESD 브레이크다운 위치(1040)는 마이크로시스템(1000)의 중요 영역(1030)으로부터 떨어져 있고, 따라서 ESD 손상으로부터 마이크로시스템(1000)의 중요 영역을 보호하는 희생적 브레이크다운 위치를 제공한다.

<99> 도 11은 도 10에 도시된 본 발명의 희생적 ESD 브레이크다운 시스템에 대한 동작 예이다. 구체적으로는, 박막 구조를 구비하는 열 잉크젯 프린트 헤드(1100)가 도시된다. 도 11의 박막 구조는 도 3에 도시되고, 패시베이션층(도시되지 않음) 위에 겹치는 보호 상단층(1110)과, 패시베이션층 아래의 금속층(도시되지 않음) 및 금속층 아래의 저항층(1120)을 포함하는 각종 층을 포함한다. 통상, 보호층(1110)은 탄탈륨 아일랜드가고, 패시베이션층은 (실리콘 탄화물 및 실리콘 질화물과 같은) 유전체이고, 금속층은 알루미늄이며, 저항층(1120)은 탄탈륨 알루미늄으로 만들어진다. 다른 재료가 적절히 사용되거나 상기 재료에 부가하여 사용될 수 있다.

<100> 본 동작 예에서 서펜타인(serpentine) 구조(1130)인 션트 디바이스는 ESD 이벤트로 인한 브레이크다운이 발생할 우선적인 위치를 생성하기 위하여 전도성 재료로 만들어지며 보호층(1010) 아래에 위치한다. 바람직하게는, 상기 전도성 재료는 다른 재료가 사용될 수 있다 할 지라도, 금속층과 동일한 재료이다. 서펜타인 구조(1130)는 접지 버스(1140)에 접속되고, ESD 이벤트로 인한 전하에 대비하여 접지로 향하는 경로를 제공한다.

<101> 서펜타인 구조(1130)는 적어도 2개의 방식으로 우선적인 브레이크다운 위치를 생성한다. 첫째, 구조(1130)는 각각의 세그먼트(1160) 사이에 높은 종횡비의 트렌치(high-aspect ratio trenches)(1150)를 포함하고, 따라서 제조하기 어렵다. 이는 (패시베이션 재료로 채워지는) 트렌치(1150)가 박막 구조의 다른 부분보다 낮은 패시베이션 두께를 가질 것이고 다른 부분보다 낮은 유전체 강도를 가질 것임을 의미한다. 둘째, ESD 이벤트로 인한 손상이 서펜타인 구조(1130) 내에서 있는 동안, 전하는 각각의 세그먼트(1160)의 내부 코너에서 최대일 것이다. 상기 두 요인은 패시베이션층이 저항층(1120)으로부터 떨어진 위치 즉, 서펜타인 구조(1130)에 떠오르게 한다. 브레이크다운이 발생하면, 전하는 접속에 의해 접지 버스(1140)로 접지 되도록 방산된다.

<102> 본 발명의 우선적인 ESD 브레이크다운 시스템이 없을 때, 프린트 헤드(1100)의 표면에 대한 ESD 이벤트는 통상 패시베이션층으로 침투할 것이고, 금속층과 저항층(1120)에 접속된다. 이것은 잠재적으로 저항층(1120)에 대한 철회할 수 없는 손상의 원인이 되고, 상기 손상은 프린트 헤드(1100)의 동작에 손상을 입힌다. 그러나, 본 발명의 희생적 ESD 브레이크다운 시스템은 ESD 이벤트로 인한 전하에 대비하여 우선 경로와 브레이크다운 위치를 제공하며, 상기 우선 경로와 브레이크다운 위치 제공으로, 프린트 헤드(1100)의 기능을 유지시킨다.

<103> 서펜타인 구조(1130)는 저항층(1120) 외에, ESD 이벤트로 인한 전하에 대해 보다 우선적인 영역을 제공함으로써 ESD 이벤트로부터 저항층(1120)을 보호한다. 서펜타인 구조(1130)는 보다 높은 저항치의 저항층(1120)보다 낮은 저항치(접지 버스(1140)에 직접 접속되기 때문임)를 갖는 높은 지형의 영역을 제공하며, 따라서 전하에 대한 우선 경로를 제공한다. 더욱이, ESD 이벤트로 인해 하드 쇼트(hard short)가 형성된다 할 지라도, 상기 결함은 보호층(1110)(본 예에서 탄탈륨 아일랜드)을 접지시킬 뿐이다. 따라서, ESD 결함은 U형 저항층(1120)에서 발생하지 않을 것이고 따라서 일정한 전류가 저항층(1120)을 통하여 흘러서 저항층(1120)의 고장을 일으키는 상황을 피하게 된다.

<104> 2) 차폐(shielding)와의 용량성 접속

<105> 본 발명의 다른 실시예는 전기적 불활성 구성 요소 주변에 "차폐"를 제공하도록 전기적 불활성 구성 요소와 하나 이상의 금속층을 용량성으로 접속하는 ESD 보호 시스템을 포함한다. 게다가, 본 발명의 시스템은 마이크로시스템 내의 큰 전도성 영역을 각종 평면으로 분할한다. 거의 모든 측면이나 모든 측면에 전기적 불활성 구성 요소를 둘러싸는 상기 평면은 기존의 ESD 보호 디바이스에 접속되고, ESD 이벤트로 인한 전하에 대비한 우선 경

로를 제공함으로써 전기적 불활성 구성 요소를 차폐한다. 션트 바는 전하가 흐를 우선 경로를 제공하는데 사용될 수도 있다. 임의의 과다한 전하는 상기 각종 평면에 저장됨으로써, 마이크로시스템의 손상의 원인이 될 수 있는 어떠한 평면에서도 고전하 영역의 형성을 방지한다.

<106> 예를 들면, 열 잉크젯 프린트 헤드에 있어서, ESD 이벤트에 의해 패시베이션층에 구멍(perforation)이 생겨, 저항과 보호층을 쇼트시켜 (발화 등) 각종 문제의 원인이 될 수 있다. 따라서, ESD 이벤트로 인한 전하를 전기적 불활성 구성 요소로부터 가능한 한 멀리 유지시키는 것이 바람직하다. 현재의 많은 시스템들은 보호할 구성 요소 주위에 패러디 케이즈(Farady cage)나 전하 덮개(charge sheath)를 사용하여, 구성 요소와 전도성 차폐 사이에 약 3/8 인치 반경을 제공한다. 작은 치수의 (열 잉크젯 프린트 헤드 등의) 마이크로시스템의 경우, 통상 그 간격을 취할 수 없다.

<107> 그러나, 본 발명은 상기 문제점을 해결한다. 즉, 도 12는 본 발명의 차폐 실시예와의 용량성 접속에 대한 개략 블록도이다. 구체적으로는, 마이크로시스템(120)은 전기적 불활성 구성 요소(1210)와 ESD 보호 디바이스(1220)를 포함한다. 전기적 불활성 구성 요소(1210)를 둘러싸고 있는 것은 전도성 재료로 만들어진 다수의 차폐 층(1230)이다. 상기 층(1230)은 서로 용량성으로 접속되고, ESD 이벤트로 인한 임의의 전하를 각종 층(1230)으로 분할한다. 션트 바(1240)(점선)는 층(1230)을 전도성으로 접속하는데 사용될 수 있고 전하가 흐르는 우선 경로를 제공한다. 층(1230)은 ESD 보호 디바이스(1220)에 접속되고, 전하의 방산을 위해 일정한 경로를 제공한다.

<108> 본 발명의 실시예는 일정한 경로를 포함하는 각종 장점을 제공하며, 그에 의해 ESD 이벤트로 인한 전하가 경로 지정될 수 있다. 그 외에, 본 실시예는 각각의 층에 포함된 전체 전하를 감소시키기 위하여 마이크로시스템의 여러 층 간에 전하를 분할한다. 더욱이, 션트 바는 ESD 이벤트에 대비해 경로를 제공하는 각종 실시예에서 사용될 수 있다. 특히, 전하에 대한 우선 경로는 전기적 불활성 구성 요소 대신에 ESD 보호 디바이스를 통하는 것이다.

<109> 도 13 내지 도 15에 도시된 동작 예에서, 열 잉크젯 프린트 헤드는 위의 예와 유사하게 사용된다. 도 13은 용량성으로 접속되고 차폐된 ESD 보호 시스템의 제 1 실시예의 동작 예이다. 본 실시예에서, "튜닝 포크(tuning fork)" 설계는 ESD 이벤트로부터 전기적 구성 요소를 차폐한다. 구체적으로는, 탄탈륨 아일랜드(1310)은 금속층(1320)과 저항층(1330) 위에 겹친다. 금속층(1320)은 두 세그먼트를 포함하고, 두 세그먼트는 ESD 이벤트로부터 저항층(1330)을 차폐하도록 저항층(1330) 주변으로 연장된다. 션트 바(1340)는 ESD 보호 디바이스(도시되지 않음)에 접속되고, ESD 보호 디바이스는 연속적인 전하 방산을 제공한다. 탄탈륨 아일랜드(1310)은 션트 바(1340)에 접속되고, 저항층(1330)으로부터 방전 경로를 제공한다. 저항층은 부가적인 보호를 위해 탄탈륨 아일랜드(1310)과 금속층(1320) 아래에서 그 자신의 접점(도시되지 않음)을 포함한다.

<110> 도 14는 용량성으로 접속되고 차폐된 ESD 보호 시스템의 제 1 실시예에 대한 동작 예이다. 본 실시예에서, 션트 바는 이어질 ESD 이벤트에 대비하여 보다 눈에 뜨이는 경로를 제공하도록 저항층에 보다 근접하게 배치된다. 탄탈륨 아일랜드(1410)은 금속층(1420) 위에 겹쳐지고, 금속층(1420)은 저항층(1430) 위에 겹쳐진다. 션트 바(1440)는 (위에서 봤을 때) 저항층(1430)에 근접하게 배치되고, 접점(1450)을 경유하여 탄탈륨 아일랜드(1410)과 접속된다. 상기 접점(1450)과 션트 바(1440)는 저항층(1430)에 근접 배치되고, ESD 이벤트로 인한 전하를 저항층(1430)에서 떨어져서 보다 많이 션트하도록 작용한다.

<111> 도 15는 용량성으로 접속되고 차폐된 ESD 보호 시스템의 다른 실시예에 대한 동작 예이다. 이 실시예에서, 탄탈륨 아일랜드는 저항층 주변에서 전기적으로 부동하는 금속층에 전도성으로 접속된다. 보다 구체적으로는, 탄탈륨 아일랜드(1510)은 금속층(1520) 위에 겹쳐지고, 금속층(1520)은 저항층(1530) 위에 겹쳐진다. 탄탈륨 아일랜드(1510)은 보다 낮은 금속층(1520)에 전도성으로 접속된다. 이것은 ESD 이벤트에 대비하여 넓고 저 저항치의 접점 영역을 허용한다. 션트 바(1540)는 ESD 보호 디바이스(도시되지 않음)에 접속된다.

<112> 본 발명의 본 실시예에 대한 상기 설명은 예시와 설명을 위해 제시되었다. 이것은 본 발명을 속속들이 규명하거나 본 발명을 개시된 바로 그 유형으로 한정하고자 하는 것은 아니다. 따라서, 상기 설명은 제한하기보다는 오히려 예시하는 것으로 생각해야 하고, 첨부된 청구 범위로 한정된 본 발명의 범위에서 벗어나지 않고서 당업자에 의해 개시된 실시예에 각종 변화가 이루어질 수 있음이 분명하다.

## *발명의 효과*

<113> 이상으로 설명된 바와 같이, 본 발명에 따르면, ESD 이벤트(event)로부터 열 잉크젯 프린팅 시스템의 전기적 불활성 구성 요소(electrically-inactive component)를 보호하는 시스템 및 방법이 제공된다.

## 도면의 간단한 설명

<1> 도 1a는 구성 요소에 직접 발생하는 ESD 이벤트로부터 보호되는 전기적 불활성 구성 요소를 도시하는 본 발명의 제 1 실시예에 대한 개략적 블록도,

<2> 도 1b는 도 1a의 실시예의 동작 예를 예시하는 열 잉크젯 프린트 헤드에 대한 블록도,

<3> 도 2a는 구성 요소의 외부의 임의의 지점에서 발생하는 ESD 이벤트로부터 보호된 전기적 불활성 구성 요소를 도시하는 본 발명의 제 2 실시예에 대한 개략적 블록도,

<4> 도 2b는 도 2의 실시예의 동작 예를 예시하는 열 잉크젯 프린트 헤드에 대한 블록도,

<5> 도 3은 큰 용량성 영역을 형성하기 위해 "결합된(tied)" 열 잉크젯 프린트 헤드 내의 다수의 전기적 불활성 구성 요소에 대한 동작의 예를 예시하는 도면,

<6> 도 4는 절단 가능한 링크 및 다중 접점을 포함하는 본 발명의 일 실시예의 작동 예를 도시하는 도면,

<7> 도 5는 절단 가능한 링크 및 단일 접점을 포함하는 본 발명의 일 실시예의 작동 예를 도시하는 도면,

<8> 도 6은 2차의 절단 가능한 링크를 포함하는 본 발명의 일 실시예의 작동 예를 도시하는 도면,

<9> 도 7은 접지에 접속된 절단 가능한 단일 링크를 포함하는 본 발명의 일 실시예의 작동 예를 도시하는 도면,

<10> 도 8은 절단 가능한 다중 링크와 개별 접점을 포함하는 본 발명의 일 실시예에 대한 작동 예를 도시하는 도면,

<11> 도 9는 프린트 헤드의 보호층에 내장된 절단 가능한 다중 링크를 포함하는 본 발명의 일 실시예에 대한 작동 예를 도시하는 도면이고, 도 10은 본 발명의 희생적 ESD 보호 시스템에 대한 개략적 블록도,

<12> 도 11은 도 10에 도시된 본 발명의 희생용 ESD 브레이크다운 시스템에 대한 작동 예를 도시하는 도면,

<13> 도 12는 본 발명의 차폐 실시예와의 용량성 접속에 대한 개략적 블록도,

<14> 도 13은 용량성으로 접속되고 차폐된 ESD 보호 시스템의 제 1 실시예에 대한 작동 예를 도시하는 도면,

<15> 도 14는 용량성으로 접속되고 차폐된 ESD 보호 시스템의 제 2 실시예에 대한 작동 예를 도시하는 도면,

<16> 도 15는 용량성으로 접속되고 차폐된 ESD 보호 시스템의 제 3 실시예에 대한 작동 예를 도시하는 도면.

<17> 도면의 주요 부분에 대한 부호의 설명

<18> 140 : 프린트 헤드 310 : 저항층

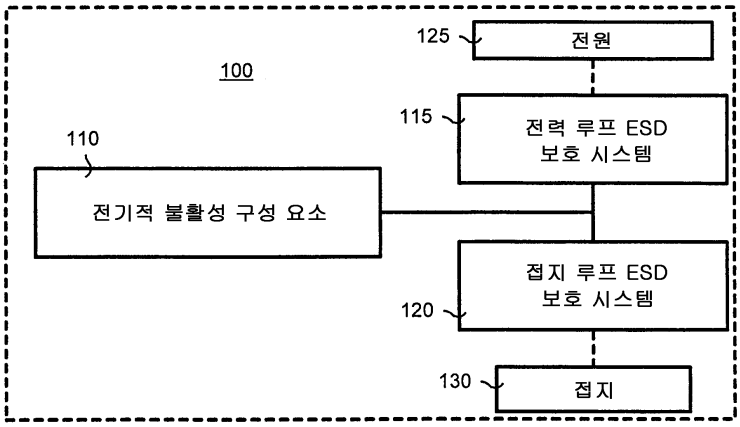
<19> 320 : 패시베이션층 330 : 보호층

<20> 350 : 전도성 브리지 475 : 버스 구조

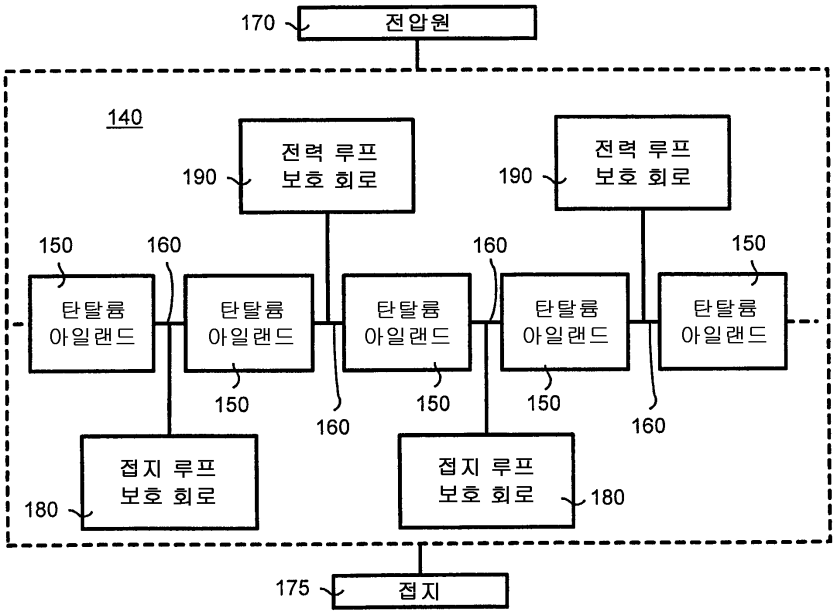
<21> 1130 : 서펜타인 구조

## 도면

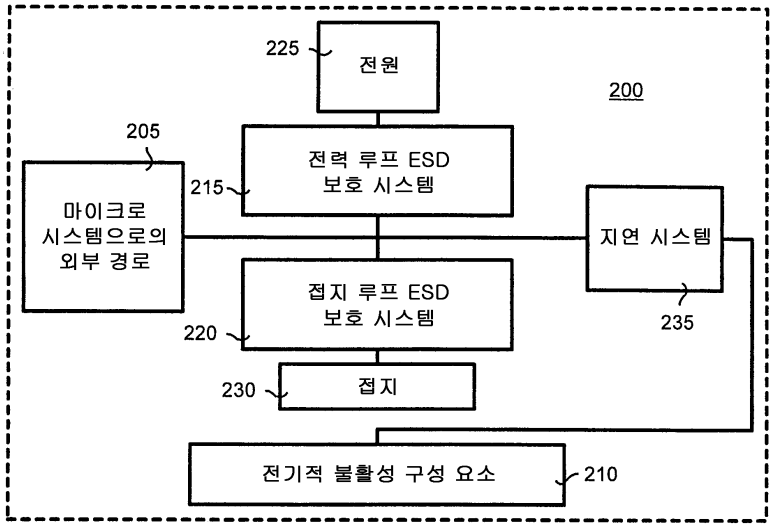
### 도면1a


125
전원
100
115
전력 루프 ESD
보호 시스템
110
전기적 불활성 구성 요소
접지 루프 ESD
보호 시스템
120
130
접지

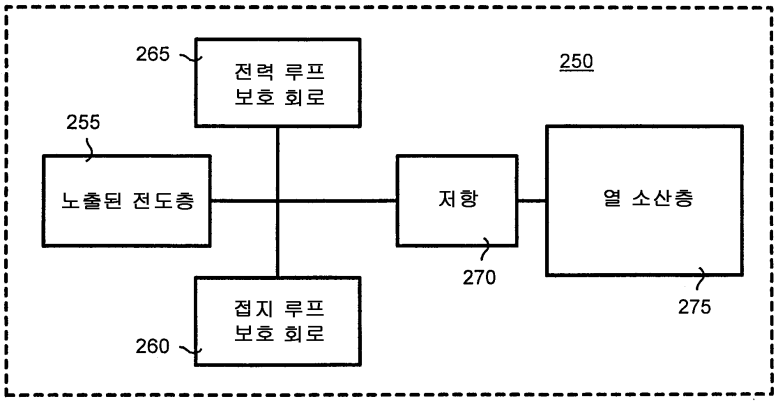
### 도면1b


170
전압원
140
190
전력 루프
보호 회로
190
전력 루프
보호 회로
150
160
160
150
탄탈륨
아일랜드
탄탈륨
아일랜드
탄탈륨
아일랜드
탄탈륨
아일랜드
탄탈륨
아일랜드
150
150
150
160
160
접지 루프
보호 회로
180
접지 루프
보호 회로
180
175
접지

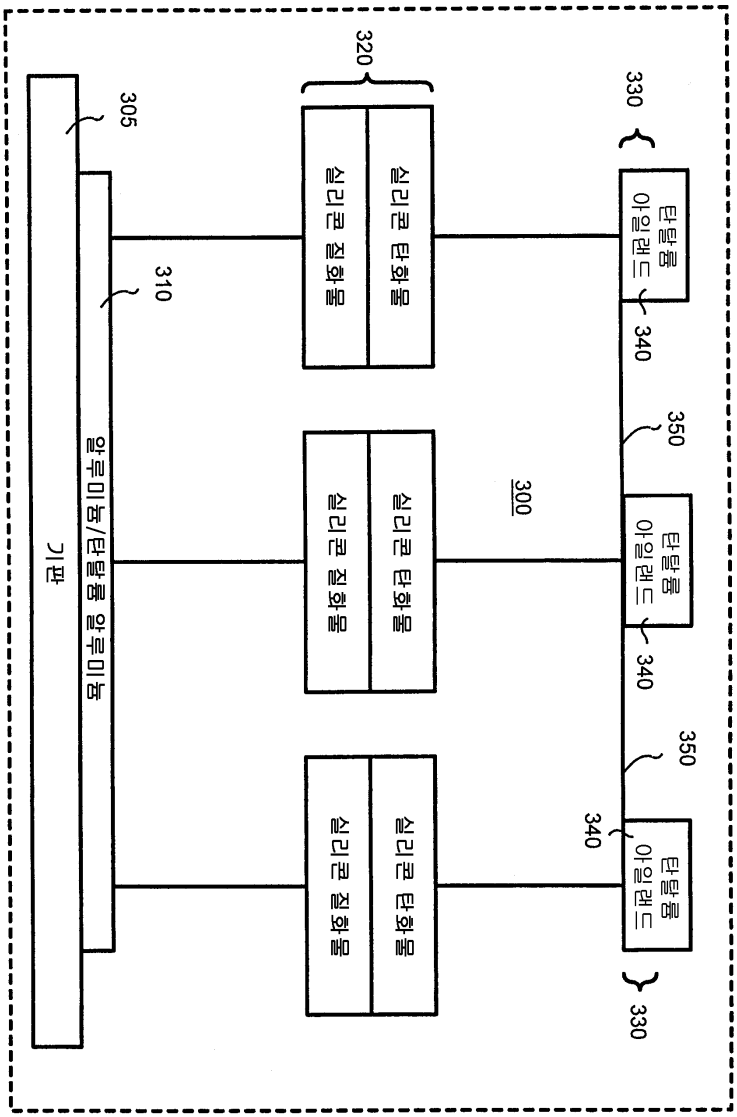
도면2a


225
전원
200
205
전력 루프 ESD
보호 시스템
215
마이크로
시스템으로의
외부 경로
지연 시스템
235
접지 루프 ESD
보호 시스템
220
230
접지
전기적 불활성 구성 요소
210

도면2b

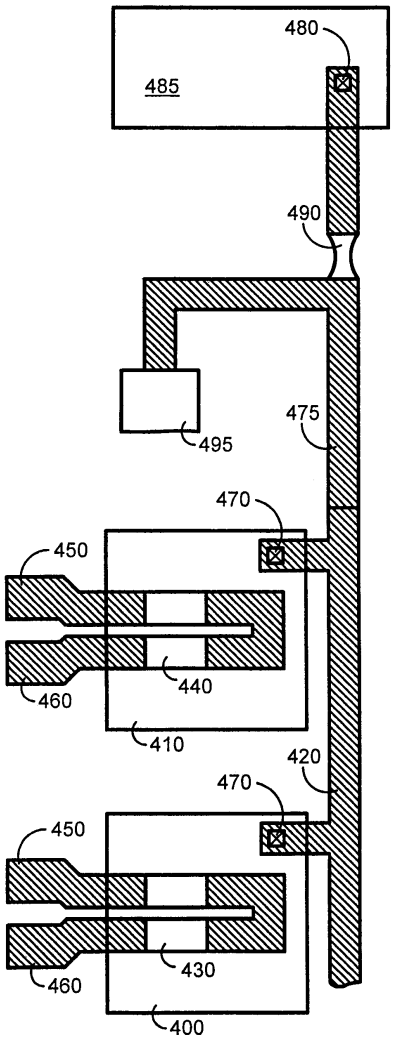

265
전력 루프
보호 회로
250
255
노출된 전도층
저항
열 소산층
270
275
접지 루프
보호 회로
260

도면3

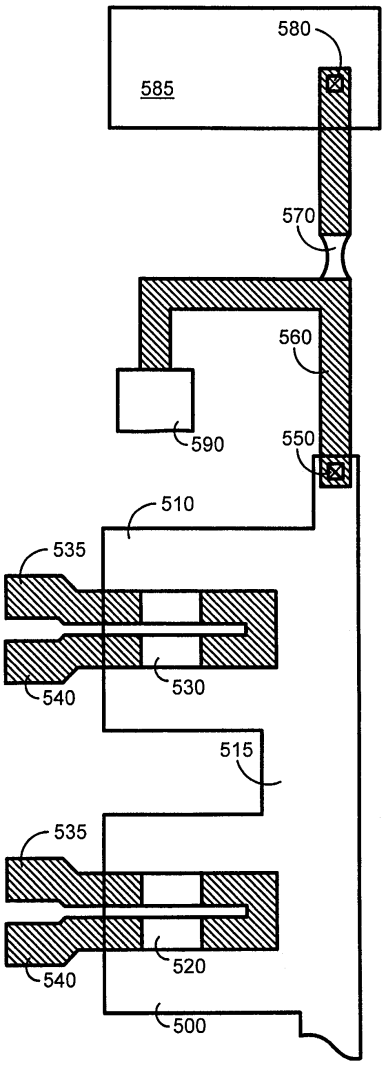


330
탄탈륨 아일랜드
340
350
탄탈륨 아일랜드
340
350
탄탈륨 아일랜드
340
330
300
320
실리콘 탄화물
실리콘 질화물
실리콘 탄화물
실리콘 질화물
실리콘 탄화물
실리콘 질화물
305
310
알루미늄/탄탈륨 알루미늄
기판

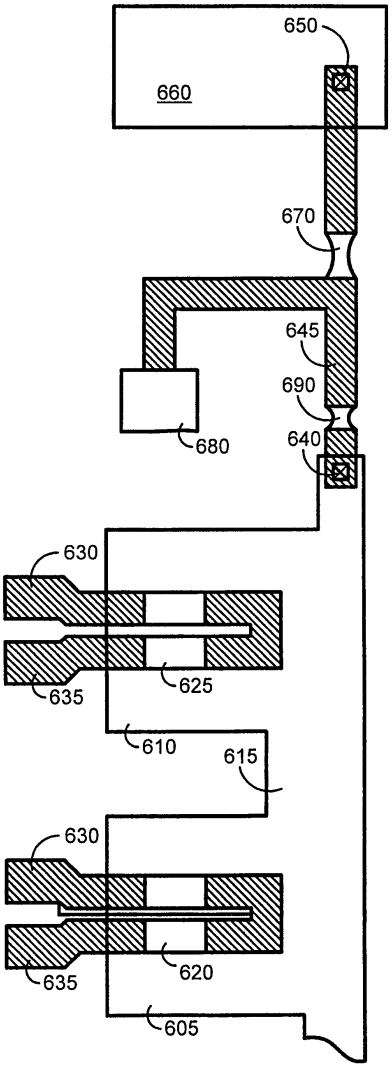
도면4



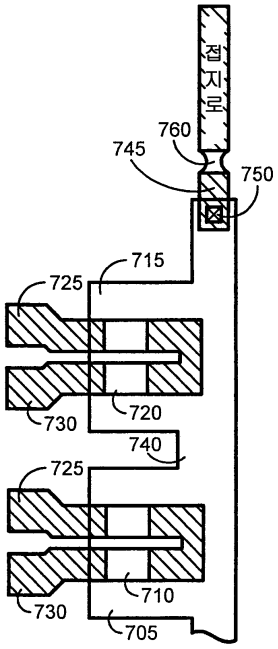
도면5



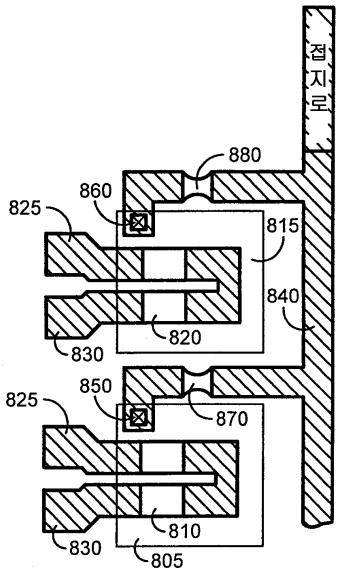
도면6



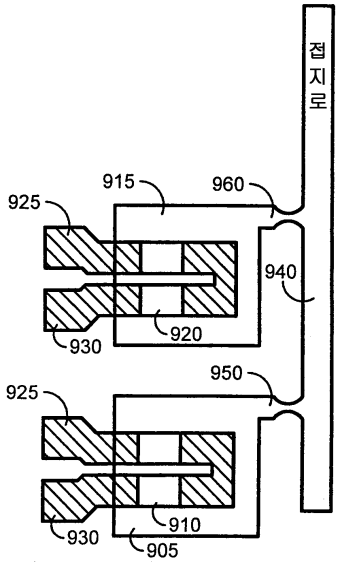
도면7


접지로
760
745
750
715
725
720
730
740
725
710
730
705

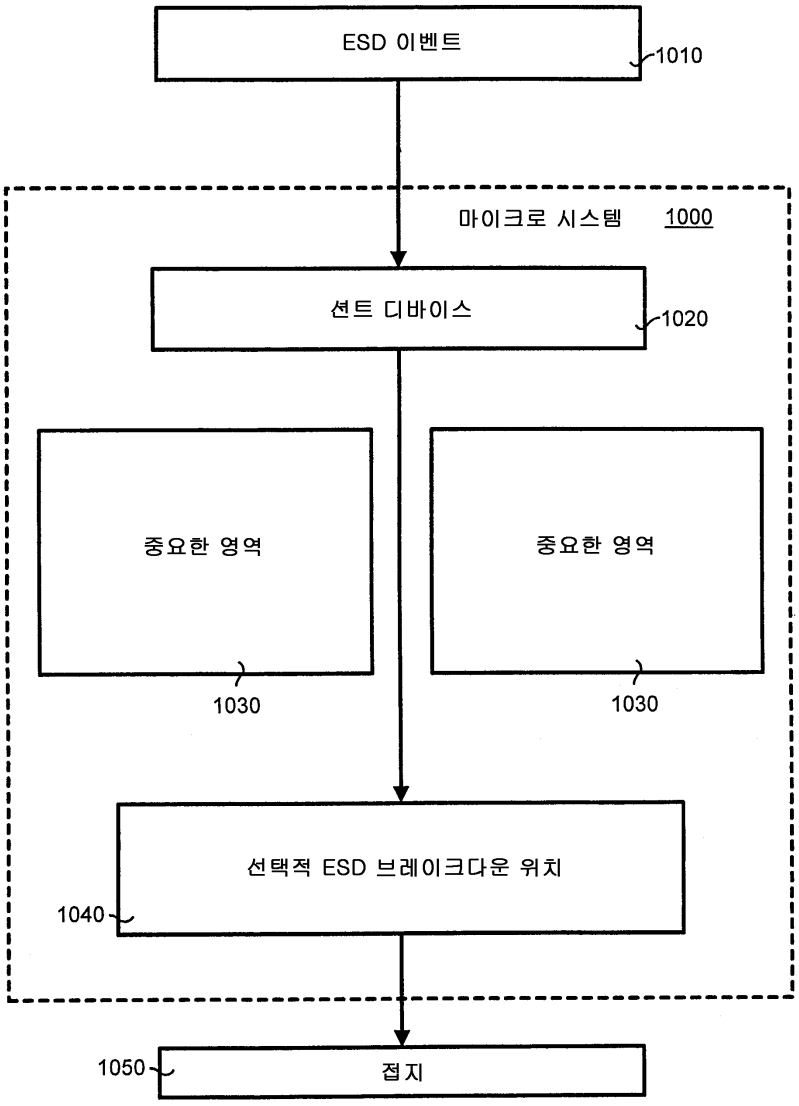
도면8


접지로
880
860
825
815
840
820
830
850
825
870
810
830
805

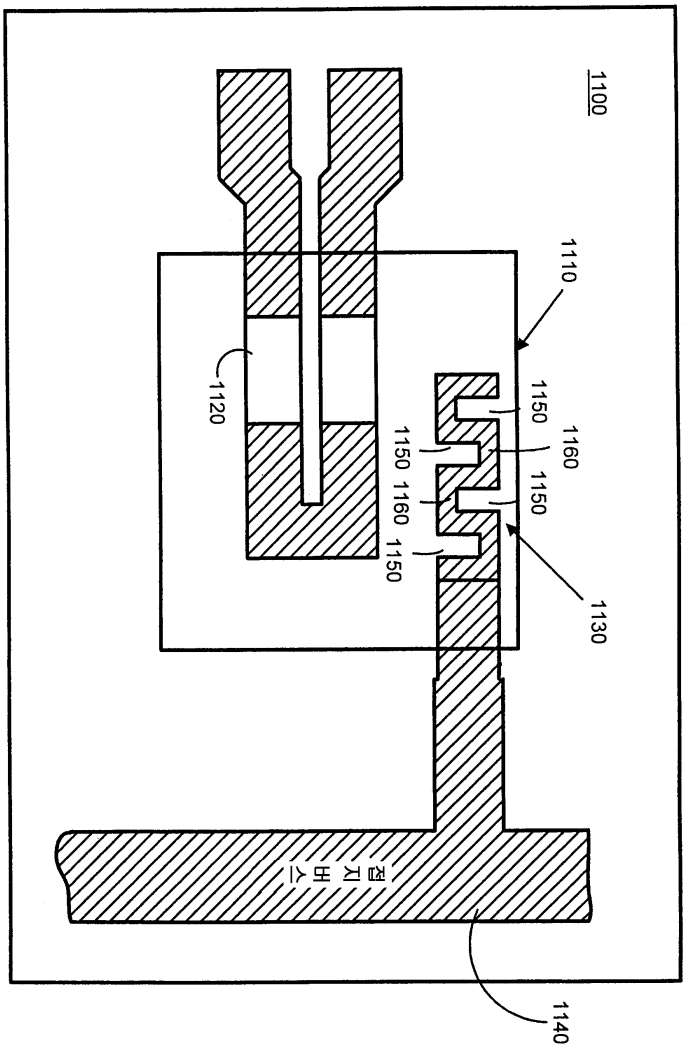
도면9


접지로
915
960
925
940
920
930
950
925
910
930
905

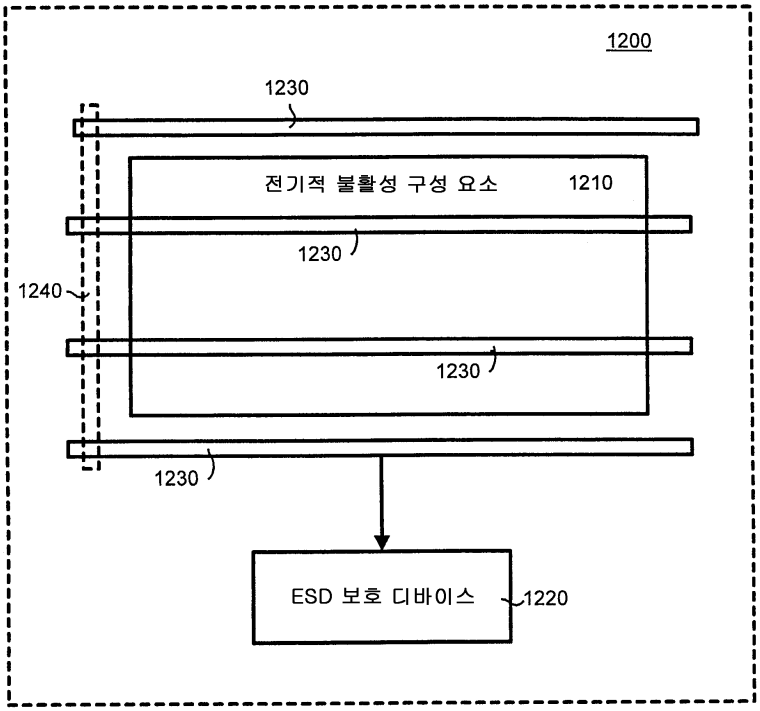
도면10


ESD 이벤트
1010
마이크로 시스템 1000
션트 디바이스
1020
중요한 영역
중요한 영역
1030
1030
선택적 ESD 브레이크다운 위치
1040
1050
접지

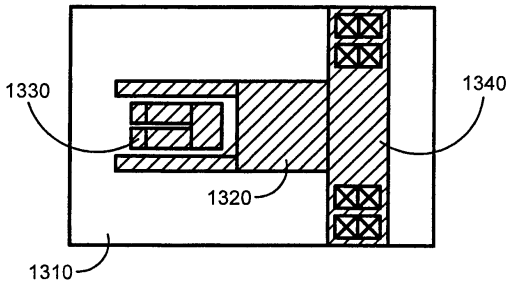
도면11



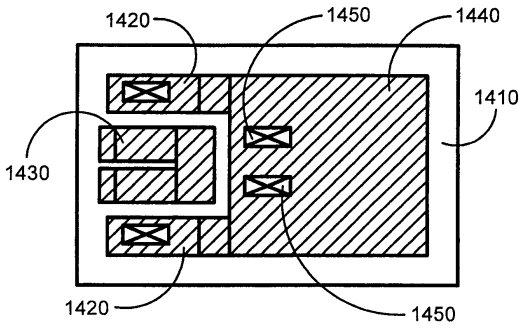
도면12




도면13




도면14



도면15

