(19) **Bundesrepublik Deutschland**
Deutsches Patent- und Markenamt

(10) **DE 695 32 226 T2** 2004.09.02

(12) # Übersetzung der europäischen Patentschrift

(97) **EP 0 708 398 B1**
(21) Deutsches Aktenzeichen: **695 32 226.5**
(96) Europäisches Aktenzeichen: **95 307 372.3**
(96) Europäischer Anmeldetag: **17.10.1995**
(97) Erstveröffentlichung durch das EPA: **24.04.1996**
(97) Veröffentlichungstag der Patenterteilung beim EPA: **03.12.2003**
(47) Veröffentlichungstag im Patentblatt: **02.09.2004**

(51) Int Cl.[7]: **G06F 1/06**
G06F 1/32, G06F 1/08

(30) Unionspriorität:
325905 **19.10.1994** **US**

(84) Benannte Vertragsstaaten:
AT, BE, DE, DK, ES, FR, GB, GR, IE, IT, LU, NL, PT, SE

(73) Patentinhaber:
Advanced Micro Devices, Inc., Sunnyvale, Calif., US

(72) Erfinder:
Hawkins, Keith G., Dripping Springs, Texas 78620, US; Wakeland, Carl K., Austin, Texas 78748, US

(74) Vertreter:
Patentanwälte von Kreisler, Selting, Werner et col., 50667 Köln

(54) Bezeichnung: **Taktssteuerungseinheit**

Anmerkung: Innerhalb von neun Monaten nach der Bekanntmachung des Hinweises auf die Erteilung des europäischen Patents kann jedermann beim Europäischen Patentamt gegen das erteilte europäische Patent Einspruch einlegen. Der Einspruch ist schriftlich einzureichen und zu begründen. Er gilt erst als eingelegt, wenn die Einspruchsgebühr entrichtet worden ist (Art. 99 (1) Europäisches Patentübereinkommen).

Die Übersetzung ist gemäß Artikel II § 3 Abs. 1 IntPatÜG 1991 vom Patentinhaber eingereicht worden. Sie wurde vom Deutschen Patent- und Markenamt inhaltlich nicht geprüft.

Beschreibung

[0001] Diese Erfindung betrifft ein Computersystem und insbesondere eine Taktsteuereinheit. Es wird die Verbindung einer Energie-Management-Einheit (PMU) mit einer Taktsteuereinheit beschrieben, die mehrere PLL-Schleifen aufweist, um verschiedene getaktete Schaltungen entsprechend einem Betriebszustand der PMU programmierbar zu takten.

[0002] Hersteller haben die Fähigkeit gezeigt, eine zunehmende Menge an Schaltungsanordnungen auf einem einzigen monolithischen Halbleitersubstrat oder "Chip" zu platzieren. Das Aufkommen tragbarer Datenverarbeitungssysteme, die hier als persönliche Informationsvorrichtungen ("PIDs") bezeichnet werden, hat eine massive Entwicklung dahingehend bewirkt, eine noch größere Menge an Schaltungsanordnungen auf einem einzelnen Chip zu platzieren. Gemäß dem Gebrauch in der vorliegenden Beschreibung umfassen PIDs jedes auf CPU-Basis ausgebildete System, wie z. B. in Taschenformat ausgebildete Personal Computer (PCs), digitale Hilfsvorrichtungen (Testeinheiten, Messvorrichtungen), "intelligente" Telefone, und elektronische Kalender, Organizer, Bücher etc.

[0003] Die an moderne PIDs gestellten funktionalen Anforderungen verlangen typischerweise, dass sie daten-intensiv, anzeige-intensiv und/oder sprech-intensiv sind. Beispielsweise kann von einem taschenformatigen Personal Computer das Ausführen extensiver Datenberechnungen verlangt werden, bei denen daten-intensive Funktionen involviert sind. Zusätzlich kann bei einem taschenformatigen Personal Computer z. B. auch eine detaillierte objektorientierte Anzeige erforderlich sein, die anzeige-intensive Funktionen verlangt. Ein intelligentes Telefon andererseits kann sprech-intensive Funktionen erfordern, jedoch nicht notwendigerweise anzeige- und/oder daten-intensive Funktionen. Somit muss ein integriertes Prozessor-System, das zur Verwendung in einem weiten Bereich von PID-Anwendungen vorgesehen ist, die nötigen Untersysteme zur Aufnahme sämtlicher drei Funktions-Typen aufweisen.

[0004] Zusätzlich zu den vorstehend genannten technischen Merkmalen muss ein integrierter Prozessor für PIDs innerhalb der Grenzen, denen eine klein bemessene Einheit unterliegt, mit niedriger Energie arbeiten können und sollte vorzugsweise zu niedrigen Kosten erhältlich sein. Nachteiligerweise kann der Versuch, zur Senkung der Kosten beispielsweise die Stift-Anzahl des integrierten Prozessors zu reduzieren, das Entfallen bestimmter wünschenswerter Untersysteme des integrierten Prozessors erfordern, so dasss der Funktionsbereich und/oder die Leistung reduziert werden. Der Energieverbrauch kann auch durch die Einbeziehung bestimmter Untersysteme oder durch das Erfordernis mehrerer unterschiedlicher Kristalloszillatorschaltungen zum Takten der verschiedenen Untersysteme beeinträchtigt werden. EP 0385567 beschreibt einen Taktsignalgenerator, der verschiedene Taktsignale an unterschiedliche Elemente eines Datenverarbeitungssystems ausgibt. WO 9325954 beschreibt einen programmierbaren Frequenz-Synthesizer, der vorprogrammierte und vom Benutzer eingegebene Frequenzen zur Verwendung mit einem Taktsignalgenerator speichern kann. Integrierte Prozessoren für PIDs, die akzeptierbare Betriebsfunktionen erbringen und dennoch eine große Anpassungsfähigkeit, kleine Abmessungen, niedrigen Energieverbrauch und niedrigen Kostenaufwand beibehalten, sind jedoch weitgehend nicht verfügbar.

[0005] Somit besteht Bedarf an einem hoch leistungsfähigen, anpassungsfähigen integrierten Prozessor, der für daten-intensive, anzeige-intensive und/oder sprech-intensive PID-Anwendungen geeignet ist. Ein derartiger integrierter Prozessor sollte sich zusätzlich durch kleine Abmessungen, niedrigen Energieverbrauch und geringen Kostenaufwand auszeichnen.

[0006] Die oben angeführten Probleme werden zum großen Teil durch einen hochintegrierten, für niedrigen Energieverbrauch ausgelegten integrierten Prozessor gemäß der folgenden Beschreibung gelöst. Die integrierte Prozessor wird auf einer einzigen monolithischen Schaltung ausgebildet und weist eine Schaltungsanordnung zur Aufnahme daten-intensiver, anzeige-intensiver und sprech-intensiver Erfordernisse derzeitiger PIDs auf. Wichtigerweise weist der integrierte Prozessor einen CPU-Kern, einen Speicher-Controller und mehrere Peripherievorrichtungen auf, um eine hohe Anpassungsfähigkeit und Hochleistungs-Betriebsfunktionen zu erzielen. Der integrierte Prozessor verbraucht aufgrund der Einbeziehung einer gemäß Anspruch 1 ausgelegten Taktsteuereinheit weniger Energie. Die Taktsignale, die den verschiedenen Untersystemen von der Taktsteuereinheit zugeführt werden, werden aus einem einzelnen Kristalloszillator-Eingangssignal abgeleitet. Da nur eine einzige Kristalloszillatorschaltung erforderlich ist, wird der Energieverbrauch beträchtlich reduziert. Ferner ist in dem integrierten Prozessor eine Energie-Management-Einheit enthalten, um die Frequenz und/oder das Anlegen bestimmter Taktsignale an die verschiedenen Untersysteme zu steuern, sowie um weitere mit dem Energie-Management zusammenhängenden Funktionen zu steuern. Schließlich ist die Stift-Anzahl des integrierten Prozessors minimiert, indem je nach der gewünschten Funktionalität des integrierte Prozessors das selektive Multiplexen bestimmter externer Stifte ermöglicht wird. In einem benutzerdefinierten Modus sind die externen Stifte einem internen Video-Controller zugeordnet, wie z. B. einem CGA-LCD-Controller. In einem weiteren Modus werden die externen Stifte derart zugewiesen, dass ein externes Interface mit gewählten Leitungen eines CPU-Lokal-Busses des integrierten Prozessors gebildet wird. In einem wiederum weitern Modus werden die externen Stifte derart zugewiesen, dass sie ein externes Interface mit gewählten Lei-

tungen eines Peripherie-Busses, z. B. eines Busses vom ISA-Typ, des integrierten Prozessors verbinden. Dadurch wird vorteilhafterweise eine breite Anpassbarkeit des integrierten Prozessors erzielt, während die gesamte Stift-Anzahl des integrierten Prozessors minimiert wird.

[0007] Gemäß einer Ausführungsform weist das integrierte Prozessor-System einen CPU-Kern und einen Speicher-Controller auf, der mit einem CPU-Lokalbus verbunden ist. Der integrierte Prozessor weist ferner einen gewählten Set von Peripherievorrichtungen auf, die mit einem Peripherie-Verbindungsbus verbunden sind; dazu gehören eine Bus-Interface-Einheit, ein programmierbarer Zeitgeber, ein Direktspeicherzugriffs-(DMA-)Controller, ein Interrupt-Controller, ein Echtzeit-Taktgeber, ein Video-Controller, ein Parallel-/Seriell-Port und ein PCMCIA-Controller. Der CPU-Kern, die Bus-Interface-Einheit, der DMA-Controller, der programmierbare Zeitgeber, der serielle Port und der Video-Controller werden jeweils durch ein distinktes Taktsignal getaktet, das von einer in dem integrierten Prozessor enthaltenen Taktsteuereinheit erzeugt wird. Die Taktsignaleinheit erzeugt Taktsignale distinkter Frequenzen, welche die oben angeführten Untersysteme steuern. Die Taktsteuereinheit arbeitet ausgehend von einem einzigen Oszillatorkristall-Eingangssignal heraus. In der Taktsteuereinheit ist Frequenz-Synthesizer derart geschaltet, dass er das Eingangssignal des einfachen Oszillatorkristalls empfängt. Gemäß einer bevorzugten Ausführungsform weist jeder Frequenz-Vervielfacher eine PLL-Schaltung auf, und die PLL-Schaltungen sind in Reihe geschaltet. Die Taktsteuereinheit synthetisiert aus der einfachen Eingangsfrequenz mehrere distinkte Taktfrequenzen, die zum Betreiben der verschiedenen Schaltungsanordnungen erforderlich sind, welche mit dem CPU-Lokalbus und dem Peripherie-Verbindungsbus benötigt werden.

[0008] Die mehreren PLL-Schaltungen werden entsprechend einem vorbestimmten Energie-Management-Algorithmus gesteuert, der in der Energie-Management-Einheit (PMU) vorgegeben ist. Die Energie-Management-Einheit ist zum Empfang von Signalen geschaltet, welche die System-Aktivität angeben. Während Perioden der Inaktivität oder zum benutzer-definierten Zeiten, die durch Software wählbar sind, wechselt die PMU von einem Energie-Management-Zustand zum anderen. Eine Veränderung des Energie-Management-Zustands resultiert generell in einer Veränderung der Ausgabe verschiedener Aktivierungssignale, die von der Energie-Management-Einheit an die Taktsteuereinheit ausgegeben werden. Die Aktivierungssignale steuern selektiv die Aktivierung der PLL-Schaltungen in der Taktsteuereinheit und das Gattern gewählter Taktsignale zwecks Einsparung von Energie.

KURZBESCHREIBUNG DER ZEICHNUNGEN

[0009] Weitere Aufgaben und Vorteile der Erfindung werden anhand der folgenden detaillierten Beschreibung und im Zusammenhang mit den beigefügten Zeichnungen ersichtlich:

[0010] **Fig.** 1 zeigt ein Blockschaltbild eines integrierten Prozessor-Systems mit einem CPU-Kern, einem Speicher-Controller, verschiedenen Peripherie-Vorrichtungen, einer Taktsteuereinheit, und einer entsprechenden Energie-Management-Einheit, die auf einem einzigen monolithischen Chip ausgebildet sind, gemäß einer Ausführungsform der vorliegenden Erfindung;

[0011] **Fig.** 2 zeigt ein Blockschaltbild einer Taktsteuereinheit und zugehöriger Eingangs-/Ausgangs-Signale, gemäß einer Ausführungsform der vorliegenden Erfindung; und

[0012] **Fig.** 3 zeigt ein Blockschaltbild einer Energie-Management-Einheit (PMU) und zugehöriger Eingangs-/Ausgangs-Signale, gemäß einer Ausführungsform der vorliegenden Erfindung;

[0013] **Fig.** 4 zeigt ein Zustandsdiagramm zur Veranschaulichung verschiedener Energie-Management-Zustände der Energie-Management-Einheit; und

[0014] **Fig.** 5 zeigt eine Multiplexerschaltung, die in dem integrierten Prozessor-System verwendet wird, um selektiv mittels einer benutzerdefinierten Stift-Option die Betriebsfunktion mehrerer externer Stifte des integrierten Prozessors zu steuern.

[0015] Obwohl die Erfindung in Form verschiedenenartiger Modifikationen und alternativer Ausgestaltungen realisierbar ist, werden spezielle Ausführungsbeispiele in den Zeichnungen gezeigt und hier detailliert beschrieben. Es wird jedoch darauf hingewiesen, dass die Zeichnungen und deren detaillierte Beschreibung nicht dazu vorgesehen sind, die Erfindung auf die bestimmten offenbarten Ausgestaltungen zu beschränken, sondern vielmehr sämtliche Modifikationen, Äquivalente und Alternativen einschließen sollen, die unter den Geist und den Umfang der vorliegenden Erfindung gemäß der Definition in den beigefügten Ansprüchen fallen.

DETAILLIERTE BESCHREIBUNG DER ERFINDUNG

[0016] Unter den nun zu erläuternden Zeichnungen zeigt **Fig.** 1 ein Blockschaltbild des integrierten Prozessors **10** einschließlich verschiedener Untersysteme, die auf einem einzigen monolithischen Halbleitersubstrat ausgebildet sind. Bei der gezeigten Ausführungsform weist der integrierte Prozessor **10** einen CPU-Kern **14** auf, der über einen CPU-Lokal-Bus **12** mit einem Speicher-Controller **16** verbunden ist. Bei dem CPU-Kern **14** handelt es sich um eine Datenverarbeitungseinheit, die ein vorbestimmtes Instruktions-Set implementiert und,

wie hier definiert, eine beliebigen Zentralverarbeitungseinheits-Kern aufweist, der u. a. die Grundmerkmale einer ALU, einer Steuer-/Zeitgebungs-Einheit und verschiedener Register hat. Zu den Beispielen von CPU-Kernen zählt der Kern eines von Advanced Micro Devices, Inc. hergestellten Am386SXLV-Mikroprozessors. Der CPU-Kern **14** sowie weitere Untersysteme des integrierten Prozessors **10** werden vorzugsweise entsprechend einer komplementären Metalloxid-Halbleiter-(CMOS-)Technik verarbeitet.

[0017] Der Speicher-Controller **16** organisiert die Datenübertragung zwischen einem Systemspeicher **18** und einem CPU-Lokalbus **12** und kann Techniken für relatives Adressieren, indexiertes Adressieren und/oder aufrufendes Adressieren verwenden. Gemäß einer Ausführungsform ist der Speicher-Controller konfiguriert zum Unterstützen entweder eines Direktzugriffsspeichers (DRAM oder SRAM) oder eines Nurlesespeichers (ROM). Der Speicher-Controller **16** arbeitet vorzugsweise synchron mit dem CPU-Kern **14**, um eine maximale Übertragungs-Bandbreite von und zu dem Systemspeicher **18** über den CPU-Lokalbus **12** zu gewährleisten, und er kann ein EMS-kompatibles Speicherabbildungssystem mit Seiten-Registern verwenden.

[0018] Der integrierte Prozessor **10** weist ferner eine Bus-Interface-Einheit **22** auf, die zwischen den CPU-Lokalbus **12** und einen Peripherie-Verbindungsbus **20** geschaltet ist. Die Bus-Interface-Einheit **22** ist vorgesehen als Interface zum Steuern der Übertragung von Daten- und Adress-Signalen zwischen dem CPU-Lokalbus **12** und dem Peripherie-Verbindungsbus **20**. Es sind zahlreiche verschiedene Konfigurationen der Bus-Interface-Einheit **22** bekannt.

[0019] Gemäß einer bevorzugten Ausführungsform ist der Peripherie-Verbindungsbus **20** als Bus vom ISA-Typ (Industry Standard Architecture) konfiguriert. Es wird jedoch darauf hingewiesen, dass der Peripherie-Verbindungsbus **20** alternativ entsprechend zahlreicher verschiedener anderer Bus-Konfigurationen implementiert sein kann, zu denen beispielsweise eine EISA- (Extended Industry Standard Architecture) Bus-Konfiguration oder eine PCI (Peripheral Component Interface) Bus-Konfiguration zählen.

[0020] Zusätzlich sind in dem integrierten Prozessor **10** mehrere AT-kompatible Vorrichtungen implementiert. Insbesondere sind, wie zur Veranschaulichung gezeigt, ein DMA-Controller **28**, ein Zeitgeber **30**, ein Parallel-/Seriell-Port **32**, ein Video-Controller **34**, ein Interrupt-Controller **40**, ein Echtzeit-Taktgeber (RTC) **41** und ein PCMCIA-Controller **42** mit dem Peripherie-Verbindungsbus **20** verbunden. Jede dieser Peripherie-Vorrichtungen ist für sich genommen weithin bekannt, und deshalb werden diese Vorrichtungen der Einfachheit und Übersicht willen jeweils nur kurz beschrieben.

[0021] Der DMA-Controller **28** ist vorgesehen zur unabhängigen Steuerung der Datenübertragung zwischen dem System-Speicher **18** und verschiedenen I/O-Peripherie-Vorrichtungen wie z. B. Massenspeichervorrichtungen (z. B. Diskettenlaufwerke, CD-ROM-Einheiten etc.), die extern mit dem integrierten Prozessor **10** verbunden werden können. Bei einer Implementierung ist der DMA-Controller **28** funktional kompatibel mit einem Paar in Kaskade geschalteter Am8237A-DMA-Controller, die von Advanced Micro Devices, Inc. hergestellt werden.

[0022] Der Zeitgeber **30** dient zur Steuerung der für allgemeine Zwecke vorgesehenen Zeitsteuerungsfunktionen, wie z. B. von One-shot-Funktionen und Funktionen für programmierbare Rate. Bei einer Ausführungsform ist der Zeitgeber **30** funktional kompatibel mit einem programmierbaren Interval-Zeitgeber des Typs 8253, der von Advanced Micro Devices, Inc. hergestellt wird.

[0023] Der Parallel-/Seriell-Port **32** weist sowohl einen parallelen als auch einen seriellen Port auf. Bei einer Ausführungsform ist der parallele Port funktional kompatibel mit einem PS/2-Parallel-Port, und der serielle Port ist funktional kompatibel mit einem UART des Typs 16450.

[0024] Der Video-Controller **34** ist zum Steuern einer extern angeschlossenen Anzeigeeinheit wie z. B. einer Flüssigkristallanzeige (LCD) vorgesehen. Bei der bevorzugten Ausführungsform ist der Video-Controller **34** als CGA-kompatibler LCD-Controller konfiguriert.

[0025] Der Interrupt-Controller **40** ist vorgesehen zum zentralen Sortieren, Prioritisieren und Steuern von Interrupt-Signalen, die von verschiedenen Interrupt-Quellen erzeugt werden. Bei einer Implementierung ist der Interrupt-Controller funktional kompatibel mit einem Paar in Kaskade geschalteter Am8259-Interrupt-Controller, die von Advanced Micro Devices, Inc. hergestellt werden.

[0026] Der Echtzeit-Taktgeber **41** ist zum Aufrechterhalten von Zeitverfolgungsfunktionen wie z. B. der Tageszeit vorgesehen und kann unter Verwendung eines kompatiblen RTC des Typs 146818A implementiert werden. Der PCMCIA-Controller **42** schließlich ist zur Aufnahme extern angeschlossener PCMCIA-kompatibler Erweiterungskarten vorgesehen.

[0027] Zusätzlich zu den bereits erwähnten AT-kompatiblen Peripherie-Vorrichtungen zeigt **Fig.** 1 schließlich eine Energie-Management-Einheit (PMU) **24** und eine Taktsteuereinheit **26** innerhalb des integrierten Prozessors **10**. Wie nachstehend noch anhand von **Fig.** 2 detaillierter erläutert wird, ist die Taktsteuereinheit **26** konfiguriert zum Erzeugen mehrerer distinkter Taktsignale zum Takten verschiedener Untersysteme, die mit dem integrierten Prozessor **10** verbunden sind. Insbesondere erzeugt während des Betriebs die Taktsteuereinheit **26** ein CPU-Taktsignal zum Takten des CPU-Kerns **14**, ein Peripherie-Bus-Taktsignal zum Takten der Bus-Interface-Einheiot **22**, ein UART-Taktsignal zum Takten des seriellen Ports des Parallel-/Seriell-Ports **32**, ein CGA-Taktsignal zum Takten des Video-Controllers **34**, ein Zeitgeber-Taktsignal zum Takten (nicht gezeigten)

einer extern angeschlossenen Tastatur, und ein DMA-Taktsignal zum Takten des DMA-Controllers **28**. Die Taktsteuereinheit **26** leitet diese Taktsignale aus einem mit "CLOCK IN" bezeichneten einzelnen Takt-Referenzsignal ab, das dem integrierten Prozessor **10** aus einer (nicht gezeigten) externen Oszillatorschaltung zugeführt werden kann. Anzumerken ist, dass, da nur eine einzige externe Kristall-Oszillatorquelle erforderlich ist, um die für sämtliche Untersysteme benötigten Taktsignale zu erzeugen, der Gesamt-Energieverbrauch wesentlich reduziert werden kann (im Vergleich mit einer Situation, in der mehrere Kristall-Oszillatorschaltungen verwendet werden).

[0028] Allgemein ausgedrückt ist die Energie-Management-Einheit **24** zur Handhabung der gesamten Energie vorgesehen, die von einem System verbraucht wird, in dem der integrierte Prozessor **10** verwendet wird. Gemäß einer Ausführungsform überwacht die Energie-Management-Einheit **24** verschiedene System-Aktivitäten und erzeugt reaktiv ein Set von Aktivierungssignalen und ein mit "CYCLE TYPE" bezeichnetes Steuersignal, welche die Erzeugung und Anwendung verschiedener Taktsignale durch die Taktsteuereinheit **26** steuern. Weitere Einzelheiten zu der Taktsteuereinheit **26** sowie ein Ausführungsbeispiel der Energie-Management-Einheit **24** werden als nächstes in Verbindung mit **Fig.** 2–4 beschrieben.

[0029] In der nun zu erläuternden **Fig.** 2 ist ein Blockschaltbild einer Taktsteuereinheit **26** gezeigt. Die Taktsteuereinheit **26** weist einen Frequenz-Synthesizer auf, der in der Lage ist, ein Takt-Referenzsignal (z. B. CLOCK IN) zu empfangen und auf dieses Signal hin mehrere Taktsignale unterschiedlicher Frequenzen zu erzeugen, um verschiedene Untersysteme des integrierten Prozessors **10** zu takten. Der Frequenz-Synthesizer enthält einen oder mehrere Frequenz-Vervielfacher, einen oder mehrere Frequenzteiler, oder eine Kombination aus Frequenz-Vervielfachern und -Teilern.

[0030] Entsprechend zeigt **Fig.** 2 erste, zweite und dritte PLL-Schaltungen **92**, **94** bzw. **96**. Der Frequenzvervielfachungsfaktor, welcher der ersten PLL-Schleife **92** zugewiesen ist, kann sich von den Vervielfachungsfaktoren unterscheiden, die der zweiten PLL-Schleife **94** und der dritten PLL-Schleife **96** zugewiesen sind. Beispielsweise beträgt bei einer Ausführungsform der Vervielfachungsfaktor der ersten PLL-Schleife **92** fünfundvierzig, so dass eine Eingangs-Taktfrequenz von z. B. ungefähr 32 KHz derart multipliziert wird, dass aus der ersten PLL-Schleife **92** ein Ausgangssignal von ungefähr 1,474 MHz erzeugt wird. Die zweite PLL-Schleife **94** ist z.B, mit einem Vervielfachungsfaktor von fünfundzwanzig konfiguriert, derart, dass die Eingangs-Frequenz von 1,474 MHz auf 36,864 MHz erhöht wird.

[0031] Bei dem ersten Teiler **98** handelt es sich wie bei den anderen in **Fig.** 2 gezeigten und im folgenden beschriebenen Teilern um eine digitale Schaltung, bei der eine oder mehrere Zählvorrichtungen verwendet werden. Frequenzteiler können implementiert werden unter Verwendung bi-stabiler Multivibratoren wie z. B. seriell geschalteter Flip-flops. Gemäß einer Ausführungsform ist dem ersten Teiler **98** ein Divisor von vierzehn zugewiesen, und somit resultiert ein an den ersten Teiler **98** abgehendes Eingangssignal mit einer Frequenz von 36,864 MHz in einem daraus erzeugten Ausgangssignal von ungefähr 2,63 MHz.

[0032] Das 2,63-MHz-Ausgangssignal aus dem ersten Teiler **98** kann mittels einer dritten PLL-Schleife **96** entsprechend einem programmierbaren Set von Multiplikationsfaktoren frequenzmultipliziert werden. Somit kann das Ausgangssignal der dritten PLL-Schleife **96**, das als das Taktsignal mit programmierbarer Geschwindigkeit (PS CLK) bezeichnet wird, auf verschiedene programmierbare Taktfrequenzen gesetzt werden. Die Software-Programmierbarkeit der dritten PLL-Schleife **96** wird durch ein Konfigurationsregister **100** erzielt, das mit dem Peripherie-Verbindungsbus **20** verbunden ist. Bei einer Implementierung kann die dritte PLL-Schleife **96** derart programmiert werden, dass sie das für programmierbare Geschwindigkeit ausgelegte Taktsignal (PS CLK) mit einer Frequenz von 40 MHz, 50 MHz, 66 MHz oder 80 MHz erzeugt.

[0033] Mit dem Ausgang der dritten PLL-Schleife **96** ist eine dynamische Takt-Umschalt-Schaltung **102** verbunden. Die Umschalt-Schaltung **102** ist ferner derart geschaltet, dass sie das Ausgangssignal (LS CLK) aus der zweiten PLL-Schaltung **94** empfängt. In Abhängigkeit von dem aus dem der Energie-Management-Einheit **24** (siehe **Fig.** 1) empfangenen CYCLE TYPE-Signal verbindet die Umschalt-Schaltung **102** entweder das PS-CLK-Signal oder das LS CLK-Signal mit einem CPU-Takt-Schalter **104** und mit einem zweiten Teiler **106**. Wie im folgenden noch detaillierter erläutert wird, gibt das CPU TYPE-Signal an, ab ein aktueller Bus-Zyklus auf dem CPU-Lokal-Bus **12** auf eine am Lokal-Bus **12** angeordnete Vorrichtung oder eine am Peripherie-Verbindungsbus **20** angeordnete Vorrichtung abzielt.

[0034] Bei dem CPU-Takt-Schalter **104** handelt es sich um einen elektronischen Schalter, der in der Lage ist, das Ausgangssignal PS/LS CLK aus der Umschalt-Schaltung **102** auf ein Aktivierungssignal CPU CLK ENABLE aus der Energie-Management-Einheit **24** hin zu gattern. Wenn der CPU-Taktschalter **104** aktiviert ist, wird das PS/CLK-Signal als das CPU-Taktsignal CPU CLK ausgegeben. Falls das (CPU CLK) ENABLE-Signal deaktiviert ist, wird das CPU-Taktsignal in den Off-Zustand gegattert. Wie weiter unten noch erläutert wird, kann das CPU-Taktsignal während bestimmter Energie-Management-Zustände in den Off-Zustand gegattert werden, um Energie zu sparen.

[0035] Der zweite Teiler **106** ist vorgesehen zum Erzeugen des Peripherie-Bus-Taktsignals P. BUS CLK, das die Bus-Interface-Einheit **22** taktet (**Fig.** 1). Das Peripherie-Bus-Taktsignal steuert die Zeitgebung von Zyklen, die von der Bus-Interface-Einheit **22** an dem Peripherie-Verbindungsbus **20** ausgeführt werden. Gemäß einer

Ausführungsform ist der zweite Teiler **106** mit einem Divisor von zwei versehen. Anzumerken ist, dass die Steuerschaltung in der Bus-Interface-Einheit **22**, die von dem Peripherie-Bus-Taktsignal getaktet wird und die den Peripherie-Verbindungsbus **20** steuert, nur während Zyklen aktiv ist, bei denen Slaves involviert sind, welche an dem Peripherie-Verbindungsbus **20** angeordnet sind. Somit werden entsprechend der Umschalt-Schaltung **102** unter Steuerung durch das CPU TYPE-Signal Master-Zyklen, die von der Bus-Interface-Einheit **22** auf dem Peripherie-Verbindungsbus **20** ausgeführt werden, mittels eines Signals getaktet, das die halbe Frequenz des LS CLK-Signals hat. Ferner ist anzumerken, dass das CPU CLK-Signal während derartiger Zyklen ferner in der Frequenz nach unten hin (d. h. auf die Frequenz des LS CLK-Signals) skaliert wird, um Energie zu sparen.

[0036] **Fig.** 2 zeigt ferner ein Set von PLL-Aktivierungsleitungen zum selektiven Aktivieren der ersten, zweiten und dritten PLL-Schleifen **92**–**96** auf entsprechende Aktivierungssignale aus der Energie-Management-Einheit **24** hin. Insbesondere ist eine Leitung **140** vorgesehen, um ein Aktivierungssignal zwecks Aktivierens der ersten PLL-Schleife **92** und der zweiten PLL-Schleife **94** zu empfangen, und eine zweite Leitung **141** ist vorgesehen, um ein Aktivierungssignal zum Aktivieren der dritten PLL-Schleife **96** zu empfangen. Zwischen die Leitung **143**, die das CLOCK IN-Signal empfängt, und die zweite PLL-Schleife **94** ist eine erste Verzögerungsschaltung **108** geschaltet, um eine Verzögerung beim Aktivieren der zweiten PLL-Schleife **94** nach dem Aktivieren der ersten PLL-Schleife **92** zu aktivieren. Für einen korrekt zeitgesteuerten Betrieb der PLL-Schaltungen **92** und **94** wird die Verzögerungsschaltung **108** gleichzeitig mit der ersten PLL-Schleife **92** durch das Niedriggeschwindigkeits-Aktivierungssignal LS PLL ENABLE aktiviert. Das Niedriggeschwindigkeits-Aktivierungssignal wird auch an einen Eingang des Gates **110** ausgegeben, um die zweite PLL-Schaltung **94** verzögerungsbezogen zu aktivieren. Die Aktivierung der dritten PLL-Schaltung **96** wird in ähnlicher Weise durch die zweite PLL-Schaltung **112** um eine Periode verzögert, nach der die zweite PLL-Schaltung **94** aktiviert ist (d. h. falls das entsprechende Aktivierungssignal auf der Leitung **141** ebenfalls ausgegeben wird). Somit werden zwei der aus der PMU **24** ausgegebenen Aktivierungssignale verwendet, um die ersten, zweiten und dritten PLL-Schleifen-Schaltungen **92**–**96** entsprechend den LS PLL- und HS PLL ENABLE-Signalen zu aktivieren.

[0037] Falls die PLL-Schleife **94** aktiviert ist, wird ein Niedriggeschwindigkeits-Taktsignal LS CLK von z. B. 36,864 MHz an verschiedene parallel geschaltete Teiler ausgegeben, die als dritter Teiler **114**, vierter Teiler **116**, fünfter Teiler **118**, sechster Teiler **120** und siebter Teiler **122** bezeichnet sind. Jeder Teiler kann einen anderen Divisionsfaktor haben als derjenige der anderen Teiler, derart, dass z. B. der dritte Teiler **114** eine zur Division durch vier ausgelegte Vorrichtung ist, die erforderlich ist, um zwecks Erzeugens des Tastatur-Taktsignals das Niedriggeschwindigkeits-Taktsignal von z. B. 36,864 MHz auf ungefähr 9,2 MHz zu reduzieren. Der vierte Teiler **116** kann ebenfalls eine zur Division durch vier ausgelegte Vorrichtung sein, um ein DMA-Controller-Taktsignal von 9,2 MHz zu erzeugen, während der vierte Teiler **118** z. B. mit einem Divisor von einunddreißig versehen sein kann, um ein Zeitgeber-Taktsignal von 1,189 MHz zu erzeugen. Der sechste Teiler **120** kann z. B. einen Divisionsfaktor zur Division durch zwanzig haben, um z. B. ein 1,84-MHz-Taktsignal zu erzeugen. Das DMA-Takt-Ausgangssignal aus dem vierten Teiler **116** und das Tastatur-Takt-Ausgangssignal aus dem dritten Teiler **114** können durch einen jeweiligen DMA-Takt-Schalter **124** und einen Tastatur-Takt-Schalter **126** selektiv aktiviert oder deaktiviert werden. Ferner werden das Tastatur-Takt-Aktivierungssignal (KEYBD CLK ENABLE) und das DMA-Takt-Aktivierungssignal (DMA CLK ENABLE) aus der Energie-Management-Einheit **24** ausgegeben, um während der jeweiligen Energie-Management-Zustände das jeweilige Taktsignal selektiv zu gattern.

[0038] Durch Deaktivieren des Aktivierungssignals auf der Leitung **141** kann die dritte PLL-Schleife **96** ausgeschaltet werden, um dadurch das CPU-Taktsignal sowie das Peripherie-Bus-Taktsignal vollständig zu deaktivieren. Die ersten und zweiten PLL-Schleifen **92**, **94** können bei Deaktivierung des Aktivierungssignals auf der Leitung **140** deaktiviert werden, was nicht nur im Abschalten der CPU- und Peripherie-Bus-Taktsignale, sondern auch im Abschalten sämtlicher anderer Taktsignale resultiert, die von der Taktsteuereinheit **26** erzeugt werden. Somit kann die Deaktivierung des Aktivierungssignals auf der Leitung **140** gemäß einer Ausführungsform das Tastatur-Taktsignal (KEYBD CLK), das DMA-Taktsignal (DMA CLK), das Zeitgeber-Taktsignal (TIMER CLK), das UART-Taktsignal (UART CLK) und das Video-Taktsignal (VIDEO CLK) ausschalten.

[0039] Eine dritte Aktivierungsleitung **142** ist mit dem AND-Gate **130** verbunden gezeigt. Ein Ausgangssignal aus dem Gate **130** aktiviert die vierte PLL-Schleifen-Schaltung **128** über ein Video-Aktivierungssignal (VID PLL ENABLE). Die vierte PLL-Schleifen-Schaltung **128** erhöht bei der Ausgabe des Video-Aktivierungssignals die aus dem Ausgangssignal des siebten Teilers **122** resultierende Taktfrequenz. Nimmt man als Beispiel eine Niedriggeschwindigkeits-Taktfrequenz von 36,864 an, dann beträgt die von dem siebten Teiler **122** ausgegebene Frequenz 2,048 MHz. Bei einer Implementierung multipliziert die vierte PLL-Schaltung **128** die als Beispiel angeführten 2,048 MHz beispielsweise mit einem Multiplikationsfaktor von vierzehn, um ein Signal mit 28,67 MHz zu erzeugen. Die als Beispiel angeführte Ausgangsfrequenz von 28,67 MHz kann dann mittels eines achten Teilers **132** dividiert werden, der z. B. mit einem zur Division durch zwei ausgelegten Divisionsfaktor versehen ist, um ein Video-Taktsignal von 14,746 MHz zu erzeugen. Anzumerken ist, dass die Aktivierung der vierten PLL-Schleife **128** mittels der ersten Schaltung **108** in ähnlicher Weise wie die Aktivierung der zweiten PLL-Schleife **94** verzögert wird.

[0040] Die nun zu erläuternde **Fig.** 3 zeigt ein detaillierteres Blockschaltbild einer Implementierung der Energie-Management-Einheit **24**. Die Energie-Management-Einheit **24** ist mit dem Peripherie-Verbindungsbus **20** und der Taktsteuereinheit **26** verbunden gezeigt. Wie bereits angeführt überwacht die Energie-Management-Einheit **24** verschiedene System-Aktivitäten und erzeugt reaktiv die Aktivierungssignale und CYCLE TYPE-Steuersignale, welche die Erzeugung und Anwendung der von der Taktsteuereinheit **26** synthetisierten verschiedenen Taktsignale steuern. Obwohl die folgende Beschreibung und die zugehörigen Zeichnungen Details zu einer bestimmten Konfiguration der Energie-Management-Einheit **24** enthalten, wird darauf hingewiesen, dass in dem integrierten Prozessor **10** alternativ eine Energie-Management-Einheit verwendet werden könnte, die entsprechend anderert spezieller Energie-Management-Algorithmen arbeitet.

[0041] Die Energie-Management-Einheit **24** enthält eine Energie-Management-Zustandsmaschine **356**, die konfiguriert ist zum Durchführen des Übergangs zwischen mehreren Energie-Management-Zuständen in Abhängigkeit von dem Auftreten oder Nicht-Auftreten verschiedener vorbestimmter System-Ereignisse. **Fig.** 4 zeigt ein Zustands-Übergangs-Diagramm, das die bei der Energie-Management-Zustandsmaschine **356** auftretenden Zustände veranschaulicht. Die Aktivierungen der verschiedenen an die Taktsteuereinheit **26** ausgegebenen Aktivierungssignale sind von dem bestimmten Zustand der Energie-Management-Einheit **24** abhängig. Spezielle Details folgen.

[0042] Die Energie-Management-Einheit **24** enthält einen System-Monitor **374** zum Überwachen gewählter Signale (bezeichnet als "SYS. MONITOR SIGS."), die vorbestimmte System-Ereignisse angeben. Beispiele derartiger Ereignisse sind I/O-Dekodierungen an bestimmte Adressen, DMA-Requests, Interrupts, und Veränderungen in Status-Signalen. **Fig.** 3 und 4 zeigen gemäß einer Ausführungsform fünf Zustands-Übergangs-Zähler **362**–**370** und sechs Energie-Management-Zustände **480**–**490**. Die fünf Zähler sind bezeichnet als: Vollgeschwindigkeits-Zähler **362**, Niedriggeschwindigkeits-Zähler **364**, Doze-Zähler **366**, Sleep-Zähler **368** und Aufhebungs-Zähler **370**; und die sechs Energie-Management-Zustände sind bezeichnet als: volle Geschwindigkeit **480**, niedrige Geschwindigkeit **482**, Doze **484**, Sleep **486**, Aufhebung **488** und off **490**. Wie noch weiter unten erläutert wird, steuert jeder Energie-Management-Zustand die an die Taktsteuereinheit **26** ausgegebenen Aktivierungssignale in einer vorbestimmten Weise (die vom Benutzer oder System-Designer programmierbar sein kann). Jeder Zähler steuert eine Aussetzzeit-Periode, der ein entsprechender Energie-Management-Zustand zugeordnet ist. Das Auslaufen einer gegebenen Aussetzzeit-Periode veranlasst die Energie-Management-Zustandsmaschine zum Übergang auf einen niedrigeren Energie-Management-Zustand. Beispielsweise veranlasst das Aussetzzeit-Auslaufen des Vollgeschwindigkeits-Zählers **362** einen Übergang von dem Zustand der vollen Geschwindigkeit **480** zu dem Zustand der niedrigen Geschwindigkeit **482**, und Aussetzzeit-Auslaufen des Niedriggeschwindigkeits-Zähler **364** veranlasst einen Übergang von dem Zustand der niedrigen Geschwindigkeit **482** zu dem Doze-Zustand **484** usw. Anzumerken ist, dass jeder Zähler beim Auftreten eines der vorbestimmten System-Ereignisse, wie sie von dem System-Monitor **374** detektiert werden, rückgesetzt wird, und dass die Detektion eines derartigen Ereignisses die Energie-Management-Zustandsmaschine **356** zum Übergang auf den Zustand der vollen Geschwindigkeit **480** veranlasst. Ferner ist anzumerken, dass die dem Vollgeschwindigkeits-Zähler **362** zugewiesene Aussetzzeit-Periode kürzer ist als diejenige des Niedriggeschwindigkeits-Zähler **364**, und dass die dem Niedriggeschwindigkeits-Zähler **364** zugewiesene Aussetzzeit-Periode kürzer ist als diejenige des Doze-Zählers **366**, usw. Bei der bevorzugten Ausführungsform kann die jedem Zähler zugeordnete Aussetzzeit-Periode über den Dekodieren **360** programmiert werden. Ferner kann ein Masken-Register **372** durch den System-Monitor **374** zum Maskieren der Detektion gewählter System-Aktivitäten gesetzt werden. Zusätzlich kann der Zustand der Energie-Management-Zustandsmaschine **356** durch Software-Steuerung des Energie-Management-Zustandsregisters **358** direkt variiert werden.

[0043] Dementsprechend geht während Perioden von System-Inaktivität (gemäß der Bestimmung durch das Nicht-Auftreten durch den System-Monitor **374** detektierter System-Ereignisse) die Energie-Management-Zustandsmaschine **356** sequentiell zu niedrigeren Energie-Management-Zutänden über. Beim Auftreten eines überwachten System-Ereignisses resultiert dies für die Zustandsmaschine **356** darin, dass sie zu dem Vollgeschwindigkeits-Modus zurückgeht. Es versteht sich, das je nach der Anzahl gewünschter Energie-Management-Zustände mehr als fünf oder weniger als fünf Zähler in der Energie-Management-Einheit **24** verwendet werden können. **Fig.** 2 und 3 zeigen, jedoch lediglich als Beispiel, fünf Zähler und sechs Energie-Management-Zustände.

[0044] Der System-Monitor **374** ist ferner zur Verwendung von Bus-"Snooping"- oder Überwachungs-Techniken konfiguriert, um festzustellen, ob ein aktueller Zyklus einem Zugriff auf eine Peripherie-Vorrichtung entspricht, die an dem Peripherie-Verbindungsbus **20** angeordnet ist. Falls der System-Monitor **374** einen derartigen Zyklus detektiert, wird das CYCLE TYPE-Signal derart gesteuert, dass die Umschalt-Schaltung **102** (**Fig.** 2) das LS CLK-Signal wählt. Während Zyklen, die auf dem CPU-Lokal-Bus **12** beschränkt sind, wählt die Umschalt-Schaltung **102** das PS CLK-Signal.

[0045] Der System-Monitor der Energie-Management-Einheit **24** ist schließlich derart konfiguriert, dass er die dem DMA-Controller **28** (**Fig.** 1) zugewiesenen Signale DMA REQ und AEN überwacht und selektiv ein

DMA-Takt-Aktivierungssignal (DMA CLK ENABLE) ausgibt, falls entweder ein DMA REQ- (DMA-Request-) Signal oder das AEN- (Adress-Aktivierungs-) Signal aktviert wird. Fachleute auf dem Gebiet werden erkennen, dass diese Signale eine anhängige oder eine aktuelle DMA-Operation anzeigen. Gemäß **Fig.** 1–3 steuert das DMA CLK ENABLE-Signal die Ausgabe des DMA CLK-Signals an den DMA-Controller **28** derart, dass falls eine DMA-Operation nicht anhängig ist oder erfolgt, das DMA CLK-Signal aus dem DMA-Controller **28** gegattert wird, und zwar unabhängig von dem derzeitigen Zustand der Energie-Management-Zustandsmaschine **356**. Dadurch wird Energie eingespart.

[0046] Die folgende Tabelle I gibt gemäß einem Ausführungsbeispiel die Steuerung verschiedener Taktsignale durch die Energie-Management-Zustandsmaschine **356** für jeden Betriebszustand an. Tabelle I zeigt den Effekt von Aktivierungssignalen, die während verschiedener oben beschriebener Energie-Management-Zustände bei verschiedenen Taktsignalen definiert sind. Somit ist anzumerken, dass die Erzeugung bestimmter Taktsignale während verschiedener Energie-Management-Zustände wie folgt programmiert werden kann:

TABELLE I

ZUSTAND	HS/LS CPU CLK	LS CPU CLK	VIDEO CLK	DMA CLK	KYBD CLK	TIMER/UART CLK
volle Geschwindigkeit	Ein	Ein	Ein	Ein	Ein	Ein
niedrige Geschwindigkeit	Ein	Ein	Ein	Ein	Ein	Ein
Doze	Aus	Aus	Ein/Aus	Aus	Ein/Aus	Ein/Aus
Sleep	Aus	Aus	Ein/Aus	Aus	Aus	Ein/Aus
Aufhebung	Aus	Aus	Ein/Aus	Aus	Aus	Ein/Aus
Off	Aus	Aus	Ein/Aus	Aus	Aus	Ein/Aus

[0047] Wie in der obigen Tabelle gezeigt, sind während des Zustands der vollen Geschwindigkeit **480** gemäß **Fig.** 4 sämtliche PLL-Schleifen aktiviert, Das durch die Umschalt-Schaltung **102** durchgeführte dynamische Schalten auf das Hochgeschwindigkeits-Taktsignal (PS CLK) wird während der Speicher-, Lokal-Bus- und CPU-Kern-Leerlaufzyklen zugelassen. Dies ermöglicht dem CPU-Kern **14** einen Betrieb mit maximaler Frequenz zwecks optimaler Leistung. Sämtliche anderen Bus-Zyklen werden von der Umschalt-Schaltung **102** auf das Niedriggeschwindigkeits-Taktsignal geschaltet. Dies nimmt die Ausführung langsamerer ISA-Zyklen (d. h. eines Peripherie-Bus-Zyklus) und einer entsprechenden Reduzierung der Geschwindigkeit des CPU-Taktsignals zwecks Reduzierung der Energie ein.

[0048] In dem Niedriggeschwindigkeits-Zustand laufen das CPU-Taktsignal, das DMA-Taktsignal und die internen System-Taktsignale (Peripherie-Bus-Taktsignal) mit reduzierten Raten, die programmierbar sind. Anzumerken ist, dass das CPU-Taktsignal, das Peripherie-Bus-Taktsignal und das DMA-Taktsignal durch eine selektiv steuerbare Teilerschaltung innerhalb der Schalter **104**, **124** und den zweiten Teiler **106** in der Frequenz reduziert werden können. Die höchste zulässige CPU-Taktrate während des Niedriggeschwindigkeits-Zustandes beträgt gemäß einem Beispiel 9,2 MHz. Die Zulässigkeit eines dynamischen Schattens auf das Hochgeschwindigkeits-Taktsignal (PS CLK) wird aufgehoben. Optional kann die dritte PLL-Schaltung **96** in diesem Modus abgeschaltet werden, um eine zusätzliche Energieersparnis zu erzielen.

[0049] Während des Doze-Zustands wird das CPU-Taktsignal (niedrige und hohe Geschwindigkeit) zusammen mit dem DMA-Taktsignal und dem Peripherie-Bus-Taktsignal gestoppt. Die Video-, Tastatur- und Zeitgeber-Taktsignale werden durch Vorgabe aktiviert, können jedoch programmierbar ausgeschaltet werden. Indem der Betrieb dieser Taktsignale zugelassen wird, wird einer mit dem Video-Controller **34** verbundenen LCD-Anzeige erlaubt, das Auffrischen fortzusetzen, und es besteht die Möglichkeit des Erzeugens von Zeitgeber- und Tastatur-Interrupts.

[0050] Die Sleep-, Aufhebungs- und Aus-Zustände gleichen sich insofern, als das CPU-Taktsignal, das Peripherie-Bus-Taktsignal, das DMA-Taktsignal und das Tastatur-Taktsignal sämtlich ausgeschaltet sind. Das Video-Taktsignal sowie das UART-Taktsignal können in den Ein- oder Aus-Zustand programmiert werden.

[0051] Anzumerken ist, dass während verschiedener Zustände der Energie-Management-Einheit **24** externe Energiesteuerstifte des integrierten Prozessors **10** entsprechend derart gesteuert werden können, dass die Energie, die mit dem integrierten Prozessor **10** verbundenen externen Vorrichtungen zugeführt wird, weggenommen wird. Diese Steuerung kann ebenfalls programmierbar sein.

[0052] Ferner ist anzumerken, dass die Steuerung der verschiedenen Taktsignale, die von der Taktsteuereinheit **26** erzeugt werden, entsprechend verschiedener alternativer Energie-Management-Algorithmen durchge-

führt werden kann. Beispielsweise kann in dem integrierten Prozessor **10** eine Energie-Management-Einheit verwendet werden, die entsprechend dem Energie-Management-Algorithmus arbeitet, der beschrieben ist in der mitanhängigen, dem Anmelden der vorliegenden Anmeldung erteilten Patentanmeldung mit dem Titel "Power Management System for an Integrated Processor" von O'Brian et al.; Serial No. 08/190,292, eingereicht am 2. Februar 1994. Diese Anmeldung wird hiermit in ihrer Gesamtheit durch Verweis in die vorliegende Anmeldung einbezogen.

[0053] In der nun zu erläuternden **Fig.** 5 ist ein Teil der in dem integrierten Prozessor **10** angeordneten inneren Schaltung gezeigt, in der eine benutzerdefinierte Option für die Konfiguration eines externen Busses enthalten ist. Insbesondere kann der Benutzer je nach der bestimmten PID-Umgebung, in welcher der integrierte Prozessor **10** verwendet werden soll, optional einen Viedeo-Controller-Modus (oder "CGA-Modus"), einen Lokal-Bus-Modus oder einen ISA-(Peripherie-Bus-)Modus wählen. Die Schaltung gemäß **Fig.** 5 enthält einen Multiplexer **550** mit drei Eingangs-Ports und einem einzige Ausgangs-Port. Ein Eingangs-Port ist mit einem gewählten Set von Leitungen **552** aus dem Video-Controller **34** verbunden; ein weiterer Eingangs-Port ist mit einem gewählten Set von Peripherie-Verbindungsbusleitungen **554** verbunden; und wiederum ein weiterer Eingangs-Port ist mit einem gewählten Set von CPU-Lokal-Bus-Ausgangsleitungen **556** verbunden. Der Multiplexer **550** wählt ein Set von Leitungen, und zwar die Leitungen **552**, **554** oder **556**, zur Verbindung mit den externen Stiften des integrierten Prozessors **10**. Der Multiplexer **550** stützt dadurch eine Option zur Konfiguration eines externen Busses, durch die gewählte Signale, die dem Video-Controller **34**, dem Peripherie-Verbindungsbus **20** oder dem Lokal-Bus **12** zugeordnet sind, an externe Stifte des integrierten Prozessors **10** angelegt werden können. Die Extern-Lokal-Bus-Peripherievorrichtungen, die Extern-ISA-Bus-Peripherievorrichtungen oder eine externe CGA-LCD-Anzeige (mit Video-RAM) kann dadurch optional in Abhängigkeit von den Erfordernissen eines bestimmten Anwendungsfalls gestützt werden.

[0054] Der Multiplexer **550** wird von einem aus einer Latch-Vorrichtung **556** zugeführten Steuersignal auf den Leitungen **560** gesteuert. Die Latch-Vorrichtung **556** verriegelt an einer Anstiegsflanke eines System-Rücksetzsignals die Logik-Pegel an einem Set von Leitungen **562** und **564**. Die Logik-Pegel der Eingangsleitungen **562** und **564** werden durch externe passive Pull-up- oder Pull-down-Widerstände bestimmt, die mit Energie- oder Masse-Potenzialen verbunden sind. Bei einem gezeigten Beispiel sind ein Pull-up-Widerstand **568** und ein Pull-down-Widerstand **570** mit den Eingangsleitungen **562** und **564** verbunden. Der Pull-up-Widerstand **568** wird dadurch dazu verwendet, die Leitung **562** passiv auf high zu ziehen, während der Pull-down-Widerstand **570** die Leitung **562** passiv auf low zieht. Statt einen Pull-up-Widerstand **568** mit der Eingangsleitung **562** zu verbinden, kann der Benutzer zum Wählen eines unterschiedlichen Extern-Stift-Modus einen (im Umrissen gezeigten) Pull-down-Widerstand an der Eingangsleitung **562** anschließen oder einen in Umrissen gezeigten Pull-up-Widerstand an der Eingangsleitung **564** anschließen. Durch selektives Anschließen eines Pull-up- oder Pull-down-Widerstandes an jede Eingangsleitung ist der System-Designer in der Lage, optional das vom Multiplexer **550** bestimmte Set von Leitungen **552**, **54** oder **556** zu steuern, um dadurch die Funktionalität der entsprechenden externen Stifte des integrierten Prozessors **10** zu steuern. Anzumerken ist, dass im Anschluss an das System-Rücksetzen die mit den Leitungen **562** und **564** der Latch-Vorrichtung **566** verbundenen Stifte verwendet werden können, um andere Signale aufzunehmen, wie z. B. die Signale RTS und DTR der seriellen Ports. In einer derartigen Situation sind die Leitungen **562** und **564** parallel mit den RTS- und DTR-Eingängen des Video-Controllers **34** verbunden. Eine derartige Doppelzweck-Verwendung der externen Stifte des integrierten Prozessors **10** beinhaltet eine weitere Reduzierung von Kosten und Größe.

[0055] Die folgende Tabelle zeigt ein Beispiel eines Sets von Signalen, die selektiv über den Multiplexer **550** den externen Stiften des integrierten Prozessors **10** zugeführt werden kann.

Tabelle II

Video-Controller-Option (CGA-Signale)	Lokal-Bus-Option (386-Lokal-Bus-Signale)	Peripherie-Bus-Option (ISA-Signale)
PIRQ1	PIRQ1	IRQ6
PIRQ0	PIRQ1	IRQ3
DSMD7	ADS#	OWS#
DSMD6	D/C#	DRQ0
DSMD5	M/IO#	DRQ3
DSMD4	W/R#	DRQ7
DSMD3	BHE#	IRQ9
DSMD2	BLE#	IRQ11
DSMD1	LRDY#	DRQ6
DSMD0	LDEV#	RESERVED
DSMA14	A23	LA23
DSMA13	A22	LA22
DSMA12	A21	LA21
DSMA11	A20	LA20
DSMA10	A19	LA19
DSMA9	A18	LA18
DSMA8	A17	LA17
DSMA7	A16	DACK0#
DSMA6	A15	DACK3#
DSMA5	A14	DACK7#
DSMA4	A13	DACK6#

DSMA3	CPUCLK	PULLUP
DSMA2	CPURST	RESERVED
DSMA1	NA#	IRQ7
DSMA0	387RESET	PULLUP
DSWE#	387ERR#	PULLUP
DSOE#	CPURDY#	LMEG#
DSCE#	DACK1#	DACK1#
LCDD0	DRQ1	DRQ1
LCDD1	DACK5#	DACK5#
LCDD2	DRQ5	DRQ5
LCDD3	IROCHCHK#	IROCHCHK#
M	IRQ4	IRQ4
CP1	PREQ	IRQ5
CP2	BUSY#	IRQ10
FRM	IRQ12	IRQ12
LVEE#	IRQ15	IRQ15
LVDD#	RESERVED	BALE

[0056] Es ist anzumerken, dass bei einer Implementierung eine Gruppe zusätzlicher vorbestimmter Leitungen des internen ISA-Busses (Peripherie-Bus **20**) dauerhaft mit den vorgesehenen externen Stiften des integrierten Prozessors **10** verbunden sind, um sechszehn Bit betragende externe ISA-Übertragungen unabhängig von dem über den Multiplexer **550** gewählten bestimmten Modus zu stützen. Bei einer derartigen Implementierung kann das Set von Leitungen **554** des ISA-Busses (wie in der obigen Tabelle definiert) optional extern über den Multiplexer **550** geschaltet sein, um einen noch breiteren Bereich von ISA-Betriebsfunktionen zu stützen.
[0057] Fachleuten auf dem Gebiet werden nach voller Kenntnisnahme der vorstehenden Offenbarung zahlreiche Variationen und Modifikationen ersichtlich sein. Beispielsweise versteht sich, dass der DMA-Controller **28**, der Zeitgeber **30**, der Video-Controller **34**, der Parallel-/Seriell-Port **32**, der Echtzeit-Taktgeber **41** und der PCMCIA-Controller **42** alternativ mit dem CPU-Lokal-Bus **12** verbunden sein können. Die folgenden Ansprüche sind dahingehend zu interpretieren, dass sie sämtliche derartigen Variationen und Modifikationen umfassen.

Patentansprüche

1. Taktsteuereinheit in einem integrierten Prozessor, mit:
einem Frequenz-Synthesizer zum Empfangen eines auf einer einzelnen Frequenz getakteten Eingangssignals und zum Erzeugen mehrerer Ausgangssignale, wobei jedes Ausgangssignal mit einer distinkten Frequenz getaktet wird, die durch mehrere an den Frequenz-Syntheaizer ausgegebene Aktivierungssignale bestimmt wird, wobei der Frequenz-Synthesizer mehrere Frequenzvervielfacher und Frequenzteiler aufweist,
wobei die Frequenzvervielfacher in Reihe geschaltete PLL-Schaltungen (**92**, **94**, **96**) aufweisen, und
mehreren Schaltungen, die zum Empfangen jeweiliger Ausgangssignale angeordnet sind.

2. Taktsteuereinheit nach Anspruch 1, bei der die PLL-Schaltungen eine erste (**92**), eine zweite (**94**) und eine dritte (**96**) PLL-Schaltung aufweisen, wobei die erste PLL-Schaltung das Eingangssignal empfängt, die zweite PLL-Schaltung ein langsames Taktsignal erzeugt und die dritte PLL-Schaltung ein schnelles Taktsignal erzeugt.

3. Taktsteuereinheit nach Anspruch 2, bei der das schnelle Taktsignal mit einer schnelleren Rate getriggert wird als das langsame Taktsignal, und bei der das schnelle Taktsignal durch ein Konfigurationssignal auf eine von mehreren Frequenzen programmierbar ist, das entsprechend einem Konfigurations-Register (**100**), das zwischen einem Peripherie-Verbindungsbus (**20**) und der dritten PLL-Schaltung (**96**) geschaltet ist, über den

Peripherie-Verbindungsbus (**20**) geschickt wird.

4. Taktsteuereinheit nach Anspruch 2, ferner mit einer dynamischen Taktumschalt-Schaltung (**102**), die zum Empfangen des langsamen Taktsignals und des schnellen Taktsignals und zum Schalten des langsamen Taktsignals oder des schnellen Taktsignals auf den Ausgang der Umschalt-Schaltung angeordnet ist.

5. Taktsteuereinheit nach Anspruch 1, bei der die Frequenzteiler ein Set von Zählschaltungen aufweisen, die parallel zwischen einem der Frequenzvervielfacher und einem Set der Taktschaltungen geschaltet sind.

6. Taktsteuereinheit nach Anspruch 2, bei der:
die erste PLL-Schaltung (**92**) einen Eingang, der mit einem Oszillator verbunden ist, und einen Ausgang aufweist, der mit der zweiten PLL-Schaltung (**94**) verbunden ist,
und ferner mit:
einer Energie-Management-Einheit (**24**) mit einem ersten Aktivierungs-Ausgang, der mit der zweiten PLL-Schaltung verbunden ist, um die zweite PLL-Schaltung entsprechend einem von der Energie-Management-Einheit gesteuerten Energie-Management-Zustand zu aktivieren; und
mehreren Frequenzteilern, die mit einem Ausgang der zweiten PLL-Schaltung verbunden sind, um zu Zeiten, während derer die zweite PLL-Schaltung aktiv ist, eine jeweilige Mehrzahl von Taktsignalen zu erzeugen, die einer entsprechenden Mehrzahl getakteter Schaltungen zugeführt werden.

7. Taktsteuereinheit nach Anspruch 6, bei der der Energie-Management-Zustand einen von mehreren Energie-Management-Zuständen aufweist, der aus einer Liste gewählt ist, welche einen Normalzustand, einen Langsam-Zustand, einen Doze-Zustand, einen Sleep-Zustand und einen Unterbrechungs-Zustand enthält.

8. Taktsteuereinheit nach Anspruch 6, bei der die Taktsignale mit ungleichen Frequenzen getriggert werden.

9. Taktsteuereinheit nach Anspruch 6, bei der die Taktsignale ein Tastatur-Taktsignal, ein DMA-Taktsignal, ein Zeitgeber-Taktsignal, ein UART-Taktsignal und ein Video-Taktsignal aufweisen.

10. Taktsteuereinheit nach Anspruch 6, ferner mit einer ersten Verzögerungsschaltung (**108**), die zwischen dem Oszillator und einem Eingang geschaltet ist, der mit dem ersten Aktivierungs-Ausgang gegattert ist, um ein Einschalten der zweiten PLL-Schaltung zu ermöglichen, woraufhin die erste PLL-Schaltung aktiviert wird, und während Zeiten, zu denen der erste Aktivierungs-Ausgang aktiv ist.

11. Taktsteuereinheit nach Anspruch 6, bei der mindestens einer der mehreren Frequenzteiler einen mit einem Schalter verbundenen Ausgang aufweist, wobei der Schalter durch ein zweites Aktivierungs-Ausgangssignal aktivierbar ist, das von der Energie-Management-Einheit ausgegeben wird.

12. Taktsteuereinheit nach Anspruch 6, bei der die dritte PLL-Schaltung einen Eingang aufweist, der mit einem Ausgang der zweiten PLL-Schaltung verbunden ist, wobei die dritte PLL-Schaltung zum Ausgeben einer programmierbaren, variablen Taktfrequenz in der Lage ist.

13. Taktsteuereinheit nach Anspruch 12, bei der der Eingang der dritten PLL-Schaltung zum Empfang eines von der Energie-Management-Einheit ausgegeben dritten Aktivierungs-Ausgangssignals angeordnet ist, das, wenn es aktiv ist, einen Betrieb der dritten PLL-Schaltung entsprechend dem von der Energie-Management-Einheit detektierten Energie-Management-Zustand aktiviert.

14. Taktsteuereinheit nach Anspruch 13, ferner mit einer zweiten Verzögerungsschaltung, die zwischen dem Oszillator und einem Eingang geschaltet ist, der mit den ersten und zweiten Aktivierungs-Ausgängen gegattert ist, um ein Einschalten der dritten PLL-Schaltung zu ermöglichen, woraufhin die zweite PLL-Schaltung aktiviert wird, und während Zeiten, zu denen die ersten und zweiten Aktivierungs-Ausgänge aktiv sind.

15. Taktsteuereinheit nach Anspruch 11, bei der:
die dritte PLL-Schaltung einen Eingang und einen Ausgang aufweist, wobei der Eingang der dritten PLL-Schaltung mit der zweiten PLL-Schaltung verbunden ist und der Ausgang der dritten PLL-Schaltung mit einer dynamischen Taktumschalt-Schaltung (**102**) verbunden ist;
die Energie-Management-Einheit einen Ausgang aufweist, der mit den ersten, zweiten und dritten PLL-Schaltungen verbunden ist, um die ersten, zweiten und dritten PLL-Schaltungen gemeinsam und einzeln entsprechend einem ersten Set von der Energie-Management-Einheit erzeugter Aktivierungs-Ausgangsignale zu ak-

tivieren; und
die mehreren Frequenzteiler mit einem Ausgang der zweiten PLL-Schaltung und einem Ausgang der dynamischen Taktumschalt-Schaltung verbunden sind, um zum gemeinsamen und getrennten Aktivieren der Frequenzteiler ein zweites Set von der Energie-Management-Einheit (**24**) erzeugter Aktivierungs-Ausgangsignale zu empfangen.

16. Taktsteuereinheit nach Anspruch 15, bei der das erste und das zweite Set von Aktivierungs-Ausgangsignalen entsprechend einem vorbestimmten Energie-Management-Algorithmus von der Energie-Management-Einheit ausgegeben werden.

17. Taktsteuereinheit nach Anspruch 15, ferner mit einer vierten PLL-Schaltung (**128**) mit einem Eingang, der mit dem Ausgang der zweiten PLL-Schaltung verbunden ist, und mit einem Ausgang der vierten PLL-Schaltung, der mit einem Video-Taktsignal-Frequenzteiler (**132**) verbunden ist, um ein Video-Taktsignal zu erzeugen, das einem Video-Controller zugeführt wird.

18. Taktsteuereinheit nach Anspruch 17, bei der die ersten, zweiten, dritten und vierten PLL-Schaltungen jeweils einen Frequenzvervielfacher aufwiesen.

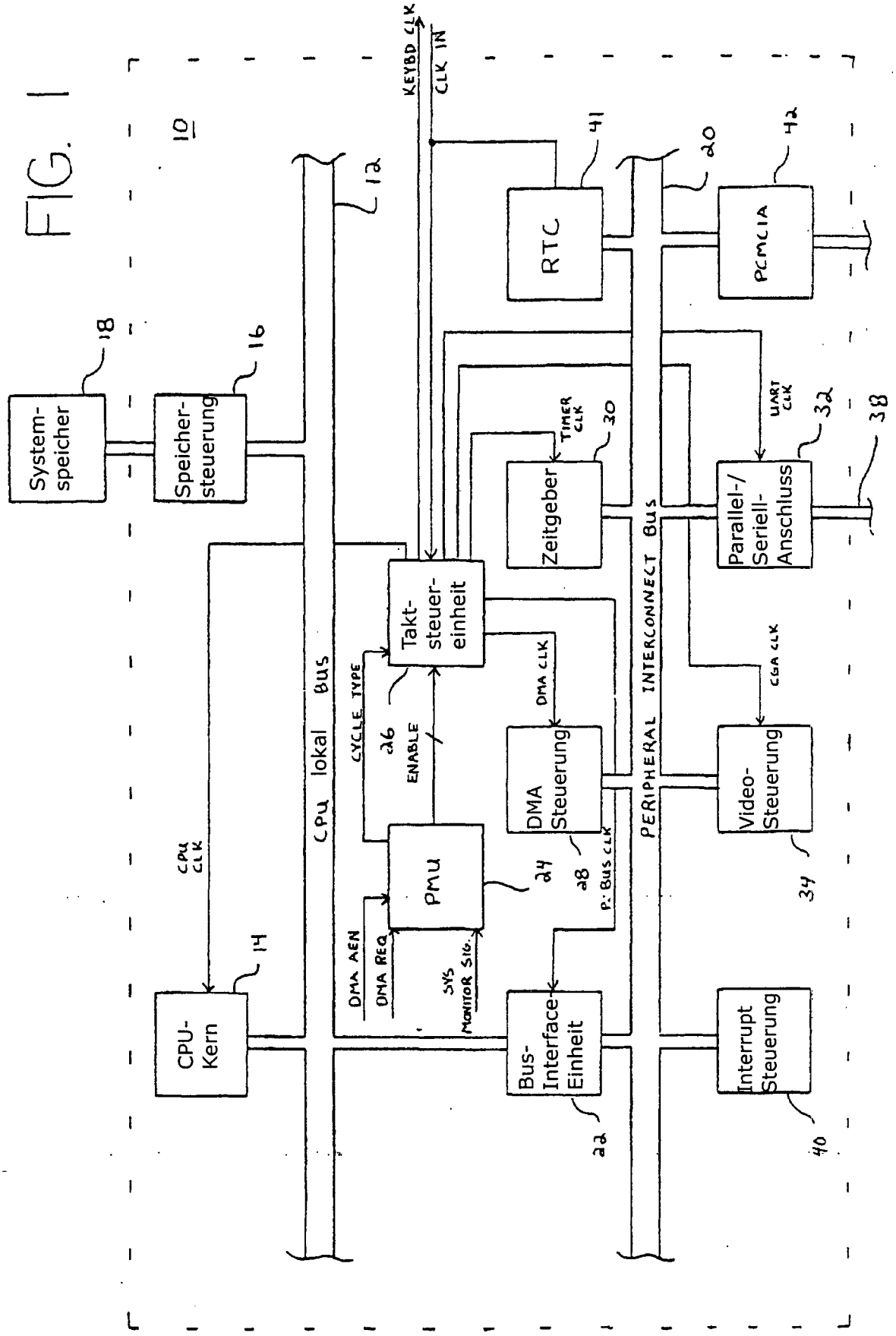
19. Taktsteuereinheit nach Anspruch 18, bei der der Frequenzvervielfacher für jede der ersten, zweiten, dritten und vierten PLL-Schaltungen einen ungleichen Frequenzvervielfachungsfaktor aufweist.

20. Taktsteuereinheit nach Anspruch 19, bei der der Frequenzvervielfachungsfaktor für die dritte PLL-Schaltung programmierbar ist.

Es folgen 5 Blatt Zeichnungen

Anhängende Zeichnungen

FIG. 1



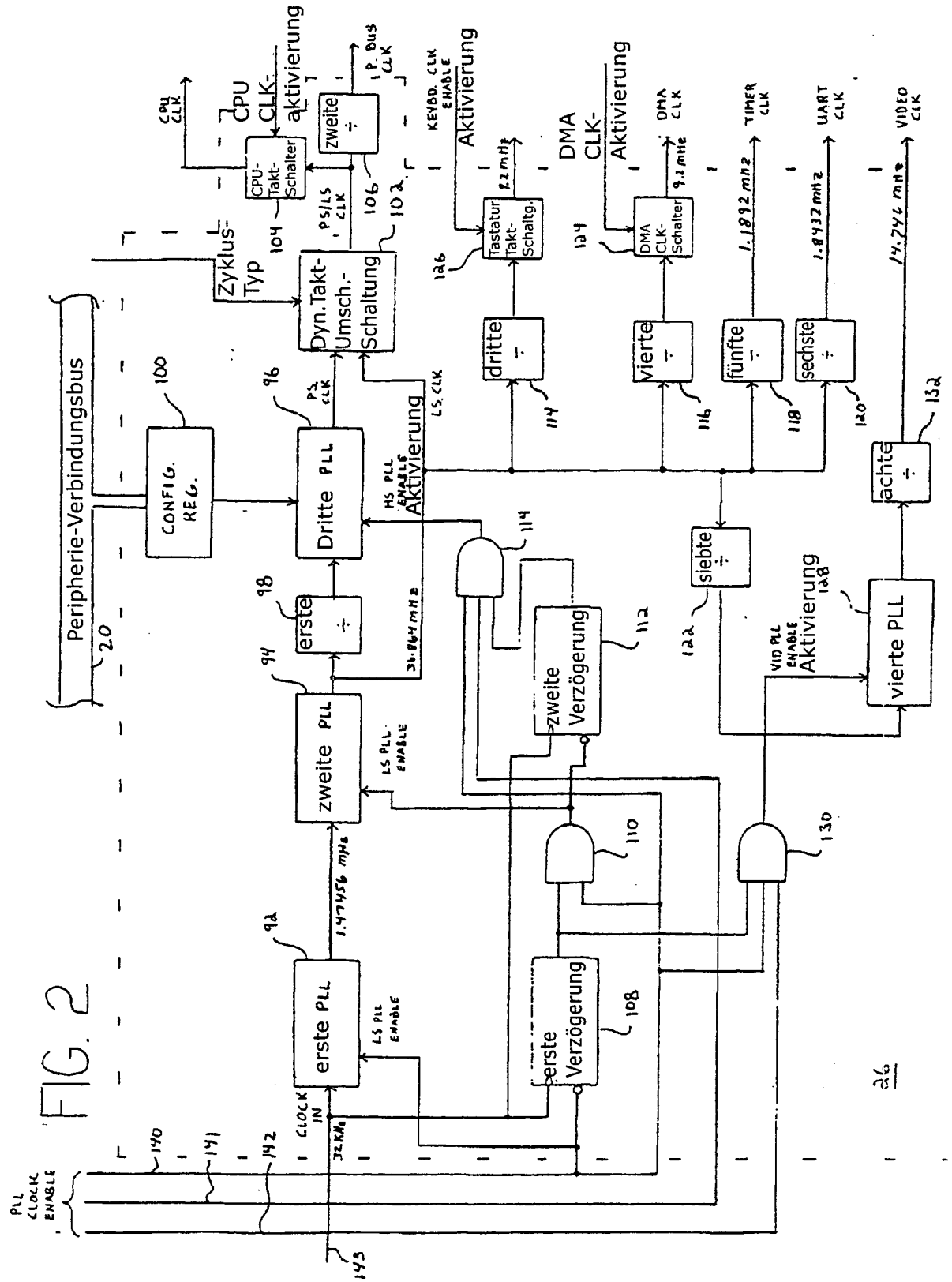
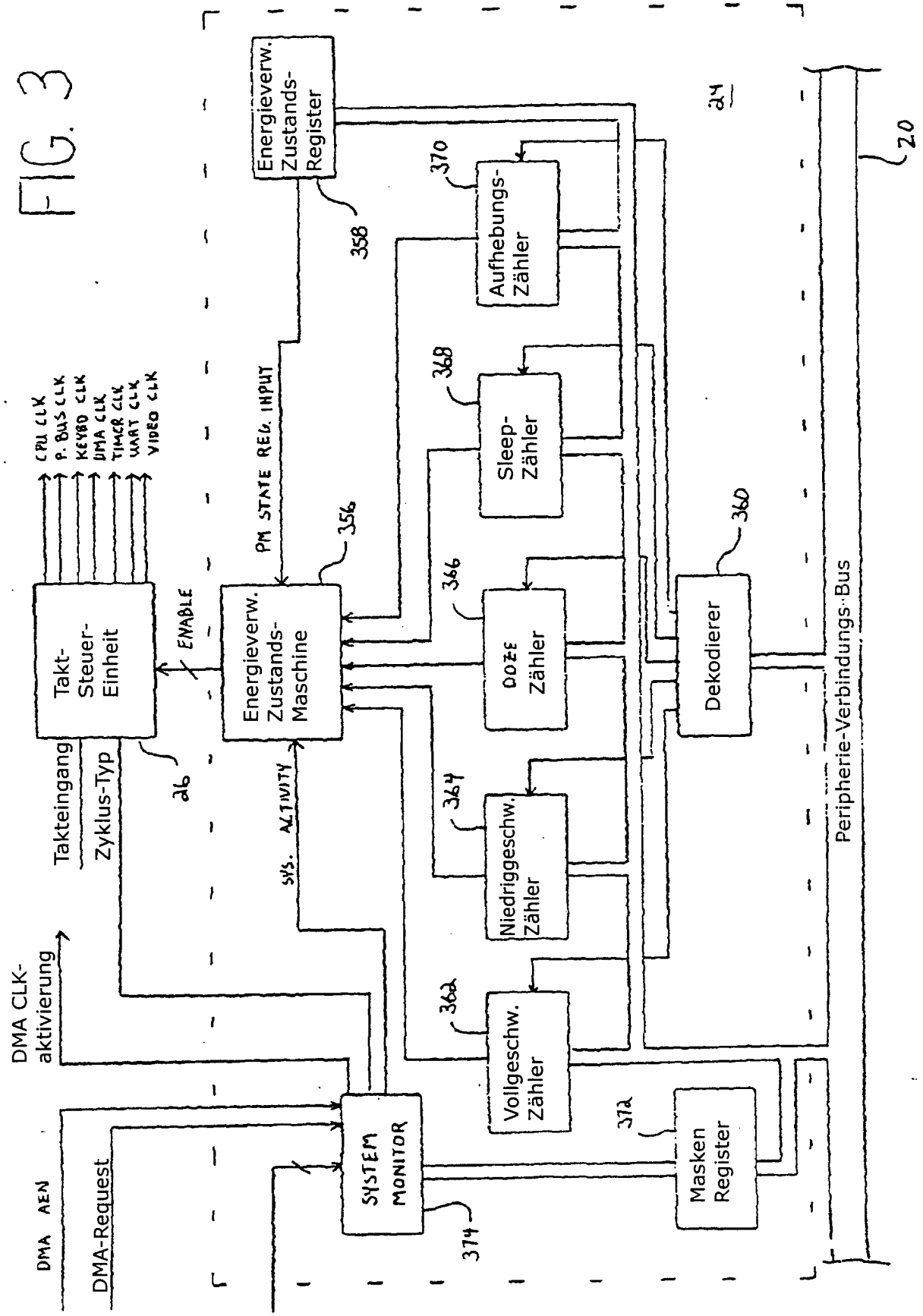

Peripherie-Verbindungsbus
20
CONFIG. REG.
100
Zyklus-Typ
Dyn.Takt-Umsch.-Schaltung
102
CPU-Takt-Schalter
104
zweite ÷
106
CPU CLK
CPU CLK-aktivierung
P. BUS CLK
PS/LS CLK
Dritte PLL
96
PS CLK
LS CLK
HS PLL ENABLE
Aktivierung
erste ÷
98
36.864 MHz
zweite PLL
94
LS PLL ENABLE
1.47456 MHz
erste PLL
92
LS PLL ENABLE
CLOCK IN
32 KHz
PLL CLOCK ENABLE
140
141
142
143
114
zweite Verzögerung
112
erste Verzögerung
108
110
130
dritte ÷
114
Tastatur Takt-Schaltg.
126
KEYBD. CLK ENABLE
Aktivierung
vierte ÷
116
DMA CLK-Schalter
124
DMA CLK
DMA CLK-Aktivierung
fünfte ÷
118
1.1892 MHz
TIMER CLK
sechste ÷
120
1.8432 MHz
UART CLK
siebte ÷
122
achte ÷
132
14.746 MHz
VIDEO CLK
vierte PLL
128
VID PLL ENABLE
Aktivierung
26

FIG. 2

FIG. 3


Energieverw. Zustands-Register
358
370
Aufhebungs-Zähler
368
Sleep-Zähler
356
PM STATE REG. INPUT
366
Doze Zähler
360
Dekodierer
Takt-Steuer-Einheit
ENABLE
CPU CLK
P. BUS CLK
KEYBD CLK
DMA CLK
TIMER CLK
UART CLK
VIDEO CLK
Energieverw. Zustands-Maschine
SYS. ACTIVITY
364
Niedriggeschw. Zähler
362
Vollgeschw. Zähler
372
Masken Register
SYSTEM MONITOR
374
Takteingang
Zyklus-Typ
36
DMA CLK-aktivierung
DMA AEN
DMA-Request
Peripherie-Verbindungs-Bus
34
20

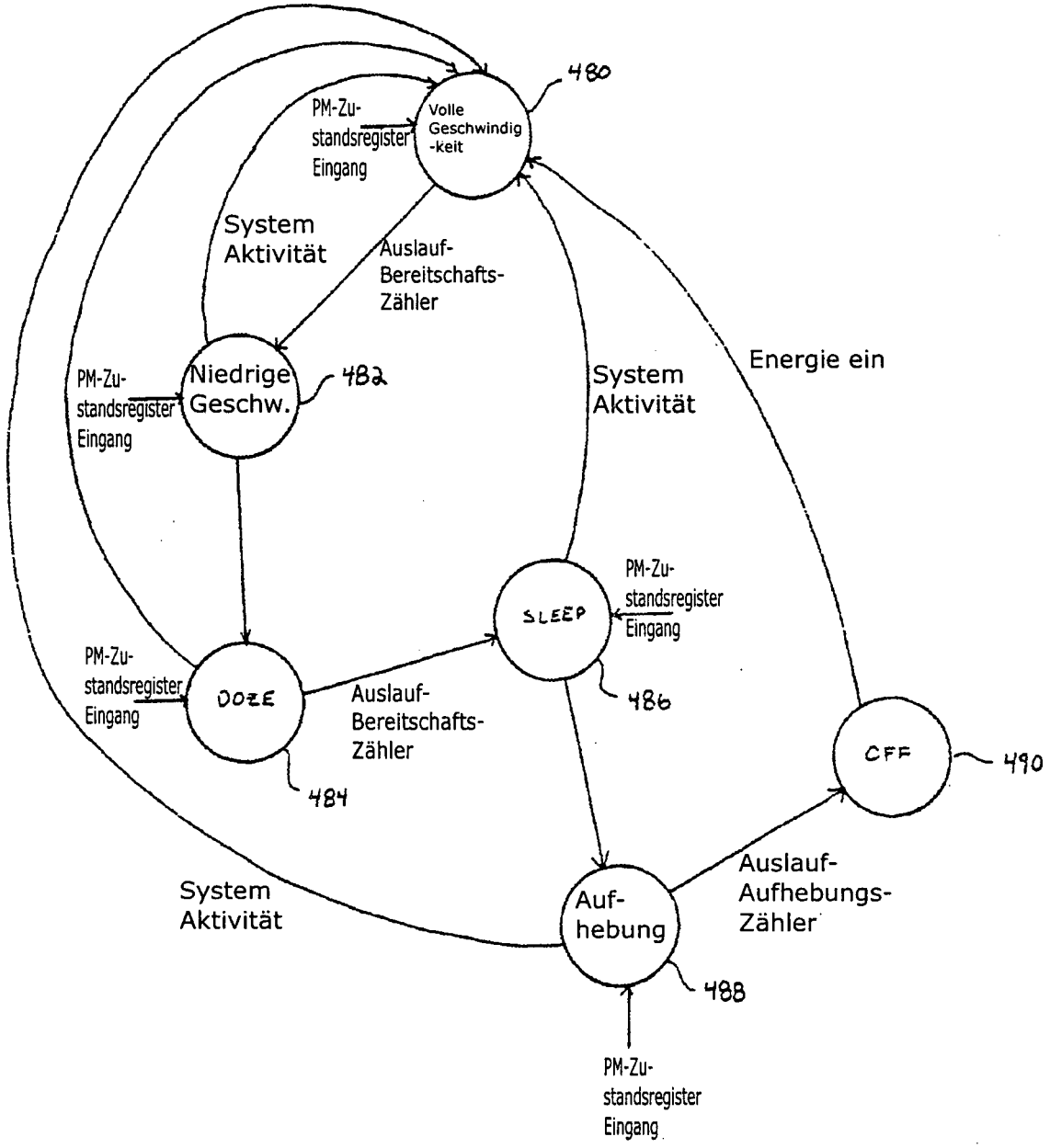

480
Volle Geschwindig-keit
PM-Zu-standsregister Eingang
System Aktivität
Auslauf-Bereitschafts-Zähler
Niedrige Geschw.
482
PM-Zu-standsregister Eingang
System Aktivität
Energie ein
SLEEP
PM-Zu-standsregister Eingang
486
DOZE
PM-Zu-standsregister Eingang
Auslauf-Bereitschafts-Zähler
484
OFF
490
System Aktivität
Auf-hebung
Auslauf-Aufhebungs-Zähler
488
PM-Zu-standsregister Eingang

FIG. 4

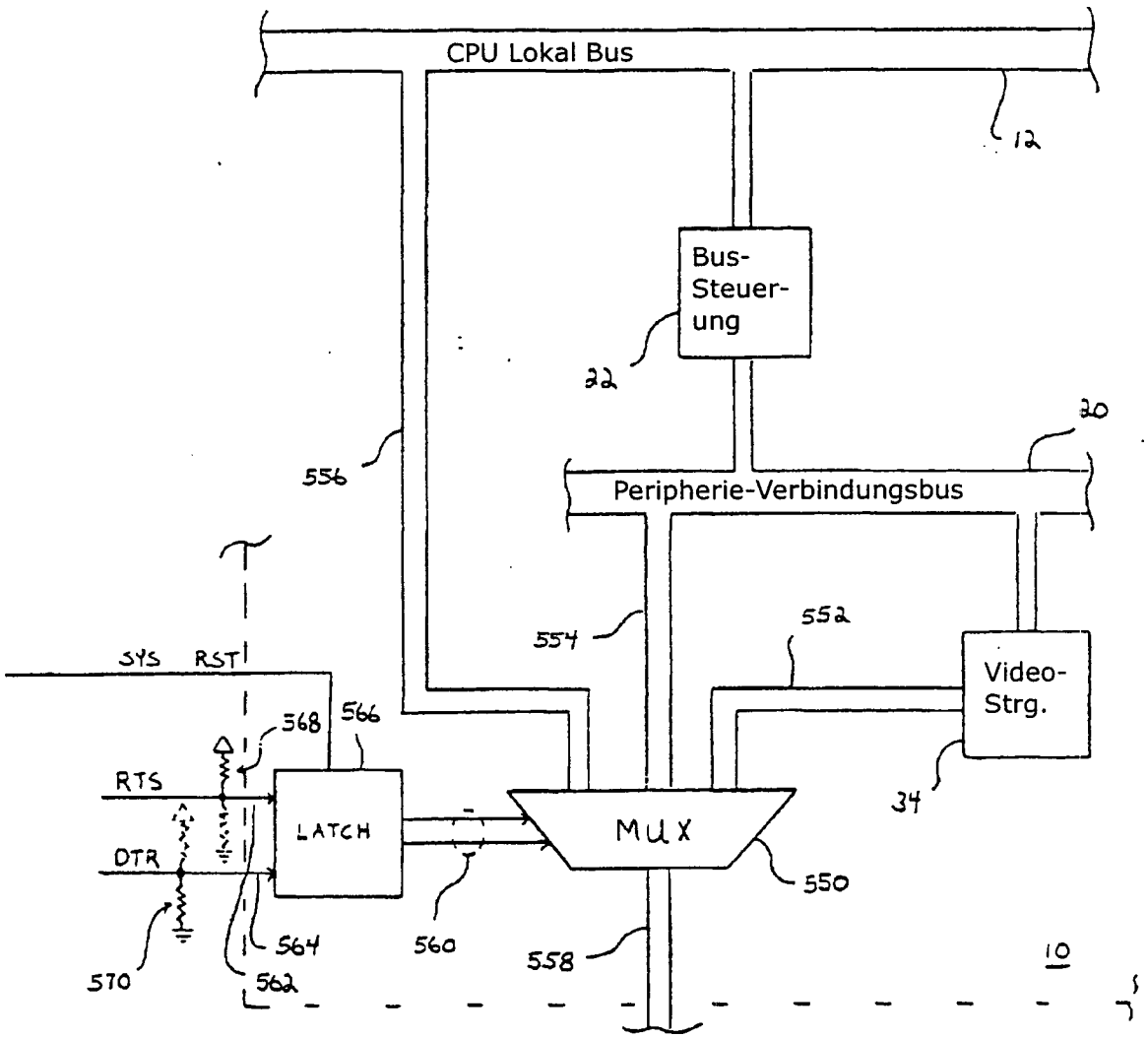

CPU Lokal Bus
12
Bus-
Steuer-
ung
22
20
556
Peripherie-Verbindungsbus
554
552
Video-
Strg.
34
SYS RST
568
566
RTS
DTR
LATCH
MUX
550
570
564
562
560
558
10

FIG. 5