



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU

K AUTORSKÉMU OSVĚDČENÍ

213 623

(11) (B1)

(61)

(23) Výstavní priorita
(22) Přihlášeno 05 04 78
(21) PV 2201-78
(32)(31)(33) Právo přednosti 08 04 77
(2472761)
Svaz sovětských socialistických republik

(51) Int. Cl.³ G 01 R 31/02

(40) Zveřejněno 15 09 81

(45) Vydáno 01 03 84

(75)

Autor vynálezu GRAČEV OLEG GRIGORJEVIČ, GUZENKO VIKTOR FJODOROVICH,
DANILIN NIKOLAJ NIKOLAJEVIČ, ZADUBROVSKIJ VLADIMÍR BORISOVIČ,
LEBEDĚV JURIJ SERGEJEVIČ, POPEL LEONID MICHAJLOVIČ,
SLUCKIJ JEVGENIJ LEONIDOVICH, MOSKVA, SSSR

(54) Zařízení pro funkční kontrolu elektronických obvodů

1

Vynález se týká zařízení pro funkční kontrolu elektronických obvodů obsahujícího pro každý vývod kontrolovaného elektrického obvodu tvarovací blok pro tvarování kontrolních signálů a porovnávání hodnot kontrolovaných signálů s požadovanými hodnotami, v němž jsou výstupy obvodu tvarování kontrolních signálů a třetí vstup obvodu porovnávání kontrolních signálů elektricky vždy spojeny s jedním kontaktem kontaktové skupiny, přičemž první vstupy obvodu tvarování kontrolních signálů a obvodu porovnávání kontrolních signálů jsou elektricky spojeny s výstupem bloku akumulace a vydávání pro akumulaci a vydávání kódových sledů kontrolních a požadovaných hodnot signálů, opatřeného prvním posuvným registrem, dále obsahujícího blok řízení a synchronizace, společný pro tvarovací blok a blok akumulace a vydávání a s nimi elektricky spojený, opatřený synchronizačním obvodem, jehož třetí výstupy jsou připojeny k samostatným druhým vstupům obvodu tvarování kontrolních signálů a obvodu porovnávání kontrolních signálů, dále obvodem analýzy výsledků kontroly, jehož třetí vstupy jsou jednotlivě spojeny s výstupy obvodů porovnávání kontrolních signálů, a dále obvod příjmu a přenosu informace, elektricky spojený se synchronizačním obvodem, s obvodem analýzy výsledků kontroly a s blokem programového řízení.

Zařízení obsahuje pro každý kontrolovaný vývod elektronického zapojení posuvný registr bloku záznamu a vysílání kódových posloupností kontrolních signálů a signálů požadovaných hodnot, který má pro nastrádání potřebného obsahu informací kapacitu 1 024 míst.

Takovéto mnohomístné posuvné registry zvětšují objem elektronické části kontrolního zařízení a značně snižují spolehlivost a rychlost činnosti zařízení pro funkční kontrolu elektronických zapojení jako celku.

Cílem vynálezu je vytvoření takového zařízení pro funkční kontrolu elektronických zapojení, které by umožňovalo provádět při mezních provozních kmitočtech kontrolu velkých integrovaných obvodů, včetně obvodů s transistory a s vazbou přes společný emitorový odpor a transistorovo-transistorové logiky se zvýšenou pracovní rychlostí.

Vynález řeší úlohu vytvořit zařízení pro funkční kontrolu elektronických zapojení, jehož nově řešená základní elektrická schémata každého bloku záznamu a vysílání kódových posloupností kontrolních signálů a signálů požadovaných hodnot by umožňovala zmenšit objem elektronické části zařízení, zvýšit provozní spolehlivost a rychlost, a společně se zadáváním režimů pro všechny tyto bloky by se rozšířily funkční možnosti zařízení cestou automatického tvarování velkého počtu různých posloupností kontrolních signálů.

Tohoto cíle je dosaženo a uvedené nevýhody jsou odstraněny u zařízení pro funkční kontrolu elektronických obvodů podle vynálezu, jehož podstata spočívá v tom, že mezi blokem akumulace a vydávání a blokem řízení a synchronizace je uspořádán blok zadávání režimů, přičemž první vstup paměťového obvodu režimů bloku akumulace a vydávání je připojen k prvnímu výstupu řídicího obvodu bloku akumulace a vydávání, první vstup registru počáteční adresy, první vstup registru konečné adresy, první vstup registru taktů, první vstup registru cyklů a první vstup registru synchronizačních impulsů bloku akumulace a vydávání jsou spojeny s výstupem paměťového obvodu režimů, druhý vstup registru počáteční adresy, druhý vstup registru konečné adresy, druhý vstup registru taktů, druhý vstup registru cyklů a druhý vstup registru synchronizačních impulsů jsou spojeny jednotlivě s druhými výstupy řídicího obvodu, třetí vstup registru počáteční adresy, třetí vstup registru konečné adresy, třetí vstup registru taktů, třetí vstup registru cyklů a třetí vstup registru synchronizačních impulsů jsou spojeny jednotlivě s třetími výstupy řídicího obvodu, první vstup řídicího obvodu je spojen s výstupem registru cyklů, druhý vstup řídicího obvodu je spojen s výstupem registru synchronizačních impulsů, přičemž třetí vstup řídicího obvodu je spojen s prvním výstupem obvodu analýzy výsledků kontroly, připojeným rovněž k prvnímu vstupu synchronizačního obvodu, jehož první výstup je připojen ke čtvrtému vstupu registru počáteční adresy, ke čtvrtému vstupu registru konečné adresy, ke čtvrtému vstupu registru taktů, ke čtvrtému vstupu registru cyklů a ke čtvrtému vstupu registru synchronizačních impulsů, přičemž druhý výstup synchronizačního obvodu je připojen ke čtvrtému vstupu řídicího obvodu a k druhému vstupu obvodu analýzy výsledků kontroly, první vstup porovnávacího obvodu bloku zadávání režimů je spojen s výstupem registru konečné adresy, první vstup záznamového obvodu bloku zadávání režimů je spojen s výstupem registru taktů, přičemž druhý vstup záznamového obvodu a druhý vstup porovnávacího obvodu je spojen se čtvrtým výstupem řídicího obvodu, jehož pátý vstup je spojen s výstupem porovnávacího obvodu a s prvním výstupem záznamového obvodu, šestý výstup obvodu příjmu a přenosu informace je spojen s druhým vstupem paměťového obvodu režimů, druhý výstup obvodu příjmu a přenosu informace je spojen s šestým vstupem řídicího obvodu, jehož pátý výstup je připojen k druhému vstupu obvodu příjmu a přenosu informace,

výstup třímístného prvního posuvného registru je připojen k prvnímu vstupu obvodu tvarování kontrolních signálů a k prvnímu vstupu obvodu porovnávání kontrolních signálů, přičemž první vstup prvního posuvného registru je přes první obvod AND-OR spojen pomocí jeho prvního vstupu s výstupem druhého posuvného registru bloku akumulace a vydávání a přes druhý obvod AND-OR s prvním a druhým výstupem třetího posuvného registru bloku akumulace a vydávání, výstup paměťového obvodu bloku akumulace a vydávání je připojen k prvnímu vstupu druhého posuvného registru a k prvnímu vstupu třetího posuvného registru, výstup adresového registru bloku akumulace a vydávání je spojen s prvním vstupem paměťového obvodu a s třetím vstupem porovnávacího obvodu, přičemž jeho první vstup je spojen s výstupem registru počáteční adresy, druhý vstup adresového registru a třetí vstup paměťového obvodu jsou spojeny jednotlivě s příslušným pátým výstupem obvodu příjmu a přenosu informace, přičemž třetí vstup adresového registru, druhý vstup paměťového obvodu, druhý vstup druhého posuvného registru, druhý vstup třetího posuvného registru, druhý vstup prvního obvodu AND-OR, druhý vstup druhého obvodu AND-OR a druhý vstup prvního posuvného registru jsou jednotlivě spojeny s příslušným druhým výstupem záznamového obvodu.

Konstrukce zařízení pro funkční kontrolu elektronických zapojení podle vynálezu umožňuje ve srovnání se známým zařízením zvýšit podstatně četnost funkčních kontrol tím, že se četnost prakticky přivede na maximální funkční frekvenci u jednotlivých logických prvků (a nikoliv u funkčních podsestav). Přitom se objem elektronických prvků patřících k zařízení snižuje asi dvojnásobně, zvyšuje se spolehlivost zařízení a rozšiřují se funkční možnosti zařízení.

Vynález je dále vysvětlen popisem konkrétního příkladu provedení zařízení pro funkční kontrolu elektronických zapojení, a výkresem, na němž je uvedeno blokové schema navrhovaného zařízení podle vynálezu.

Zařízení pro funkční kontrolu elektronických obvodů obsahuje podle vynálezu kontakto-
vou skupinu 1, která je opatřena několika kontakty 2, přičemž každý z těchto kontaktů 2 je určen pro připojení k jednomu z vývodů 3 kontrolovaného elektronického obvodu 4. Zařízení pro funkční kontrolu elektronických obvodů obsahuje pro každý kontakt 2 tvarovací blok 5 pro tvarování kontrolních signálů a porovnávání hodnot kontrolovaných signálů a požadovanými hodnotami a blok 6 akumulace a vydávání pro akumulaci a vydávání kódových sledů kontrolních a požadovaných hodnot signálů. Zařízení pro funkční kontrolu elektronických obvodů má též blok 7 zadávání režimů, blok 8 řízení a synchronizace a blok 9 programového řízení. Tyto bloky jsou společné pro všechny kontakty 2.

Každý tvarovací blok 5 má první spínací prvek 10 a druhý spínací prvek 11, první ovládací obvod 12 a druhý ovládací obvod 13 pro ovládání prvního spínacího prvku 10 a druhého spínacího prvku 11, a rovněž obvod 14 tvarování kontrolních signálů pro porovnání s požadovanými hodnotami, přičemž výstup obvodu 14 tvarování kontrolních signálů je přes první spínací prvek 10 spojen s kontaktem 2, s nímž je vstup obvodu 15 porovnávání kontrolních signálů spojen přes druhý spínací prvek 11.

Každý blok 6 akumulace vydávání obsahuje třířádivý první posuvný registr 16, jehož výstup je připojen k prvnímu vstupu 17 obvodu 14 tvarování kontrolních signálů a k prvnímu

vstupu 18 obvodu 15 porovnávání kontrolních signálů, první obvod AND-OR 19 a druhý obvod AND-OR 20, jejichž výstupy jsou spojeny s prvním vstupem 21 posuvného registru 16, dále druhý posuvný registr 22, jehož výstup je spojen s prvním vstupem prvního obvodu AND-OR 19, a třetí posuvný registr 23, jehož první výstup je spojen s prvním vstupem 25 druhého obvodu AND-OR 20 a jehož druhý výstup je spojen s druhým vstupem 40 druhého obvodu AND-OR 20.

Blok 6 akumulace a vydávání obsahuje rovněž paměťový obvod 26, jehož výstup je připojen k prvnímu vstupu 27 druhého posuvného registru 22 a k prvnímu vstupu 28 informací třetího posuvného registru 23 a adresový registr 29, jehož výstup je spojen s prvním vstupem 30 paměťového obvodu 26.

Blok 7 zadávání režimů obsahuje porovnávací obvod 31, k jehož třetímu vstupu 32 je připojen výstup adresového registru 29, a záznamový obvod 33, jehož jednotlivé výstupy 34 jsou odpovídajícím způsobem připojeny jednotlivě k třetímu vstupu 35 každého adresového registru 29, k druhému vstupu 36 každého paměťového obvodu 26, k druhému vstupu 37 každého druhého posuvného registru 22, k druhému vstupu 38 každého třetího posuvného registru 23, k druhému vstupu 39 každého prvního obvodu AND-OR 19, k druhému vstupu 40 každého druhého obvodu AND-OR 20 a k druhému vstupu 41 každého prvního posuvného registru 16. Blok 7 zadávání režimů obsahuje rovněž registr 42 počáteční adresy, registr 43 konečné adresy, registr 44 taktů, registr 45 cyklů, registr 46 synchronizačních impulsů, paměťový obvod 47 režimů a řídicí obvod 48.

První vstup 49 registru 42 počáteční adresy, první vstup 50 registru 43 konečné adresy, první vstup 51 registru 44 taktů, první vstup 52 registru 45 cyklů a první vstup 53 registru 46 synchronizačních impulsů jsou spojeny s výstupem paměťového obvodu 47 režimů, zatímco druhý vstup 54 registru 42 počáteční adresy, druhý vstup 55 registru 43 konečné adresy, druhý vstup 56 registru 44 taktů, druhý vstup 57 registru 45 cyklů a druhý vstup 58 registru 46 synchronizačních impulsů jsou připojeny odpovídajícím způsobem jednotlivě k druhým výstupům 59 řídicího obvodu 48, přičemž třetí výstupy 60 tohoto obvodu jsou připojeny jednotlivě k třetímu vstupu 61 registru 42 počáteční adresy, k třetímu vstupu 62 registru 43 konečné adresy, k třetímu vstupu 63 registru 44 taktů, k třetímu vstupu 64 registru 45 cyklů a k třetímu vstupu 65 registru 46 synchronizačních impulsů.

Výstup 66 registru 42 počáteční adresy je spojen s prvním vstupem 67 všech adresových registrů 29, výstup 68 registru 43 konečné adresy je spojen s prvním vstupem 69 porovnávacího obvodu 31, výstup 70 registru 44 taktů je spojen se vstupem 71 záznamového obvodu 33 a výstup 72 registru 45 cyklů je připojen k prvnímu vstupu 74 řídicího obvodu 48 a výstup 73 registru 46 synchronizačních impulsů je připojen k druhému vstupu 75 řídicího obvodu 48. První výstup 76 řídicího obvodu 48 je připojen k vstupu 77 paměťového obvodu 47 režimů, čtvrtý výstup 78 řídicího obvodu 48 pak k druhému vstupu porovnávacího obvodu 31 a k druhému vstupu 80 záznamového obvodu 33 a pátý vstup 81 řídicího obvodu 48 je spojen s výstupem 82 porovnávacího obvodu 31 a s prvním výstupem 83 záznamového obvodu 33.

Blok 8 řízení a synchronizace obsahuje synchronizační obvod 84, obvod 85 analýzy výsledků kontroly a obvod 86 záznamu a přenosu informace.

První výstup 87 synchronizačního obvodu 84 je spojen se čtvrtým vstupem 88 registru 42 počáteční adresy, se čtvrtým vstupem 89 registru 43 konečné adresy, se čtvrtým vstupem 90 registru 44 taktů, se čtvrtým vstupem 91 registru 45 cyklů a se čtvrtým vstupem 92 registru 46 synchronizačních impulsů, ~~třetí~~ **výstupy** 93 synchronizačního obvodu 84 jsou přivedeny jednotlivě k druhému vstupu 94 obvodu 14 tvarování kontrolních signálů a k druhému vstupu 95 obvodu 15 porovnávání kontrolních signálů a výstupy 96 všech obvodů 15 porovnávání kontrolních signálů jsou připojeny jednotlivě k třetím vstupům 97 obvodu 85 analýzy výsledků kontroly. První vstup 98 obvodu 85 analýzy výsledků kontroly je připojen k třetímu vstupu 99 řídicího obvodu 48 a k prvnímu vstupu 100 synchronizačního obvodu 84 je připojen ke čtvrtému vstupu 102 řídicího obvodu 48 a k druhému vstupu 103 obvodu 85 analýzy výsledků kontroly a druhý vstup 104 obvodu 85 analýzy výsledků kontroly je spojen se vstupem 105 obvodu 86 příjmu a přenosu informace, jehož ~~třetí~~ **výstup** 106 je naopak spojen s prvním vstupem 107 obvodu 85 analýzy výsledků kontroly. Druhý výstup 108 obvodu 86 příjmu a přenosu informace je spojen s šestým vstupem 109 řídicího obvodu 48, jehož **pátý výstup** 110 je naopak připojen k druhému vstupu 111 obvodu 86 příjmu a přenosu informace, k jehož čtvrtému vstupu 112 je připojen čtvrtý výstup 113 synchronizačního obvodu 84; jehož druhý vstup 114 je spojen se čtvrtým výstupem 115 obvodu 86 příjmu a přenosu informace.

Jednotlivé **páté výstupy** 116 obvodu 86 příjmu a přenosu informace jsou připojeny k druhému vstupu 117 všech adresových registrů 29, k třetímu vstupu 118 všech paměťových obvodů 26 a ke vstupu 119 prvních ovládacích obvodů 12 a ke vstupu 120 všech druhých ovládacích obvodů 13. Šestý výstup 121 obvodu 86 příjmu a přenosu informace je připojen k druhému vstupu 122 paměťového obvodu 47 režimů.

Vedle toho má obvod 86 příjmu a přenosu informace samostatný první vstup a první výstup, jež jsou oba odpovídajícím způsobem spojeny s výstupem a vstupem bloku 9 programového řízení.

Zařízení pro funkční kontrolu elektronických obvodů podle vynálezu pracuje následujícím způsobem.

Vývody 3 kontrolovaného elektrického obvodu 4 se při jeho připojení ke kontaktové skupině 1 spojí s odpovídajícími kontakty 2 této kontaktové skupiny 1. Pak se z výstupu bloku 9 programového řízení přivede na vstup obvodu 86 příjmu a přenosu informace řada slov, která jsou obvodem 86 příjmu a přenosu informace dekodována na určité příkazy. Tyto příkazy se v podobě signálů vedou z jednotlivých **pátých výstupů** 116 k vstupu 119 prvních ovládacích obvodů 12 a k vstupům druhých ovládacích obvodů 13.

Je-li vývod 3 kontrolovaného elektronického obvodu 4 vstupem, pak se po přivedení těchto signálů sepne první spínací prvek 10 a odpovídající vývod 3 kontrolovaného elektronického obvodu 4 se připojí k výstupu obvodu 14 tvarování kontrolních signálů. Jsou-li odpovídající vývody 3 výstupy kontrolovaného elektronického obvodu 4, pak se tato vývody 3 pomocí druhých spínacích prvků 11 připojí k třetím vstupům odpovídajících obvodů 15 porovnávání kontrolních signálů.

Po uvedené přípravě prvních spínacích prvků 10 a druhých spínacích prvků 11 a obvodů 14 tvarování kontrolních signálů a obvodů 15 porovnávání kontrolních signálů k činnosti

se z výstupu bloku 2 programového řízení přes obvod 86 příjmu a přenosu informace a jeho jednotlivé páté výstupy 116 přivede na třetí vstupy 118 paměťových obvodů 26 potřebný obsah informací o posloupnosti kontrolních signálů, které musí být přivedeny na vývody 3 kontrolovaného elektrického obvodu 4 za účelem uskutečnění funkční kontroly tohoto kontrolovaného elektronického obvodu 4.

Současně se z druhého výstupu 108 obvodu 86 příjmu a přenosu informace na šestý vstup 109 řídicího obvodu 48 přivede informace o pracovních režimech zařízení pro funkční kontrolu elektronických obvodů. Uvedená informace se z prvního výstupu 76 řídicího obvodu 48 přivede na první vstup 77 paměťového obvodu 47 režimů.

Po skončení záznamu informace do paměťového obvodu 47 režimů je řízení činnosti zařízení pro kontrolu elektronických obvodů předáno synchronizačnímu obvodu 84 bloku 8 řízení a synchronizace. Za tím účelem se z výstupu bloku 2 programového řízení přivede na první vstup obvodu 86 příjmu a přenosu informace řada slov, která jsou v tomto obvodu dekodována na odpovídající příkazy, jež se v podobě signálů vedou ze čtvrtého výstupu 115 obvodu 86 příjmu a přenosu informace na druhý vstup 114 synchronizačního obvodu 84. Signály vycházejícími z druhého výstupu 101 synchronizačního obvodu 84 se v řídicím obvodu 48 tvarují signály pro zápis informací v registru 42 počáteční adresy, v registru 43 konečné adresy, v registru 44 taktů, v registru 45 cyklů a v registru 46 synchronizačních impulsů.

Z prvního výstupu 76 řídicího obvodu 48 přichází na první vstup 77 paměťového obvodu 47 režimů řada signálů, po jejichž dojití postupně synchronně se signály přicházející z jednotlivých druhých výstupů 59 řídicího obvodu 48 na druhý vstup 54 registru 42 počáteční adresy, na druhý vstup 55 registru 43 konečné adresy, na druhý vstup 56 registru 44 taktů, na druhý vstup 57 registru 45 cyklů a na druhý vstup 58 registru 46 synchronizačních impulsů, se v tyto registry zanesou potřebná informace o pracovních režimech bloků zařízení pro funkční kontrolu elektronických obvodů přicházející z výstupu paměťového obvodu 47 režimů. Do registru 42 počáteční adresy se přitom přivede informace o počáteční adrese, do registru 43 konečné adresy pak informace o konečné adrese sledu kontrolních signálů.

Počáteční a konečná adresa jako celek vymezují soubor informací, zaznamenaný v paměťovém obvodu 26 a postačující pro tvarování celé nebo části sledu kontrolních signálů pro funkční kontrolu kontrolovaných elektronických obvodů 4.

Do registru 44 taktů se zaznamenává informace o počtu taktů, během nichž se z druhého posuvného registru 22 a třetího posuvného registru 23 přes první obvod AND-OR 19 nebo druhý obvod AND-OR 20 a první posuvný registr 16 celá informace převede na první vstup 17 obvodu 14 tvarování kontrolních signálů nebo na první vstup 18 obvodu 15 porovnávání kontrolních signálů.

Do registru 45 cyklů se zaznamenává informace o počtu opakování kontrolního sledu signálů, jenž je vymezen počáteční a konečnou adresou.

Do registru 46 synchronizačních impulsů se zaznamenává informace o počtu taktů, pro něž je třeba zastavit činnost prvního posuvného registru 16, druhého posuvného registru 22 a třetího posuvného registru 23 při kontrole kontrolovaného elektronického obvodu 4. Sou-

časné se v souladu s programem kontroly z jednotlivých třetích výstupů 93 synchronizačního obvodu 84 na druhý vstup 94 jednoho nebo více obvodů 14 tvarování kontrolních signálů přivádí signály, při jejichž příchodu se na odpovídající vývody 3 kontrolovaného elektronického obvodu 4 přivádějí speciální taktové impulsy.

Po zaznamenání informací do registru 42 počáteční adresy do registru 43 konečné adresy, do registru 44 taktů, do registru 45 cyklů a do registru 46 synchronizačních impulsů se z druhého výstupu 101 synchronizačního obvodu 84 načtvrtý vstup 102 řídicího obvodu 48 přivede signál, který se dále ze čtvrtého výstupu 78 řídicího obvodu 48 předá na druhý vstup 80 záznamového obvodu 33. Podle signálu, který přichází z odpovídajících druhých výstupů 34 záznamového obvodu 33 na třetí vstupy 35 adresových registrů 29 se uvolní záznam počáteční adresy z výstupů 66 registru 42 počáteční adresy do adresových registrů 29. Po zaznamenání adresy v adresových registrech 29 dojdou z odpovídajícího třetího výstupu 60 řídicího obvodu 48 na třetí vstup 63 registru 44 taktů a z čtvrtého výstupu 78 řídicího obvodu 48 na druhý vstup 80 záznamového obvodu 33 signály zajišťující záznam prvního slova z paměťových obvodů 26 do druhých posuvných registrů 22. Současně se signály přicházejícími z odpovídajících druhých výstupů 34 záznamového obvodu 33 na druhé vstupy 39 prvních obvodů AND-OR 19 tyto obvody otevřou a na druhé vstupy 37 druhých posuvných registrů 22 začínají přicházet impulsy posunutí informací, jejichž počet je odpočítáván registrem 44 taktů. Podle míry posunutí informace v druhých posuvných registrech 22 se tato informace řád po řádu přivádí na první vstupy 21 prvních posuvných registrů 16. Ovládání posouvání informací v prvních posuvných registrech 16 se uskutečňuje pomocí signálů, které přicházejí z odpovídajících druhých výstupů 34 záznamových obvodů 33 na druhé vstupy 41 prvních posuvných registrů 16.

Každé tři nové bity informace třířádových prvních posuvných registrů 16 se dekodují a v podobě signálů kontrolního sledu signálů se přivádějí na první vstupy 17 obvodů 14 tvarování kontrolních signálů a na první vstupy 18 obvodů 15 porovnávání kontrolních signálů.

V závislosti na typu vývodu 3 kontrolovaného elektrického obvodu 4, to jest, zda jde o vstup, výstup nebo redundantní vývod, se uvedené tři bity informace dekodují a převedou na kontrolní signál pro vstupy na etalonový signál pro výstupy anebo na signál, který blokuje činnost obvodů 14 tvarování kontrolních signálů a obvod 15 porovnávání kontrolních signálů (signál maskující redundantní vývod 3 kontrolovaného elektronického obvodu 4). Kontrolní signál postupuje dále z výstupů obvodů 14 tvarování kontrolních signálů přes první spínací prvky 10 na odpovídající vývody 3 kontrolovaného elektronického obvodu 4. Během přenosu informace z druhých posuvných registrů 22 se na signál přicházející z odpovídajícího druhého výstupu 34 záznamového obvodu 33 na třetí vstupy 35 adresových registrů 29 přidává k informaci v nich obsažené jednotka a na signály, přicházející na druhé vstupy 36 paměťových obvodů 26 a na druhé vstupy 38 třetích posuvných registrů 23 se z paměťového obvodu 26 do třetích posuvných registrů 23 zaznamená druhé slovo. Po zaznamenání jednotky dochází v porovnávacím obvodu 31, přijímajícím informaci z výstupu adresového registru 29 jednoho z bloků 6 akumulace a vydávání k porovnání této informace s in-

213 823

formací o konečné adrese přicházející na první vstup 69 porovnávacího obvodu 31 z výstupu 68 registru 43 konečné adresy.

V záznamovém obvodu 33 probíhá nepřetržitě porovnávání počtu posunutí prováděných druhým posuvným registrem 22 a třetím posuvným registrem 23 s požadovanou hodnotou.

V tom okamžiku, kdy nastane rovnost mezi těmito hodnotami, dojde k přerušení přívodu signálů z odpovídajících druhých výstupů 34 záznamového obvodu 33 na druhé vstupy 39 prvních obvodů AND-OR 19 a na druhé vstupy 37 druhých posuvných registrů 22 a začínají se převádět signály na druhé vstupy 40 druhých obvodů AND-OR 20 a na druhé vstupy 38 třetích posuvných registrů 23.

V důsledku toho se přeruší činnost druhých posuvných registrů 22 a uzavřou se první obvody AND-OR 19, ale přitom se otevřou druhé obvody AND-OR 20 a začne předávání předtím zapsané informace z třetích posuvných registrů 23 na vstupy 25 druhých logických členů AND-OR 20 a dále na první vstupy 21 prvních posuvných registrů 16. Generování kontrolního sledu signálů pokračuje. Analogicky k dříve popsanému na signál z odpovídajícího druhého výstupu 34 záznamového obvodu 33 se znovu přičte jednotka k obsahu adresových registrů 29 a do druhých posuvných registrů 22 se запиše třetí slovo z paměťových obvodů 26. Druhé posuvné registry 22 se opět uvedou do činnosti, jakmile skončí vydávání informace z třetích posuvných registrů 23.

Po přidání jednotky do adresových registrů 29 porovnávací obvod 31 opětovně porovnává obsah jednoho z adresových registrů 29 a obsahem registru 43 konečné adresy.

Jakmile nastane rovnost mezi obsahem všech adresových registrů 29 s obsahem registru 43 konečné adresy, což je důkazem o skončení cyklu vydávání informací z paměťových obvodů 26, jsou možné dva pracovní režimy.

Je-li v registru 45 cyklů zaznamenána nula, pak tato informace dojde z výstupu 72 registru 45 cyklů na první vstup 74 řídicího obvodu 48, a je-li na speciálním místě řídicího slova paměťového obvodu 47 režimů rovněž zaznamenána nula, pak je to známkou jednorázového vysílání daného kontrolního sledu signálů.

Řídicí obvod 48 vyšle přitom přes paměťový obvod 47 režimů na odpovídající vstupy registrů 42 počáteční adresy, registru 43 konečné adresy, registru 44 taktů, registru 45 cyklů a registru 46 synchronizačních impulsů signály změny informace.

Z paměťového obvodu 47 režimů se do registru 42 počáteční adresy, do registru 43 konečné adresy, do registru 44 taktů, do registru 45 cyklů a do registru 46 synchronizačních impulsů analogickým podle dříve popsaného postupu přivede nová informace a začíná generování druhého kontrolního sledu signálů. Protože změna informace v registru 42 počáteční adresy, v registru 43 konečné adresy, v registru 44 taktů, v registru 45 cyklů a v registru 46 synchronizačních impulsů se provede za dobu zaznamenávání posledního slova (podle konečné adresy) z paměťových obvodů 26 do druhých posuvných registrů 22 nebo třetích posuvných registrů 23, probíhá generování kontrolních sledů signálů nepřetržitě.

Je-li v registru 45 cyklů zaznamenáno číslo lišící se od nuly, pak při rovnosti obsahů adresových registrů 29 a registru 43 konečné adresy se z výstupu 82 porovnávacího obvodu 31 přivede na pátý vstup 81 řídicího obvodu 48 signál, který společně s informací, která

se přivede na první vstup 74 řídicího obvodu 48 z výstupu 72 registru 45 cyklů, se přemění v řídicím obvodu 48 v odpovídající příkaz. Tento příkaz se z jednoho z třetích výstupů 60 řídicího obvodu 48 přivede na třetí vstup 64 registru 45 cyklů v podobě signálu, kterým se obsah registru 45 cyklů zmenší o jednotku, a dochází k opětovnému vydávání kontrolního sledu signálů omezeného počáteční adresou a konečnou adresou předtím zapsanou do registru 42 počáteční adresy a registru 43 konečné adresy. Kontrolní sled signálů se opakuje tak dlouho, dokud se v registru 45 cyklů nenastaví nula, přičemž se z výstupu 72 registru 45 cyklů na první vstup 74 řídicího obvodu 48 vyšle tomu dosvědčující signál.

Je-li na speciálním místě řídicího slova paměťového obvodu 47 režimů zaznamenána nula, pak se obsah registru 42 počáteční adresy, registru 43 konečné adresy, registru 44 tak-
tů, registru 45 cyklů a registru 46 synchronizačních impulsů znovu změní a pracovní cyklus zařízení pro funkční kontrolu kontrolovaného elektrického obvodu 4 se bude opakovat.

Je-li na speciálním místě řídicího slova paměťového obvodu 47 režimů zaznamenána jed-
notka, pak se z pátého výstupu 110 řídicího obvodu 48 na druhý vstup 111 obvodu 86 příjmu
a přenosu informace přivede signál, který se dále předá do bloku 2 programového řízení
a po jeho přivedení se činnost zařízení pro funkční kontrolu kontrolovaných elektronických
obvodů 4 přeruší.

Přítomnost jednotky na speciálním místě řídicího slova paměťového obvodu 47 režimů
tedy značí, že ukončením daného cyklu činnosti je kontrola kontrolovaného elektronického
obvodu 4 ukončena.

Protože část vývodů 3 kontrolovaného elektronického obvodu 4 slouží jako výstupy,
připojí se tyto vývody 3 pomocí druhých spínacích prvků 11 příslušných tvarovacích bloků
5 ke speciálním vstupům obvodů 15 porovnávání kontrolních signálů. Požadované hodnoty sig-
nálů pro tyto vývody 3 kontrolovaného elektronického obvodu 4 se rovněž generují v podobě
kontrolních sledů signálů přicházející na první vstupy 18 obvodů 15 porovnávání kontrol-
ních signálů. Generování kontrolních sledů signálů probíhá analogicky tak, jak bylo po-
psáno nahoře.

Výsledky kontroly jdou do výstupů 96 obvodů 15 porovnávání kontrolních signálů na
třetí vstupy 97 obvodu 85 analýzy výsledků kontroly, na jehož druhý vstup 103 a na první
vstup 107 dojdou rovněž synchronizační signály od druhého výstupu 101 synchronizačního
obvodu 84 a informace od třetího výstupu 106 obvodu 86 příjmu a přenosu informace. Výsledky
analýzy použitelnosti kontrolovaných parametrů postupují jako signály z prvních výstupů 98
obvodu 85 analýzy výsledků kontroly a z druhých výstupů 104 téhož obvodu na první vstup
100 synchronizačního obvodu 84 na čtvrtý vstup 102 řídicího obvodu 48 a na třetí vstup 105
obvodu 86 příjmu a přenosu informace. Uvedené signály se z obvodu 86 příjmu a přenosu in-
formace vysílají do bloku 2 programového řízení, ve kterém se s konečnou platností určuje
další režim činnosti zařízení pro funkční kontrolu kontrolovaných elektronických obvodů 4
(pokračování nebo přerušení kontrolních cyklů).

Použití popsaného zařízení umožňuje sestavovat agregáty pro funkční kontrolu kontro-
lovaných elektronických obvodů 4, vyznačující se zvýšenou operační rychlostí a spolehlivos-
tí, a to pomocí nevelkého počtu rychle pracujících obvodů.

Při sestavování zařízení, které je určeno pro funkční kontrolu elektronických obvodů s 48 vývody a pracovním kmitočtem 100 MHz, a které vytváří pro každý kontrolovaný vývod kontrolní sled signálů, nesoucích nejméně 2048 informačních bitů, je třeba použít druhé posuvné registry 22 a třetí posuvné registry 23 s kmitočtem posuvu nejméně 100 MHz a paměťové obvody 26 s takovou operační rychlostí, která je určována počtem řádů v druhém posuvném registru 22 a v třetím posuvném registru 23. V případě použití desetiřádových posuvných registrů 22 a třetích posuvných registrů 23 se musí paměťové obvody 26 vyznačovat obsahem nejméně 48 x 2048 informačních bitů a maximálním čtecím kmitočtem 10 až 12 MHz, v případě použití dvacetiřádových druhých posuvných registrů 22 a třetích posuvných registrů 23 pak musí mít paměťové obvody 26 čtecí kmitočet menší než 5 a 6 MHz.

P R Ě D M Ě T V Y N Á L E Z U

1. Zařízení pro funkční kontrolu elektronických obvodů obsahující pro každý vývod kontrolovaného elektronického obvodu tvarovací blok pro tvarování kontrolních signálů a porovnávání hodnot kontrolovaných signálů s požadovanými hodnotami, v němž jsou výstupy obvodu tvarování kontrolních signálů a třetí vstup obvodu porovnávání kontrolních signálů elektricky spojeny vždy s jedním kontaktem kontaktové skupiny, přičemž první vstupy obvodu tvarování kontrolních signálů a obvodu porovnávání kontrolních signálů jsou elektricky spojeny s výstupem bloku akumulace a vydávání pro akumulaci a vydávání kódových sledů kontrolních a požadovaných hodnot signálů, opatřeného prvním posuvným registrem, dále obsahující blok řízení a synchronizace, společný pro tvarovací blok a blok akumulace a vydávání a s nimi elektricky spojený, opatřený synchronizačním obvodem, jehož třetí výstupy jsou připojeny k samostatným druhým vstupům obvodu tvarování kontrolních signálů, dále obvodu analýzy výsledků kontroly, jehož třetí vstupy jsou jednotlivě spojeny s výstupy obvodů porovnávání kontrolních signálů, a dále obvod přenosu a příjmu informace, elektricky spojený se synchronizačním obvodem, s obvodem analýzy výsledků kontroly a s blokem programového řízení, vyznačující se tím, že mezi blokem (6) akumulace a vydávání a blokem (8) řízení a synchronizace je uspořádán blok (7) zadávání režimů, přičemž první vstup (77) paměťového obvodu (47) režimů bloku (6) akumulace a vydávání je připojen k prvnímu výstupu (76) řídicího obvodu (48) bloku (6) akumulace a vydávání, první vstup (49) registru (42) počáteční adresy, první vstup (50) registru (43) konečné adresy, první vstup (51) registru (44) taktů, první vstup (52) registru (45) cyklů a první vstup (53) registru (46) synchronizačních impulsů bloku (6) akumulace a vydávání jsou spojeny s výstupem paměťového obvodu (47) režimů, druhý vstup (54) registru (42) počáteční adresy, druhý vstup (55) registru (43) konečné adresy, druhý vstup (56) registru (44) taktů, druhý vstup (57) registru (45) cyklů a druhý vstup (58) registru (46) synchronizačních impulsů jsou spojeny jednotlivě s druhými výstupy (59) řídicího obvodu (48), třetí vstup (61) registru (42) počáteční adresy, třetí vstup (62) registru (43) konečné adresy, třetí vstup (63) registru (44) taktů, třetí vstup (64) registru (45) cyklů a třetí vstup (65) registru (46) synchronizačních impulsů jsou spojeny jednotlivě s třetími výstupy (60) řídicího obvodu (48), první vstup (74) řídicího

obvodu (48) je spojen s výstupem (72) registru (45) cyklů, druhý vstup (75) řídicího obvodu (48) je spojen s výstupem (73) registru (46) synchronizačních impulsů, přičemž třetí vstup (99) řídicího obvodu (48) je spojen s prvním výstupem (98) obvodu (85) analýzy výsledků kontroly, připojeným rovněž k prvnímu vstupu (100) synchronizačního obvodu (84), jehož první výstup (87) je připojen k čtvrtému vstupu (88) registru (42) počáteční adresy, ke čtvrtému vstupu (89) registru (43) konečné adresy, ke čtvrtému vstupu (90) registru (44) taktů, ke čtvrtému vstupu (91) registru (45) cyklů a ke čtvrtému vstupu (92) registru (46) synchronizačních impulsů, přičemž druhý vstup (101) synchronizačního obvodu (84) je připojen ke čtvrtému vstupu (102) řídicího obvodu (48) a k druhému vstupu (103) obvodu (85) analýzy výsledků kontroly, první vstup (69) porovnávacího obvodu (31) bloku (7) zadávání režimů je spojen s výstupem (68) registru (43) konečné adresy, první vstup (71) záznamového obvodu (33) bloku (7) zadávání režimů je spojen s výstupem (70) registru (44) taktů, přičemž druhý vstup (80) záznamového obvodu (33) a druhý vstup (79) porovnávacího obvodu (31) je spojen se čtvrtým výstupem (78) řídicího obvodu (48), jehož pátý vstup (81) je spojen s výstupem (82) porovnávacího obvodu (31) a s prvním vstupem (83) záznamového obvodu (33), šestý vstup (121) obvodu (86) příjmu a přenosu informace je spojen s druhým vstupem (122) paměťového obvodu (47) režimů, druhý výstup (108) obvodu (86) příjmu a přenosu informace je spojen s šestým vstupem (109) řídicího obvodu (48), jehož pátý výstup (110) je připojen k druhému vstupu (111) obvodu (86) příjmu a přenosu informace, výstup třímístného prvního posuvného registru (16) je připojen k prvnímu vstupu (17) obvodu (14) tvarování kontrolních signálů a k prvnímu vstupu (18) obvodu (15) porovnávání kontrolních signálů, přičemž první vstup (21) prvního posuvného registru (16) je přes první obvod AND-OR (19) spojen pomocí jeho prvního vstupu (24) s výstupem druhého posuvného registru (22) bloku (6) akumulace a vydávání a přes druhý obvod AND-OR (20) s prvním a druhým výstupem třetího posuvného registru (23) bloku (6) akumulace a vydávání, výstup paměťového obvodu (26) bloku (6) akumulace a vydávání je připojen k prvnímu vstupu (27) druhého posuvného registru (22) a k prvnímu vstupu (28) třetího posuvného registru (23), výstup adresového registru (29) bloku (6) akumulace a vydávání je spojen s prvním vstupem (30) paměťového obvodu (26) a s třetím vstupem (32) porovnávacího obvodu (31), přičemž jeho první vstup (67) je spojen s výstupem (66) registru (42) počáteční adresy, druhý vstup (117) adresového registru (29) a třetí vstup (118) paměťového obvodu (26) jsou spojeny jednotlivě s příslušným pátým výstupem (116) obvodu (86) příjmu a přenosu informace, přičemž třetí vstup (35) adresového registru (29), druhý vstup (36) paměťového obvodu (26), druhý vstup (37) druhého posuvného registru (22), druhý vstup (38) třetího posuvného registru (23), druhý vstup (39) prvního obvodu AND-OR (19), druhý vstup (40) druhého obvodu AND-OR (20) a druhý vstup (41) prvního posuvného registru (16) jsou jednotlivě spojeny s příslušným druhým vstupem (34) záznamového obvodu (33).

