

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2022年5月12日(12.05.2022)



(10) 国際公開番号

WO 2022/097445 A1

(51) 国際特許分類:
H04N 5/378 (2011.01)

神奈川県厚木市旭町四丁目14番
1号 Kanagawa (JP).

(21) 国際出願番号: PCT/JP2021/038104

(22) 国際出願日: 2021年10月14日(14.10.2021)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2020-184577 2020年11月4日(04.11.2020) JP

(71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014

(72) 発明者: 朝倉 ルオンフォン (ASAKURA Luonghung); 〒2430014 神奈川県厚木市旭町4丁目14-1 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).

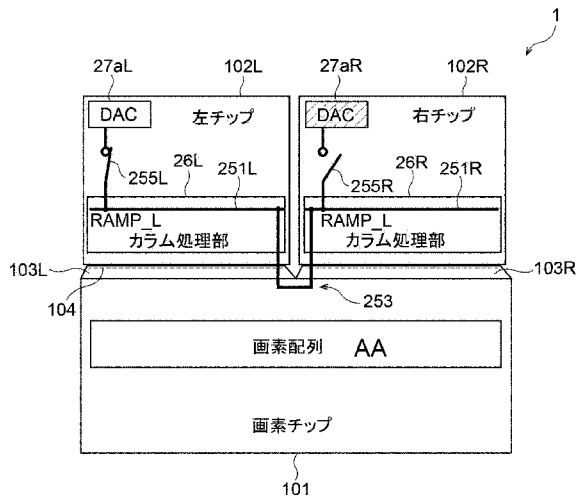
(74) 代理人: 中村 行孝, 外 (NAKAMURA Yukitaka et al.); 〒1000005 東京都千代田区丸の内1丁目6番6号 日本生命丸の内ビル 協和特許法律事務所 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO,

(54) Title: SOLID-STATE IMAGING DEVICE AND ELECTRONIC APPARATUS

(54) 発明の名称: 固体撮像装置および電子機器

[図10]



101 Pixel chip
26L, 26R Column processing unit
102L Left chip
102R Right chip
AA Pixel array

(57) Abstract: [Problem] To suppress image quality degradation in a captured image. [Solution] This solid-state imaging device comprises a plurality of first semiconductor chips that each perform A/D conversion of a plurality of imaging signals. Each of the plurality of first semiconductor chips includes: a reference signal line that conveys a reference signal for the A/D conversion; a reference signal generation unit that generates the reference signal; and a plurality of analog to digital converters (ADCs) that convert the plurality of imaging signals to a plurality of digital signals on the basis of

DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

comparison between the plurality of imaging signals and the reference signal. The plurality of reference signal lines in the plurality of first semiconductor chips are electrically connected to one another. The reference signal generated by the reference signal generation unit in one of the plurality of first semiconductor chips is supplied to the plurality of reference signal lines.

(57) 要約: [課題] 撮像画像の画質の低下を抑制する。[解決手段] 固体撮像装置は、それぞれが複数の撮像信号をA/D変換する複数の第1半導体チップを備え、前記複数の第1半導体チップのそれぞれは、前記A/D変換のための参照信号を伝送する参照信号線と、前記参照信号を生成する参照信号生成部と、前記複数の撮像信号と前記参照信号との比較に基づいて、前記複数の撮像信号を複数のデジタル信号に変換する複数のA/D C (Analog to Digital Converter) と、を有し、前記複数の第1半導体チップ内の複数の前記参照信号線同士は電気的に接続され、前記複数の第1半導体チップのうちいずれか一つのチップ内の前記参照信号生成部が生成した前記参照信号が前記複数の参照信号線に供給される。

明 細 書

発明の名称： 固体撮像装置および電子機器

技術分野

[0001] 本開示による実施形態は、固体撮像装置および電子機器に関する。

背景技術

[0002] 映像機器の分野では、物理量のうちの光（電磁波の一例）を検知するＣＣＤ（Charge Coupled Device）型、ＭＯＳ（Metal Oxide Semiconductor）型及びＣＭＯＳ（Complementary Metal-Oxide-Semiconductor）型の固体撮像装置が使われている。これらは、単位構成要素（固体撮像装置にあつては画素）によって電気信号に変換された物理量分布を電気信号として読み出す。ここで“固体”とは半導体製であることを意味している。

[0003] 固体撮像装置としての積層型イメージセンサは、例えば、画素チップにＡＤ（Analog to Digital）回路及びロジック回路を搭載するロジックチップを貼り合わせるにより得られる。露光装置の露光範囲よりも面積が大きいチップを作る場合、複数枚のマスクパターンを繋ぎ合わせながら順次露光する処理、いわゆる繋ぎ露光が行われる場合がある。例えば、３５ｍｍサイズ又は中判サイズの大型センサの画素チップは、繋ぎ露光により作製される。一方、大型センサのロジックチップは、繋ぎ露光で作られる単一チップではなく、複数の個片化チップに分割されて画素チップに貼り合わせられる場合がある。この場合、各個片化チップが同じ設計データから作られることが多い。従って、各個片化チップは、互いに同じような回路構成を有する。

[0004] また、ロジックチップ内のＡＤ回路として、例えば、スロープ型カラムＡＤＣ（Analog to Digital Converter）が用いられる場合がある。通常、スロープ型カラムＡＤＣでは、基準ＲＡＭＰ信号が一カ所のＤＡＣ（Digital to Analog Converter）で生成されて、全てのカラムＡＤＣに供給される。また、長配線又は高負荷の基準ＲＡＭＰ信号配線の応答を高速化したり、カラムＡＤＣ内の比較器からのキックバックの影響を軽減したりするために、各カ

ラムに基準 RAMP 信号をバッファする回路が挿入される場合がある（特許文献 1 参照）。

先行技術文献

特許文献

[0005] 特許文献1：特開 2007-19682 号公報

発明の概要

発明が解決しようとする課題

[0006] しかし、複数の個片化チップ内の DAC で生成された基準 RAMP 信号がそれぞれの個片化チップのカラム ADC に単純に供給される場合、個片化チップごとの DAC の回路ばらつきにより、基準 RAMP 信号の LSB (Least Significant Bit) 重みが個片化チップごとに異なってしまう可能性がある。LSB 重みは、基準 RAMP 信号の傾きに影響する。この場合、もし均一な画素入力信号が各カラム ADC に入力されても、個片化チップごとに AD 出力レベルが異なってしまう。この結果、例えば、出力映像に段差（シェーディング）が視認されてしまう。すなわち、AD 変換が個片化された複数のロジックチップで行われることにより、AD 出力レベルのばらつきが生じて、画質が低下してしまう場合がある。

[0007] そこで、本開示では、撮像画像の画質の低下を抑制することができる固体撮像装置および電子機器を提供するものである。

課題を解決するための手段

[0008] 上記の課題を解決するために、本開示によれば、
それぞれが複数の撮像信号を AD 変換する複数の第 1 半導体チップを備え、
、
前記複数の第 1 半導体チップのそれぞれは、
前記 AD 変換のための参照信号を伝送する参照信号線と、
前記参照信号を生成する参照信号生成部と、
前記複数の撮像信号と前記参照信号との比較に基づいて、前記複数の撮像

信号を複数のデジタル信号に変換する複数のA D C (Analog to Digital Converter) と、を有し、

前記複数の第1半導体チップ内の複数の前記参照信号線同士は電氣的に接続され、

前記複数の第1半導体チップのうちいずれか一つのチップ内の前記参照信号生成部が生成した前記参照信号が前記複数の参照信号線に供給される、固体撮像装置が提供される。

[0009] 前記A D変換する際には、前記一つのチップ以外の他のチップ内の前記参照信号生成部は、前記参照信号の生成を停止してもよい。

[0010] 本開示によれば、それぞれが複数の撮像信号をA D変換する複数の第1半導体チップを備え、

前記複数の第1半導体チップのそれぞれは、

前記A D変換のための参照信号を伝送する参照信号線と、

前記参照信号を生成する参照信号生成部と、

前記複数の撮像信号と前記参照信号との比較に基づいて、前記複数の撮像信号を複数のデジタル信号に変換する複数のA D C (Analog to Digital Converter) と、

前記複数の第1半導体チップ内の前記参照信号生成部が生成する前記参照信号のアナログゲイン、又は、前記複数のデジタル信号のデジタルゲインを調整するゲイン調整部と、を有し、

前記複数の第1半導体チップ内の複数の前記参照信号線同士は電氣的に接続される、固体撮像装置が提供される。

[0011] 前記ゲイン調整部は、前記複数の参照信号線における前記複数の参照信号同士の比率に基づいて前記アナログゲインを調整してもよい。

[0012] 前記ゲイン調整部は、前記複数の第1半導体チップのそれぞれから出力された前記複数のデジタル信号同士を比較して前記デジタルゲインを調整してもよい。

[0013] 前記複数の第1半導体チップのそれぞれは、

前記参照信号線上の前記参照信号を前記複数のA D Cのそれぞれに対応づけてバッファリングする複数のバッファ部と、

前記複数のバッファ部の出力ノードが共通に接続される出力配線と、をさらに有し、

前記複数の第1半導体チップ内の複数の前記出力配線同士は、電氣的に接続されてもよい。

[0014] 前記複数の第1半導体チップのそれぞれは、複数の前記参照信号線を有し、

前記複数の第1半導体チップのそれぞれにおける対応する前記参照信号線同士は電氣的に接続されており、

前記複数の第1半導体チップのそれぞれにおける前記参照信号生成部は、それぞれ異なる前記参照信号線に前記参照信号を供給してもよい。

[0015] 前記複数の第1半導体チップは、所定の方に配置された2個の第1半導体チップを有し、

前記2個の第1半導体チップのそれぞれは、2本の前記参照信号線を有し、

前記2個の第1半導体チップのうち一方の前記2本の参照信号線は、前記2個の第1半導体チップのうち他方の対応する参照信号線に電氣的に接続されており、

前記2個の第1半導体チップのうち一方の前記参照信号生成部から出力された前記参照信号は、前記2本の参照信号線の一方に供給され、

前記2個の第1半導体チップのうち他方の前記参照信号生成部から出力された前記参照信号は、前記2本の参照信号線の他方に供給されてもよい。

[0016] 前記2本の参照信号線は、前記複数のA D Cに交互に接続されてもよい。

[0017] 前記2本の参照信号線は、前記複数のA D C中の2以上の所定個数の前記A D Cを単位として交互に前記A D Cに接続されてもよい。

[0018] 前記2個の第1半導体チップのそれぞれは、前記複数のバッファ部と、前記複数のバッファ部の出力ノードが共通に接続される前記出力配線とを有し

、

前記２個の第１半導体チップが有する２本の前記出力配線同士は、電氣的に接続されてもよい。

[0019] 前記複数の第１半導体チップのそれぞれは、同一サイズ、同一形状、及び同一の回路構成を有してもよい。

[0020] 前記第１半導体チップに積層され、光電変換を行う画素アレイ部が配置される第２半導体チップをさらに備えてもよい。

[0021] 前記第１半導体チップ及び前記第２半導体チップは、ビア、バンプ、または導電材料同士の直接接合にて電氣的に接続されてもよい。

[0022] 前記複数のＡＤＣのそれぞれには、所定方向に配置された複数の画素で光電変換された複数の撮像信号を伝送する信号線が接続されており、

前記複数のＡＤＣは、対応する信号線上の撮像信号と前記参照信号との比較に基づいて、前記複数の撮像信号を複数の前記デジタル信号に変換してもよい。

[0023] 前記参照信号は、電圧レベルが時間に応じて変化する信号であってもよい。

[0024] 本開示によれば、撮像信号に応じたデジタル信号を出力する固体撮像装置と、

前記デジタル信号に基づいて所定の信号処理を行う信号処理部と、を備え

、

前記固体撮像装置は、

それぞれが複数の撮像信号をＡＤ変換する複数の第１半導体チップを備え

、

前記複数の第１半導体チップのそれぞれは、

前記ＡＤ変換のための参照信号を伝送する参照信号線と、

前記参照信号を生成する参照信号生成部と、

前記複数の撮像信号と前記参照信号との比較に基づいて、前記複数の撮像信号を複数のデジタル信号に変換する複数のＡＤＣ（Analog to Digital Con

verter) と、を有し、

前記複数の第 1 半導体チップ内の複数の前記参照信号線同士は電氣的に接続され、

前記複数の第 1 半導体チップのうちいずれか一つのチップ内の前記参照信号生成部が生成した前記参照信号が前記複数の参照信号線に供給される、電子機器が提供される。

[0025] 本開示によれば、撮像信号に応じたデジタル信号を出力する固体撮像装置と、

前記デジタル信号に基づいて所定の信号処理を行う信号処理部と、を備え、

前記固体撮像装置は、

それぞれが複数の撮像信号を A/D 変換する複数の第 1 半導体チップを備え、

前記複数の第 1 半導体チップのそれぞれは、

前記 A/D 変換のための参照信号を伝送する参照信号線と、

前記参照信号を生成する参照信号生成部と、

前記複数の撮像信号と前記参照信号との比較に基づいて、前記複数の撮像信号を複数のデジタル信号に変換する複数の A/D C (Analog to Digital Converter) と、

前記複数の第 1 半導体チップ内の前記参照信号生成部が生成する前記参照信号のアナログゲイン、又は、前記複数のデジタル信号のデジタルゲインを調整するゲイン調整部を有し

前記複数の第 1 半導体チップ内の複数の前記参照信号線同士は電氣的に接続される、電子機器が提供される。

図面の簡単な説明

[0026] [図1]本開示に係る半導体装置の一実施形態である CMOS 固体撮像装置の概略構成図である。

[図2A]単位画素の構成例と、駆動部と駆動制御線と画素トランジスタの接続

態様を示す図である。

[図2B]単位画素の構成例と、駆動部と駆動制御線と画素トランジスタの接続態様を示す図である。

[図3]カラムA/D回路における基本動作である信号取得差分処理を説明するためのタイミングチャートである。

[図4]固体撮像装置の積層型のチップ構造の概略を示す分解斜視図である。

[図5]ロジックチップ102の構成及び配置の一例を示す平面図である。

[図6]個片化されたロジックチップの構成及び配置の一例を示す平面図である。

[図7]個片化されたロジックチップの構成及び配置の第1変形例を示す平面図である。

[図8]個片化されたロジックチップの構成及び配置の第2変形例を示す平面図である。

[図9]比較例に係る固体撮像装置の積層型のチップ構造の一例を示す概略図である。

[図10]第1実施形態に係る固体撮像装置の積層型のチップ構造の一例を示す概略図である。

[図11A]第1実施形態に係る信号線接続部の構成の一例を示す断面図である。

[図11B]第1実施形態に係る信号線接続部の構成の一例を示す平面図である。

[図12A]第1実施形態に係る信号線接続部の構成の第1変形例を示す断面図である。

[図12B]第1実施形態に係る信号線接続部の構成の第1変形例を示す平面図である。

[図13A]第1実施形態に係る参照信号供給IF部の構成の一例を示す概略構成図である。

[図13B]第1実施形態に係る参照信号供給IF部の構成の一例を示す概略構成図である。

[図14A]第1実施形態に係る参照信号供給IF部の構成の第1変形例を示す概

略構成図である。

[図14B]第1実施形態に係る参照信号供給 I F 部の構成の第1変形例を示す概略構成図である。

[図15]バッファ部の構成の一例を示す回路図である。

[図16]第2実施形態に係る固体撮像装置の積層型のチップ構造の一例を示す概略図である。

[図17]第2実施形態に係るゲイン調整の一例を示す図である。

[図18]第2実施形態に係るゲイン調整の第1変形例を示す図である。

[図19]第3実施形態に係る固体撮像装置の積層型のチップ構造の一例を示す概略図である。

[図20A]第3実施形態に係る参照信号供給 I F 部の構成の一例を示す概略構成図である。

[図20B]第3実施形態に係る参照信号供給 I F 部の構成の一例を示す概略構成図である。

[図21A]第3実施形態に係る参照信号供給 I F 部の構成の第1変形例を示す概略構成図である。

[図21B]第3実施形態に係る参照信号供給 I F 部の構成の第1変形例を示す概略構成図である。

[図22]D A変換回路のD A Cリニアリティが良い場合における第2実施形態に係るゲイン調整の一例を示す図である。

[図23]D A変換回路のD A Cリニアリティが良くない場合における第2実施形態に係るゲイン調整の一例を示す図である。

[図24]D A変換回路のD A Cリニアリティが良くない場合における第3実施形態に係る参照信号の出力の一例を示す図である。

[図25]車両制御システムの概略的な構成の一例を示すブロック図である。

[図26]車外情報検出部及び撮像部の設置位置の一例を示す説明図である。

発明を実施するための形態

[0027] 以下、図面を参照して、固体撮像装置および電子機器の実施形態について

説明する。以下では、固体撮像装置および電子機器の主要な構成部分を中心に説明するが、固体撮像装置および電子機器には、図示又は説明されていない構成部分や機能が存在しうる。以下の説明は、図示又は説明されていない構成部分や機能を除外するものではない。

[0028] なお、以下においては、X-Yアドレス型の固体撮像装置の一例である、CMOS撮像素子をデバイスとして使用した場合を例に説明する。また、CMOS撮像素子は、全ての画素がNMOSあるいはPMOSよりなるものであるとして説明する。

[0029] ただしこれは一例であって、対象となるデバイスはMOS型の撮像デバイスに限らない。光や放射線などの外部から入力される電磁波に対して感応性をする単位構成要素をライン状もしくはマトリクス状に複数個配列してなる物理量分布検知用の半導体装置の全てに、後述する全ての実施形態が同様に適用できる。

[0030] なお、本開示において、撮像装置とは、物理量の変化を検知する複数の検知部と、それぞれの検知部で検知した物理量の変化に基づいて単位信号を出力する単位信号生成部とを単位構成要素内に含む。撮像装置は、この単位構成要素が所定の順に配された物理量分布検知のための装置を使用し、物理量についての所定の検知条件の元で取得された単位信号に基づいて、所定目的用の物理情報を取得する物理情報取得装置の総称である。

[0031] 本開示に係る電子機器は、例えば、固体撮像装置1を用いたコンピュータ等である。電子機器は、固体撮像装置1と、信号処理部と、を備える。固体撮像装置1は、撮像信号に応じたデジタル信号を出力する。信号処理部は、デジタル信号に基づいて所定の信号処理を行う。なお、電子機器の詳細については、図25及び図26を参照して、後で説明する。

[0032] <固体撮像装置の構成>

図1は、本開示に係る固体撮像装置1の一実施形態であるCMOS固体撮像装置（CMOSイメージセンサ）の概略構成図である。

[0033] 固体撮像装置1は、入射光量に応じた信号を出力する受光素子（電荷生成

部の一例)を含む複数の画素が行および列に配列された(すなわち2次元マトリクス状の)画素部を有し、各画素からの信号出力が電圧信号であって、CDS(Correlated Double Sampling; 相関2重サンプリング)処理機能部やデジタル変換部(ADC; Analog Digital Converter)などが列並列に設けられているものである。

[0034] “列並列にCDS処理機能部やデジタル変換部が設けられている”とは、垂直列の垂直信号線19に対して実質的に並列に複数のCDS処理機能部やデジタル変換部が設けられていることを意味する。複数の各機能部は、デバイスを平面視したときに、ともに画素部(撮像部)10に対して列方向の一方の端縁側(図の下側に配されている出力側)にのみ配されている形態のものであってもよいし、画素部10に対して列方向の一方の端縁側(図の下側に配されている出力側)とその反対側である他方の端縁側(図の上側)に分けて配されている形態のものであってもよい。後者の場合、行方向の読出走査(水平走査)を行なう水平走査部も、各端縁側に分けて配して、それぞれが独立に動作可能に構成するのがよい。

[0035] たとえば、列並列にCDS処理機能部やデジタル変換部が設けられている典型例としては、撮像部の出力側に設けたカラム領域と呼ばれる部分に、CDS処理機能部やデジタル変換部を垂直列ごとに設け、順次出力側に読み出すカラム型のものである。また、カラム型に限らず、隣接する複数(たとえば2つ分)の垂直信号線19(垂直列)に対して1つのCDS処理機能部やデジタル変換部を割り当てる形態や、N本おき(Nは正の整数; 間にN-1本を配する)のN本分の垂直信号線19(垂直列)に対して1つのCDS処理機能部やデジタル変換部を割り当てる形態などを採ることもできる。

[0036] カラム型を除くものは、何れの形態も、複数の垂直信号線19(垂直列)が1つのCDS処理機能部やデジタル変換部を共通に使用する構成となるので、画素部10側から供給される複数列分の画素信号を1つのCDS処理機能部やデジタル変換部に供給する切替回路(スイッチ)を設ける。なお、後段の処理によっては、出力信号を保持するメモリを設けるなどの対処が必要

になる。

[0037] 何れにしても、複数の垂直信号線 19（垂直列）に対して 1 つの CDS 処理機能部やデジタル変換部を割り当てる形態などを採ることで、各画素信号の信号処理を画素列単位で読み出した後に行なうことで、同様の信号処理を各単位画素内で行なうものに比べて、各単位画素内の構成を簡素化し、イメージセンサの多画素化、小型化、低コスト化などに対応できる。

[0038] また、列並列に配された複数の信号処理部にて 1 行分の画素信号を同時並行処理することができるので、出力回路側やデバイスの外部で 1 つの CDS 処理機能部やデジタル変換部にて処理を行なう場合に比べて、信号処理部を低速で動作させることができ、消費電力や帯域性能やノイズなどの面で有利である。逆に言えば、消費電力や帯域性能などを同じにする場合、センサ全体の高速動作が可能となる。

[0039] なお、カラム型の構成の場合、低速で動作させることができ消費電力や帯域性能やノイズなどの面で有利であるとともに切替回路（スイッチ）が不要である利点もある。以下の実施形態では、特に断りのない限り、このカラム型で説明する。

[0040] 図 1 に示すように、固体撮像装置 1 は、画素形状が概ね正方状の複数の単位画素（単位構成要素の一例） 3 が行および列（つまり正方格子状）に配列された画素部（撮像部） 10 と、画素部 10 の外側に設けられた駆動制御部 7 と、画素部 10 の単位画素 3 に画素信号読出用の動作電流（読出電流）を供給する読出電流源部 24 と、垂直列ごとに配されたカラム AD 回路 25 を有するカラム処理部 26 と、カラム処理部 26 に AD 変換用の参照電圧を供給する参照信号生成部 27 と、参照信号生成部 27 で生成された参照信号をカラム処理部 26 の各カラム AD 回路 25 に供給する参照信号供給インタフェース（I/F）部 28 と、出力部 29 とを備えている。これらの各機能部は、接合される複数の半導体基板上に分けて設けられている（図 4 を参照）。

[0041] なお、カラム処理部 26 の前段または後段には、必要に応じて信号増幅機能を持つ AGC (Auto Gain Control) 回路などをカラム処理部 26 と同一の

半導体領域に設けることも可能である。カラム処理部 26 の前段で A G C を行なう場合にはアナログ増幅、カラム処理部 26 の後段で A G C を行なう場合にはデジタル増幅となる。n ビットのデジタル信号を単純に増幅してしまうと、階調が損なわれてしまう可能性があるため、どちらかというアナログにて増幅した後にデジタル変換するのが好ましいと考えられる。

[0042] 駆動制御部 7 は、画素部 10 の信号を順次読み出すための制御回路機能を備えている。たとえば、駆動制御部 7 としては、列アドレスや列走査を制御する水平走査部（列走査回路）12 と、行アドレスや行走査を制御する垂直走査部（行走査回路）14 と、内部クロックを生成するなどの機能を持つ通信・タイミング制御部 20 とを備えている。

[0043] 図 1 では、簡単のため行および列の一部を省略して示しているが、現実には、各行や各列には、数十から数千の単位画素 3 が配置されて画素部 10 が構成される。このうち、上下左右に設けられる黒画素などの基準画素領域を除く部分が実際の画像形成に関わる有効部 10a となる。単位画素 3 は、典型的には、受光素子（電荷生成部）としてのフォトダイオードと、増幅用の半導体素子（たとえばトランジスタ）を有する画素内アンプとから構成される。

[0044] 画素内アンプとしては、たとえばフローティングディフュージョンアンプ構成のものが用いられる。一例としては、電荷生成部に対して、電荷読出部（転送ゲート部／読出ゲート部）の一例である読出選択用トランジスタ、リセットゲート部の一例であるリセットトランジスタ、垂直選択用トランジスタ、およびフローティングディフュージョンの電位変化を検知する検知素子の一例であるソースフォロア構成の増幅用トランジスタを有する、CMOS センサとして汎用的な 4 つのトランジスタからなる構成のものを使用することができる。

[0045] あるいは、特許第 2708455 号公報に記載のように、電荷生成部により生成された信号電荷に対応する信号電圧を増幅するための、ドレイン線（D R N）に接続された増幅用トランジスタと、電荷生成部をリセットするた

めのリセットトランジスタと、垂直シフトレジスタより転送配線（TRF）を介して走査される読出選択用トランジスタ（転送ゲート部）を有する、3つのトランジスタからなる構成のものを使用することもできる。

[0046] なお、固体撮像装置1は、色分解（色分離）フィルタを使用することで、画素部10をカラー撮像対応にすることができる。すなわち、画素部10における各電荷生成部（フォトダイオードなど）の電磁波（本例では光）が入射される受光面に、カラー画像を撮像するための複数色の色フィルタの組合せからなる色分解フィルタの何れかの色フィルタを、たとえばいわゆるベイヤ（Bayer）配列などにして設けることで、カラー画像撮像対応とする。

[0047] 単位画素3は、行選択のための行制御線15を介して垂直走査部14と、また垂直信号線19を介してカラムAD回路25が垂直列ごとに設けられているカラム処理部26と、それぞれ接続されている。ここで、行制御線15は垂直走査部14から画素に入る配線全般を示す。

[0048] 水平走査回路12は、カラム処理部26からカウント値を読み出す読出走査部の機能を持つ。水平走査部12や垂直走査回路14などの駆動制御部7の各要素は、画素部10とともに、例えば、半導体集積回路製造技術と同様の技術を用いて単結晶シリコンなどの半導体領域に一体的に形成され、半導体システムの一例である固体撮像素子（撮像デバイス）として構成される。

[0049] 水平走査部12や垂直走査部14は、後述のようにデコーダを含んで構成され、通信・タイミング制御部20から与えられる制御信号CN1, CN2に応答してシフト動作（走査）を開始するようになっている。このため、行制御線15には、単位画素3を駆動するための種々のパルス信号（たとえば、リセットパルスRST、転送パルスTRF、DRN制御パルスDRNなど）が含まれる。

[0050] 通信・タイミング制御部20は、図示しないが、各部の動作に必要なクロックや所定タイミングのパルス信号を供給するタイミングジェネレータTG（読出アドレス制御装置の一例）の機能ブロックと、端子5aを介してマス

タクロックCLK0を受け取り、また端子5bを介して動作モードなどを指令するデータDATAを受け取り、さらに固体撮像装置1の情報を含むデータ outputsする通信インタフェースの機能ブロックとを備える。

[0051] たとえば、水平アドレス信号を水平デコーダ12aへ、また垂直アドレス信号を垂直デコーダ14aへ出力し、各デコーダ12a, 14aは、それを受けて対応する行もしくは列を選択する。

[0052] この際、単位画素3を2次元マトリックス状に配置してあるので、画素信号生成部5により生成され垂直信号線19を介して列方向に出力されるアナログの画素信号を行単位で（列並列で）アクセスし取り込む（垂直）スキャン読みを行ない、この後に、垂直列の並び方向である行方向にアクセスし画素信号（本例ではデジタル化された画素データ）を出力側へ読み出す（水平）スキャン読みを行なうようにすることで、画素信号や画素データの読出しの高速化を図るのがよい。もちろん、スキャン読みに限らず、読み出したい単位画素3を直接にアドレス指定することで、必要な単位画素3の情報のみを読み出すランダムアクセスも可能である。

[0053] また、通信・タイミング制御部20では、端子5aを介して入力されるマスタークロック（マスタークロック）CLK0と同じ周波数のクロックCLK1や、それを2分周したクロックやより分周した低速のクロックをデバイス内の各部、たとえば水平走査部12、垂直走査部14、カラム処理部26などに供給する。以下、2分周したクロックやそれ以下の周波数のクロック全般を纏めて、低速クロックCLK2という。

[0054] 垂直走査部14は、画素部10の行を選択し、その行に必要なパルスを提供するものである。たとえば、垂直方向の読出行を規定する（画素部10の行を選択する）垂直デコーダ14aと、垂直デコーダ14aにて規定された読出アドレス上（行方向）の単位画素3に対する行制御線15にパルスを提供して駆動する垂直駆動部14bとを有する。なお、垂直デコーダ14aは、信号を読み出す行の他に、電子シャッタ用の行なども選択する。

[0055] 水平走査部12は、低速クロックCLK2に同期してカラム処理部26のカラ

ムAD回路25を順番に選択し、その信号を水平信号線（水平出力線）18に導くものである。たとえば、水平方向の読出列を規定する（カラム処理部26内の個々のカラムAD回路25を選択する）水平デコーダ12aと、水平デコーダ12aにて規定された読出アドレスに従って、カラム処理部26の各信号を水平信号線18に導く水平駆動部12bとを有する。なお、水平信号線18は、たとえばカラムAD回路25が取り扱うビット数 n （ n は正の整数）分、たとえば10（ $=n$ ）ビットならば、そのビット数分に対応して10本配置される。

[0056] このような構成の固体撮像装置1において、単位画素3から出力された画素信号は、垂直列ごとに、垂直信号線19を介して、カラム処理部26のカラムAD回路25に供給される。

[0057] カラム処理部26の各カラムAD回路25は、1列分の画素のアナログ信号 S_o を受けて、そのアナログ信号 S_o を処理する。たとえば、各カラムAD回路25は、アナログ信号を、たとえば低速クロックCLK2を用いて、たとえば10ビットのデジタル信号に変換するADC (Analog Digital Converter) 回路を持つ。

[0058] カラム処理部26におけるAD変換処理としては、行単位で並列に保持されたアナログ信号を、列ごとに設けられたカラムAD回路25を使用して、行ごとに並列にAD変換する方法を採る。この際には、たとえば、特許公報第2532374号や学術文献“コラム間FPNのないコラム型AD変換器を搭載したCMOSイメージセンサ”（映情学技法, IPU2000-57, pp. 79-84）などに示されているシングルスロープ積分型（あるいはランプ信号比較型）のAD変換の手法を使用する。この手法は、簡単な構成でAD変換器が実現できるため、並列に設けても回路規模が大きくなりたくないという特徴を有している。

[0059] ADC回路の構成については、詳細は後述するが、変換開始から参照電圧 R_{AMP} と処理対象信号電圧とが一致するまでの時間に基づいて、アナログの処理対象信号をデジタル信号に変換する。このための仕組みとしては、原理的に

は、コンパレータ（電圧比較器）にランプ状の参照電圧RAMPを供給すると同時にクロック信号でのカウント（計数）を開始し、垂直信号線19を介して入力されたアナログの画素信号を参照電圧RAMPと比較することによってパルス信号が得られるまでカウントすることでA/D変換を行なう。

[0060] また、この際、回路構成を工夫することで、A/D変換とともに、垂直信号線19を介して入力された電圧モードの画素信号に対して、画素リセット直後の信号レベル（ノイズレベル）と真の（受光光量に応じた）信号レベル V_{sig} との差分をとる処理を行なうことができる。これにより、固定パターンノイズ（FPN; Fixed Pattern Noise）やリセットノイズといわれるノイズ信号成分を取り除くことができる。

[0061] このカラムA/D回路25でデジタル化された画素データは、水平走査部12からの水平選択信号により駆動される図示しない水平選択スイッチを介して水平信号線18に伝達され、さらに出力部29に入力される。なお、10ビットは一例であって、10ビット未満（たとえば8ビット）や10ビットを超えるビット数（たとえば14ビット）など、その他のビット数としてもよい。

[0062] このような構成によって、電荷生成部としての受光素子が行列状に配された画素部10からは、行ごとに各垂直列について画素信号が順次出力される。そして、受光素子が行列状に配された画素部10に対応する1枚分の画像すなわちフレーム画像が、画素部10全体の画素信号の集合で示されることとなる。

[0063] <参照信号生成部とカラムA/D回路との詳細>

参照信号生成部27は、A/D変換用の参照信号を発生する機能要素であるD/A変換回路（DAC; Digital Analog Converter）27aを備える。なお、カラー画像撮像対応とする場合には、参照信号生成部27としては、色対応の変化特性（傾き）や初期値を持つ個別の参照信号を比較回路に供給することができるように、画素部10における色分解フィルタを構成する色フィルタの色の種類や配列に応じて、A/D変換用の参照信号を発生する機能要素

であるD A変換回路を個別に備えるとともに処理対象行の切替えにより処理対象色が切り替ることに対処する切替機構を設けるのがよい。

[0064] こうすることで、参照電圧発生器（本例ではD A変換回路に相当）やこの参照電圧発生器からの配線を色分解フィルタを構成する色フィルタの数よりも少なくすることができる。また、色フィルタごとに参照電圧発生器を用意した場合に必要な各参照電圧発生器からのアナログ基準電圧（本例の参照信号に相当）を選択的に出力する垂直列ごとの選択手段（マルチプレクサ）も不要となるので、回路規模を縮小できる。カラー画素に応じた参照信号を比較器の入力側に伝達する信号線の数、カラー画像を撮像するための色フィルタの色成分の数よりも少なくすることができる。

[0065] 通信・タイミング制御部20から参照信号生成部27のD A変換回路27aに供給する制御データCN4は、比較処理ごとのランプ電圧の傾き（変化の度合い；時間変化量）や初期値を指示する情報も含んでいる。

[0066] D A変換回路27aは、通信・タイミング制御部20からD A C用のカウンタクロックCKdacの供給を受け、カウンタクロックCKdacに同期して、たとえば線形的に減少する階段状の鋸歯状波（ランプ波形）を生成し、参照信号RAMPを介してカラムA D回路25に、この生成した鋸歯状波をA D変換用の参照電圧（A D C基準信号）として供給する。また、たとえばカウンタクロックCKdacの周期を調整することで参照信号RAMPの傾きを変え、これにより後述する差分処理時の係数を調整し、A D変換時にアナログゲインを制御する。

[0067] カラムA D回路25は、参照信号生成部27のD A変換回路27aで生成される参照信号RAMPと、行制御線15（V1，V2，…）ごとに単位画素3から垂直信号線19（H1，H2，…）を経由し得られるアナログの画素信号とを比較する電圧比較部（コンパレータ）252と、電圧比較部252が比較処理を完了するまでの時間をカウントし、その結果を保持するカウンタ部254とを備えて構成されnビットA D変換機能を有している。

[0068] 通信・タイミング制御部20は、電圧比較部252が画素信号のリセット

成分 ΔV と信号成分 V_{sig} の何れについて比較処理を行なっているのかに応じてカウンタ部254におけるカウント処理のモードを切り替える制御部の機能を持つ。この通信・タイミング制御部20から各カラムAD回路25のカウンタ部254には、カウンタ部254がダウンカウントモードで動作するのかアップカウントモードで動作するのかを指示するための制御信号CN5が入力されている。

[0069] 参照信号供給IF部28は、参照信号生成部27で生成された参照信号を参照信号線251を介して受け取り、参照信号出力線281に出力する。電圧比較部252の一方の入力端子RAMPは、参照信号供給IF部28を介して、参照信号生成部27で生成される階段状の参照信号RAMPが参照信号出力線281から入力され、他方の入力端子には、それぞれ対応する垂直列の垂直信号線19が接続され、画素部10からの画素信号電圧が個々に入力される。

[0070] また、電圧比較部252には、通信・タイミング制御部20から、2種類のリセット信号PSET, NSETやその他の制御信号（纏めて比較制御信号CN7ともいう）が供給され、また電圧比較部252の出力信号はカウンタ部254に供給される。

[0071] カウンタ部254のクロック端子CKには、他のカウンタ部254のクロック端子CKと共通に、通信・タイミング制御部20からカウントクロックCK0が入力されている。

[0072] このカウンタ部254は、その構成については図示を割愛するが、一般的にラッチで構成されるデータ記憶部の配線形態を同期カウンタ形式に変更することで実現でき、1本のカウントクロックCK0の入力で、内部カウントを行なうようになっている。n個のラッチの組合せでnビットのカウンタ部254を実現でき、2系統のn個のラッチで構成されたデータ記憶部の回路規模に対して半分になる。加えて、列ごとのカウンタ部が不要になるから、全体としては、大幅にコンパクトになる。

[0073] ここで、カウンタ部254は、詳細は後述するが、カウントモードに拘わ

らず共通のアップダウンカウンタ（U/D CNT）を用いて、ダウンカウント動作とアップカウント動作とを切り替えて（具体的には交互に）カウント処理を行なうことが可能に構成されている。また、カウンタ部254は、カウント出力値がカウントクロックCK0に同期して出力される同期カウンタを使用する。

[0074] なお、同期カウンタの場合、すべてのフリップフロップ（カウンタ基本要素）の動作がカウントクロックCK0で制限される。よって、より高周波数動作が要求される場合には、カウンタ部254としては、その動作制限周波数が最初のフリップフロップ（カウンタ基本要素）の制限周波数でのみ決められるため高速動作に適する非同期カウンタの使用がより好ましい。

[0075] カウンタ部254には、水平走査部12から制御線12cを介して制御パルスが入力される。カウンタ部254は、カウント結果を保持するラッチ機能を有しており、制御線12cを介しての制御パルスによる指示があるまでは、カウンタ出力値を保持する。

[0076] このような構成のカラムAD回路25は、先にも述べたように、垂直信号線19（H1，H2，…）ごとに配置され、列並列構成のADCブロックであるカラム処理部26が構成される。

[0077] 個々のカラムAD回路25の出力側は、水平信号線18に接続されている。先にも述べたように、水平信号線18は、カラムAD回路25のビット幅であるnビット幅分の信号線を有し、図示しないそれぞれの出力線に対応したn個のセンス回路を経由して出力部29に接続される。

[0078] このような構成において、カラムAD回路25は、画素信号読出期間において、カウント動作を行ない、所定のタイミングでカウント結果を出力する。すなわち、まず、電圧比較部252では、参照信号生成部27からのランプ波形電圧と、垂直信号線19を介して入力される画素信号電圧とを比較し、双方の電圧が同じになると、電圧比較部252のコンパレータ出力が反転（本例ではHレベルからLレベルへ遷移）する。

[0079] カウンタ部254は、参照信号生成部27から発せられるランプ波形電圧

に同期してダウンカウントモードもしくはアップカウントモードでカウント動作を開始しており、コンパレータ出力の反転した情報がカウンタ部254に通知されると、カウント動作を停止し、その時点のカウント値を画素データとしてラッチ（保持・記憶）することでAD変換を完了する。

[0080] この後、カウンタ部254は、所定のタイミングで水平走査部12から制御線12cを介して入力される水平選択信号CH(i)によるシフト動作に基づいて、記憶・保持した画素データを、順次、カラム処理部26外や画素部10を有するチップ外へ出力端子5cから出力する。

[0081] なお、本実施形態の説明としては直接関連しないため特に図示しないが、その他の各種信号処理回路なども、固体撮像装置1の構成要素に含まれる場合がある。

[0082] <画素部>

図2A及び図2Bは、図1に示した固体撮像装置1に使用される単位画素3の構成例と、駆動部と駆動制御線と画素トランジスタの接続態様を示す図である。画素部10内の単位画素（画素セル）3の構成は、通常のCMOSイメージセンサと同様であり、本実施形態では、CMOSセンサとして汎用的な4TR構成のものや、たとえば、特許第2708455号公報に記載のように、3つのトランジスタからなる3TR構成のものを使用することができる。もちろん、これらの画素構成は一例であり、通常のCMOSイメージセンサのアレイ構成であれば、何れのものでも使用できる。

[0083] 画素内アンプとしては、たとえばフローティングディフュージョンアンプ構成のものが用いられる。一例としては、電荷生成部に対して、電荷読出部（転送ゲート部／読出ゲート部）の一例である読出選択用トランジスタ、リセットゲート部の一例であるリセットトランジスタ、垂直選択用トランジスタ、およびフローティングディフュージョンの電位変化を検知する検知素子の一例であるソースフォロア構成の増幅用トランジスタを有する、CMOSセンサとして汎用的な4つのトランジスタからなる構成（以下4TR構成ともいう）のものを使用することができる。

[0084] たとえば、図 2 A に示す 4 T R 構成の単位画素 3 は、光を受光して電荷に変換する光電変換機能とともに、その電荷を蓄積する電荷蓄積機能の各機能を兼ね備えた電荷生成部 3 2 と、電荷生成部 3 2 に対して、電荷読出部（転送ゲート部／読出ゲート部）の一例である読出選択用トランジスタ（転送トランジスタ）3 4、リセットゲート部の一例であるリセットトランジスタ 3 6、垂直選択用トランジスタ 4 0、およびフローティングディフュージョン 3 8 の電位変化を検知する検知素子の一例であるソースフォロア構成の増幅用トランジスタ 4 2 を有する。

[0085] この単位画素 3 は、電荷蓄積部の機能を備えた電荷注入部の一例であるフローティングディフュージョン 3 8 とからなる F D A（Floating Diffusion Amp）構成の画素信号生成部 5 を有するものとなっている。フローティングディフュージョン 3 8 は寄生容量を持った拡散層である。

[0086] 読出選択用トランジスタ（第 2 の転送部）3 4 は、転送信号 ϕ T R G が供給される転送駆動バッファ 2 5 0 により転送配線（読出選択線 T X）5 5 を介して駆動されるようになっている。リセットトランジスタ 3 6 は、リセット信号 ϕ R S T が供給されるリセット駆動バッファ 2 5 2 によりリセット配線（R S T）5 6 を介して駆動されるようになっている。垂直選択用トランジスタ 4 0 は、垂直選択信号 ϕ V S E L が供給される選択駆動バッファ 2 5 4 により垂直選択線（S E L）5 2 を介して駆動されるようになっている。各駆動バッファは、垂直走査部 1 4 の垂直駆動部 1 4 b によって駆動可能になっている。

[0087] 画素信号生成部 5 におけるリセットトランジスタ 3 6 は、ソースがフローティングディフュージョン 3 8 に、ドレインが電源 V d d にそれぞれ接続され、ゲート（リセットゲート R G）にはリセットパルス R S T がリセット駆動バッファから入力される。

[0088] 垂直選択用トランジスタ 4 0 は、一例として、ドレインが増幅用トランジスタ 4 2 のソースに、ソースが画素線 5 1 にそれぞれ接続され、ゲート（特に垂直選択ゲート S E L V という）が垂直選択線 5 2 に接続されている。な

おこのような接続構成に限らず、ドレインが電源 V_{dd} に、ソースが増幅用トランジスタ 42 のドレインにそれぞれ接続され、垂直選択ゲート SEL_V が垂直選択線 52 に接続されるようにしてもよい。

[0089] 垂直選択線 52 には、垂直選択信号 SEL が印加される。増幅用トランジスタ 42 は、ゲートがフローティングディフュージョン 38 に接続され、ドレインが垂直選択用トランジスタ 40 を介して電源 V_{dd} に、ソースは画素線 51 に接続され、さらに垂直信号線 53 (19) に接続されるようになっている。

[0090] さらに垂直信号線 53 は、その一端がカラム処理部 26 側に延在するとともに、その経路において、読出電流源部 24 が接続され、増幅用トランジスタ 42 との間で、略一定の動作電流（読出電流）が供給されるソースフォロワ構成が採られるようになっている。

[0091] 具体的には、読出電流源部 24 は、各垂直列に設けられた NMOS 型のトランジスタ（特に負荷 MOS トランジスタという）242 と、全垂直列に対して共用される電流生成部 245 およびゲートおよびドレインが共通に接続されソースがソース線 248 に接続された NMOS 型のトランジスタ 246 を有する基準電流源部 244 とを備えている。

[0092] 各負荷 MOS トランジスタ 242 は、ドレインが対応する列の垂直信号線 53 に接続され、ソースが接地線であるソース線 248 に共通に接続されている。これにより、各垂直列の負荷 MOS トランジスタ 242 は基準電流源部 244 のトランジスタ 246 との間でゲート同士が接続されカレントミラー回路を構成するように接続されている。

[0093] ソース線 248 は、水平方向の端部（図 1 の左右の垂直列）で基板バイアスである接地（GND）に接続され、負荷 MOS トランジスタ 242 の接地に対する動作電流（読出電流）が、チップの左右両端から供給されるような構成となっている。

[0094] 電流生成部 245 には、必要時にのみ所定電流を出力するようにするための負荷制御信号 $SFLACT$ が、図示しない負荷制御部から供給されるようになっ

ている。電流生成部245は、信号読出し時には、負荷制御信号SFLACTのアクティブ状態が入力されることで、各増幅用トランジスタ42に接続された負荷MOSトランジスタ242によって、予め決められた定電流を流し続けるようになっている。つまり、負荷MOSトランジスタ242は、選択行の増幅用トランジスタ42とソースフォロアを組んで読出電流を増幅用トランジスタ42に供給することで垂直信号線53への信号出力をさせる。

[0095] このような4TR構成では、フローティングディフュージョン38は増幅用トランジスタ42のゲートに接続されているので、増幅用トランジスタ42はフローティングディフュージョン38の電位（以下FD電位という）に対応した信号を電圧モードで、画素線51を介して垂直信号線19（53）に出力する。

[0096] リセットトランジスタ36は、フローティングディフュージョン38をリセットする。読出選択用トランジスタ（転送トランジスタ）34は、電荷生成部32にて生成された信号電荷をフローティングディフュージョン38に転送する。垂直信号線19には多数の画素が接続されているが、画素を選択するのは、選択画素のみ垂直選択用トランジスタ40をオンする。すると選択画素のみが垂直信号線19と接続され、垂直信号線19には選択画素の信号が出力される。

[0097] これに対して、電荷生成部と3つのトランジスタからなる構成（以下3TR構成ともいう）とすることで、単位画素3におけるトランジスタが占める面積を少なくし、画素サイズを小さくすることができる（たとえば特許第2708455号公報参照）。

[0098] たとえば、図2Bに示す3TR構成の単位画素3は、光電変換を行なうことで受光した光に対応する信号電荷を生成する電荷生成部32（たとえばフォトダイオード）と、電荷生成部32により生成された信号電荷に対応する信号電圧を増幅するための、ドレイン線（DRN）に接続された増幅用トランジスタ42と、電荷生成部32をリセットするためのリセットトランジスタ36とを、それぞれ有している。また、図示しない垂直走査回路14より

転送配線（TRF）55を介して走査される読出選択用トランジスタ（転送ゲート部）34が、電荷生成部32と増幅用トランジスタ42のゲートとの間に設けられている。

[0099] 増幅用トランジスタ42のゲートおよびリセットトランジスタ36のソースは読出選択用トランジスタ34を介して電荷生成部32に、リセットトランジスタ36のドレインおよび増幅用トランジスタ42のドレインはドレイン線に、それぞれ接続されている。また、増幅用トランジスタ42のソースは垂直信号線53に接続されている。

[0100] 読出選択用トランジスタ34は、転送配線55を介して転送駆動バッファ250により駆動されるようになっている。リセットトランジスタ36は、リセット配線56を介してリセット駆動バッファ252により駆動されるようになっている。

[0101] 転送駆動バッファ250、リセット駆動バッファ252とも基準電圧である0Vと、電源電圧の2値で動作する。特に、この画素における読出選択用トランジスタ34のゲートに供給されるローレベル電圧は0Vである。

[0102] この3TR構成の単位画素3においては、4TR構成と同様に、フローティングディフュージョン38は増幅用トランジスタ42のゲートに接続されているので、増幅用トランジスタ42はフローティングディフュージョン38の電位に対応した信号を垂直信号線53に出力する。

[0103] リセットトランジスタ36は、リセット配線（RST）56が行方向に延びており、ドレイン線（DRN）57は殆どの画素に共通になっている。このドレイン線57は、ドレイン駆動信号 ϕ DRNが供給されるドレイン駆動バッファ（以下DRN駆動バッファという）240により駆動される。リセットトランジスタ36はリセット駆動バッファ252により駆動され、フローティングディフュージョン38の電位を制御する。

[0104] ドレイン線57が行方向に分離されているが、このドレイン線57は1行分の画素の信号電流を流さなければならないので、実際には列方向に電流を流せるように、全行共通の配線となる。電荷生成部32（光電変換素子）に

て生成された信号電荷は読出選択用トランジスタ 34 によりフローティングディフュージョン 38 に転送される。

[0105] ここで、3 T R 構成の単位画素 3 には、4 T R 構成とは異なり、増幅用トランジスタ 42 と直列に接続される垂直選択用トランジスタ 40 が設けられていない。垂直信号線 53 には多数の画素が接続されているが、画素の選択は、選択トランジスタではなく、F D 電位の制御により行なう。通常は、F D 電位をロー (L o w) にしている。画素を選択するときは、選択画素の F D 電位をハイ (H i g h) にすることで、選択画素の信号を垂直信号線 53 に出す。その後、選択画素の F D 電位をローに戻す。この操作は 1 行分の画素に対して同時に行なわれる。

[0106] このように F D 電位を制御するためには、1) 選択行 F D 電位をハイにするときに、ドレイン線 57 をハイにし、選択行のリセットトランジスタ 36 を通して、その F D 電位をハイにする、2) 選択行 F D 電位をローに戻すときに、ドレイン線 57 をローにし、選択行のリセットトランジスタ 36 を通して、その F D 電位をローにする、という動作を行なう。

[0107] このような 4 T R もしくは 3 T R の構成を持つ単位画素 3 を具備した画素部 10 を駆動するには、各駆動バッファ 240, 250, 252, 254 (纏めて駆動部ともいう) から駆動用の各配線 52, 55, 56, 57 (纏めて駆動制御線ともいう) を介して、単位画素 3 を構成する各トランジスタ 34, 36, 40 (纏めて画素トランジスタともいう) を駆動する。

[0108] <固体撮像装置の動作>

図 3 は、図 1 に示した固体撮像装置 1 のカラム A D 回路 25 における基本動作である信号取得差分処理を説明するためのタイミングチャートである。

[0109] 画素部 10 の各単位画素 3 で感知されたアナログの画素信号をデジタル信号に変換する仕組みとしては、たとえば、所定の傾きで下降するランプ波形状の参照信号 RAMP と単位画素 3 からの画素信号における基準成分や信号成分の各電圧とが一致する点を探し、この比較処理で用いる参照信号 RAMP の生成時点から、画素信号における基準成分や信号成分に応じた電気信号と参照信

号とが一致した時点までをカウントクロックでカウント（計数）することで、基準成分や信号成分の各大きさに対応したカウント値を得る手法を採る。

[0110] ここで、垂直信号線 19 から出力される画素信号は、時間系列として、基準成分としての画素信号の雑音を含むリセット成分 ΔV の後に信号成分 V_{sig} が現れるものである。1 回目の処理を基準成分（リセット成分 ΔV ）について行なう場合、2 回目の処理は基準成分（リセット成分 ΔV ）に信号成分 V_{sig} を加えた信号についての処理となる。以下具体的に説明する。

[0111] 1 回目の読出しのため、先ず通信・タイミング制御部 20 は、モード制御信号 CN5 をローレベルにしてカウンタ部 254 をダウンカウントモードに設定するとともに、リセット制御信号 CN6 を所定期間アクティブ（本例ではハイレベル）にしてカウンタ部 254 のカウント値を初期値 “0” にリセットさせる（t8）。

[0112] そして、垂直走査部 14 による行走査によってある行が選択され、その選択行 V_{α} の単位画素 3 から垂直信号線 19（H1, H2, …）への 1 回目の読出しが安定した後、通信・タイミング制御部 20 は、参照信号生成部 27 に向けて、参照信号 RAMP 生成用の制御データ CN4（ここではオフセット OFF と傾き β を含む）を供給する。

[0113] このとき同時に、通信・タイミング制御部 20 は、アクティブ L のリセット信号 PSET をある短い期間だけ電圧比較部 252 に与える（t9）。これにより、電圧比較部 252 の各入力端の電位が所定電位にセットされ、電圧比較部 252 の動作点が行の選択動作ごとに適正レベルに決定される。

[0114] 制御データ CN4 が供給された参照信号生成部 27 においては、先ず、 V_{α} 行上に存在する色のカラー画素特性に合わせた傾き β を持ち全体として鋸歯状（RAMP 状）に時間変化させた階段状の波形（RAMP 波形）を持った参照信号 RAMP を DA 変換回路 27a にて生成し、対応するカラム AD 回路 25 の電圧比較部 252 の一方の入力端子 RAMP に、比較電圧として供給する。

[0115] 各列の電圧比較部 252 は、この RAMP 波形の比較電圧と画素部 10 から供給される対応列の垂直信号線 19（H α ）の画素信号電圧とを比較する。

- [0116] また、電圧比較部 252 の入力端子 RAMP への参照信号 RAMP の入力と同時に、電圧比較部 252 における比較時間を、行ごとに配置されたカウンタ部 254 で計測するために、参照信号生成部 27 から発せられるランプ波形電圧に同期して (t_{10})、カウンタ部 254 のクロック端子に通信・タイミング制御部 20 からカウントクロック CK0 を入力し、1 回目のカウント動作として、初期値 “0” からダウンカウントを開始する。すなわち、負の方向にカウント処理を開始する。
- [0117] 電圧比較部 252 は、参照信号生成部 27 からのランプ状の参照信号 RAMP と垂直信号線 19 を介して入力される画素信号電圧 V_x とを比較し、双方の電圧が同じになったときに、コンパレータ出力を H レベルから L レベルへ反転させる (t_{12})。つまり、リセット成分 V_{rst} に応じた電圧信号と参照信号 RAMP とを比較して、リセット成分 V_{rst} の大きさに対応した時間経過後にアクティブロー (L) のパルス信号を生成して、カウンタ部 254 に供給する。
- [0118] この結果を受けて、カウンタ部 254 は、コンパレータ出力の反転とほぼ同時にカウント動作を停止し、その時点のカウント値を画素データとしてラッチ (保持・記憶) することで AD 変換を完了する (t_{12})。つまり、電圧比較部 252 に供給するランプ状の参照信号 RAMP の生成とともにダウンカウントを開始し、比較処理によってアクティブロー (L) のパルス信号が得られるまでクロック CK0 でカウント (計数) することで、リセット成分 V_{rst} の大きさに対応したカウント値を得る。
- [0119] 通信・タイミング制御部 20 は、所定のダウンカウント期間を経過すると (t_{14})、電圧比較部 252 への制御データの供給と、カウンタ部 254 へのカウントクロック CK0 の供給とを停止する。これにより、電圧比較部 252 は、ランプ状の参照信号 RAMP の生成を停止する。
- [0120] この 1 回目の読出し時は、画素信号電圧 V_x におけるリセットレベル V_{rst} を電圧比較部 252 で検知してカウント動作を行なっているので、単位画素 3 のリセット成分 ΔV を読み出していることになる。

- [0121] このリセット成分 ΔV 内には、単位画素3ごとにバラ付く雑音がオフセットとして含まれている。しかし、このリセット成分 ΔV のバラ付きは一般に小さく、またリセットレベル V_{rst} は概ね全画素共通であるので、任意の垂直信号線19の画素信号電圧 V_x におけるリセット成分 ΔV の出力値はおおよそ既知である。
- [0122] したがって、1回目のリセット成分 ΔV の読出し時には、RAMP電圧の変化特性を調整することにより、ダウンカウント期間（ $t_{10} \sim t_{14}$ ；比較期間）を短くすることで、1回目の比較期間を短くすることが可能である。本実施形態では、リセット成分 ΔV についての比較処理の最長期間を、7ビット分のカウント期間（128クロック）にして、リセット成分 ΔV の比較を行なっている。
- [0123] 続いての2回目の読出し時には、リセット成分 ΔV に加えて、単位画素3ごとの入射光量に応じた電気信号成分 V_{sig} を読み出し、1回目の読出しと同様の動作を行なう。すなわち、先ず通信・タイミング制御部20は、モード制御信号 $CN5$ をハイレベルにしてカウンタ部254をアップカウントモードに設定する（ t_{18} ）。そして、選択行 V_α の単位画素3から垂直信号線19（ $H1, H2, \dots$ ）への2回目の読出しが安定した後、通信・タイミング制御部20は、信号成分 V_{sig} についてのAD変換処理のため、参照信号RAMP生成用の制御データ $CN4$ をDA変換回路27aに供給する。このときには、通信・タイミング制御部20は、1回目の処理とは異なり、リセット信号PSETをアクティブLにすることはしない。
- [0124] これを受けて、参照信号生成部27においては、先ず、 V_α 行上に存在するある色のカラー画素特性に合わせた傾き β を持ち全体として鋸歯状（RAMP状）に時間変化させた階段状の波形（RAMP波形）を持つとともに、リセット成分 ΔV 用の初期値 V_{ar} に対してオフセットOFFだけ下がった参照信号RAMPをDA変換回路27aにて生成し、対応するカラムAD回路25の電圧比較部252の一方の入力端子RAMPに、比較電圧として供給する。
- [0125] 各列の電圧比較部252は、このRAMP波形の比較電圧と画素部10から供

給される対応列の垂直信号線 19 ($H\alpha$) の画素信号電圧とを比較する。

- [0126] 電圧比較部 252 の入力端子 RAMP への参照信号 RAMP の入力と同時に、電圧比較部 252 における比較時間を、行ごとに配置されたカウンタ部 254 で計測するために、参照信号生成部 27 から発せられるランプ波形電圧に同期して ($t20$)、カウンタ部 254 のクロック端子に通信・タイミング制御部 20 からカウントクロック CK0 を入力し、2 回目のカウント動作として、1 回目の読出し時に取得された単位画素 3 のリセット成分 ΔV に対応するカウント値から、1 回目とは逆にアップカウントを開始する。すなわち、正の方向にカウント処理を開始する。
- [0127] 電圧比較部 252 は、参照信号生成部 27 からのランプ状の参照信号 RAMP と垂直信号線 19 を介して入力される画素信号電圧 V_x とを比較し、双方の電圧が同じになったときに、コンパレータ出力を H レベルから L レベルへ反転させる ($t22$)。つまり、信号成分 V_{sig} に応じた電圧信号と参照信号 RAMP とを比較して、信号成分 V_{sig} の大きさに対応した時間経過後にアクティブロー (L) のパルス信号を生成して、カウンタ部 254 に供給する。
- [0128] この結果を受けて、カウンタ部 254 は、コンパレータ出力の反転とほぼ同時にカウント動作を停止し、その時点のカウント値を画素データとしてラッチ (保持・記憶) することで AD 変換を完了する ($t22$)。つまり、電圧比較部 252 に供給するランプ状の参照信号 RAMP の生成とともにダウンカウントを開始し、比較処理によってアクティブロー (L) のパルス信号が得られるまでクロック CK0 でカウント (計数) することで、信号成分 V_{sig} の大きさに対応したカウント値を得る。
- [0129] 通信・タイミング制御部 20 は、所定のダウンカウント期間を経過すると ($t24$)、電圧比較部 252 への制御データの供給と、カウンタ部 254 へのカウントクロック CK0 の供給とを停止する。これにより、参照信号生成部 27 は、ランプ状の参照信号 RAMP の生成を停止する。
- [0130] この 2 回目の読出し時は、画素信号電圧 V_x における信号成分 V_{sig} を電圧比較部 252 で検知してカウント動作を行なっているので、単位画素 3 の

信号成分 V_{sig} を読み出していることになる。

[0131] ここで、本実施形態においては、カウンタ部 254 におけるカウント動作を、1 回目の読出し時にはダウンカウント、2 回目の読出し時にはアップカウントとし、カウント結果を同じ格納場所に保持するので、カウンタ部 254 内で自動的に、式 (1) で示す減算が行なわれ、この減算結果に応じたカウント値がカウンタ部 254 に保持される。

[0132] [数1]

$$(\text{2回目の比較期間におけるカウント値}) - (\text{1回目の比較期間におけるカウント値}) \quad \dots (1)$$

[0133] ここで、式 (1) は、式 (2) のように変形でき、結果としては、カウンタ部 254 に保持されるカウント値は信号成分 V_{sig} に応じたものとなる。なお、ここでは、高精度なカラー画像撮像を行なうべく、初期値とゲインを色対応別に制御する観点から黒基準についても考慮しているが、一般的には (モノクロ撮像を含む)、最後の項の黒基準の項を無視することもできる。

[0134] [数2]

$$\left. \begin{aligned} & (\text{2回目の比較期間}) - (\text{1回目の比較期間}) \\ & = (\text{信号成分 } V_{sig} + \text{リセット成分 } \Delta V + \text{カラムAD回路25のオフセット成分} - (\text{黒基準成分})) \\ & \quad - (\text{リセット成分 } \Delta V + \text{カラムAD回路25のオフセット成分}) \\ & = (\text{信号成分 } V_{sig}) - (\text{黒基準成分}) \end{aligned} \right\} (2)$$

[0135] つまり、上述のような一連の動作において、1 回目の読出し時におけるダウンカウントと 2 回目の読出し時におけるアップカウントといった、2 回の読出しとカウント処理によるカウンタ部 254 内での減算処理によって、単位画素 3 ごとのバラ付きを含んだリセット成分 ΔV とカラム AD 回路 25 ごとのオフセット成分とを除去することができる。また、単位画素 3 ごとの入射光量に応じた信号成分 V_{sig} に黒基準成分の補正を加えた信号についてのデジタル信号のみを簡易な構成で取り出すことができる。

[0136] この際、回路バラ付きやリセット雑音も除去できる利点がある。つまり、2 回目のカウント後の出力値が、雑音成分を除去した純粋なデジタル信号量を表すこととなる。よって、本実施形態のカラム AD 回路 25 は、アナログ

の画素信号をデジタルの画素データに変換するデジタル変換部としてだけでなく、CDS (Correlated Double Sampling ; 相関2重サンプリング) 処理機能部としても動作することとなる。

[0137] また、式(2)で得られるカウント値が示す画素データは正の信号電圧を示すので、補数演算などが不要となり、既存のシステムとの親和性が高い。

[0138] <チップ構造の構成例>

上述した構成例に係る固体撮像装置1のチップ(半導体集積回路)構造としては、例えば、積層型のチップ構造を採ることができる。図4は、固体撮像装置1の積層型のチップ構造の概略を示す分解斜視図である。

[0139] 図4に示すように、積層型のチップ構造、所謂、積層構造は、第2半導体チップである画素チップ101、及び、第1半導体チップであるロジックチップ102の少なくとも2つのチップが積層された構造となっている。そして、図2A又は図2Bに示す単位画素3の回路構成において、電荷生成部32のそれぞれが画素チップ101上に配置され、電荷生成部32以外の素子の全てや、単位画素3の他の回路部分の素子などがロジックチップ102上に配置される。画素チップ101とロジックチップ102とは、ビア(VIA)、Cu-Cu接合、バンプなどの接続部を介して電氣的に接続される。

[0140] 尚、ここでは、電荷生成部32を画素チップ101に配置し、電荷生成部32以外の素子や単位画素3の他の回路部分の素子などをロジックチップ102に配置する構成例を例示したが、この構成例に限られるものではない。

[0141] 例えば、図2A又は図2Bに示す単位画素3の回路構成において、電荷生成部32及び読出選択用トランジスタ34の各素子を画素チップ101に配置し、電荷生成部32及び読出選択用トランジスタ34以外の素子や単位画素3の他の回路部分の素子などをロジックチップ102に配置する構成とすることができる。また、電荷生成部32、読出選択用トランジスタ34、リセットトランジスタ36及びフローティングディフュージョン38を画素チップ101に配置し、それ以外の素子をロジックチップ102に配置する構成とすることができる。

[0142] 図5は、ロジックチップ102の構成及び配置の一例を示す平面図である。なお、図5の画素チップ101及びロジックチップ102は、図4と比較して、上下の配置が逆であることに留意されたい。図5に示す例では、ロジックチップ102に、垂直走査部14、カラム処理部26、DA変換回路27a及びロジック(logic)回路が配置されている。ロジック回路は、例えば、図1に示す回路構成のうち、画素部10、垂直走査部14、カラム処理部26及びDA変換回路27a(参照信号生成部27)以外の他の回路である。ロジックチップ102は、図5の画素チップ101上の破線に示す位置で貼り合わされる。

[0143] <マルチチップ構造の構成例>

近年、大型センサでは、大きな画素チップ101に個片化された複数のロジックチップ102を貼り合わせる構造が採用されている。すなわち、固体撮像装置1は、それぞれが複数の撮像信号をAD変換する複数のロジックチップを備える。図6は、個片化されたロジックチップ102の構成及び配置の一例を示す平面図である。

[0144] 図6に示す例では、2つに分割されたロジックチップ102が水平方向に並べて配置されている。また、2つのロジックチップ102のそれぞれは、垂直走査部14、カラム処理部26、DA変換回路27a及びロジック回路等の構成及び配置が同じである。これは、例えば、2つのロジックチップ102が同一マスクで設計されているためである。尚、2つのロジックチップ102の面積の和は、図5に示すロジックチップ102の面積とほぼ同じである。

[0145] 通常、露光装置の露光範囲より面積が大きいチップを製造する場合、複数毎のマスクパターンを繋ぎ合わせながら順次露光していく処理、いわゆる繋ぎ露光が用いられる場合がある。例えば、35mmサイズ又は中判サイズの大型センサの画素チップ101は、繋ぎ露光により作製される。一方、大型センサのロジックチップ102は、繋ぎ露光で作られる単一チップではなく、複数の個片化チップに分割されて画素チップに貼り合わせられる場合があ

る。

[0146] ロジックチップ102を個片化チップに分割することにより、繋ぎ露光が不要になる。繋ぎ露光を行うには、特殊な設計ルール、製造装置及び製造工程が必要になる。この結果、コストが高くなってしまう。ロジックチップ102を個片化チップに分割することにより、一括露光により、低コストでロジックチップ102を製造することができる。また、個片化ロジックチップを同一マスクで設計することができ、マスク代を削減することができる。複数のロジックチップ102のそれぞれは、同一のマスクで設計されるため、同一サイズ、同一形状、及び同一の回路構成を有する。また、個片化されたチップを選別して、良品だけを選んで画素チップ101に貼り合わせることで、積層チップの歩留まりを向上させることができる。

[0147] 図7は、個片化されたロジックチップ102の構成及び配置の第1変形例を示す平面図である。図7に示す例では、図6と比較して、垂直走査部14がロジックチップ102ではなく画素チップ101に配置されている。この場合でも、2つのロジックチップ102のそれぞれは、カラム処理部26、DA変換回路27a及びロジック回路等の構成及び配置が同じである。

[0148] 図8は、個片化されたロジックチップ102の構成及び配置の第2変形例を示す平面図である。図8に示す例では、図7と比較して、4つのロジックチップ102に分割されている。また、4つのロジックチップは、同じ設計データから、左右及び上下の反転を組み合わせ製造されている。4つのロジックチップは、図8の画素チップ101の上下の各側に2つずつ貼り付けられる。

[0149] 図9は、比較例に係る固体撮像装置1の積層型のチップ構造の一例を示す概略図である。

[0150] 複数のロジックチップ102のそれぞれは、参照信号線251と、DA変換回路27aL（参照信号生成部27）と、カラム処理部26と、を有する。カラム処理部26には、図1に示すように、複数のカラムAD回路25が含まれる。図9に示す例では、図6又は図7のように、2つのロジックチッ

チップ102が画素チップ101に貼り合わされている。以下では、この2つのロジックチップ102は、左チップ102L、及び、右チップ102Rと呼ぶ。左チップ102Lは、DA変換回路27aL、参照信号線251L及びカラム処理部26Lを有する。右チップ102Rは、DA変換回路27aR、参照信号線251R及びカラム処理部26Rを有する。

[0151] また、固体撮像装置1は、信号線ピッチ変換部103L、103Rをさらに備える。信号線ピッチ変換部103L、103Rは、画素チップ101内の画素配列（画素部10）から伸びる垂直信号線19を左チップ102L及び右チップ102Rと接続可能にするように、画素チップ101の垂直信号線19間のピッチを変換する。信号線ピッチ変換部103L、103Rにより、例えば、画素チップ101における左チップ102Lと右チップ102Rとの間の領域に配置された垂直信号線19の位置を調整することができる。

[0152] 信号線ピッチ変換部103Lは、画素チップ101と左チップ102Lとの間に設けられている。信号線ピッチ変換部103Rは、画素チップ101と右チップ102Rとの間に設けられている。図9に示す接続部104は、左チップ102Lと信号線ピッチ変換部103Lとの間、及び、右チップ102Rと信号線ピッチ変換部103Rとの間を電氣的に接続する。接続部104は、例えば、図4を参照して説明したビア、Cu-Cu接合、バンプなどである。

[0153] しかし、図9に示す例では、左右のDA変換回路27aL、27aRの回路ばらつきにより、ロジックチップ102L、102Rごとにランプ状の参照信号RAMP_L、RAMP_RのLSB（Least Significant Bit）重みが異なってしまう可能性がある。LSB重みは、参照信号RAMPの傾きに影響する。例えば、参照信号RAMPの生成のための抵抗及び電流値のばらつきによって、図3に示す参照信号RAMPの傾き β が異なってしまう。この場合、水平方向に均一な画素入力信号が左チップ102L及び右チップ102Rに入力されても、左チップ102Lと右チップ102Rとの間でAD出力レベルが異なってしまう。

う。A/D出力レベルの差により、固体撮像装置1の出力映像の中央に段差（シェーディング）が視認されてしまう。すなわち、A/D変換が個片化された複数のロジックチップで行われることにより、A/D出力レベルのばらつきが生じて、画質が低下してしまう場合がある。

[0154] <第1実施形態>

図10は、第1実施形態に係る固体撮像装置1の積層型のチップ構造の一例を示す概略図である。

[0155] 図10に示す例では、固体撮像装置1は、信号線接続部253と、スイッチ255L、255Rと、をさらに備える。

[0156] 信号線接続部253は、左チップ102Lの参照信号線251Lと、右チップ102Rの参照信号線251Rと、を電氣的に接続する。信号線接続部253は、画素チップ101を経由している。尚、信号線接続部253の詳細については、図11A及び図11Bを参照して、後で説明する。

[0157] スイッチ255Lは、D/A変換回路27aLとカラム処理部26Lとの間に設けられ、D/A変換回路27aLとカラム処理部26Lとの間の電氣的な接続を切り替える。

[0158] スイッチ255Rは、D/A変換回路27aRとカラム処理部26Rとの間に設けられ、D/A変換回路27aRとカラム処理部26Rとの間の電氣的な接続を切り替える。

[0159] 図10に示す例では、スイッチ255L及びスイッチ255Rは、それぞれ閉状態及び開状態である。これにより、D/A変換回路27aLを有効化し、かつ、D/A変換回路27aRを無効化することができる。この場合、左チップ102LのD/A変換回路27aLで生成された参照信号RAMP_Lが、参照信号線251L、251Rを介してカラム処理部26L、26Rの両方に供給される。この結果、図9を参照して説明した、D/A変換回路27aL、27aRの回路ばらつきによる、LSB重みの差の影響を抑制することができる。従って、出力映像の段差及びシェーディング等の画質の低下を抑制することができる。

- [0160] 図10において斜線で示すDA変換回路27aRは、スタンバイ状態である。この場合、DA変換回路27aRは、参照信号RAMP_Rの生成を停止する。DA変換回路27aRは、内部電流パスを切断し、省電力状態である。
- [0161] 尚、必ずしもスイッチ255L、255Rを設ける場合に限られず、DA変換回路27aRの出力のインピーダンスを高くすればよい。例えば、DA変換回路27aRの出力側の配線を切断するように、左チップ102Lの製造に用いたマスクとは別のマスクを用いて右チップ102Rを製造してもよい。
- [0162] 次に、信号線接続部253の詳細について説明する。
- [0163] 図11Aは、第1実施形態に係る信号線接続部253の構成の一例を示す断面図である。図11Bは、第1実施形態に係る信号線接続部253の構成の一例を示す平面図である。また、図11A及び図11Bに示す例では、図10に示す接続部104は、Cu-Cu接続又はバンプ接続である。尚、図11A及び図11Bでは、信号線ピッチ変換部103L、103Rは省略されている。
- [0164] 図11Aに示す例では、2つのロジックチップ102L、102Rが画素チップ101に積層されている。より詳細には、図11Aの下方から上方向に向かって、ロジックチップ102L、102Rの基板1021及び配線層1022、並びに、画素チップ101の配線層1012及び基板1011の順に積層されている。基板1011及び基板1021は、例えば、シリコン基板である。画素チップ101の基板1011には、光電変換を行う単位画素3が配列された画素アレイ部が配置される。ロジックチップ102L、102Rの基板1021には、カラム処理部26等の後段回路が配置される。配線層1012、1022のそれぞれは、単層又は複数層の絶縁膜と、単層又は複数層の配線と、を含む。また、ロジックチップ102L、102R及び画素チップ101は、貼合面Sにおいて、バンプ、または導電材料同士の直接接合にて電氣的に接続される。基板1021及び基板1011は、配線層1012、1022を介して電氣的に接続される。

[0165] 信号線接続部253は、画素チップ101を介して、左チップ102Lの参照信号線251Lと、右チップ102Rの参照信号線251Rと、を電氣的に接続する。信号線接続部253は、配線W1と、パッドP1、P2と、ビアV1、V2と、を有する。配線W1、パッドP1及びビアV1は、画素チップ101に配置される。パッドP2及びビアV2は、ロジックチップである左チップ102L及び右チップ102Rに配置される。配線W1、パッドP1、P2及びビアV1、V2の材料には、導電性材料が用いられる。

[0166] 配線W1は、画素チップ101の配線層1012内の或る層に設けられる。パッドP1、P2は、貼合面Sにおいて画素チップ101とロジックチップ102とを電氣的に接続するために設けられる。ビアV1は、チップの積層方向と略平行に設けられ、配線W1とパッドP1とを電氣的に接続する。ビアV2は、チップの積層方向と略平行に設けられ、参照信号線251LとパッドP2とを電氣的に接続する。なお、ビアV2は、複数の配線層と電氣的に接続するように設けられていてもよい。

[0167] 図11Aに示すように、参照信号線251Lは、左チップ102L側のビアV2、パッドP2及びパッドP1を介して、配線W1と電氣的に接続されている。同様に、参照信号線251Rは、右チップ102R側のビアV2、パッドP2及びパッドP1を介して、配線W1と電氣的に接続されている。この結果、参照信号線251L、251Rは、電氣的に接続される。

[0168] 図11Bに示すように、図11Aの上方向又は下方向から見ると、左チップ102L側のビアV1、V2の位置において、参照信号線251Lと配線W1とが重なる。同様に、右チップ102R側のビアV1、V2の位置において、参照信号線251Rと配線W1とが重なる。

[0169] 図12Aは、第1実施形態に係る信号線接続部253の構成の第1変形例を示す断面図である。図12Bは、第1実施形態に係る信号線接続部253の構成の第1変形例を示す平面図である。また、図12A及び図12Bに示す例では、図10に示す接続部104は、TSV (Through Silicon Via) である。従って、ロジックチップ102L、102R及び画素チップ101は

、貼合面Sにおいて、ビア、または導電材料同士の直接接合にて電氣的に接続される。

[0170] 図12A及び図12Bに示す信号線接続部253は、配線W2、W3と、ビアV3、V4と、を有する。配線W2、W3及びビアV4は、画素チップ101に配置される。ビアV3、V4は、画素チップ101の基板1011（例えば、シリコン基板）を貫通するように設けられる。また、ビアV3は、画素チップ101を貫通して左チップ102L及び右チップ102Rに達するように配置される。配線W2、W3及びビアV3、V4の材料には、導電性材料が用いられる。

[0171] 配線W2は、画素チップ101の基板1011上に設けられる。配線W3は、画素チップ101の配線層1012内の層に設けられる。ビアV3は、画素チップ101とロジックチップ102とを電氣的に接続するために設けられる。ビアV3は、チップの積層方向と略平行に設けられ、配線W2と参照信号線251L及び参照信号線251Rとを電氣的に接続する。ビアV4は、チップの積層方向と略平行に設けられ、配線W2と配線W3とを電氣的に接続する。

[0172] 図12Aに示すように、参照信号線251Lは、左チップ102L側のビアV3、配線W2及びビアV4を介して、配線W3と電氣的に接続されている。同様に、参照信号線251Rは、右チップ102R側のビアV3、配線W2及びビアV4を介して、配線W3と電氣的に接続されている。この結果、参照信号線251L、251Rは、電氣的に接続される。

[0173] 図12Bに示すように、図12Aの上方向又は下方向から見ると、左チップ102L側のビアV3の位置において、参照信号線251Lと左チップ102L側の配線W2とが重なる。左チップ102L側のビアV4の位置において、左チップ102L側の配線W2と配線W3とが重なる。同様に、右チップ102R側のビアV3の位置において、参照信号線251Rと右チップ102R側の配線W2とが重なる。右チップ102R側のビアV4の位置において、右チップ102R側の配線W2と配線W3とが重なる。

[0174] 次に、図 1 に示す参照信号供給 I F 部 2 8 の内部構成の詳細を説明する。

[0175] 図 1 3 A 及び図 1 3 B は、第 1 実施形態に係る参照信号供給 I F 部 2 8 の構成の一例を示す概略構成図である。図 1 3 A 及び図 1 3 B は、それぞれ左チップ 1 0 2 L 及び右チップ 1 0 2 R の参照信号供給 I F 部 2 8 を示す。

[0176] 図 1 3 A に示す例では、D A 変換回路 2 7 a L で生成された参照信号 RAMP_L が参照信号線 2 5 1 L に供給される。参照信号線 2 5 1 L 上に、カラム A D 回路 2 5 の数に応じた複数のノード N L が設けられる。ノード N L は、カラム A D 回路 2 5 の参照信号出力線 2 8 1 と接続されている。これにより、各カラム A D 回路 2 5 に参照信号 RAMP_L が供給される。

[0177] 図 1 3 B に示す例では、上記のように、右チップ 1 0 2 R の参照信号線 2 5 1 R は、左チップ 1 0 2 L の参照信号線 2 5 1 L と電氣的に接続されている。従って、参照信号線 2 5 1 R には、参照信号 RAMP_L が供給される。参照信号線 2 5 1 R 上に、カラム A D 回路 2 5 の数に応じた複数のノード N R が設けられる。ノード N R は、カラム A D 回路 2 5 の参照信号出力線 2 8 1 と接続されている。これにより、各カラム A D 回路 2 5 には参照信号 RAMP_L が供給される。

[0178] 図 1 4 A 及び図 1 4 B は、第 1 実施形態に係る参照信号供給 I F 部 2 8 の構成の第 1 変形例を示す概略構成図である。図 1 4 A 及び図 1 4 B は、それぞれ左チップ 1 0 2 L 及び右チップ 1 0 2 R の参照信号供給 I F 部 2 8 を示す。

[0179] 図 1 4 A 及び図 1 4 B に示す例では、参照信号供給 I F 部 2 8 は、複数のバッファ部 2 8 2 と、出力配線 2 8 3 と、を有する。

[0180] 複数のバッファ部 2 8 2 は、参照信号線 2 5 1 上の参照信号 RAMP を複数のカラム A D 回路 2 5 のそれぞれに対応づけてバッファリングする。これにより、長配線又は高負荷の参照信号線 2 5 1 L、2 5 1 R の応答を高速化したり、電圧比較部 2 5 2 からのキックバックの影響を軽減したりすることができる。バッファ部 2 8 2 は、カラム A D 回路 2 5 とノード N L 及びノード N R との間に複数設けられる。

[0181] 出力配線 283 は、複数のバッファ部 282 の出力側を電氣的に接続させ、複数のバッファ部 282 の出力ノードが共通に接続されるようにする。すなわち、出力配線 283 は、複数のバッファ部 282 間でバッファ部 282 の出力をショートさせることができる。これにより、バッファ部 282 の出力を平均化することができ、バッファ部 282 から発生するランダムノイズを軽減することができる。バッファ部 282 とカラム AD 回路 25 との間の参照信号出力線 281 上に、ノード NO が設けられている。ノード NO は、出力配線 283 と電氣的に接続される。また、出力配線 283 は、参照信号 RAMP_0 を各カラム AD 回路 25 に供給する。左チップ 102L の出力配線 283、及び、右チップ 102R の出力配線 283 は、電氣的に接続される。より詳細には、左チップ 102L の出力配線 283、及び、右チップ 102R の出力配線 283 は、画素チップ 101 を介して電氣的に接続される。従って、左チップ 102L と右チップ 102R との間でバッファ部 282 の出力が平均化される。

[0182] 図 15 は、バッファ部 282 の構成の一例を示す回路図である。図 15 に示す例では、バッファ部 282 は、参照信号 RAMP_L が入力されて参照信号 RAMP_0 を出力するソースフォロワ回路である。

[0183] バッファ部 282 は、トランジスタ 2821 と、電流源 2822 と、を有する。トランジスタ 2821 は、例えば、P 型トランジスタである。参照信号 RAMP_L は、参照信号線 251L、251R と接続されるトランジスタ 2821 のゲートに入力される。参照信号 RAMP_0 は、出力配線 283 と接続される、トランジスタ 2821 のソースと電流源 2822 との間のノードから出力される。

[0184] 以上のように、第 1 実施形態では、左チップ 102L の参照信号線 251L、及び、右チップ 102R の参照信号線 251R が電氣的に接続されている。左チップ 102L の DA 変換回路 27aL で生成された参照信号 RAMP_L が参照信号線 251L、251R に供給される。右チップ 102R の DA 変換回路 27aR は無効化される。これにより、分割された複数のロジックチ

ップ102間におけるLSB重みのばらつきの影響を抑制することができる。従って、分割された複数のロジックチップ102間におけるAD出力のばらつきを抑制することができる。この結果、画質の低下を抑制することができる。

[0185] 尚、分割されたロジックチップ102の数は、2つに限られない。第1実施形態は、ロジックチップ102の数が3つ以上の場合にも適用することができる。この場合、複数のロジックチップ102内の複数の参照信号線251同士は電氣的に接続される。複数のロジックチップ102のうちいずれか一つのロジックチップ102内のDA変換回路27aが生成した参照信号RAMPが複数の参照信号線251に供給される。AD変換する際には、一つのロジックチップ102以外の他のロジックチップ102内のDA変換回路27aは、参照信号RAMPの生成を停止する。また、図14A及び図14Bに示す出力配線283について、複数のロジックチップ102内の複数の出力配線283同士は、電氣的に接続される。

[0186] <第2実施形態>

図16は、第2実施形態に係る固体撮像装置1の積層型のチップ構造の一例を示す概略図である。第2実施形態は、右チップ102RのDA変換回路27aRを有効化している点で、第1実施形態とは異なっている。

[0187] 固体撮像装置1は、信号レベル取得部105と、ゲイン調整部106と、をさらに備える。なお、信号レベル取得部105及びゲイン調整部106は、複数のロジックチップ102（左チップ102L及び右チップ102R）内にそれぞれ設けられていてもよい。

[0188] 信号レベル取得部105は、参照信号RAMP_L、RAMP_Rの信号レベルを取得する。信号レベル取得部105は、例えば、DA変換回路27aL、27aRのLSB重みを取得する。

[0189] ゲイン調整部106は、信号レベル取得部105が取得した信号レベルに基づいて、信号の補正処理を行う。ゲイン調整部106は、例えば、DA変換回路27aR、27aLが生成する参照信号RAMP_L、RAMP_Rのアナログゲ

インを調整し、又は、カラム処理部 26 R、26 L により A/D 変換されたデジタル信号のデジタルゲインを調整する。

[0190] 図 17 は、第 2 実施形態に係るゲイン調整の一例を示す図である。

[0191] 図 17 に示す例では、調整前における D/A 変換回路 27 a L の L/SB 重みは、D/A 変換回路 27 a R の L/SB 重みよりも高い。信号線接続部 253 により参照信号線 251 L、251 R をショートしない場合、破線で示すように、L/SB 重みに差が生じている。この場合、図 9 を参照して説明した比較例のように、固体撮像装置 1 の出力映像の中央に段差が視認されてしまう。

[0192] 信号線接続部 253 により参照信号線 251 L、251 R をショートする場合、実線で示すように、D/A 変換回路 27 a L と D/A 変換回路 27 a R との間で、水平方向に L/SB 重みがなだらかに変化する。これは、参照信号線 251 L、251 R 及び信号線接続部 253 に有限のインピーダンスが存在するためである。このなだらかに変化する L/SB 重みの形状は、固体撮像装置 1 の出力映像の水平シェーディングにつながる。

[0193] 次に、L/SB 重みの違いの影響を抑制するための方法について説明する。

[0194] まず、信号レベル取得部 105 は、左右の D/A 変換回路 27 a L、27 a R の L/SB 重みのずれ量の情報を取得する。信号レベル取得部 105 は、例えば、D/A 変換回路 27 a、27 a R の出力を電圧計（図示せず）等で直接測定する。なお、信号レベル取得部 105 は、例えば、テスト用の回路から全カラムの垂直信号線 19（vsl）に共通の信号量を与えた場合において、センサ（固体撮像装置 1）から出力された A/D 変換結果（例えば、画像）から、左端と右端との出力平均差から算出してもよい。

[0195] 次に、信号レベル取得部 105 は、センサ選別時に L/SB 重みのずれ量を測定し、取得した情報を ROM（Read Only Memory）等の記憶部に書き込む。なお、信号レベル取得部 105 は、センサの実動作ごとに、動的に取得してもよい。

[0196] 次に、ゲイン調整部 106 は、取得した L/SB 重みのずれ量から、左右の D/A 変換回路 27 a L、27 a R の L/SB 重みを揃えるように、D/A 変換回路

27aL、27Rを調整する。調整手段の一例として、アナログゲインが用いられる。スロープ型のAD変換回路のDA変換回路27aは、アナログゲインを設定できる機能を有する場合が多い。アナログゲインの設定は、例えば、ISO感度の調整、及び、RGBのオートホワイトバランスの調整によく用いられる。このアナログゲインの設定値は、LSB重みと直結する。ゲイン調整部106は、複数の参照信号線251における複数の参照信号RAMP同士の比率に基づいてアナログゲインを調整する。例えば、ゲイン調整部106は、左チップ102LのDA変換回路27aLにはセンサに入力されたアナログゲインを左チップ102LのDA変換回路27aLにそのまま入力する。一方、ゲイン調整部106は、DA変換回路27aLに入力されたアナログゲインに、左右のDA変換回路27aLのLSB重みのずれ（比率）と掛け合わせたアナログゲインを右チップ102RのDA変換回路27aRに入力する。これにより、図17に示すように、アナログゲイン調整後のLSB重みは、左右のDA変換回路27aL、27aRでほぼ同じになる。この結果、シェーディング等の画質の低下を抑制することができる。

[0197] 図18は、第2実施形態に係るゲイン調整の第1変形例を示す図である。

[0198] まず、カラム処理部26L、26Rは、左右のDA変換回路27aL、27aRのLSB重みがずれたままの状態では信号をAD変換する。その後、ゲイン調整部106は、AD変換された信号を後段のデジタル処理でゲイン補正する。従って、ゲイン調整部106は、複数のロジックチップ102のそれぞれから出力された複数のデジタル信号同士を比較してデジタルゲインを調整する。図18に示すように、LSB重みは、参照信号線251L、251R上の位置、すなわち、カラムAD回路25の位置によって変化する。ゲイン調整部106は、例えば、カラムAD回路25に適用するデジタルゲインの値と、参照信号線251L、251R上の位置におけるLSB重みと、の積が一定になるように、デジタルゲインの値及び形状を決める。デジタルゲインの形状とは、参照信号線251L、251R上の位置に対するデジタルゲインの値を示す形状である。図17に示すデジタルゲインの形状は、L

S B 重みの形状とは、大小関係が逆になる。このようにデジタル処理で補正することにより、図 1 8 に示すように、デジタルゲイン補正後のデジタル信号レベルの形状は、ほぼフラットになる。

[0199] 以上のように、第 2 実施形態では、参照信号の信号レベルの差を補正することにより、複数の D A 変換回路 2 7 a L、か 2 7 a R から参照信号 RAMP_L、RAMP_R が供給される場合でも、出力映像の水平シェーディング等の画質の低下を抑制することができる。

[0200] また、第 2 実施形態では、第 1 実施形態と比較して、複数の D A 変換回路 2 7 a L、2 7 a R が参照信号 RAMP を供給するため、参照信号線 2 5 1 L、2 5 1 R の応答を早くすることができる。また、通常、ノイズ及び線形性等の D A 変換回路 2 7 a L、2 7 a R のアナログ特性を確保するために、トランジスタ、抵抗及びキャパシタ等のアナログ素子の面積を大きくする必要がある。第 2 実施形態では、左右の D A 変換回路 2 7 a L、2 7 a R をショートすることにより、見た目上 2 倍の面積の D A 変換回路に相当する特性が得られる。すなわち、第 1 実施形態と比較して、同じ設計データにより複製される D A 変換回路 2 7 a を有効に利用することができ、面積効率が高い。さらに、必要なアナログ特性に応じて、個々の D A 変換回路 2 7 a L、2 7 a R の面積を小さくすることができる。

[0201] 尚、第 2 実施形態に係る参照信号供給 I F 部 2 8 内部構成は、図 1 3 A 及び図 1 3 B、又は、図 1 4 A 及び図 1 4 B を参照して説明した参照信号供給 I F 部 2 8 の内部構成と同様である。

[0202] 尚、分割されたロジックチップ 1 0 2 の数は、2 つに限られない。第 2 実施形態は、ロジックチップ 1 0 2 の数が 3 つ以上の場合にも適用することができる。

[0203] <第 3 実施形態>

図 1 9 は、第 3 実施形態に係る固体撮像装置 1 の積層型のチップ構造の一例を示す概略図である。第 3 実施形態は、D A 変換回路 2 7 a L、2 7 a R とカラム A D 回路 2 5 との接続関係により L S B 重みのずれの影響を抑制す

る点で、第1実施形態及び第2実施形態とは異なっている。第3実施形態は、1つのDA変換回路27aで生成された参照信号RAMPが1つの参照信号線251に供給される点で、第1実施形態と共通している。第3実施形態は、DA変換回路27aL、27aRの両方を有効化している点で、第2実施形態と共通している。また、第3実施形態では、ゲイン調整は行われなくてもよい。

[0204] 図19に示す例では、左チップ102Lの参照信号線251Lは、第1参照信号線251LLと、第2参照信号線251LRと、を含む。右チップ102Rの参照信号線251Rは、第1参照信号線251RLと、第2参照信号線251RRと、を含む。なお、図19では、図14A及び図14Bで説明した出力配線283も示されている。

[0205] 左チップ102Lの第1参照信号線251LL、及び、右チップ102Rの第1参照信号線251RLは、信号線接続部253を介して、電氣的に接続される。

[0206] 左チップ102LのDA変換回路27aLは、第1参照信号251LL、251RLに参照信号RAMP_Lを供給するが、第2参照信号251LR、251RRには参照信号RAMP_Lを供給しない。

[0207] 左チップ102Lの第1参照信号線251LLは、DA変換回路27aLで生成された参照信号RAMP_Lをカラム処理部26Lに供給する。右チップ102Rの第1参照信号線251RLは、DA変換回路27aLで生成された参照信号RAMP_Lをカラム処理部26Rに供給する。

[0208] 左チップ102Lの第2参照信号線251LR、及び、右チップ102Rの第2参照信号線251RRは、信号線接続部253を介して、電氣的に接続される。

[0209] 右チップ102RのDA変換回路27aRは、第2参照信号251LR、251RRに参照信号RAMP_Rを供給するが、第1参照信号251LL、251RLには参照信号RAMP_Rを供給しない。

[0210] 左チップ102Lの第2参照信号線251LRは、DA変換回路27aR

で生成された参照信号RAMP_Rをカラム処理部26Lに供給する。右チップ102Rの第2参照信号線251RRは、DA変換回路27aRで生成された参照信号RAMP_Lを、カラム処理部26Rに供給する。

[0211] 左チップ102Lの出力配線283、及び、右チップ102Rの出力配線283は、信号線接続部253を介して、電氣的に接続される。

[0212] 次に、図1に示す参照信号供給IF部28の内部構成、及び、DA変換回路27aとカラムAD回路25との間の接続の詳細を説明する。

[0213] 図20A及び図20Bは、第3実施形態に係る参照信号供給IF部28の構成の一例を示す概略構成図である。図20A及び図20Bは、それぞれ左チップ102L及び右チップ102Rの参照信号供給IF部28を示す。

[0214] 図20Aに示す例では、左チップ102LのカラムAD回路25は、第1参照信号線251LLと接続するカラムAD回路25LLと、第2参照信号線251LRと接続するカラムAD回路25LRと、に分けられる。第1参照信号線251LLは、参照信号RAMP_Lを、複数のカラムAD回路25のうち複数のカラムAD回路25LLに供給する。第2参照信号線251LRは、参照信号RAMP_Rを、複数のカラムAD回路25のうち複数のカラムAD回路25LRに供給する。

[0215] カラムAD回路25LL、及び、カラムAD回路25LRは、第1参照信号線251LL及び第2参照信号線251LRに沿って、交互に配置される。すなわち、第1参照信号線251LL及び第2参照信号線251LRは、複数のカラムAD回路25に交互に接続される。

[0216] 図20Aに示す例では、DA変換回路27aLで生成された参照信号RAMP_Lは、第1参照信号線251LLに供給される。第1参照信号線251LL上に、カラムAD回路25LLの数に応じた複数のノードNLLが設けられる。ノードNLLは、カラムAD回路25LLの参照信号出力線281と接続されている。

[0217] また、DA変換回路27aRで生成された参照信号RAMP_Rは、第2参照信号線251LRに供給される。第2参照信号線251LR上に、カラムAD

回路 2 5 L R の数に応じた複数のノード N L R が設けられる。ノード N L R は、カラム A D 回路 2 5 L R の参照信号出力線 2 8 1 と接続されている。

[0218] 図 2 0 B に示す例では、右チップ 1 0 2 R のカラム A D 回路 2 5 は、第 1 参照信号線 2 5 1 R L と接続するカラム A D 回路 2 5 R L と、第 2 参照信号線 2 5 1 R R と接続するカラム A D 回路 2 5 R R と、に分けられる。第 1 参照信号線 2 5 1 R L は、参照信号 RAMP_L を、複数のカラム A D 回路 2 5 のうち複数のカラム A D 回路 2 5 R L に供給する。第 2 参照信号線 2 5 1 R R は、参照信号 RAMP_R を、複数のカラム A D 回路 2 5 のうち複数のカラム A D 回路 2 5 R R に供給する。

[0219] カラム A D 回路 2 5 R L、及び、カラム A D 回路 2 5 R R は、第 1 参照信号線 2 5 1 R L 及び第 2 参照信号線 2 5 1 R R に沿って、交互に配置される。すなわち、第 1 参照信号線 2 5 1 R L 及び第 2 参照信号線 2 5 1 R R は、複数のカラム A D 回路 2 5 に交互に接続される。

[0220] 図 2 0 B に示す例では、D A 変換回路 2 7 a L で生成された参照信号 RAMP_L は、第 1 参照信号線 2 5 1 R L に供給される。第 1 参照信号線 2 5 1 R L 上に、カラム A D 回路 2 5 R L の数に応じた複数のノード N R L が設けられる。ノード N R L は、カラム A D 回路 2 5 R L の参照信号出力線 2 8 1 と接続されている。

[0221] また、D A 変換回路 2 7 a R で生成された参照信号 RAMP_R は、第 2 参照信号線 2 5 1 R R に供給される。第 2 参照信号線 2 5 1 R R 上に、カラム A D 回路 2 5 R R の数に応じた複数のノード N R R が設けられる。ノード N R R は、カラム A D 回路 2 5 R R の参照信号出力線 2 8 1 と接続されている。

[0222] ここで、参照信号供給 I F 部 2 8 は、複数のバッファ部 2 8 2 と、出力配線 2 8 3 と、を有する。図 2 0 A 及び図 2 0 B に示すバッファ部 2 8 2 及び出力配線 2 8 3 は、図 1 4 A 及び図 1 4 B を参照して説明したバッファ部 2 8 2 及び出力配線 2 8 3 と同じである。

[0223] バッファ部 2 8 2 は、カラム A D 回路 L L とノード N L L との間、カラム A D 回路 L R とノード N L R との間、カラム A D 回路 R L とノード N R L と

の間、及び、カラムAD回路RRとノードNR Rとの間に複数設けられる。

[0224] 出力配線283は、複数のバッファ部282の出力側をショートする。これにより、DA変換回路27aLが生成した参照信号RAMP_L、及び、DA変換回路27aRが生成した参照信号RAMP_Rを平均化した参照信号RAMP_0を各カラムAD回路25に供給することができる。すなわち、DA変換回路27aL、27aR間に回路ばらつきが存在しても、各カラムAD回路25には、参照信号線251L、251R上の位置によらず、より均一な参照信号RAMP_0が供給される。この結果、出力映像のシェーディング等の画質の低下を抑制することができる。また、左チップ102L及び右チップ102Rの出力配線283同士は、電氣的に接続される。これにより、左チップ102Lと右チップ102Rとの間でバッファ部282の出力を平均化することができる。

[0225] 図21A及び図21Bは、第3実施形態に係る参照信号供給IF部28の構成の第1変形例を示す概略構成図である。図21A及び図21Bは、それぞれ左チップ102L及び右チップ102Rの参照信号供給IF部28を示す。

[0226] 図21Aに示す例では、図20Aと比較して、カラムAD回路25LL及びカラムAD回路25LRは、第1参照信号線251LL及び第2参照信号線251LRに沿って、2つのカラムAD回路25ごとに交互に配置される。すなわち、第1参照信号線251LL及び第2参照信号線251LRは、複数のカラムAD回路25中の2以上の所定個数のカラムAD回路25を単位Uとして交互にカラムAD回路25に接続される。

[0227] 同様に、図21Bに示す例では、図20Bと比較して、カラムAD回路25RL及びカラムAD回路25RRは、第1参照信号線251RL及び第2参照信号線251RRに沿って、2つのカラムAD回路25ごとに交互に配置される。すなわち、第1参照信号線251RL及び第2参照信号線251RRは、複数のカラムAD回路25中の2以上の所定個数のカラムAD回路25を単位Uとして交互にカラムAD回路25に接続される。

- [0228] 単位Uの所定個数が大きくなるほど、ロジックチップ102を製造しやすい。一方、単位Uの所定個数が大きくなるほど、シェーディングが生じやすくなる可能性がある。従って、単位Uの所定個数は、製造しやすさ及び必要な性能に応じて変更される場合がある。
- [0229] 以上のように、第3実施形態では、2つのDA変換回路27aL、27aRで生成される参照信号RAMP_L、RAMP_Rが並んだ複数のカラムAD回路25に交互に供給される。また、出力配線283によりバッファ部282の出力側がショートされる。これにより、参照信号線251L、251R上の位置によらず、各カラムAD回路25に供給される参照信号RAMPのLSB重みをより均一にすることができる。従って、左右のDA変換回路27aL、27aRに回路ばらつきがあっても、DA変換回路27aL、27aRが生成する参照信号RAMPをより適切に平均化することができる。この結果、出力映像の水平シェーディング等の画質の低下を抑制することができる。
- [0230] また、第3実施形態では、第2実施形態と同様に、参照信号線251L、251Rの応答を早くすることができ、個々のDA変換回路27aL、27aRの面積を小さくすることができる。
- [0231] また、第3実施形態では、第2実施形態と比較して、信号レベル取得部105及びゲイン調整部106が不要である。また、第3実施形態では、DACリニアリティが悪い場合であっても、より適切にDA変換回路27aL、27aRの出力を平均化することができ、シェーディングを抑制することができる。DACリニアリティは、DA変換回路27aにおける、理想のアナログ出力と実際のアナログ出力との間の出力特性の直線性を示す。
- [0232] 図22は、DA変換回路27aL、27aRのDACリニアリティが良い場合における第2実施形態に係るDA変換回路27aL、27aRの出力特性の一例を示す図である。
- [0233] 点線で示すDA変換回路27aLの出力特性は、ほぼ直線である。破線で示すDA変換回路27aRの出力特性は、ほぼ直線である。また、DA変換回路27aLの出力特性（点線）と理想出力レベルrefとの交点PLにお

ける実際の出力レベルは、D A変換回路27a Rの出力特性（破線）と理想出力レベル *r e f* との交点P Rにおける実際の出力レベルよりも低い。理想出力レベル *r e f* は、例えば、左右のD A変換回路27a L、27a RのL S B重みのずれが測定された或る理想出力レベルである。実線で示すD A変換回路27a Lの出力特性は、交点P Lと交点P Rとの間の実際の出力レベルの差を小さくするように、アナログゲインの調整がされたD A変換回路27a Lの出力特性を示す。

[0234] D A Cリニアリティが良い場合、破線で示すD A変換回路27a Rの出力特性、及び、実線で示すD A変換回路27a Lの出力特性は、理想出力の広い範囲においてほぼ一致する。従って、或る出力レベルで取得されたL S B重みのずれを他の出力レベルに適用しても、実際の出力レベルの誤差は小さい。

[0235] 図23は、D A変換回路27a L、27a RのD A Cリニアリティが良くない場合における第2実施形態に係るD A変換回路27a L、27a Rの出力特性の一例を示す図である。

[0236] D A Cリニアリティが良くない場合、破線で示すD A変換回路27a Rの出力特性、及び、実線で示すD A変換回路27a Lの出力特性は、理想出力レベル *r e f* 以外の理想出力では一致せずずれしてしまう。従って、或る出力レベルで取得されたL S B重みのずれを他の出力レベルに適用すると、実際の出力レベルに大きな誤差が生じてしまう。

[0237] 図24は、D A変換回路27a L、27a RのD A Cリニアリティが良くない場合における第3実施形態に係るD A変換回路27a L、27a Rの出力特性の一例を示す図である。

[0238] 第3実施形態では、図20A及び図20Bを参照して説明した、D A変換回路27a L、27a RとカラムA D回路25との間の接続により、D A変換回路27a L、27a Rの出力特性を平均化することができる。一点鎖線で示す平均化されたD A変換回路27a L、27a Rの出力特性は、点線で示すD A変換回路27a Lの出力特性と、破線で示すD A変換回路27a L

の出力特性と、を平均化した出力特性である。理想出力の全範囲で出力特性は平均化される。従って、第3実施形態では、D A変換回路27aL、27aRのD A Cリニアリティが良くない場合であっても、実際の出力レベルの誤差を抑制することができ、シェーディング等の画質の低下を抑制することができる。

[0239] 尚、分割されたロジックチップ102の数は、2つに限られない。第3実施形態は、ロジックチップ102の数が3つ以上の場合にも適用することができる。この場合、複数のロジックチップ102のそれぞれは、複数の参照信号線251を有する。複数のロジックチップ102のそれぞれにおける対応する参照信号線251同士は電氣的に接続される。複数のロジックチップ102のそれぞれにおけるD A変換回路27aは、それぞれ異なる参照信号線251に参照信号RAMPを供給する。

[0240] また、上記実施形態では、光や放射線などの外部から入力される電磁波に対して感応性をするC M O S型の固体撮像装置について例示したが、物理量の変化を検知するあらゆるものに、上記実施形態で説明した仕組みを適用でき、光などに限らず、たとえば、指紋に関する情報を圧力に基づく電氣的特性の変化や光学的特性の変化に基づき指紋の像を検知する指紋認証装置（特開2002-7984や特開2001-125734などを参照）など、その他の物理的な変化を検知する仕組みにおいて、アナログ信号をデジタル信号に変換する際の参照信号線上のノイズ対策として、上記実施形態を同様に適用することができる。

[0241] <移動体への応用例>

本開示に係る技術（本技術）は、様々な製品へ応用することができる。例えば、本開示に係る技術は、自動車、電気自動車、ハイブリッド電気自動車、自動二輪車、自転車、パーソナルモビリティ、飛行機、ドローン、船舶、ロボット等のいずれかの種類の移動体に搭載される装置として実現されてもよい。

[0242] 図25は、本開示に係る技術が適用され得る移動体制御システムの一例で

ある車両制御システムの概略的な構成例を示すブロック図である。

[0243] 車両制御システム12000は、通信ネットワーク12001を介して接続された複数の電子制御ユニットを備える。図25に示した例では、車両制御システム12000は、駆動系制御ユニット12010、ボディ系制御ユニット12020、車外情報検出ユニット12030、車内情報検出ユニット12040、及び統合制御ユニット12050を備える。また、統合制御ユニット12050の機能構成として、マイクロコンピュータ12051、音声画像出力部12052、及び車載ネットワークI/F(interface)12053が図示されている。

[0244] 駆動系制御ユニット12010は、各種プログラムにしたがって車両の駆動系に関連する装置の動作を制御する。例えば、駆動系制御ユニット12010は、内燃機関又は駆動用モータ等の車両の駆動力を発生させるための駆動力発生装置、駆動力を車輪に伝達するための駆動力伝達機構、車両の舵角を調節するステアリング機構、及び、車両の制動力を発生させる制動装置等の制御装置として機能する。

[0245] ボディ系制御ユニット12020は、各種プログラムにしたがって車体に装備された各種装置の動作を制御する。例えば、ボディ系制御ユニット12020は、キーレスエントリシステム、スマートキーシステム、パワーウィンドウ装置、あるいは、ヘッドランプ、バックランプ、ブレーキランプ、ウinker又はフォグランプ等の各種ランプの制御装置として機能する。この場合、ボディ系制御ユニット12020には、鍵を代替する携帯機から発信される電波又は各種スイッチの信号が入力され得る。ボディ系制御ユニット12020は、これらの電波又は信号の入力を受け付け、車両のドアロック装置、パワーウィンドウ装置、ランプ等を制御する。

[0246] 車外情報検出ユニット12030は、車両制御システム12000を搭載した車両の外部の情報を検出する。例えば、車外情報検出ユニット12030には、撮像部12031が接続される。車外情報検出ユニット12030は、撮像部12031に車外の画像を撮像させるとともに、撮像された画像

を受信する。車外情報検出ユニット12030は、受信した画像に基づいて、人、車、障害物、標識又は路面上の文字等の物体検出処理又は距離検出処理を行ってもよい。

[0247] 撮像部12031は、光を受光し、その光の受光量に応じた電気信号を出力する光センサである。撮像部12031は、電気信号を画像として出力することもできるし、測距の情報として出力することもできる。また、撮像部12031が受光する光は、可視光であっても良いし、赤外線等の非可視光であっても良い。

[0248] 車内情報検出ユニット12040は、車内の情報を検出する。車内情報検出ユニット12040には、例えば、運転者の状態を検出する運転者状態検出部12041が接続される。運転者状態検出部12041は、例えば運転者を撮像するカメラを含み、車内情報検出ユニット12040は、運転者状態検出部12041から入力される検出情報に基づいて、運転者の疲労度合い又は集中度合いを算出してもよいし、運転者が居眠りをしていないかを判別してもよい。

[0249] マイクロコンピュータ12051は、車外情報検出ユニット12030又は車内情報検出ユニット12040で取得される車内外の情報に基づいて、駆動力発生装置、ステアリング機構又は制動装置の制御目標値を演算し、駆動系制御ユニット12010に対して制御指令を出力することができる。例えば、マイクロコンピュータ12051は、車両の衝突回避あるいは衝撃緩和、車間距離に基づく追従走行、車速維持走行、車両の衝突警告、又は車両のレーン逸脱警告等を含むADAS (Advanced Driver Assistance System) の機能実現を目的とした協調制御を行うことができる。

[0250] また、マイクロコンピュータ12051は、車外情報検出ユニット12030又は車内情報検出ユニット12040で取得される車両の周囲の情報に基づいて駆動力発生装置、ステアリング機構又は制動装置等を制御することにより、運転者の操作に拠らずに自律的に走行する自動運転等を目的とした

協調制御を行うことができる。

[0251] また、マイクロコンピュータ 12051 は、車外情報検出ユニット 12030 で取得される車外の情報に基づいて、ボディ系制御ユニット 12020 に対して制御指令を出力することができる。例えば、マイクロコンピュータ 12051 は、車外情報検出ユニット 12030 で検知した先行車又は対向車の位置に応じてヘッドランプを制御し、ハイビームをロービームに切り替える等の防眩を図ることを目的とした協調制御を行うことができる。

[0252] 音声画像出力部 12052 は、車両の搭乗者又は車外に対して、視覚的又は聴覚的に情報を通知することが可能な出力装置へ音声及び画像のうちの少なくとも一方の出力信号を送信する。図 25 の例では、出力装置として、オーディオスピーカ 12061、表示部 12062 及びインストルメントパネル 12063 が例示されている。表示部 12062 は、例えば、オンボードディスプレイ及びヘッドアップディスプレイの少なくとも一つを含んでもよい。

[0253] 図 26 は、撮像部 12031 の設置位置の例を示す図である。

[0254] 図 26 では、車両 12100 は、撮像部 12031 として、撮像部 12101、12102、12103、12104、12105 を有する。

[0255] 撮像部 12101、12102、12103、12104、12105 は、例えば、車両 12100 のフロントノーズ、サイドミラー、リアバンパ、バックドア及び車室内のフロントガラスの上部等の位置に設けられる。フロントノーズに備えられる撮像部 12101 及び車室内のフロントガラスの上部に備えられる撮像部 12105 は、主として車両 12100 の前方の画像を取得する。サイドミラーに備えられる撮像部 12102、12103 は、主として車両 12100 の側方の画像を取得する。リアバンパ又はバックドアに備えられる撮像部 12104 は、主として車両 12100 の後方の画像を取得する。撮像部 12101 及び 12105 で取得される前方の画像は、主として先行車両又は、歩行者、障害物、信号機、交通標識又は車線等の検出に用いられる。

[0256] なお、図26には、撮像部12101ないし12104の撮影範囲の一例が示されている。撮像範囲12111は、フロントノーズに設けられた撮像部12101の撮像範囲を示し、撮像範囲12112、12113は、それぞれサイドミラーに設けられた撮像部12102、12103の撮像範囲を示し、撮像範囲12114は、リアバンパ又はバックドアに設けられた撮像部12104の撮像範囲を示す。例えば、撮像部12101ないし12104で撮像された画像データが重ね合わせられることにより、車両12100を上方から見た俯瞰画像が得られる。

[0257] 撮像部12101ないし12104の少なくとも1つは、距離情報を取得する機能を有していてもよい。例えば、撮像部12101ないし12104の少なくとも1つは、複数の撮像素子からなるステレオカメラであってもよいし、位相差検出用の画素を有する撮像素子であってもよい。

[0258] 例えば、マイクロコンピュータ12051は、撮像部12101ないし12104から得られた距離情報を基に、撮像範囲12111ないし12114内における各立体物までの距離と、この距離の時間的変化（車両12100に対する相対速度）を求めることにより、特に車両12100の進行路上にある最も近い立体物で、車両12100と略同じ方向に所定の速度（例えば、0km/h以上）で走行する立体物を先行車として抽出することができる。さらに、マイクロコンピュータ12051は、先行車の手前に予め確保すべき車間距離を設定し、自動ブレーキ制御（追従停止制御も含む）や自動加速制御（追従発進制御も含む）等を行うことができる。このように運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

[0259] 例えば、マイクロコンピュータ12051は、撮像部12101ないし12104から得られた距離情報を元に、立体物に関する立体物データを、2輪車、普通車両、大型車両、歩行者、電柱等その他の立体物に分類して抽出し、障害物の自動回避に用いることができる。例えば、マイクロコンピュータ12051は、車両12100の周辺の障害物を、車両12100のドラ

イバが視認可能な障害物と視認困難な障害物とに識別する。そして、マイクロコンピュータ 12051 は、各障害物との衝突の危険度を示す衝突リスクを判断し、衝突リスクが設定値以上で衝突可能性がある状況であるときには、オーディオスピーカ 12061 や表示部 12062 を介してドライバに警報を出力することや、駆動系制御ユニット 12010 を介して強制減速や回避操舵を行うことで、衝突回避のための運転支援を行うことができる。

[0260] 撮像部 12101 ないし 12104 の少なくとも 1 つは、赤外線を検出する赤外線カメラであってもよい。例えば、マイクロコンピュータ 12051 は、撮像部 12101 ないし 12104 の撮像画像中に歩行者が存在するかどうかを判定することで歩行者を認識することができる。かかる歩行者の認識は、例えば赤外線カメラとしての撮像部 12101 ないし 12104 の撮像画像における特徴点を抽出する手順と、物体の輪郭を示す一連の特徴点にパターンマッチング処理を行って歩行者か否かを判別する手順によって行われる。マイクロコンピュータ 12051 が、撮像部 12101 ないし 12104 の撮像画像中に歩行者が存在すると判定し、歩行者を認識すると、音声画像出力部 12052 は、当該認識された歩行者に強調のための方形輪郭線を重畳表示するように、表示部 12062 を制御する。また、音声画像出力部 12052 は、歩行者を示すアイコン等を所望の位置に表示するように表示部 12062 を制御してもよい。

[0261] 以上、本開示に係る技術が適用され得る車両制御システムの一例について説明した。本開示に係る技術は、以上説明した構成のうち、例えば、撮像部 12031, 12101, 12102, 12103, 12104, 12105 や、運転者状態検出部 12041 等に適用され得る。具体的には、これらの撮像部や検出部に対して、例えば、本開示の固体撮像装置 1 を適用することができる。そして、本開示に係る技術を適用することにより、撮影画像の画質の低下を抑制することができるため、より安全な車両走行を実現することが可能になる。また、本開示に係る電子機器は、例えば、車両制御システム 12000 に適用され得る。電子機器内の信号処理部は、例えば、マイク

ロコンピュータ 12051 に適用され得る。

[0262] なお、本技術は以下のような構成を取ることができる。

(1) それぞれが複数の撮像信号を A/D 変換する複数の第 1 半導体チップを備え、

前記複数の第 1 半導体チップのそれぞれは、

前記 A/D 変換のための参照信号を伝送する参照信号線と、

前記参照信号を生成する参照信号生成部と、

前記複数の撮像信号と前記参照信号との比較に基づいて、前記複数の撮像信号を複数のデジタル信号に変換する複数の A/D C (Analog to Digital Converter) と、を有し、

前記複数の第 1 半導体チップ内の複数の前記参照信号線同士は電氣的に接続され、

前記複数の第 1 半導体チップのうちいずれか一つのチップ内の前記参照信号生成部が生成した前記参照信号が前記複数の参照信号線に供給される、固体撮像装置。

(2) 前記 A/D 変換する際には、前記一つのチップ以外の他のチップ内の前記参照信号生成部は、前記参照信号の生成を停止する、(1) に記載の固体撮像装置。

(3) それぞれが複数の撮像信号を A/D 変換する複数の第 1 半導体チップを備え、

前記複数の第 1 半導体チップのそれぞれは、

前記 A/D 変換のための参照信号を伝送する参照信号線と、

前記参照信号を生成する参照信号生成部と、

前記複数の撮像信号と前記参照信号との比較に基づいて、前記複数の撮像信号を複数のデジタル信号に変換する複数の A/D C (Analog to Digital Converter) と、

前記複数の第 1 半導体チップ内の前記参照信号生成部が生成する前記参照信号のアナログゲイン、又は、前記複数のデジタル信号のデジタルゲインを

調整するゲイン調整部と、を有し、

前記複数の第1半導体チップ内の複数の前記参照信号線同士は電氣的に接続される、固体撮像装置。

(4) 前記ゲイン調整部は、前記複数の参照信号線における前記複数の参照信号同士の比率に基づいて前記アナログゲインを調整する、(3)に記載の固体撮像装置。

(5) 前記ゲイン調整部は、前記複数の第1半導体チップのそれぞれから出力された前記複数のデジタル信号同士を比較して前記デジタルゲインを調整する、(3)に記載の固体撮像装置。

(6) 前記複数の第1半導体チップのそれぞれは、
前記参照信号線上の前記参照信号を前記複数のADCのそれぞれに対応づけてバッファリングする複数のバッファ部と、

前記複数のバッファ部の出力ノードが共通に接続される出力配線と、をさらに有し、

前記複数の第1半導体チップ内の複数の前記出力配線同士は、電氣的に接続される、(1)乃至(5)のいずれか一項に記載の固体撮像装置。

(7) 前記複数の第1半導体チップのそれぞれは、複数の前記参照信号線を有し、

前記複数の第1半導体チップのそれぞれにおける対応する前記参照信号線同士は電氣的に接続されており、

前記複数の第1半導体チップのそれぞれにおける前記参照信号生成部は、それぞれ異なる前記参照信号線に前記参照信号を供給する、(6)に記載の固体撮像装置。

(8) 前記複数の第1半導体チップは、所定の方に配置された2個の第1半導体チップを有し、

前記2個の第1半導体チップのそれぞれは、2本の前記参照信号線を有し、

前記2個の第1半導体チップのうち一方の前記2本の参照信号線は、前記

2個の第1半導体チップのうち他方の対応する参照信号線に電氣的に接続されており、

前記2個の第1半導体チップのうち一方の前記参照信号生成部から出力された前記参照信号は、前記2本の参照信号線の一方に供給され、

前記2個の第1半導体チップのうち他方の前記参照信号生成部から出力された前記参照信号は、前記2本の参照信号線の他方に供給される、(7)に記載の固体撮像装置。

(9) 前記2本の参照信号線は、前記複数のADCに交互に接続される、(8)に記載の固体撮像装置。

(10) 前記2本の参照信号線は、前記複数のADC中の2以上の所定個数の前記ADCを単位として交互に前記ADCに接続される、(8)に記載の固体撮像装置。

(11) 前記2個の第1半導体チップのそれぞれは、前記複数のバッファ部と、前記複数のバッファ部の出力ノードが共通に接続される前記出力配線とを有し、

前記2個の第1半導体チップが有する2本の前記出力配線同士は、電氣的に接続される、(8)乃至(10)のいずれか一項に記載の固体撮像装置。

(12) 前記複数の第1半導体チップのそれぞれは、同一サイズ、同一形状、及び同一の回路構成を有する、(1)乃至(11)のいずれか一項に記載の固体撮像装置。

(13) 前記第1半導体チップに積層され、光電変換を行う画素アレイ部が配置される第2半導体チップをさらに備える、(1)乃至(12)のいずれか一項に記載の固体撮像装置。

(14) 前記第1半導体チップ及び前記第2半導体チップは、ビア、バンパ、または導電材料同士の直接接合にて電氣的に接続される、(13)に記載の固体撮像装置。

(15) 前記複数のADCのそれぞれには、所定方向に配置された複数の画素で光電変換された複数の撮像信号を伝送する信号線が接続されており、

前記複数のA D Cは、対応する信号線上の撮像信号と前記参照信号との比較に基づいて、前記複数の撮像信号を複数の前記デジタル信号に変換する、

(1)乃至(14)のいずれか一項に記載の固体撮像装置。

(16)前記参照信号は、電圧レベルが時間に応じて変化する信号である、
(1)乃至(15)のいずれか一項に記載の固体撮像装置。

(17)撮像信号に応じたデジタル信号を出力する固体撮像装置と、
前記デジタル信号に基づいて所定の信号処理を行う信号処理部と、を備え、

前記固体撮像装置は、

それぞれが複数の撮像信号をA D変換する複数の第1半導体チップを備え、

前記複数の第1半導体チップのそれぞれは、

前記A D変換のための参照信号を伝送する参照信号線と、

前記参照信号を生成する参照信号生成部と、

前記複数の撮像信号と前記参照信号との比較に基づいて、前記複数の撮像信号を複数のデジタル信号に変換する複数のA D C (Analog to Digital Converter)と、を有し、

前記複数の第1半導体チップ内の複数の前記参照信号線同士は電氣的に接続され、

前記複数の第1半導体チップのうちいずれか一つのチップ内の前記参照信号生成部が生成した前記参照信号が前記複数の参照信号線に供給される、電子機器。

(18)撮像信号に応じたデジタル信号を出力する固体撮像装置と、
前記デジタル信号に基づいて所定の信号処理を行う信号処理部と、を備え、

前記固体撮像装置は、

それぞれが複数の撮像信号をA D変換する複数の第1半導体チップを備え、

前記複数の第1半導体チップのそれぞれは、
前記A/D変換のための参照信号を伝送する参照信号線と、
前記参照信号を生成する参照信号生成部と、
前記複数の撮像信号と前記参照信号との比較に基づいて、前記複数の撮像信号を複数のデジタル信号に変換する複数のADC（Analog to Digital Converter）と、

前記複数の第1半導体チップ内の前記参照信号生成部が生成する前記参照信号のアナログゲイン、又は、前記複数のデジタル信号のデジタルゲインを調整するゲイン調整部を有し

前記複数の第1半導体チップ内の複数の前記参照信号線同士は電氣的に接続される、電子機器。

[0263] 本開示の態様は、上述した個々の実施形態に限定されるものではなく、当業者が想到しうる種々の変形も含むものであり、本開示の効果も上述した内容に限定されない。すなわち、特許請求の範囲に規定された内容およびその均等物から導き出される本開示の概念的な思想と趣旨を逸脱しない範囲で種々の追加、変更および部分的削除が可能である。

符号の説明

[0264] 1 固体撮像装置、3 単位画素、10 画素部、19 垂直信号線、25 カラムAD回路、251 参照信号線、251LL 第1参照信号線、251RL 第1参照信号線、251LR 第2参照信号線、251RR 第2参照信号線、26 カラム処理部、27 参照信号生成部、27a DA変換回路、28 参照信号供給IF部、32 電荷生成部、101 画素チップ、102 ロジックチップ、102L 左チップ、102R 右チップ、104 接続部、105 信号レベル取得部、106 ゲイン調整部、253 信号線接続部、282 バッファ部、283 出力配線、RAMP 参照信号、U 単位

請求の範囲

- [請求項1] それぞれが複数の撮像信号をA/D変換する複数の第1半導体チップを備え、
- 前記複数の第1半導体チップのそれぞれは、
- 前記A/D変換のための参照信号を伝送する参照信号線と、
- 前記参照信号を生成する参照信号生成部と、
- 前記複数の撮像信号と前記参照信号との比較に基づいて、前記複数の撮像信号を複数のデジタル信号に変換する複数のADC（Analog to Digital Converter）と、を有し、
- 前記複数の第1半導体チップ内の複数の前記参照信号線同士は電氣的に接続され、
- 前記複数の第1半導体チップのうちいずれか一つのチップ内の前記参照信号生成部が生成した前記参照信号が前記複数の参照信号線に供給される、固体撮像装置。
- [請求項2] 前記A/D変換する際には、前記一つのチップ以外の他のチップ内の前記参照信号生成部は、前記参照信号の生成を停止する、請求項1に記載の固体撮像装置。
- [請求項3] それぞれが複数の撮像信号をA/D変換する複数の第1半導体チップを備え、
- 前記複数の第1半導体チップのそれぞれは、
- 前記A/D変換のための参照信号を伝送する参照信号線と、
- 前記参照信号を生成する参照信号生成部と、
- 前記複数の撮像信号と前記参照信号との比較に基づいて、前記複数の撮像信号を複数のデジタル信号に変換する複数のADC（Analog to Digital Converter）と、
- 前記複数の第1半導体チップ内の前記参照信号生成部が生成する前記参照信号のアナログゲイン、又は、前記複数のデジタル信号のデジタルゲインを調整するゲイン調整部と、を有し、

前記複数の第1半導体チップ内の複数の前記参照信号線同士は電氣的に接続される、固体撮像装置。

[請求項4] 前記ゲイン調整部は、前記複数の参照信号線における前記複数の参照信号同士の比率に基づいて前記アナログゲインを調整する、請求項3に記載の固体撮像装置。

[請求項5] 前記ゲイン調整部は、前記複数の第1半導体チップのそれぞれから出力された前記複数のデジタル信号同士を比較して前記デジタルゲインを調整する、請求項3に記載の固体撮像装置。

[請求項6] 前記複数の第1半導体チップのそれぞれは、
前記参照信号線上の前記参照信号を前記複数のADCのそれぞれに対応づけてバッファリングする複数のバッファ部と、
前記複数のバッファ部の出力ノードが共通に接続される出力配線と、
をさらに有し、

前記複数の第1半導体チップ内の複数の前記出力配線同士は、電氣的に接続される、請求項1に記載の固体撮像装置。

[請求項7] 前記複数の第1半導体チップのそれぞれは、複数の前記参照信号線を有し、

前記複数の第1半導体チップのそれぞれにおける対応する前記参照信号線同士は電氣的に接続されており、

前記複数の第1半導体チップのそれぞれにおける前記参照信号生成部は、それぞれ異なる前記参照信号線に前記参照信号を供給する、請求項6に記載の固体撮像装置。

[請求項8] 前記複数の第1半導体チップは、所定の方法に配置された2個の第1半導体チップを有し、

前記2個の第1半導体チップのそれぞれは、2本の前記参照信号線を有し、

前記2個の第1半導体チップのうち一方の前記2本の参照信号線は、前記2個の第1半導体チップのうち他方の対応する参照信号線に電

氣的に接続されており、

前記 2 個の第 1 半導体チップのうち一方の前記参照信号生成部から出力された前記参照信号は、前記 2 本の参照信号線の一方に供給され、

前記 2 個の第 1 半導体チップのうち他方の前記参照信号生成部から出力された前記参照信号は、前記 2 本の参照信号線の他方に供給される、請求項 7 に記載の固体撮像装置。

[請求項 9] 前記 2 本の参照信号線は、前記複数の A D C に交互に接続される、請求項 8 に記載の固体撮像装置。

[請求項 10] 前記 2 本の参照信号線は、前記複数の A D C 中の 2 以上の所定個数の前記 A D C を単位として交互に前記 A D C に接続される、請求項 8 に記載の固体撮像装置。

[請求項 11] 前記 2 個の第 1 半導体チップのそれぞれは、前記複数のバッファ部と、前記複数のバッファ部の出力ノードが共通に接続される前記出力配線とを有し、

前記 2 個の第 1 半導体チップが有する 2 本の前記出力配線同士は、電氣的に接続される、請求項 8 に記載の固体撮像装置。

[請求項 12] 前記複数の第 1 半導体チップのそれぞれは、同一サイズ、同一形状、及び同一の回路構成を有する、請求項 1 に記載の固体撮像装置。

[請求項 13] 前記第 1 半導体チップに積層され、光電変換を行う画素アレイ部が配置される第 2 半導体チップをさらに備える、請求項 1 に記載の固体撮像装置。

[請求項 14] 前記第 1 半導体チップ及び前記第 2 半導体チップは、ビア、バンプ、または導電材料同士の直接接合にて電氣的に接続される、請求項 1 に記載の固体撮像装置。

[請求項 15] 前記複数の A D C のそれぞれには、所定方向に配置された複数の画素で光電変換された複数の撮像信号を伝送する信号線が接続されており、

前記複数のA D Cは、対応する信号線上の撮像信号と前記参照信号との比較に基づいて、前記複数の撮像信号を複数の前記デジタル信号に変換する、請求項1に記載の固体撮像装置。

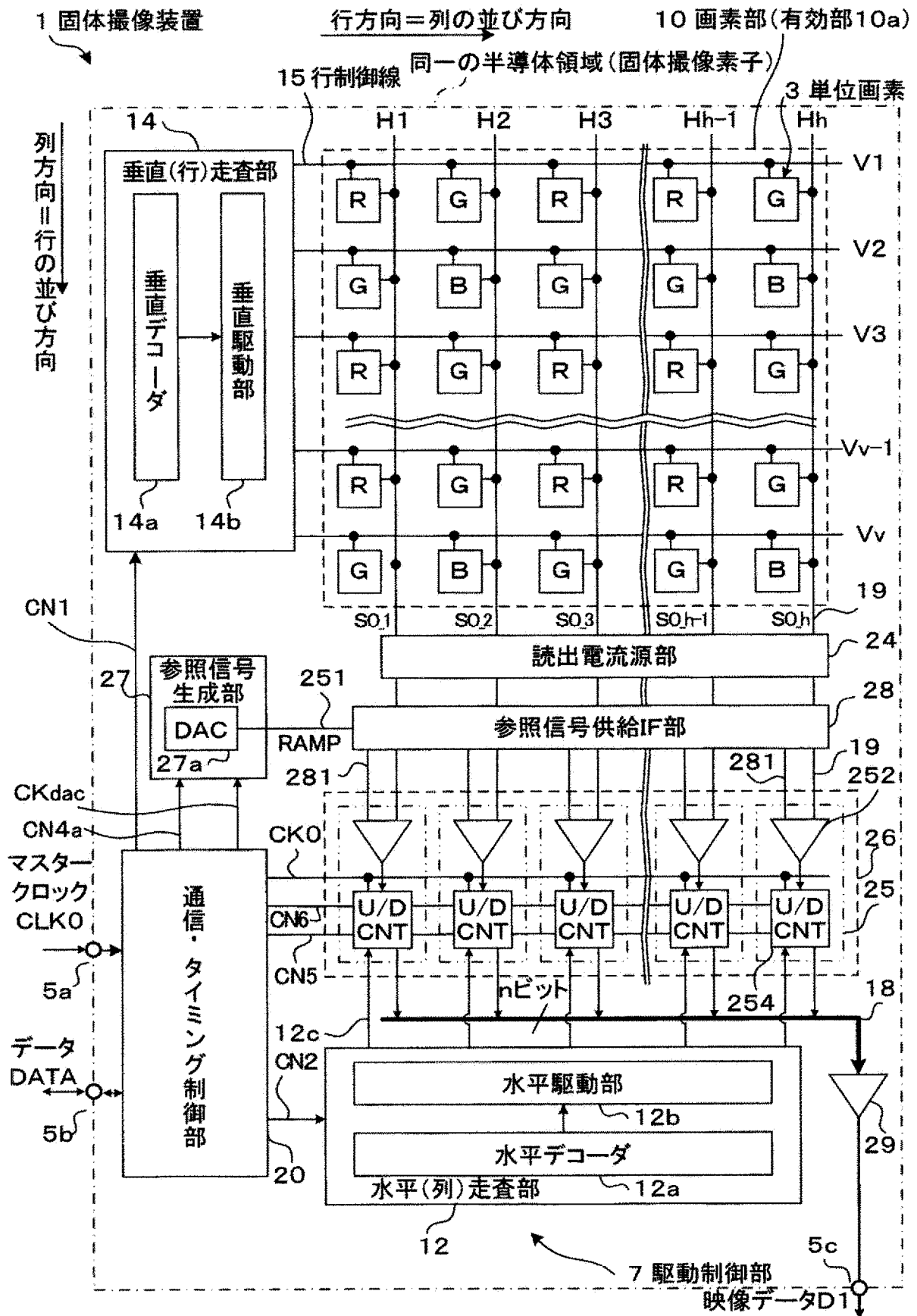
[請求項16] 前記参照信号は、電圧レベルが時間に応じて変化する信号である、請求項1に記載の固体撮像装置。

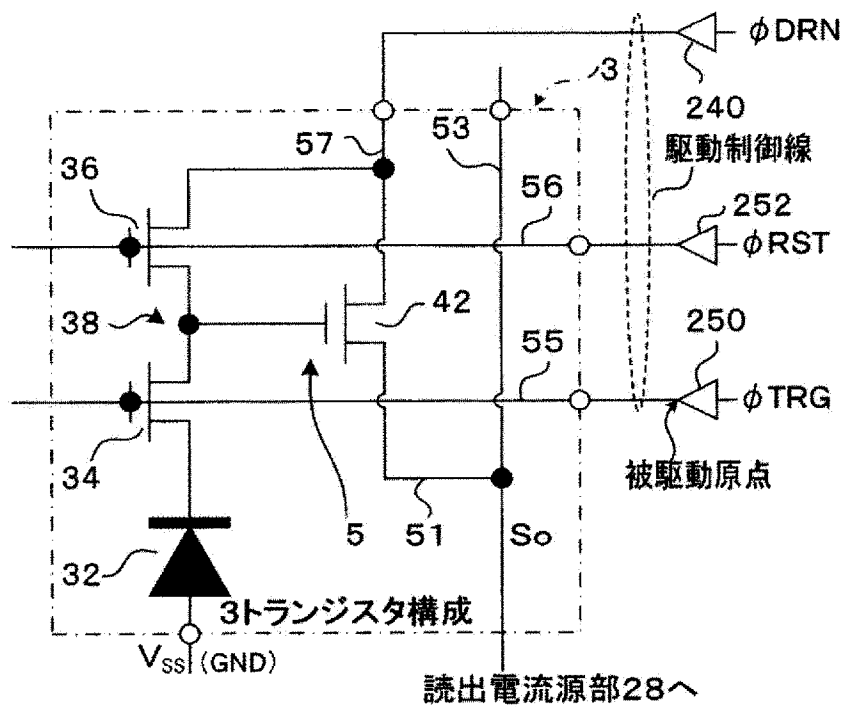
[請求項17] 撮像信号に応じたデジタル信号を出力する固体撮像装置と、
前記デジタル信号に基づいて所定の信号処理を行う信号処理部と、
を備え、
前記固体撮像装置は、
それぞれが複数の撮像信号をA D変換する複数の第1半導体チップを備え、
前記複数の第1半導体チップのそれぞれは、
前記A D変換のための参照信号を伝送する参照信号線と、
前記参照信号を生成する参照信号生成部と、
前記複数の撮像信号と前記参照信号との比較に基づいて、前記複数の撮像信号を複数のデジタル信号に変換する複数のA D C (Analog to Digital Converter) と、を有し、
前記複数の第1半導体チップ内の複数の前記参照信号線同士は電氣的に接続され、
前記複数の第1半導体チップのうちいずれか一つのチップ内の前記参照信号生成部が生成した前記参照信号が前記複数の参照信号線に供給される、電子機器。

[請求項18] 撮像信号に応じたデジタル信号を出力する固体撮像装置と、
前記デジタル信号に基づいて所定の信号処理を行う信号処理部と、
を備え、
前記固体撮像装置は、
それぞれが複数の撮像信号をA D変換する複数の第1半導体チップを備え、

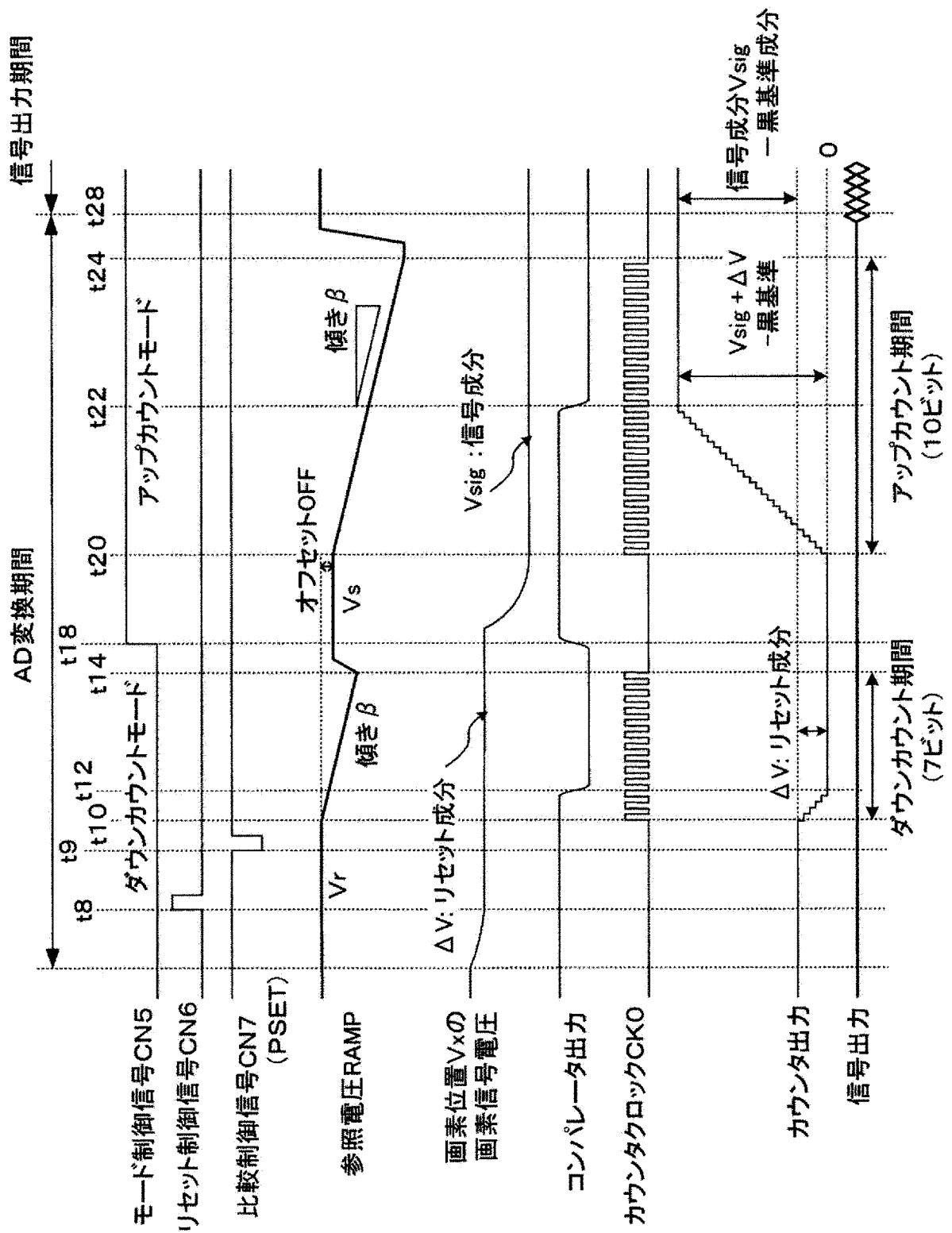
前記複数の第1半導体チップのそれぞれは、
前記AD変換のための参照信号を伝送する参照信号線と、
前記参照信号を生成する参照信号生成部と、
前記複数の撮像信号と前記参照信号との比較に基づいて、前記複数の撮像信号を複数のデジタル信号に変換する複数のADC (Analog to Digital Converter) と、
前記複数の第1半導体チップ内の前記参照信号生成部が生成する前記参照信号のアナログゲイン、又は、前記複数のデジタル信号のデジタルゲインを調整するゲイン調整部、を有し、
前記複数の第1半導体チップ内の複数の前記参照信号線同士は電氣的に接続される、電子機器。

[図1]

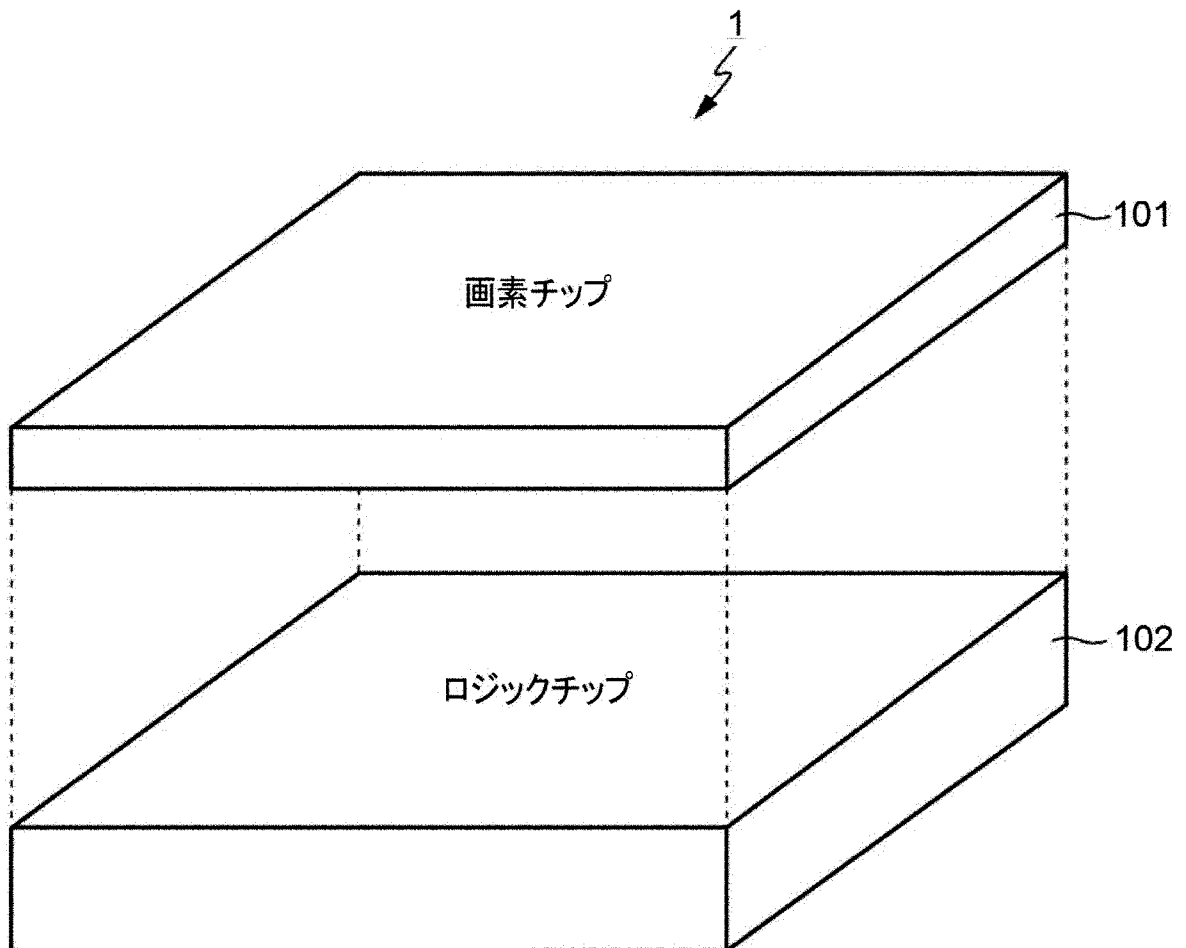




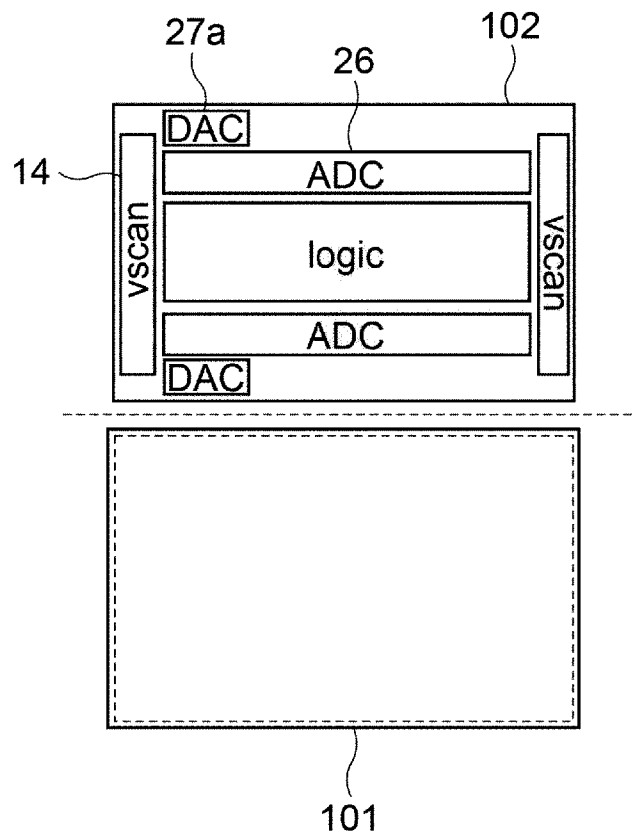
[図3]



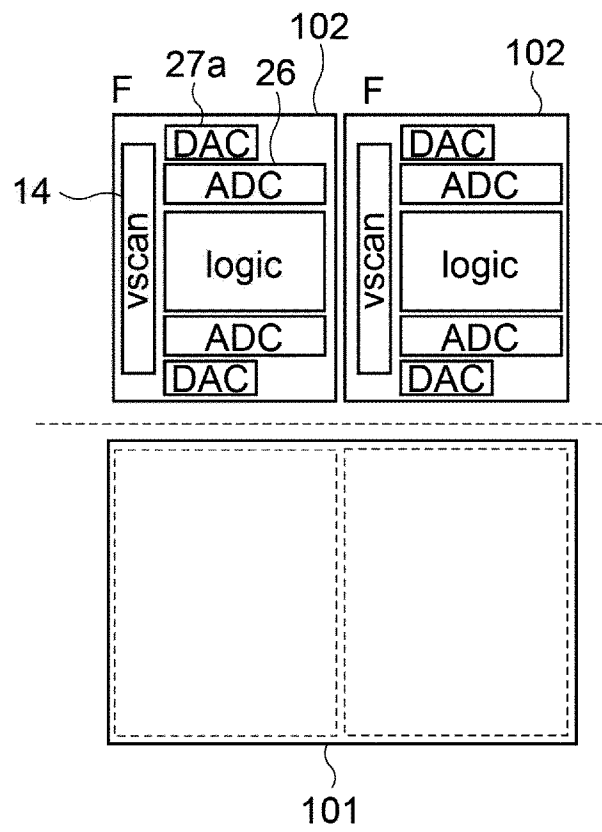
[図4]



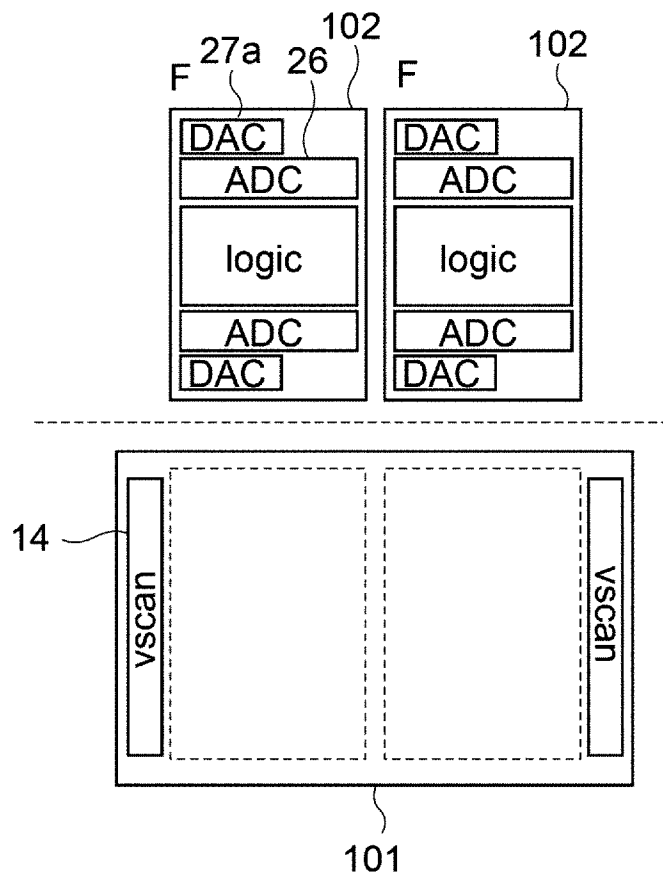
[図5]



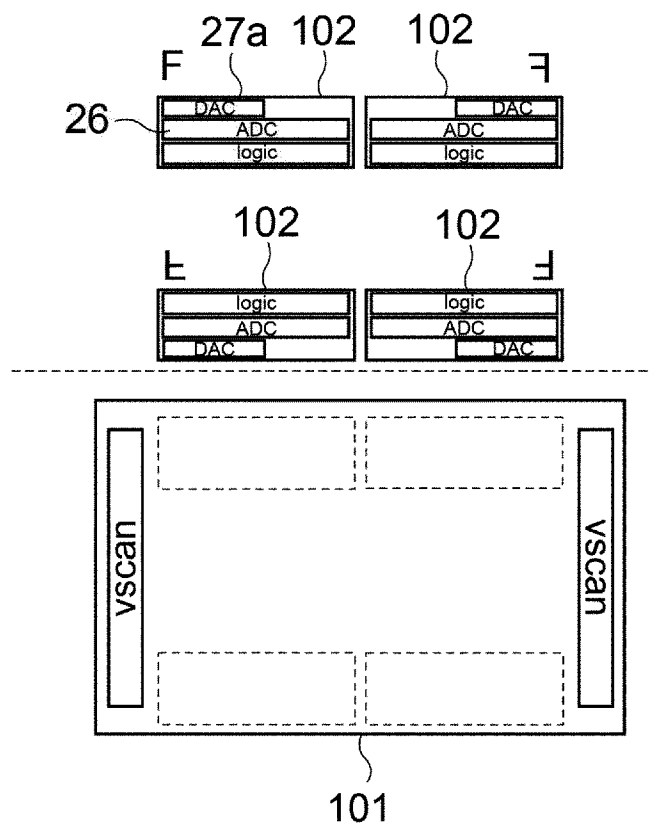
[図6]



[図7]



[図8]



102L 左チップ

27aL DAC 26L 251L RAMP_L カラム処理部

102R 右チップ

27aR DAC 26R 251R RAMP_R カラム処理部

103L 104 103R

画素配列

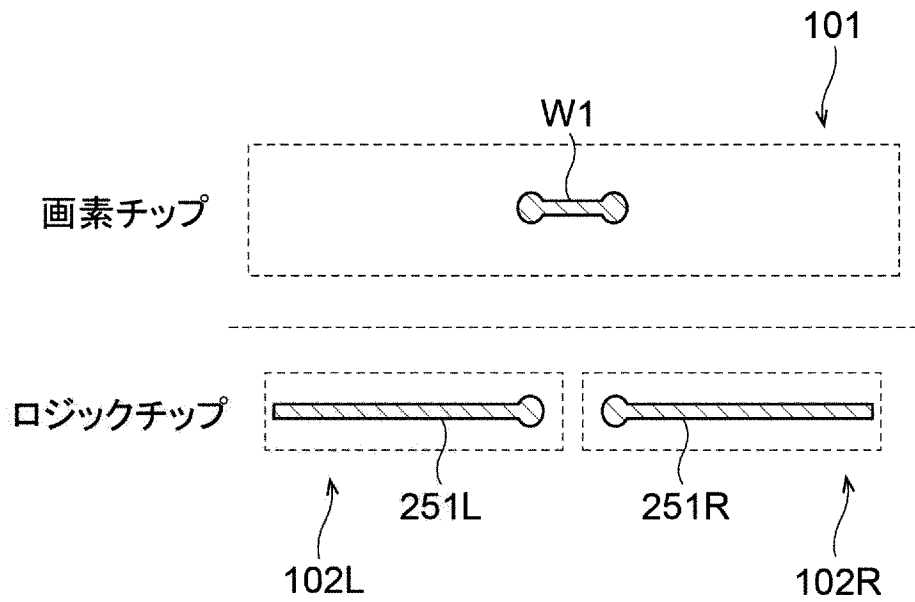
画素チップ

101

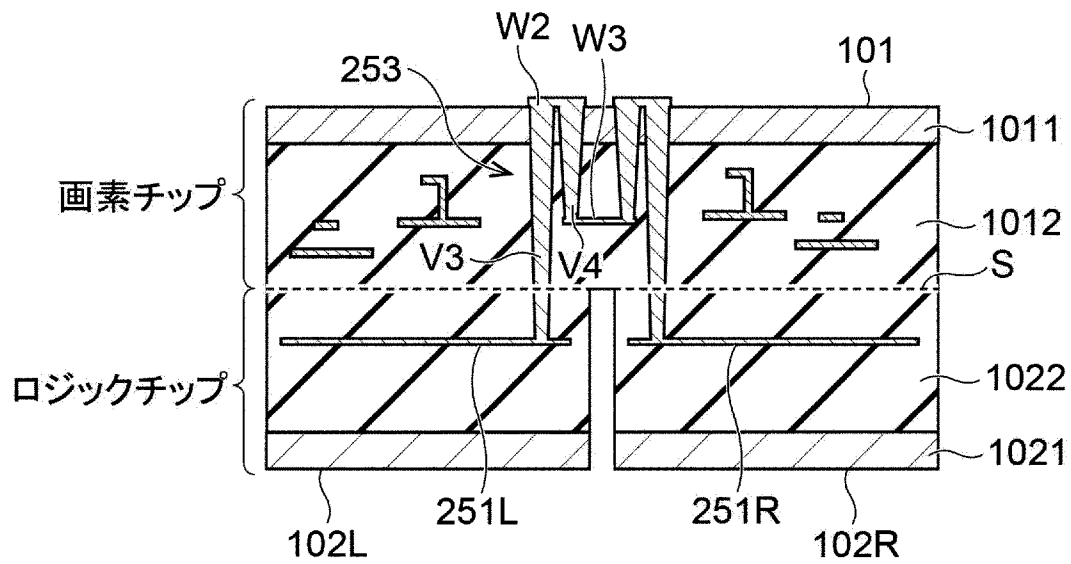
The diagram illustrates a pixel chip (101) with a pixel array (103) and two processing sections: a left chip (102L) and a right chip (102R). Each chip section contains a DAC (27aL, 27aR), a switch (255L, 255R), and a column processing unit (26L, 26R; 251L, 251R). The DACs are connected to the switches, which are in turn connected to the column processing units. The column processing units are connected to the pixel array (103) via a common bus (253). The pixel array is labeled as '画素配列' (Pixel Array) and the entire chip is labeled as '画素チップ' (Pixel Chip).

This cross-sectional view illustrates the assembly of the pixel chip and logic chip. The pixel chip (101) is positioned on top of the logic chip (102). The pixel chip includes a pixel region (1011) and a logic region (1012). The logic region (1012) is connected to the logic chip (102) via a vertical interconnect (V1) and a horizontal interconnect (W1). The logic chip (102) includes a logic region (1021) and a pixel region (1022). The pixel region (1022) is connected to the pixel chip (101) via a vertical interconnect (V2) and a horizontal interconnect (W2). The pixel chip (101) also includes a pixel region (1011) and a logic region (1012). The logic region (1012) is connected to the logic chip (102) via a vertical interconnect (V1) and a horizontal interconnect (W1). The pixel chip (101) also includes a pixel region (1011) and a logic region (1012). The logic region (1012) is connected to the logic chip (102) via a vertical interconnect (V1) and a horizontal interconnect (W1).

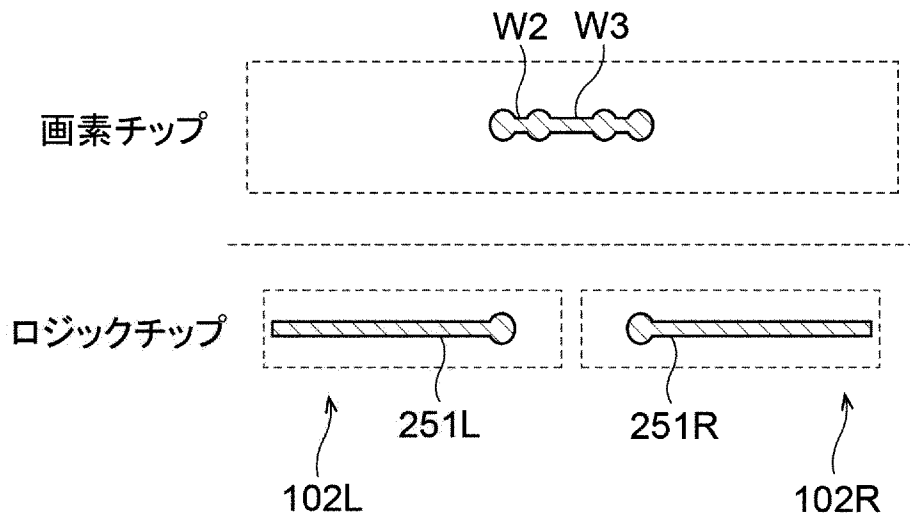
[図11B]



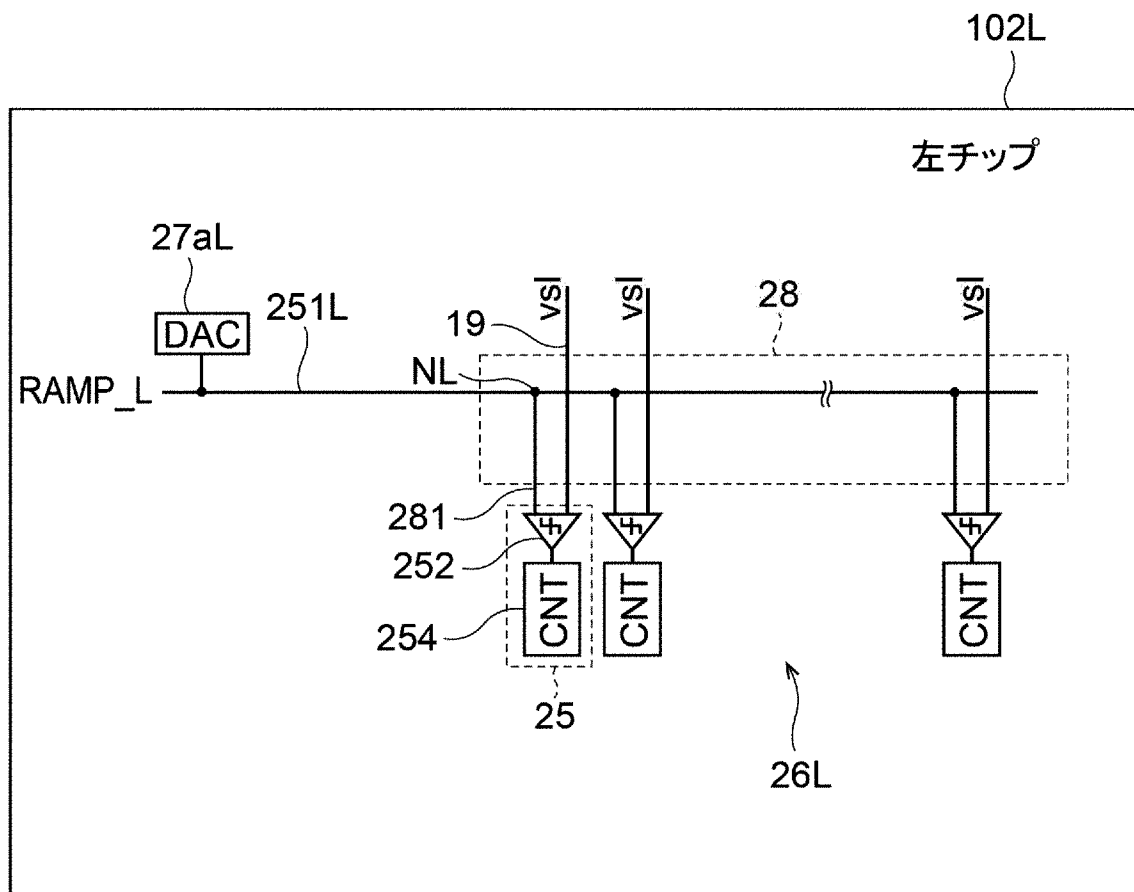
[図12A]



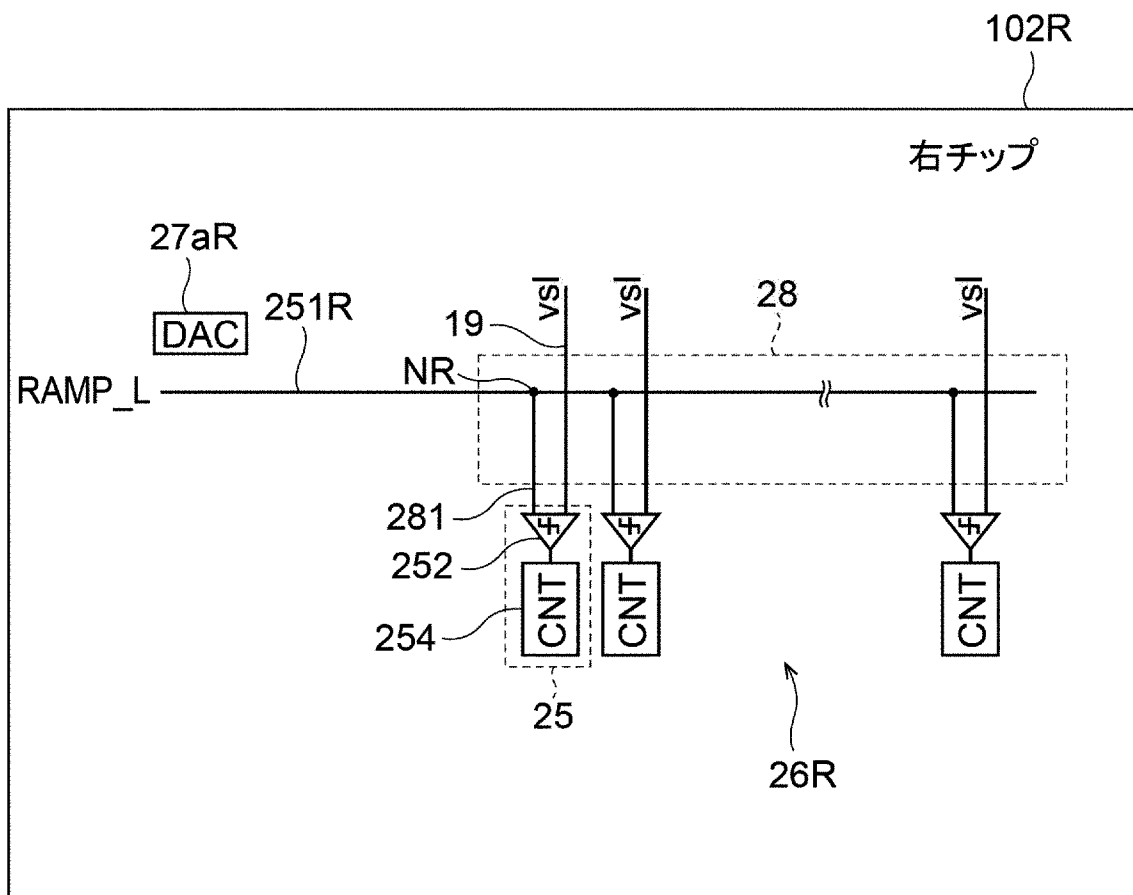
[図12B]



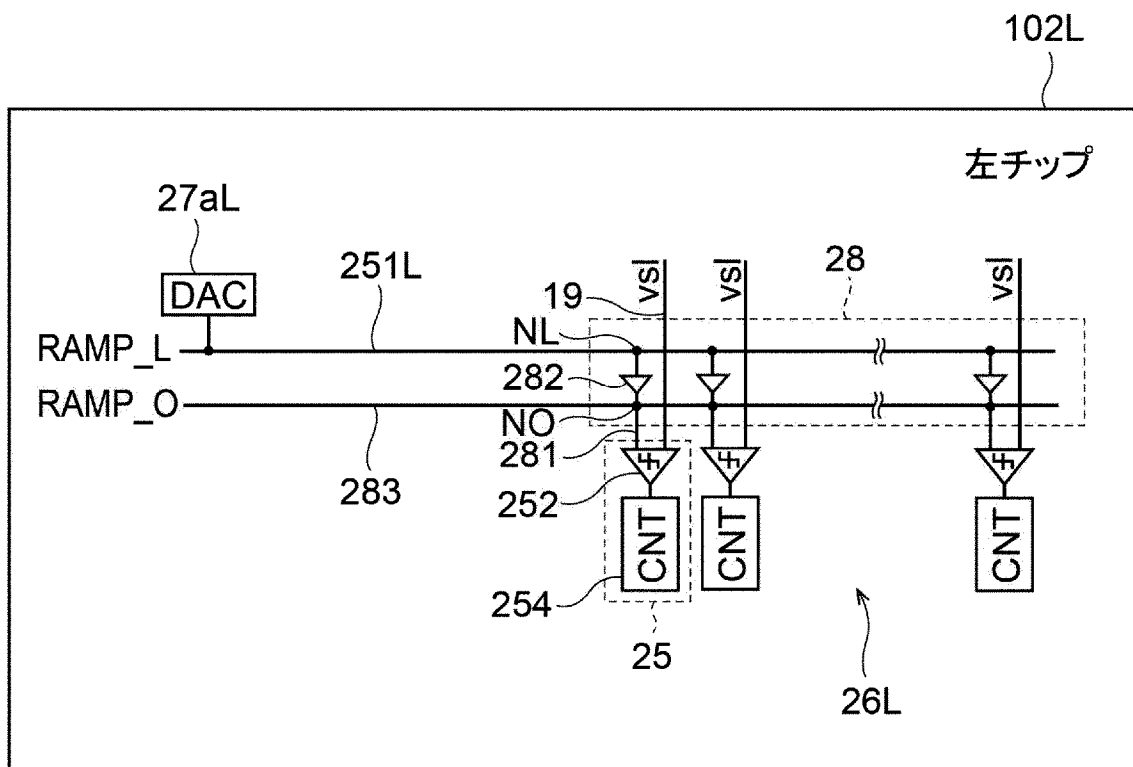
[図13A]



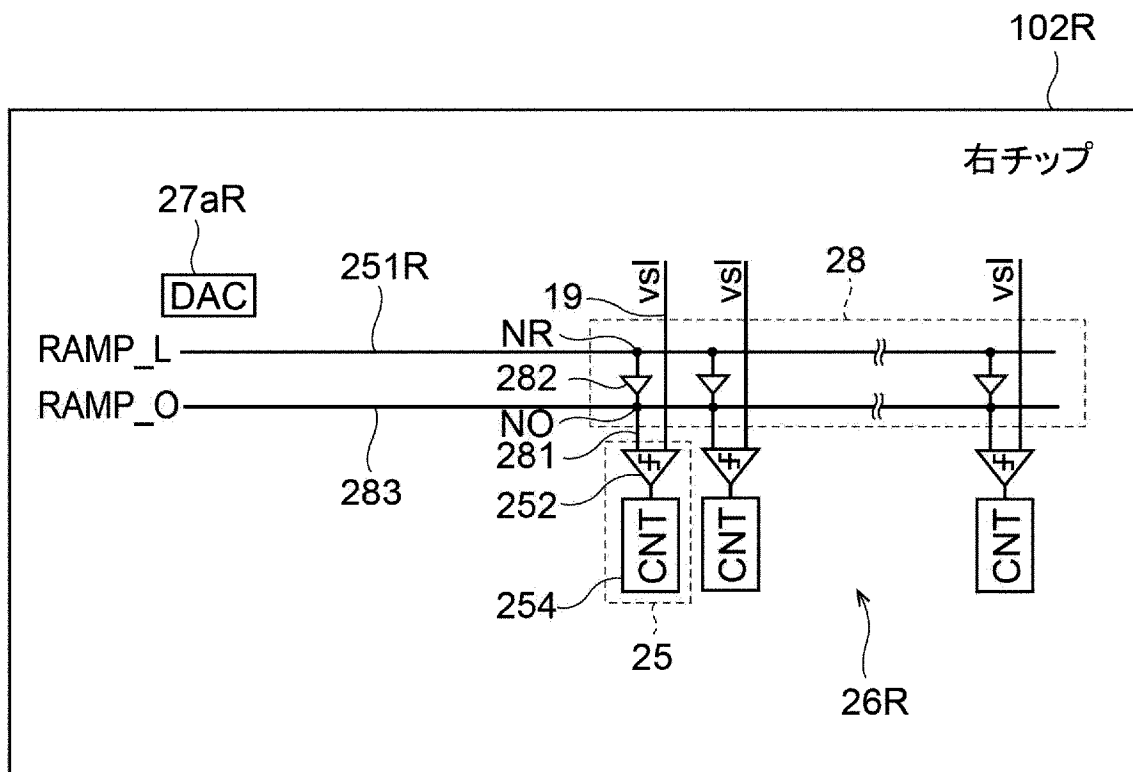
[図13B]



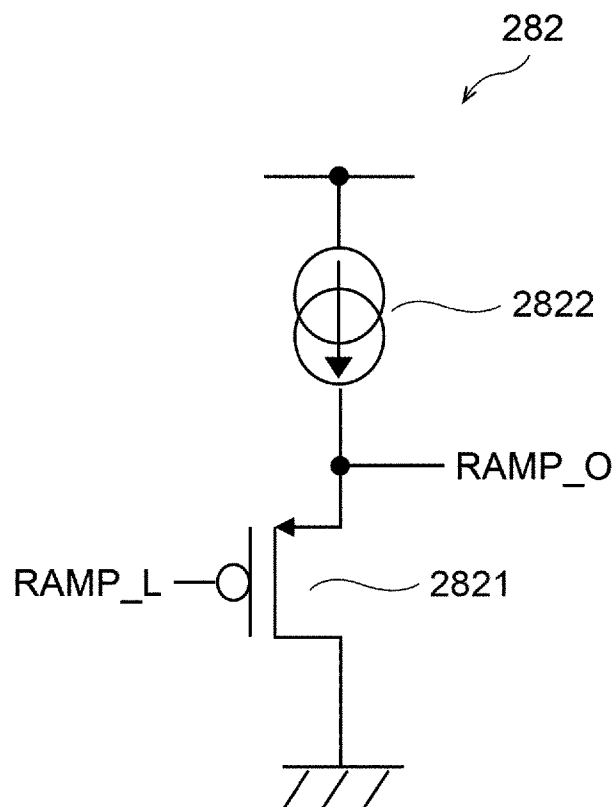
[図14A]



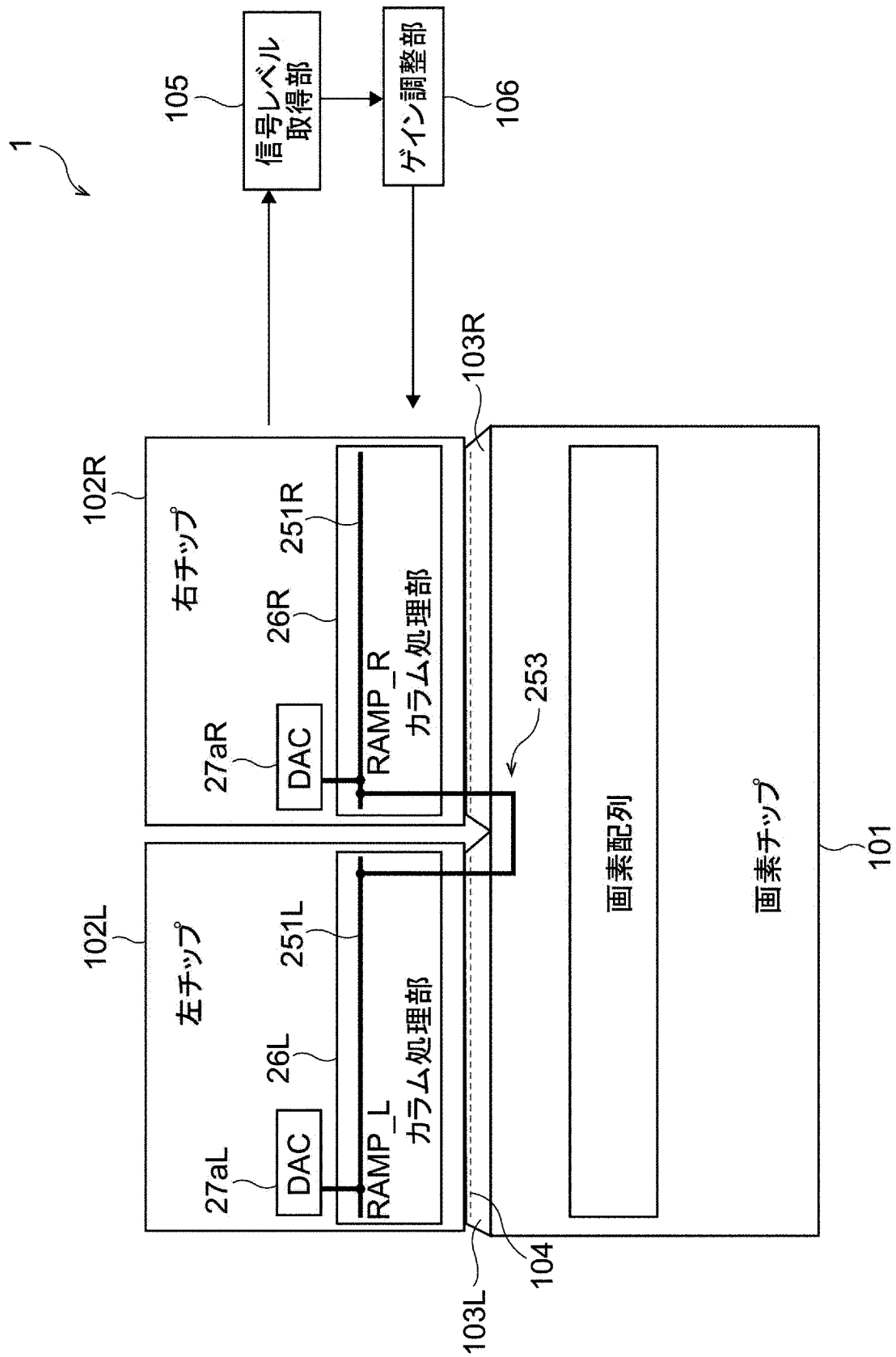
[図14B]



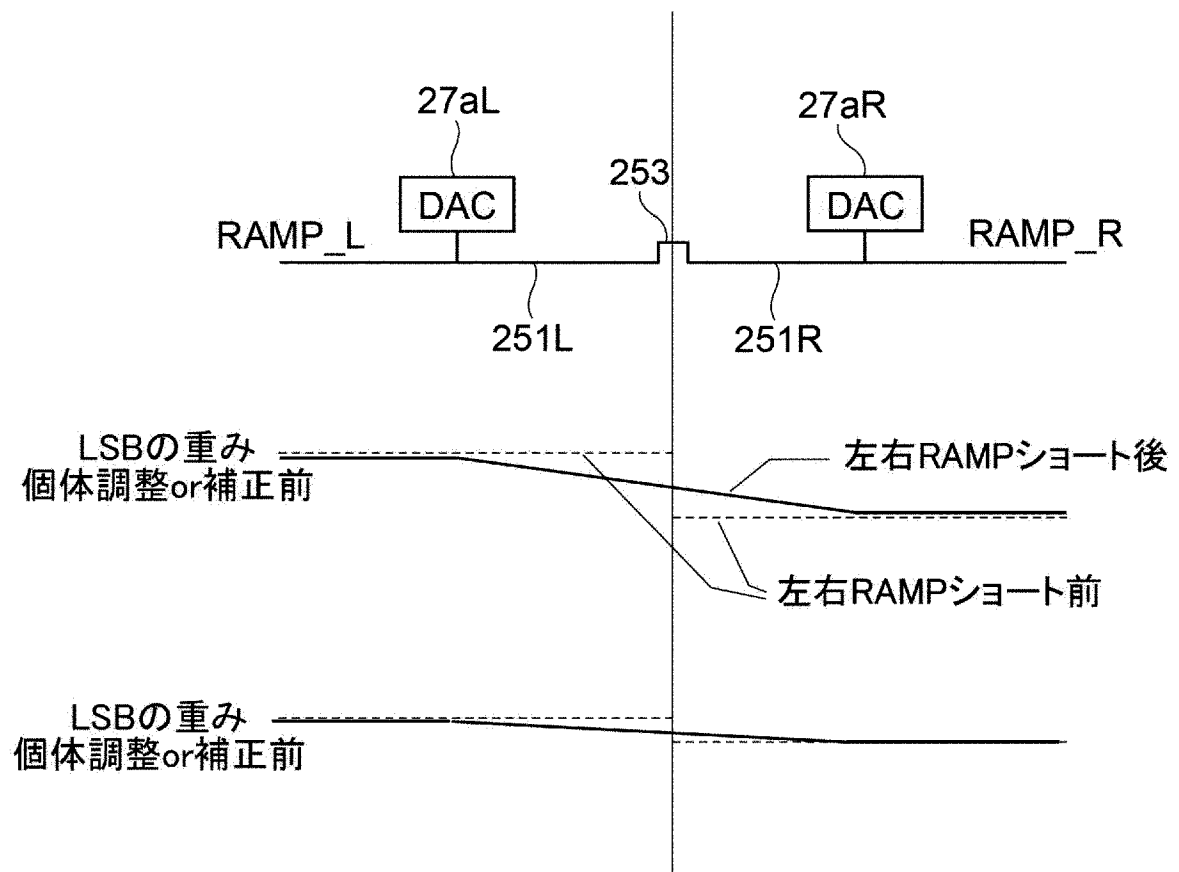
[図15]



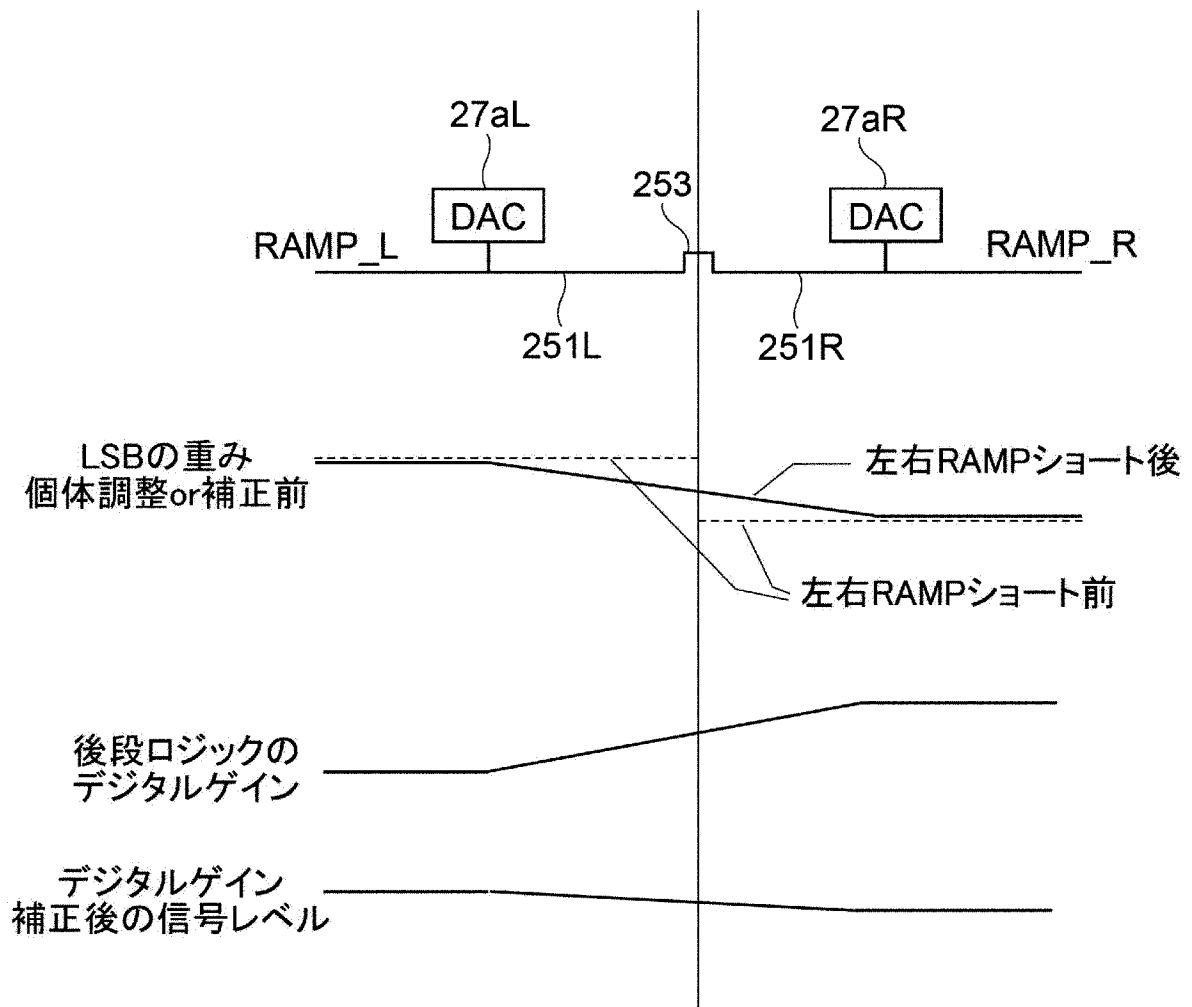
[図16]



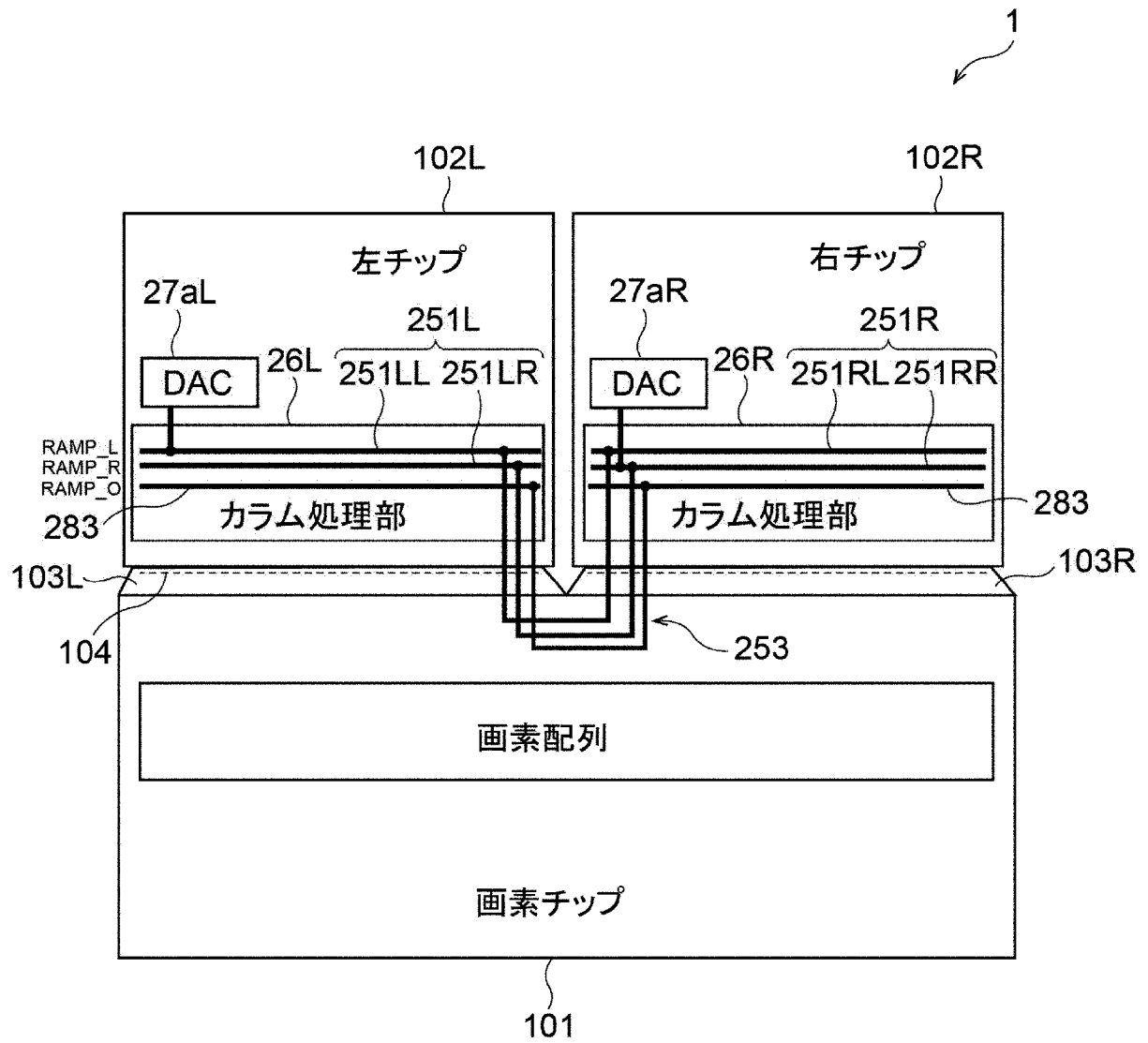
[図17]



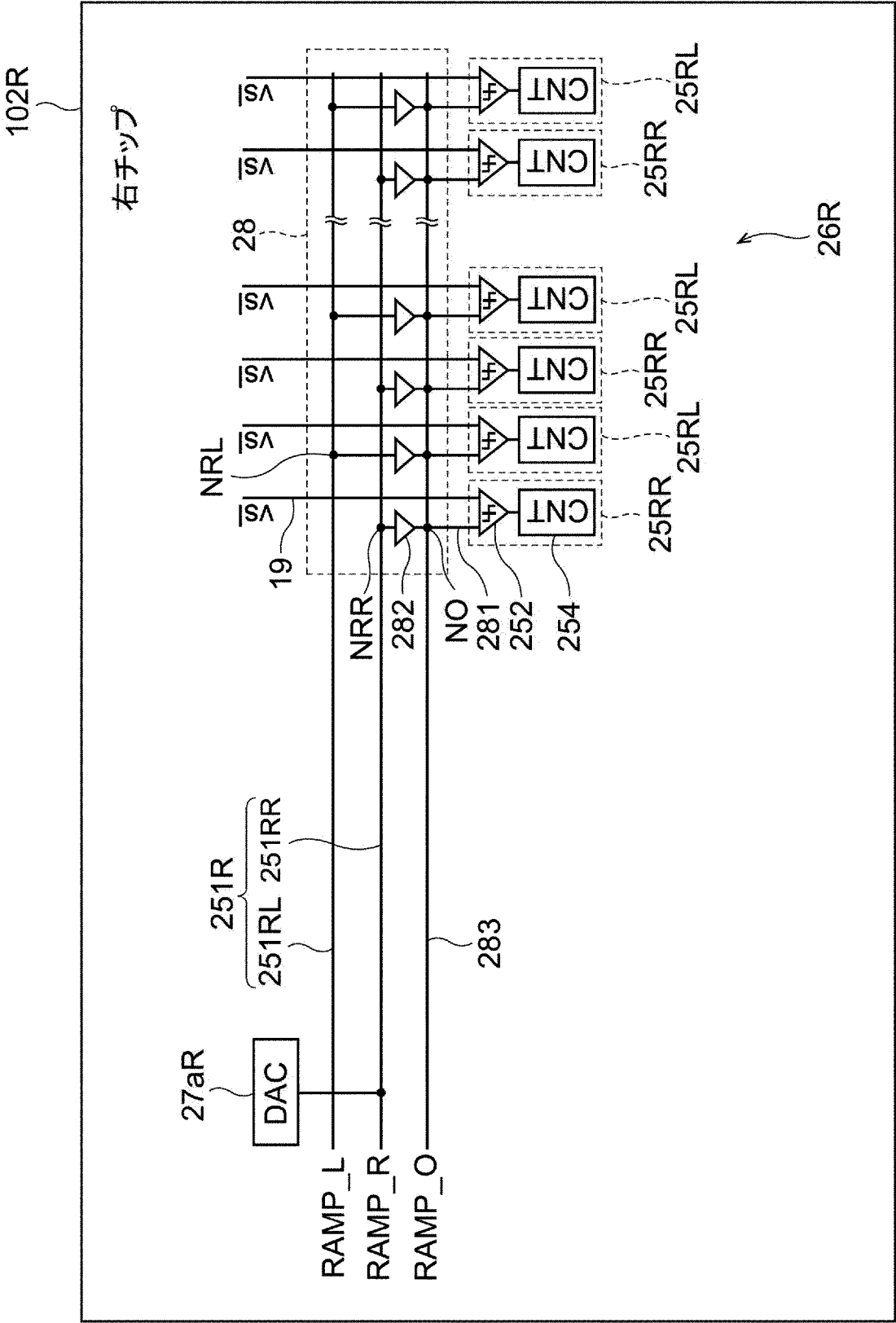
[図18]



[図19]

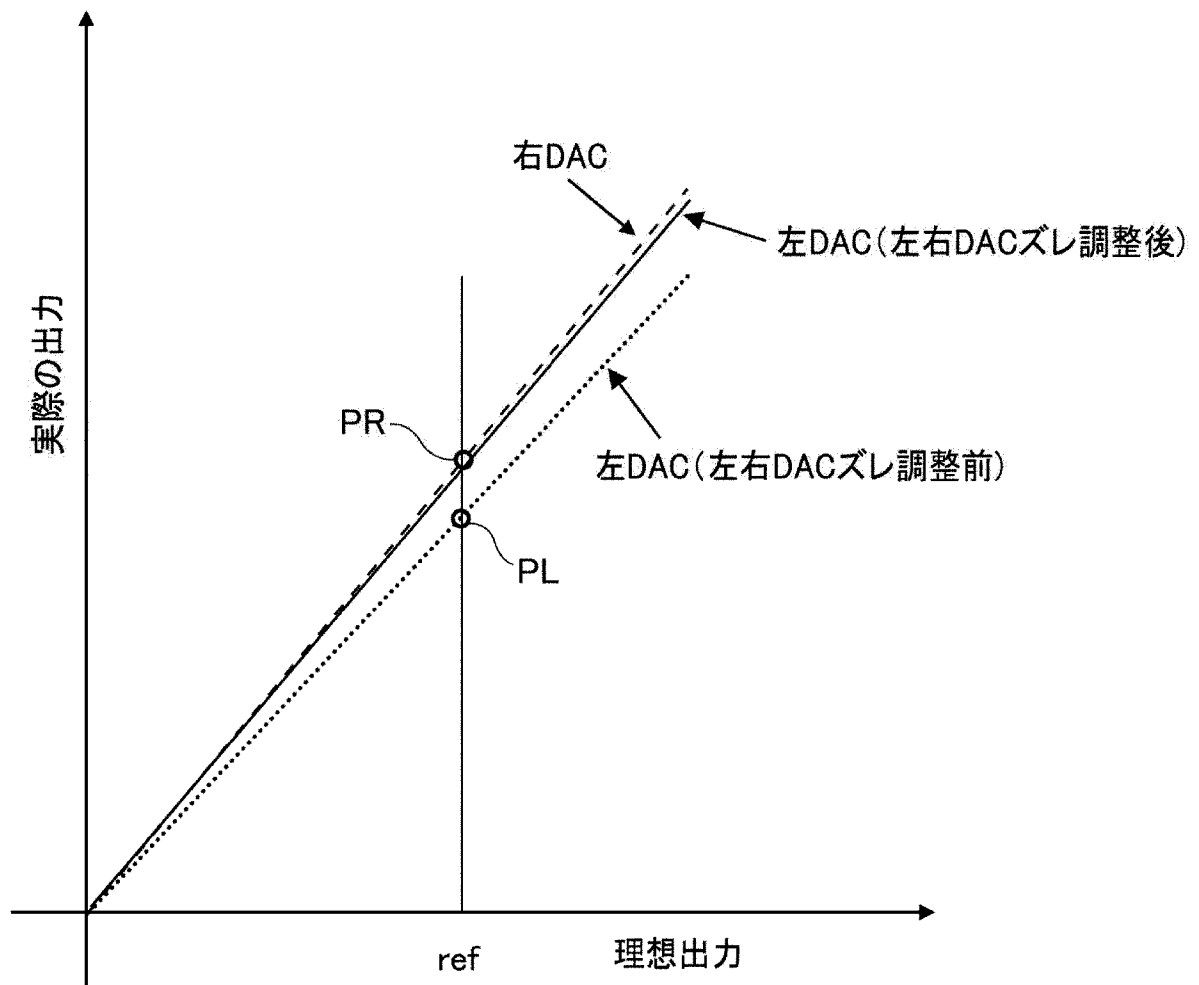


[図20B]

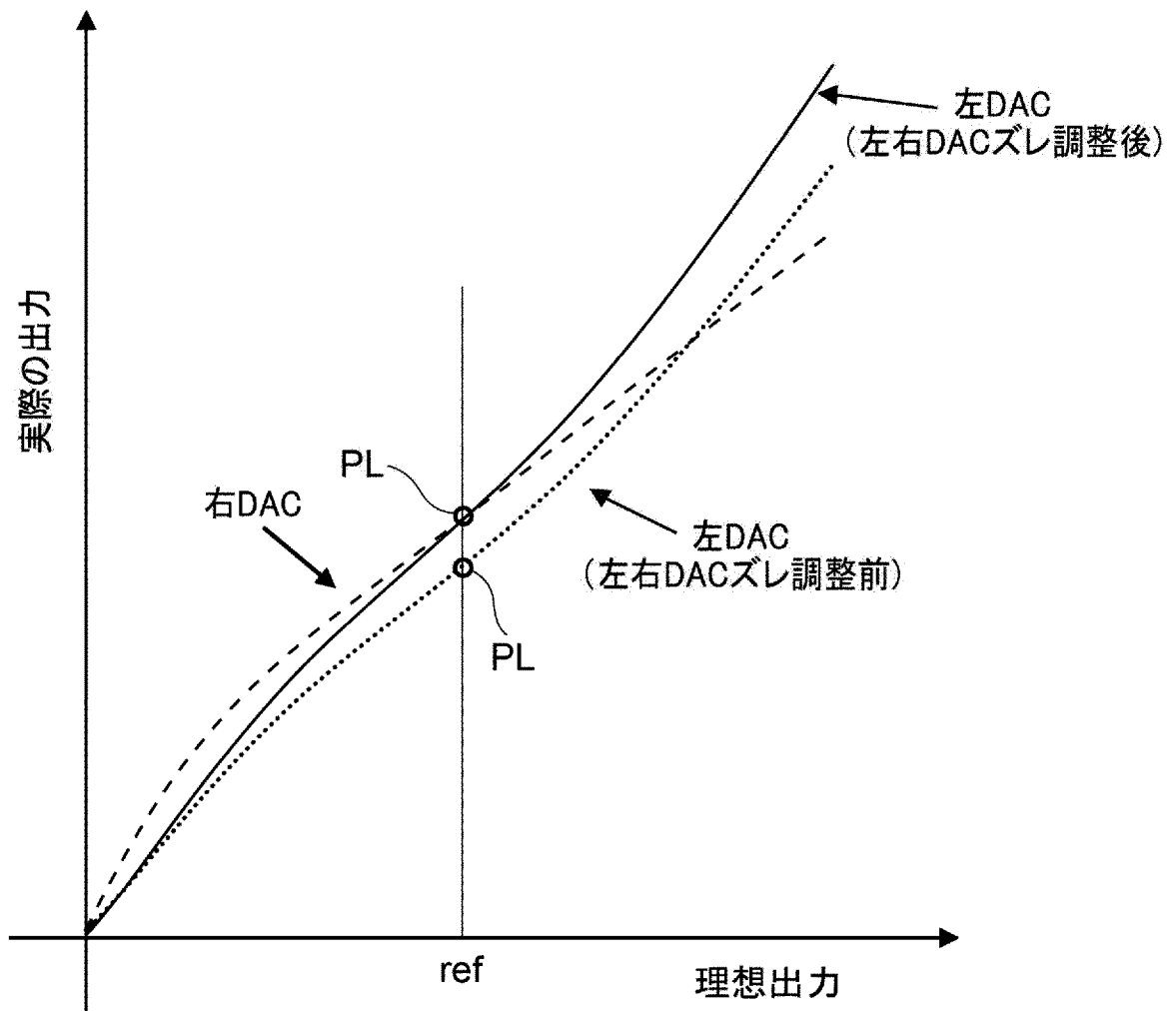


[illegible]

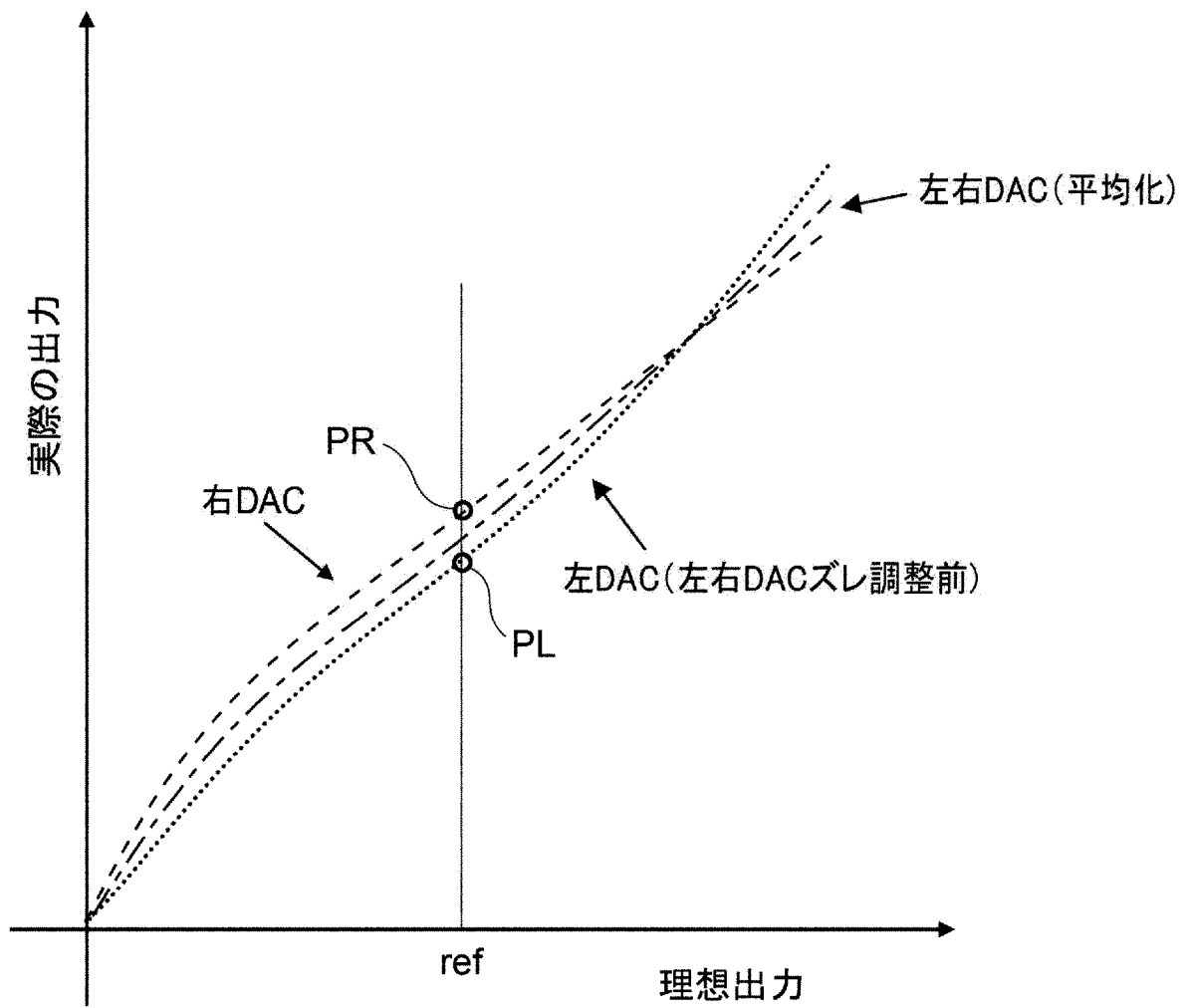
[図22]



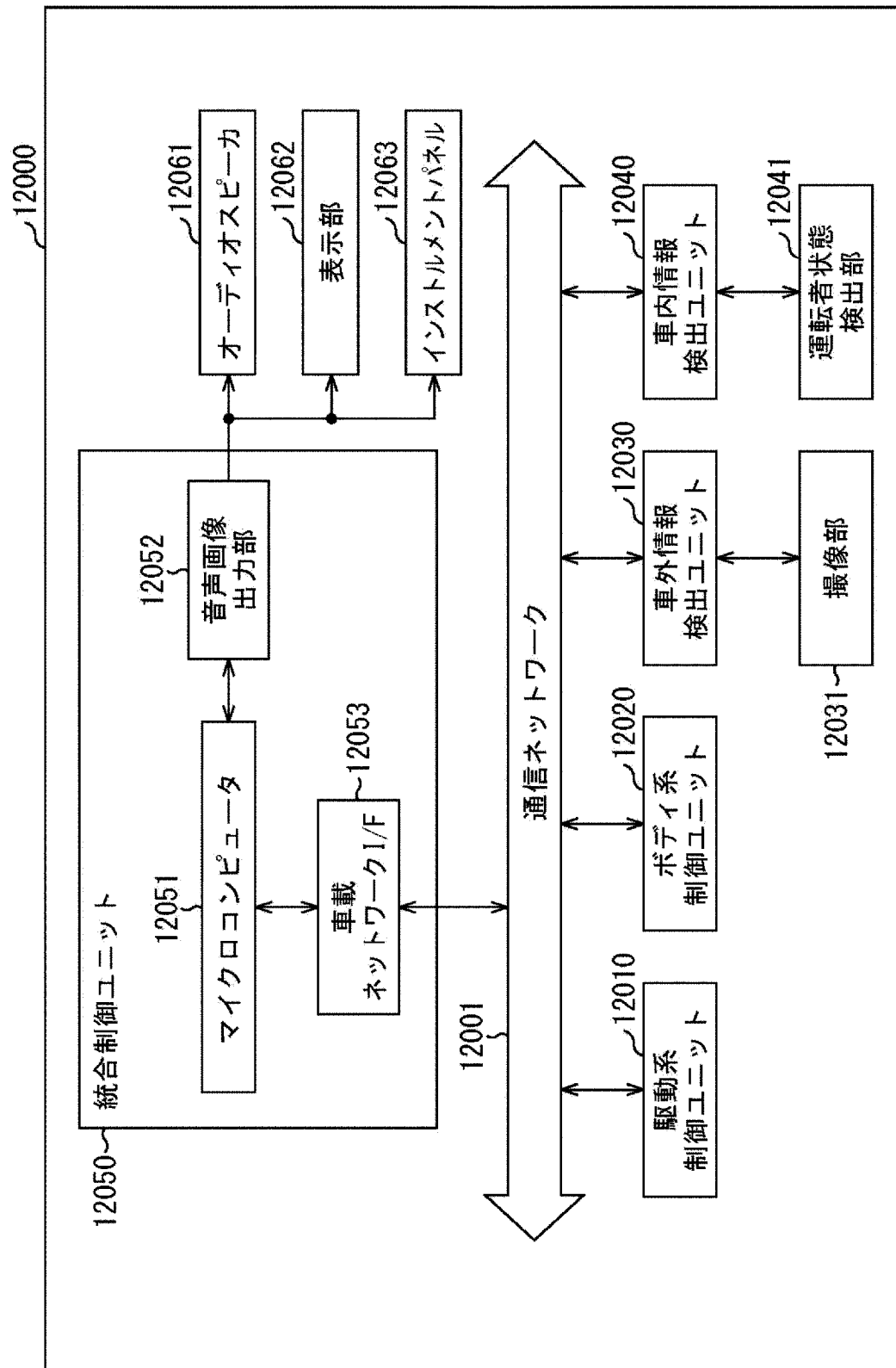
[図23]



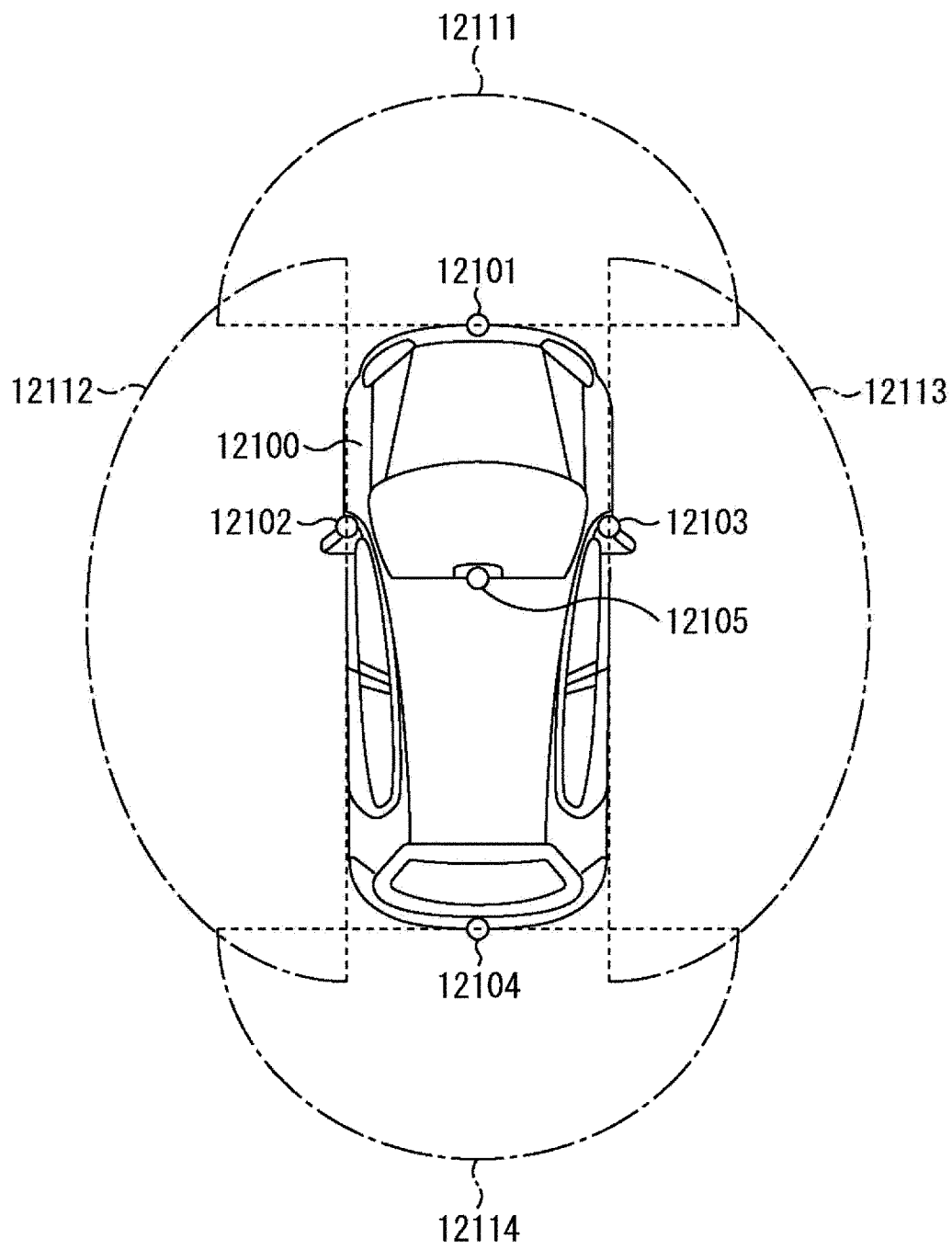
[図24]



[図25]



[図26]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2021/038104

A. CLASSIFICATION OF SUBJECT MATTER**H04N 5/378**(2011.01)i

FI: H04N5/378

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H04N5/378

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
 Published unexamined utility model applications of Japan 1971-2021
 Registered utility model specifications of Japan 1996-2021
 Published registered utility model applications of Japan 1994-2021

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	WO 2020/153123 A1 (SONY SEMICONDUCTOR SOLUTIONS CORP.) 30 July 2020 (2020-07-30) paragraphs [0042]-[0045], fig. 4	1, 2, 12-17
A		3-11, 18
Y	WO 2015/079597 A1 (PANASONIC INTELLECTUAL PROPERTY MANAGEMENT CO., LTD.) 04 June 2015 (2015-06-04) paragraphs [0086]-[0093], fig. 7	1, 2, 12-17
A	JP 2015-177311 A (TOSHIBA CORP.) 05 October 2015 (2015-10-05) paragraphs [0025]-[0027], fig. 9	1-18
A	JP 2007-19682 A (SONY CORP.) 25 January 2007 (2007-01-25) paragraphs [0157], [0158], fig. 7	1-18

☐ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

10 December 2021

Date of mailing of the international search report

11 January 2022

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)
 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
 Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2021/038104

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
WO	2020/153123	A1	30 July 2020	(Family: none)	
WO	2015/079597	A1	04 June 2015	US 2016/0205333	A1 paragraphs [0097]-[0104], fig. 7
JP	2015-177311	A	05 October 2015	US 2015/0264286	A1 paragraphs [0048]-[0053], fig. 9
				CN 104917981	A
				KR 10-2015-0107568	A
JP	2007-19682	A	25 January 2007	US 2007/0008206	A1 paragraphs [0173], [0174], fig. 7
				EP 1742369	A2
				KR 10-2007-0005508	A
				CN 1917374	A

A. 発明の属する分野の分類（国際特許分類（IPC）） H04N 5/378(2011.01)i FI: H04N5/378		
B. 調査を行った分野		
調査を行った最小限資料（国際特許分類（IPC）） H04N5/378		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2021年 日本国実用新案登録公報 1996-2021年 日本国登録実用新案公報 1994-2021年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	WO 2020/153123 A1（ソニーセミコンダクタソリューションズ株式会社）30.07.2020 (2020-07-30) 段落 [0042] - [0045]、図4	1, 2, 12-17
A		3-11, 18
Y	WO 2015/079597 A1（パナソニックIPマネジメント株式会社）04.06.2015（2015-06-04） 段落 [0086] - [0093]、図7	1, 2, 12-17
A	JP 2015-177311 A（株式会社東芝）05.10.2015（2015-10-05） 段落 [0025] - [0027]、図9	1-18
A	JP 2007-19682 A（ソニー株式会社）25.01.2007（2007-01-25） 段落 [0157]、[0158]、図7	1-18
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日 10.12.2021		国際調査報告の発送日 11.01.2022
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 鈴木 明 5V 9185 電話番号 03-3581-1101 内線 3571

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2021/038104

引用文献			公表日	パテントファミリー文献	公表日
WO	2020/153123	A1	30.07.2020	(ファミリーなし)	
WO	2015/079597	A1	04.06.2015	US 2016/0205333 A1	
				段落 [0097] - [0104]、図	
				7	
JP	2015-177311	A	05.10.2015	US 2015/0264286 A1	
				段落 [0048] - [0053]、図	
				9	
				CN 104917981 A	
				KR 10-2015-0107568 A	
JP	2007-19682	A	25.01.2007	US 2007/0008206 A1	
				段落 [0173]、[0174]、図	
				7	
				EP 1742369 A2	
				KR 10-2007-0005508 A	
				CN 1917374 A	