[19] 中华人民共和国国家知识产权局

[51] Int. Cl.
H03K 19/0175 (2006.01)
H03K 5/08 (2006.01)
H03K 17/30 (2006.01)

[12] 发明专利申请公布说明书

[21] 申请号 200580029616.0

[43] 公开日 2007 年 8 月 1 日

[11] 公开号 CN 101010878A

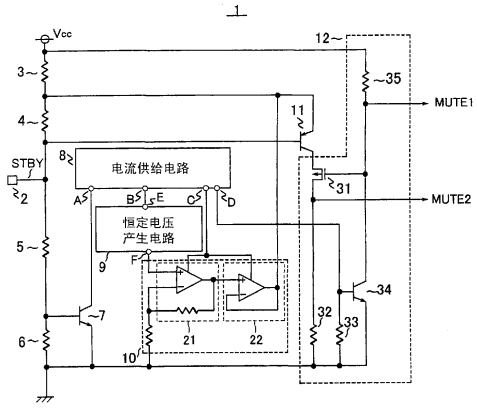
[22] 申请日 2005.9.16
[21] 申请号 200580029616.0
[30] 优先权
[32] 2004. 9.24 [33] JP [31] 277889/2004
[86] 国际申请 PCT/JP2005/017136 2005.9.16
[87] 国际公布 WO2006/033298 日 2006.3.30
[85] 进入国家阶段日期 2007.3.2
[71] 申请人 罗姆股份有限公司
地址 日本京都府
[72] 发明人 藤村高志
[74] 专利代理机构 中科专利商标代理有限责任公司
代理人 朱进桂
权利要求书 2 页 说明书 9 页 附图 2 页

[54] 发明名称

输入电路

[57] 摘要

提供了一种输入电路，能够识别外部信号的三种状态，而不需要复杂的电压调节，并且能够降低待机状态下的功耗。 该输入电路包括：串联连接在不同固定电势之间的四个电阻器元件(3－6)；与两个电阻器元件(4、5)接点相连的输入端(2)；由两个电阻器元件(5、6)接点处的电压来导通/截止的开关晶体管(7)；电流供给电路(8)，在开关晶体管(7)导通时输出供给电流，而在开关晶体管(7)截止时不输出供给电流；恒定电压产生电路(9)，接收供给电流以输出恒定电压；恒定电压输出缓冲电路(10)，用于在开关晶体管(7)截止时，使输出进入高阻抗状态，并在开关晶体管(7)导通时，接收恒定电压，以向两个电阻器元件(3、4)的接点输出预定电压；开关晶体管(11)，由电阻器元件(4)两端的电压来导通/截止；以及组合电路(12)，根据两个开关晶体管(7、11)的导通/截止状态的组合，来输出识别信号。



1．一种输入电路，包括：

第一至第四电阻器元件（3-6），串联设置在第一固定电势和低于所述第一固定电势的第二固定电势之间；

输入端（2），与所述第二电阻器元件（4）和所述第三电阻器元件（5）的连接点相连，用于接收输入信号；

第一开关晶体管（7），由所述第三电阻器元件（5）和所述第四电阻器元件（6）的连接点处的电压控制而导通和截止；

电流供给电路（8），用于在所述第一开关晶体管（7）导通时输出供给电流，并且在所述第一开关晶体管（7）截止时不输出所述供给电流；

恒定电压产生电路（9），用于从所述电流供给电路接收供给电流，以输出恒定电压；

恒定电压输出缓冲电路（10），用于在所述第一开关晶体管（7）截止时，使其输出进入高阻抗状态，并在所述第一开关晶体管（7）导通时，接收所述恒定电压产生电路（9）的恒定电压，以向所述第一电阻器元件（3）和所述第二电阻器元件（4）的连接点输出预定电压；

第二开关晶体管（11），由所述第二电阻器元件（4）的两端之间的电压控制而导通和截止；以及

组合电路（12），根据所述第一开关晶体管（7）和所述第二开关晶体管（11）的导通和截止状态的组合，来输出多个识别信号。

2．根据权利要求1所述的输入电路，其中

当所述第一开关晶体管（7）导通时，所述电流供给电路（8）向所述恒定电压输出缓冲电路（10）输出供给电流，以及

当所述电流供给电路（8）不输出所述供给电流时，所述恒定电压输出缓冲电路（10）使其输出进入高阻抗状态，当所述电流供给电路（8）输出所述供给电流时，所述恒定电压输出缓冲电路（10）接收所述恒定电压产生电路（9）的恒定电压以向所述第一电阻器元件（3）和所述第二电阻器元件（4）的连接点输出预定电压。

3．根据权利要求1所述的输入电路，其中

所述恒定电压输出缓冲电路（10）包括：

放大电路（21），用于放大从所述恒定电压产生电路（9）接收的恒定电压；以及

电压跟随电路(22)，用于以低输出阻抗来输出所述放大电路(21)的输出电压。

4. 根据权利要求 1 所述的输入电路，其中

当向所述输入端（2）提供低电平的输入时，所述第一开关晶体管（7）截止；

当所述输入端（2）处于高阻抗状态时，所述第一开关晶体管（7）导通，且所述第二开关晶体管（11）导通；以及

当向所述输入端（2）提供高电平的输入时，所述第一开关晶体管（7）导通，所述第二开关晶体管（11）截止。

输入电路

技术领域

本发明涉及一种输入电路，具体地，涉及一种适用于半导体集成电路器件的输入电路。

背景技术

半导体集成电路器件中的输入电路通常识别两种状态，即外部信号的高电平和低电平。还有一种输入电路，设计成能够识别三种状态，即外部信号的高电平、中间电平和低电平，以便减少半导体器件的端子从而降低封装成本（例如日本待审专利No.6-104664（专利文献1））。

图3是示出了日本待审专利No.6-104664（专利文献1）的输入电路的示意配置的电路图。参考该附图，输入电路101包括比较器103、比较器104和组合电路105。

比较器103和104将来自输入端102的外部信号IN与其各自的比较基准电压VREF1和VREF2相比较。

组合电路105根据比较器103和104的输出，输出识别信号OUT1和OUT2。

比较基准电压VREF1低于比较基准电压VREF2。如果外部信号IN的电压低于比较基准电压VREF1，则识别信号OUT1达到高电平，而识别信号OUT2达到低电平。如果外部信号IN的电压在比较基准电压VREF1和比较基准电压VREF2之间，则识别信号OUT1达到低电平，而识别信号OUT2达到高电平。如果外部信号IN的电压高于比较基准电压VREF2，则识别信号OUT1达到低电平，而且识别信号OUT2达到低电平。利用这种配置，输入电路101可识别外部信号IN的三种状态，即高电平、中间电平和低电平。

专利文献1：日本待审专利No.6-104664

发明内容

本发明要解决的问题

此时，在输入电路 101 中，为了识别外部信号 IN，必须调节输出外部信号 IN 的控制设备（未示出）的中间电平输出电压，以便适应比较基准电压 VREF1 和 VREF2，或者必须调节比较基准电压 VREF1 和 VREF2，以便适应控制设备的中间电平输出电压。此外，包括输入电路 101 的半导体集成电路器件和控制设备的电源电压通常不同。在这种情况下，电压的调节非常复杂，有时很困难。

通常，半导体集成电路器件具有在半导体集成电路器件不工作时进入待机状态以降低功耗的功能，这通过提供一种待机信号输入电路来实现，该待机信号输入电路接收代表转换到待机状态或从待机状态恢复的待机信号以识别该待机信号。这里，当采用输入电路 101 作为待机信号输入电路时，由于即使在待机状态下比较器 103 和 104 也必须工作，所以功耗相对较大。

本发明用于解决上述问题，本发明的目的是提供一种输入电路，该输入电路能够识别外部信号的三种状态，而没有复杂的电压调节，并且可以降低待机状态下的功耗。

解决问题的手段

为了解决该问题，根据本发明一个方面的输入电路包括：第一至第四电阻器元件，串联设置在第一固定电势和低于第一固定电势的第二固定电势之间；输入端，与第二电阻器元件和第三电阻器元件的连接点相连，用于接收输入信号；第一开关晶体管，由第三电阻器元件和第四电阻器元件的连接点处的电压控制而导通和截止；电流供给电路，用于在第一开关晶体管导通时输出供给电流，并且在第一开关晶体管截止时不输出供给电流；恒定电压产生电路，用于从电流供给电路接收供给电流以输出恒定电压；恒定电压输出缓冲电路，用于在第一开关晶体管截止时，使其输出进入高阻抗状态，并在第一开关晶体管导通时，接收恒定电压产生电路的恒定电压，以向第一电阻器元件和第二电阻器元件的连接点输出预定电压；第二开关晶体管，由第二电阻器元件两端之间的电压控制而导通和截止；以及组合电路，根据第一开关晶体管和第二开关晶体管的导通和截止状态的组合，来输出

多个识别信号。

优选地，当第一开关晶体管导通时，电流供给电路向恒定电压输出缓冲电路输出供给电流，并且当电流供给电路不输出供给电流时，恒定电压输出缓冲电路使其输出进入高阻抗状态，当电流供给电路输出供给电流时，恒定电压输出缓冲电路接收恒定电压产生电路的恒定电压以向第一电阻器元件和第二电阻器元件的连接点输出预定电压。

优选地，恒定电压输出缓冲电路包括：放大电路，用于放大从恒定电压产生电路接收的恒定电压；以及电压跟随电路，用于以低输出阻抗来输出放大电路的输出电压。

优选地，当向输入端提供低电平的输入时，第一开关晶体管截止，当输入端处于高阻抗状态时，第一开关晶体管导通，且第二开关晶体管导通；当向输入端提供高电平的输入时，第一开关晶体管导通，第二开关晶体管截止。

本发明的效果

根据本发明的输入电路能够识别发送到其输入端的信号的三种状态，即高电平、低电平和高阻抗状态。因此，不需要复杂的电压调节。此外，由于当接收的外部信号处于预定状态时，抑制了电路中的电流量，所以可以降低待机状态中的功耗。

附图说明

图1是根据本发明实施例的输入电路1的电路图。

图2是根据本发明实施例的输入电路1中的电流供给电路8和恒定电压产生电路9的电路图。

图3是示出了日本待审专利No.6-104664（专利文献1）的输入电路的示意配置的电路图。

参考符号的说明

1、101 输入电路； 2 输入端（待机输入端）； 3 第一电阻器元件； 4 第二电阻器元件； 5 第三电阻器元件； 6 第四电阻器元件； 7 第一开关晶体管； 8 电流供给电路； 9 恒定电压产生电路； 10 恒定电压输出缓冲电路； 11 第二开关晶体管； 12、105 组合电路； 21 放大电路； 22 电压跟随电路； 31、34、42-48、

53、54、56 晶体管； 32-33、35、41、51-52 电阻器； 以及 103、104 比较器

具体实施方式

下面，参考附图，描述用于执行本发明的最佳模式。图 1 是根据本发明实施例的输入电路 1 的电路图。

参考附图，输入电路 1 包括待机输入端 2、电阻器元件 3-6（第一至第四电阻器元件）、NPN 型开关晶体管（第一开关晶体管）7、电流供给电路 8、恒定电压产生电路 9、恒定电压输出缓冲电路 10、PNP 型开关晶体管（第二开关晶体管）11 以及组合电路 12。恒定电压输出缓冲电路 10 包括放大电路 21 和电压跟随电路 22。组合电路 12 包括 PMOS（P 沟道金属氧化物半导体）型晶体管 31、电阻器 32-33、NPN 型晶体管 34 和电阻器 35。

输入电路 1 具有待机输入端 2，作为接收待机信号 STBY 的输入端，并识别待机信号 STBY 的三种状态，即高电平、低电平和附加的高阻抗状态，以输出识别信号 MUTE 1 和 MUTE 2，其中高阻抗状态即提供待机信号 STBY 的控制设备（未示出）未输出信号的状态。识别信号 MUTE 1 和 MUTE 2 被发送到后继的功能电路（未示出）。例如，如果识别信号 MUTE 1 处于高电平，则整个功能电路达到待机状态；如果识别信号 MUTE 2 处于高电平，则仅功能电路的一部分达到待机状态；如果识别信号 MUTE 1 和 MUTE 2 都处于低电平，则功能电路正常工作。注意，可以根据功能电路的类型来任意地设置到达功能电路的识别信号 MUTE 1 和 MUTE 2 的功能。

具体地，在例如为 5V 的电源电压 VCC（第一固定电势）和地电势（第二固定电势）之间，串联地设置了电阻器元件 3-6。注意，电源电压 VCC 设置为不同于电源电压的固定电势，且地电势设置为低于该固定电势的固定电势的配置也是可以的。待机输入端 2 与电阻器元件 4 和电阻器元件 5 的连接点相连。为了抑制在待机模式下从电源电压 VCC 流向地电势的电流量，将电阻器元件 3-6 的电阻值设置为高。电阻器元件 4 的电阻值被确定使得开关晶体管 11 在待机信号 STBY 处于高阻抗状态时导通，而在待机信号 STBY 处于高电平时截止。NPN 型开

关晶体管 7 的基极（控制端）与电阻器元件 5 和电阻器元件 6 的连接点相连。开关晶体管 7 的发射极（一端）接地，并由电阻器元件 5 和电阻器元件 6 的连接点处的电压控制而导通和截止。即，如果电阻器元件 5 和 6 的连接点处的电压低于正向偏置电压（Vf），则开关晶体管 7 截止，而如果该电压高于正向偏置电压，则开关晶体管 7 导通。

开关晶体管 7 的集电极（另一端）与作为电流供给电路 8 的输入端的端子 A 相连。电流供给电路 8 从作为输出端的端子 B-D 输出供给电流。电流供给电路 8 在开关晶体管 7 导通时从端子 B-D 输出供给电流，而在开关晶体管 7 截止时不输出供给电流。后面将详细描述该操作。电流供给电路 8 的端子 B 与作为恒定电压产生电路 9 的输入端的端子 E 相连。当经由端子 B 和 E 从电流供给电路 8 提供电流时，恒定电压产生电路 9 产生恒定电压（例如 1.28V）并从输出端子 F 输出该电压。恒定电压产生电路 9 的端子 F 与恒定电压输出缓冲电路 10 相连。

在恒定电压输出缓冲电路 10 中，放大电路 21 放大从恒定电压产生电路 9 接收的恒定电压。电压跟随电路 22 以低输出阻抗输出来自放大电路的电压。具体地，放大电路 21 是非反相放大器，在该运算放大器的非反相输入端从恒定电压产生电路 9 接收恒定电压，并且反相输入端与用于放大的电阻器相连。

当从电流供给电路 8 的端子 C 提供源电流时，恒定电压输出缓冲电路 10 根据从恒定电压产生电路 9 接收的恒定电压，向电阻器元件 3 和电阻器元件 4 的连接点输出预定电压（例如 3V）。当未从电流供给电路 8 提供源电流时，即当开关晶体管 7 截止时，恒定电压输出缓冲电路 10 使自己的输出进入高阻抗状态。恒定电压输出缓冲电路 10 的配置不局限于由电流供给电路 8 提供电流，而只需要配置成根据开关晶体管 7 的导通和截止状态，在输出预定电压的模式和使自己的输出进入高阻抗状态的模式之间切换。

恒定电压输出缓冲电路 10 的输出与电阻器元件 3 和电阻器元件 4 的连接点以及 PNP 型开关晶体管 11 的发射极（一端）相连。开关晶体管 11 的基极(控制端)与电阻器元件 4 和电阻器元件 5 的连接点相连。开关晶体管 11 由电阻器元件 4 两端之间的电压控制而导通和截止。即，如果电阻器元件 4 两端之间的电压低于正向偏置电压（Vf），则开关晶

体管 11 截止，如果该电压高于正向偏置电压（Vf），则开关晶体管 11 导通。

开关晶体管 11 的集电极（另一端）与组合电路 12 相连。具体地，开关晶体管 11 的集电极与 PMOS 型晶体管 31 的源极相连。晶体管 31 的漏极与电阻器 32 的一端相连，连接点处的信号是识别信号 MUTE 2，电阻器 32 的另一端接地。电流供给电路 8 的端子 D 与电阻器 33 的一端相连，并与 NPN 型晶体管 34 的基极相连，电阻器 33 的另一端接地。晶体管 34 的发射极接地，并且在从电流供给电路 8 提供电流时导通，在未供有电流时截止。晶体管 34 的集电极与电阻器 35 的一端相连，电阻器 35 的另一端与电源电压 VCC 相连。晶体管 34 的集电极和电阻器 35 的连接点处的信号是识别信号 MUTE 1。晶体管 31 的栅极与晶体管 34 的集电极和电阻器 35 的连接点相连。

利用这种电路配置，组合电路 12 根据开关晶体管 7 和开关晶体管 11 的导通和截止状态的组合，实现输出多个（在该示例中是两个）识别信号的逻辑。即，如果开关晶体管 7 截止，则晶体管 34 未供有来自电流供给电路 8 的端子 D 的电流，从而截止，识别信号 MUTE 1 达到高电平。此外，由于晶体管 31 截止，识别信号 MUTE 2 达到低电平。另一方面，如果开关晶体管 7 导通，则晶体管 34 供有来自电流供给电路 8 的端子 D 的电流，从而导通，识别信号 MUTE 1 达到低电平。此外，由于晶体管 31 导通，如果晶体管 11 导通则识别信号 MUTE 2 达到高电平，如果晶体管 11 截止则识别信号 MUTE 2 达到低电平。注意，可以采用多种其它的电路配置来实现类似的逻辑。例如，代替从电流供给电路 8 向晶体管 34 的栅极提供电流，晶体管 34 的栅极可与开关晶体管 7 的栅极共享。

接下来，描述输入电路 1 的整体操作。当向待机输入端 2 发送处于低电平（例如至多 1.0V）的待机信号 STBY 时，待机信号 STBY 的电压由电阻器元件 5 和 6 分压。电阻器元件 5 和电阻器元件 6 的连接点处的电压变得低于开关晶体管 7 的正向偏置电压（Vf），并且开关晶体管 7 截止。因此，识别信号 MUTE 1 达到高电平，而识别信号 MUTE 2 达到低电平，从而，如上所述，整个后继功能电路进入待机状态。此外，由于电流供给电路 8 未从端子 B-D 输出供给电流，且恒定电压输

出缓冲电路 10 使自己的输出进入高阻抗状态，所以可降低待机模式下的功耗。

当待机输入端 2 达到高阻抗状态时，电源电压 VCC 由电阻器元件 3-6 分压。电阻器元件 5 和电阻器元件 6 的连接点处的电压变得高于开关晶体管 7 的正向偏置电压（Vf），并且开关晶体管 7 导通。电阻器元件 4 两端之间的电压变得高于开关晶体管 11 的正向偏置电压(Vf)，开关晶体管 11 导通。因此，识别信号 MUTE 1 达到低电平，而识别信号 MUTE 2 达到高电平。

当向待机输入端 2 发送处于高电平（例如至少 2.8V）的待机信号 STBY 时，待机输入端 2 的电压由电阻器元件 5 和 6 分压。电阻器元件 5 和电阻器元件 6 的连接点处的电压变得高于开关晶体管 7 的正向偏置电压（Vf），开关晶体管 7 导通。电阻器元件 4 两端之间的电压变得低于开关晶体管 11 的正向偏置电压(Vf)，开关晶体管 11 截止。因此，识别信号 MUTE 1 达到低电平，而且识别信号 MUTE 2 达到低电平。

例如，假设电源电压 VCC 是 5V，电阻器元件 3 和电阻器元件 4 的电阻值是 50KΩ，电阻器元件 5 和电阻器元件 6 的电阻值是 30KΩ，从恒定电压输出缓冲电路 10 输出的预定电压是 3.3V，开关晶体管 7 和开关晶体管 11 的正向偏置电压(Vf)是 0.6V。当待机信号 STBY 是 1.0V 时，电阻器元件 5 和电阻器元件 6 的连接点处的电压是 0.5V，低于 0.6V 的正向偏置电压（Vf），从而开关晶体管 7 截止。

当待机输入端 2 处于高阻抗状况时，作为由电阻器元件对电源电压 VCC 分压的结果电压，电阻器元件 5 和电阻器元件 6 的连接点处的电压是大约 0.9V，高于 0.6V 的正向偏置电压（Vf），从而开关晶体管 7 导通。电阻器元件 4 两端之间的电压大约是 1.7V，高于正向偏置电压（Vf），从而开关晶体管 11 导通。

当待机信号 STBY 是 2.8V 时，电阻器元件 5 和电阻器元件 6 的连接点处的电压是 1.4V，高于 0.6V 的正向偏置电压（Vf），从而开关晶体管 7 导通。电阻器元件 4 两端之间的电压是 0.5V，低于正向偏置电压（Vf），从而开关晶体管 11 截止。

接下来，详细描述电流供给电路 8 和恒定电压产生电路 9。图 2 是根据本发明实施例的输入电路 1 中的电流供给电路 8 和恒定电压产

生电路 9 的电路图。

参考附图，电流供给电路 8 包括电阻器 41 和晶体管 42-48。恒定电压产生电路 9 包括电阻器 51-52、晶体管 53、晶体管 54、电阻器 55 和晶体管 56。

电阻器 41 的一端与端子 A 相连。晶体管 42 是 NPN 型的，其发射极与端子 A 相连。晶体管 43 是 NPN 型的，并且（在电流能力方面）尺寸大于晶体管 42。晶体管 43 是二极管连接的。即，晶体管 43 的基极和集电极与晶体管 42 的基极相连，发射极与电阻器 41 的另一端相连。

晶体管 44 是二极管连接的。即，晶体管 44 的基极和集电极与晶体管 42 的集电极相连，发射极与电源电压 VCC 相连。晶体管 45-48 是 PNP 型的，与晶体管 44 形成电流镜电路。

晶体管 45 的集电极与晶体管 43 的集电极和基极相连。晶体管 45 的（在电流能力方面）尺寸与晶体管 44 相等。晶体管 46 的集电极与端子 B 相连，晶体管 47 的集电极与端子 C 相连，晶体管 48 的集电极与端子 D 相连。

当开关晶体管 7 导通时，端子 A 基本达到地电势，电流流过由晶体管 45、晶体管 43 和电阻器 41 组成的电流通路，并流过由晶体管 44 和晶体管 42 组成的电流通路。两个电流通路的电流值彼此相等，该电流值由晶体管 43 和晶体管 42 之间的尺寸比以及电阻器 41 的电阻值确定。通过晶体管 46-48 传输每个电流通路中的电流，并且端子 B-D 的每个输出供给电流。当开关晶体管 7 截止时，没有电流流过电流通路，端子 B-D 不输出供给电流。

注意，用于激活电流供给电路 8 的激活电路对应于图 1 中的开关晶体管 7。除了图 2 所示的电路之外，电流供给电路 8 的其它多种电路配置也是可以的。

恒定电压产生电路 9 是带隙型的，其端子 E 与电流供给电路 8 的端子 B 相连。在恒定电压产生电路 9 中，端子 E 与端子 F 相连。

电阻器 51-52 的一端与端子 F 和 E 相连，并且电阻值相同。晶体管 53 是 NPN 型的，并且是二极管连接的，其基极和集电极与电阻器 51 的另一端相连，发射极接地。

晶体管 54 是 NPN 型的，并且（在电流能力方面）尺寸大于晶体管

53。晶体管 54 的基极与晶体管 53 的基极相连，集电极与电阻器 52 的另一端相连。电阻器 55 的一端与晶体管 54 的发射极相连，另一端接地。

晶体管 56 是 NPN 型的，其基极与电阻器 52 和晶体管 54 的连接点相连，其发射极接地，其集电极与端子 F（以及端子 E）相连。

尽管这里未提供详细的说明，但是恒定电压产生电路 9 由电流供给电路 8 提供电流，从而能够产生基本与温度无关的恒定电压（例如 1.28V），并将该电压输出到端子 F。注意，恒定电压产生电路 9 不局限于带隙型的，而可以采用其它的电路配置。

如上所述，输入电路 1 将高阻抗状态而不是高电平和低电平之间的中间电平识别为待机信号 STBY 的三种状态之一。因此，输出待机信号 STBY 的控制设备（未示出）仅需要能够使自己的输出进入高阻抗状态，并且不需要控制设备的输出电压的调节或与控制设备的输出电压相适应的输入电路 1 的调节。这在输入电路 1 和控制设备的电源电压不同的情况下同样成立。例如，当输入电路 1 的电源电压 VCC 是 5V 而从恒定电压输出缓冲电路 10 输出的预定电压是 3.3V 时，输入电路 1 可将约 2.8V 或更高的电压识别为高电平。因此，可以使用电源电压大约为 2.8V 至 5V 的控制设备，而不需要特别的调节。输入电路 1 在接收到处于低电平的待机信号 STBY 时进入待机状态，从而抑制了从电源电压 VCC 流向地电势的电流量。

此外，通过降低从恒定电压输出缓冲电路 10 输出的预定电压或通过在待机输入端 2 和电阻器元件 4 之间设置另一电阻器元件，可以降低可由输入电路 1 识别的高电平的最小电压（例如从 2.8V 降低到 2.5V）。

在根据本发明实施例的输入电路 1 的设计中，可以进行多种改变。例如，输入电路 1 还可用在除待机信号输入电路之外的场合。无须说，可以用 MOS 晶体管替换双极性晶体管。

应该理解，此处公开的实施例只是示意性且非限制性的。本发明的范围由权利要求的语言限定，而不是上述说明书，并且本发明的范围意欲包括在与权利要求的语言等同的意义和范围内的任意修改。

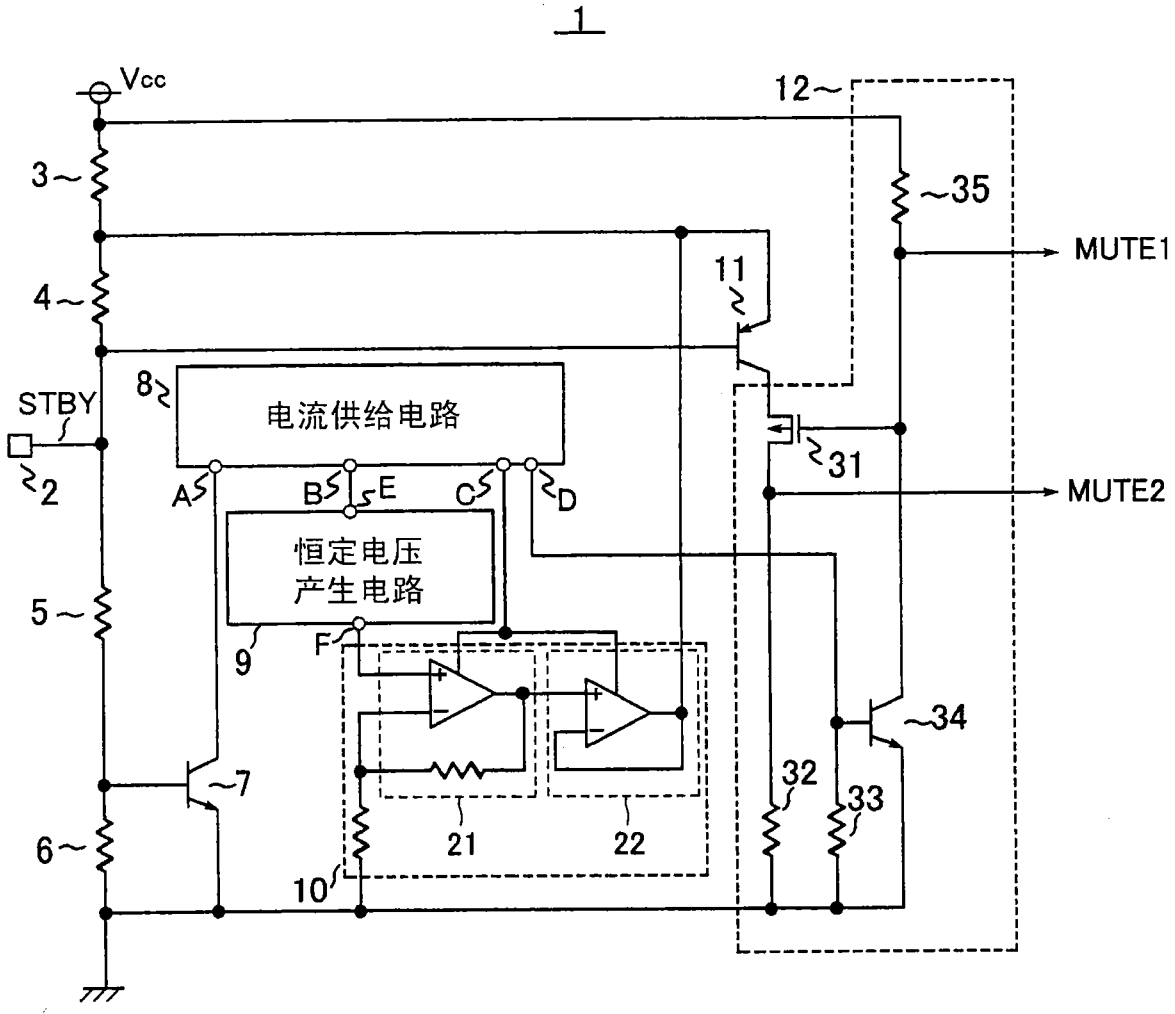

1
Vcc
12
3
35
MUTE1
11
4
8
STBY
电流供给电路
31
2
A
B
E
C
D
MUTE2
恒定电压
产生电路
5
9
F
34
7
32
33
6
21
22
10

图 1

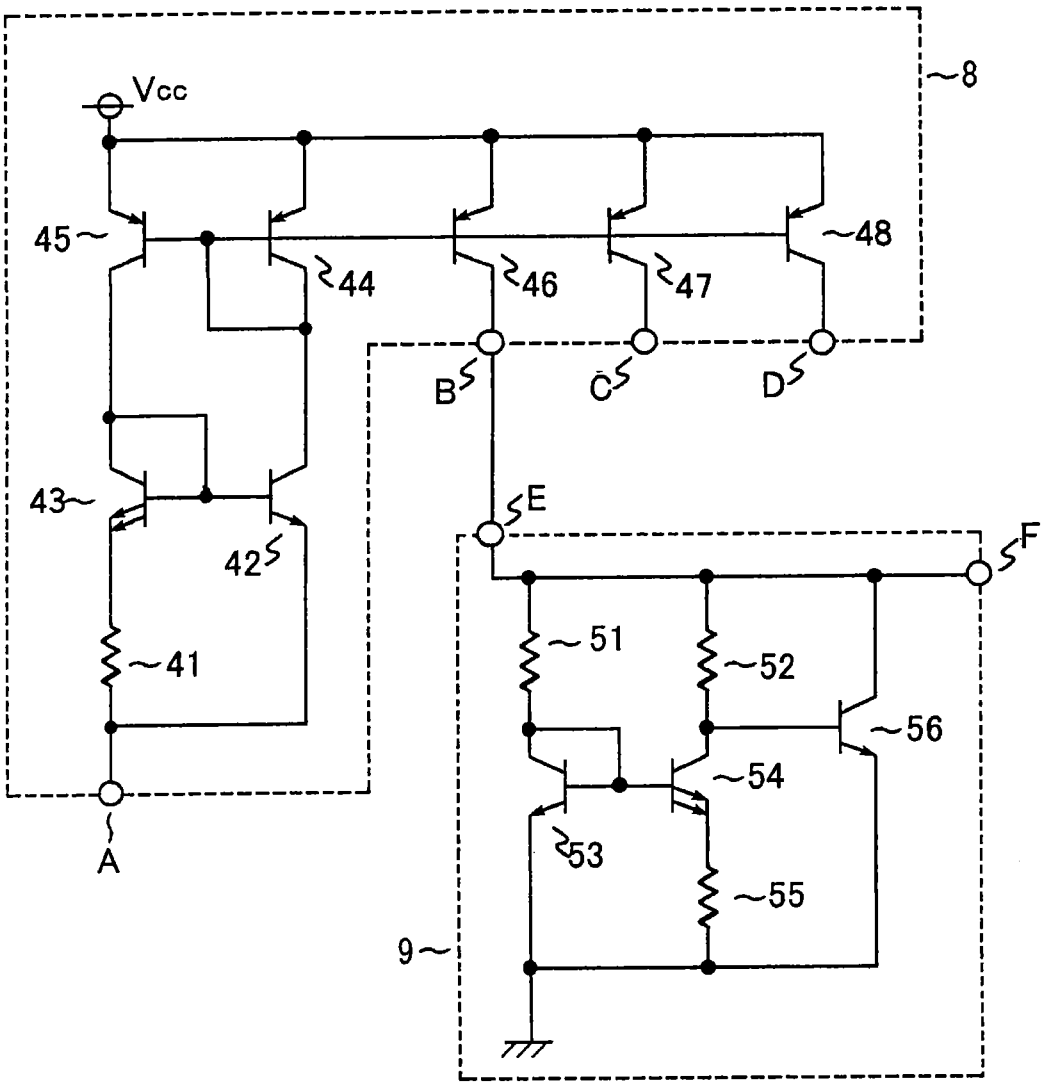

Vcc
8
45
44
46
47
48
B
C
D
43
42
E
F
41
51
52
56
54
53
55
9
A

图 2

101

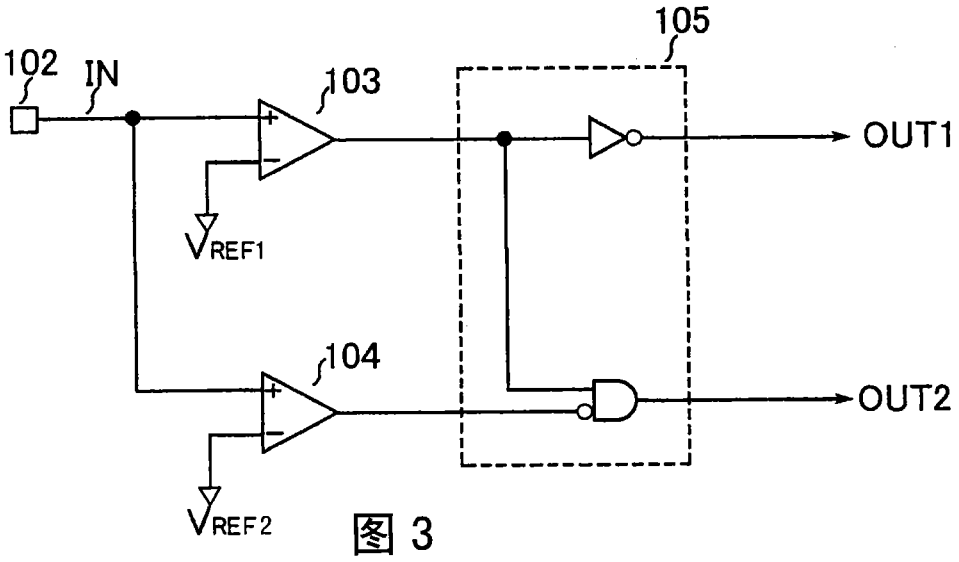

105
102
IN
103
OUT1
VREF1
104
OUT2
VREF2

图 3