

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2006年6月15日 (15.06.2006)

PCT

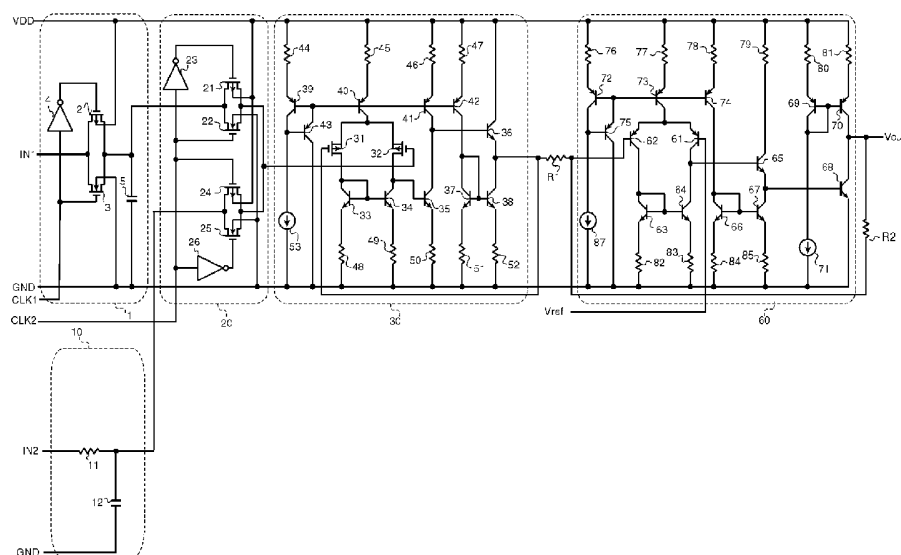
(10) 国際公開番号
WO 2006/062172 A1

- (51) 国際特許分類:
H03K 17/693 (2006.01) G11B 7/125 (2006.01)
- (21) 国際出願番号: PCT/JP2005/022584
- (22) 国際出願日: 2005年12月8日 (08.12.2005)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2004-355024 2004年12月8日 (08.12.2004) JP
- (71) 出願人 (米国を除く全ての指定国について): ローム株式会社 (ROHM CO., LTD) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町2-1 Kyoto (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてののみ): 大田 明宏 (OTA, Akihiro) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町2-1 ローム株式会社内 Kyoto (JP).
- (74) 代理人: 森下 賢樹 (MORISHITA, Sakaki); 〒1500021 東京都渋谷区恵比寿西2-11-12 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告書

[続葉有]

(54) Title: SEMICONDUCTOR INTEGRATED CIRCUIT, SEMICONDUCTOR DEVICE, AND OPTICAL DISC RECORDING DEVICE

(54) 発明の名称: 半導体集積回路、および半導体装置、および光ディスク記録装置



(57) Abstract: It is possible to reduce distortion of an output signal in a semiconductor integrated circuit having a plurality of portions for performing operation by selecting an output of a sample hold circuit and an output of other signal processing circuits. The semiconductor integrated circuit includes: a sample hold circuit (1) having an output connected to a capacitor (5); a low pass filter (10) which is a processing circuit of other signals; an analog switch (20) for selecting the output of the sample hold circuit (1) and the output of the low pass filter (10) for output; a buffer circuit (30) for inputting the output of the analog switch (20); and an amplifier arranged at the latter stage of the buffer circuit and having at least a first and a second resistor.

[続葉有]



2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(57) 要約: サンプルホールド回路の出力と他の信号処理回路の出力とを選択して動作する部分が複数箇所に存在する半導体集積回路においてその出力信号の歪みを低減することを目的とする。この半導体集積回路は、コンデンサ5が出力に接続されたサンプルホールド回路1と、他の信号処理回路であるローパスフィルタ10と、サンプルホールド回路1の出力とローパスフィルタ10の出力とを選択して出力するアナログスイッチ20と、アナログスイッチ20の出力を入力とするバッファ回路30と、バッファ回路の後段に設けられ、少なくとも第1および第2の抵抗とを有する増幅器と、を備える。

明 細 書

半導体集積回路、および半導体装置、および光ディスク記録装置

技術分野

- [0001] 本発明は、光ディスク記録装置に用いられ、並列に設けられた信号処理回路からの出力を選択スイッチにより選択して出力する箇所を有する半導体集積回路、およびそれを備える半導体装置、およびそれを備えた光ディスク記録装置に関するものである。

背景技術

- [0002] 信号処理回路の1つであるサンプルホールド回路は、出力部分に電荷を蓄積するためのコンデンサが接続されているため、バッファ回路を介して後段の負荷回路と接続される。すなわち、サンプルホールド回路は、バッファ回路を介さずに後段の負荷回路に接続すると、コンデンサに蓄積された電荷が後段の負荷回路に流れてしまい、ホールド機能を果たしにくくなってしまう。また、ローパスフィルタなどの信号処理回路にあっても、後段の負荷回路の入力インピーダンスの影響を避けるため、バッファ回路を介して後段の負荷回路と接続される。
- [0003] 光ディスク装置に用いられる半導体集積回路では、サンプルホールド回路の出力と他の信号処理回路の出力とを選択して動作する部分が複数箇所に存在する(例えば特許文献1)。このような例としては、図4に示すような、バッファ回路30aを介したサンプルホールド回路1からの出力と、バッファ回路30bを介したローパスフィルタ10からの出力とをアナログスイッチ20で選択し、その出力を抵抗R101、オペアンプ60、抵抗R102からなる反転増幅器により増幅して出力する部分を有する半導体集積回路がある。

- [0004] 特許文献1:特開2002-325039号公報

発明の開示

発明が解決しようとする課題

- [0005] 本願発明者は、図4に示すような半導体集積回路では、オペアンプ60の出力の振幅が小さい場合に出力信号に歪みが生じる問題に直面し、以下のように考察した。

[0006] クロック信号CLK2がハイであるとき、アナログスイッチ20はバッファ回路30aを介したサンプルホールド回路1からの出力をオペアンプ60に出力するような選択状態である。オペアンプ60の出力から抵抗R102, R101を経て流れる電流を i 、オペアンプ60からの出力電圧を V_{OUT} 、バッファ回路30aを介したサンプルホールド回路1の出力電圧を V_{SHO} 、オペアンプ60の増幅率を決定する抵抗R101, R102の抵抗値をそれぞれ R_{101} , R_{102} 、アナログスイッチ20のオン抵抗を R_{SW} 、オペアンプ60に入力されるリファレンス電圧を V_{ref} とすると、以下の式が成立する。

[0007] [数1]

$$V_{ref} = V_{out} - i \times R_{101} \quad \dots (式1)$$

[0008] [数2]

$$V_{out} - i(R_{102} + R_{101} + R_{SW}) = V_{SHO} \quad \dots (式2)$$

[0009] 式1, 式2を変形し、次の式が得られる。

[0010] [数3]

$$V_{out} = \frac{R_{102}(V_{ref} - V_{SHO})}{R_{101} + R_{SW}} + V_{ref} \quad \dots (式3)$$

[0011] 式3は、オペアンプ60の出力がアナログスイッチ20のオン抵抗 R_{SW} のために所望の出力からずれ、そして歪むことを示している。特に、アナログスイッチ20のオン抵抗 R_{SW} は入力される電圧が中間付近にあると大きく変動するため、オペアンプ60の出力の振幅が小さい場合はオペアンプ60の出力信号の歪みは相対的に大きくなるのである。

[0012] 本発明は、以上の事由に鑑み、サンプルホールド回路の出力と他の信号処理回路の出力とを選択して動作する部分が複数箇所に存在する半導体集積回路においてその出力信号の歪みを低減することを目的とする。

課題を解決するための手段

[0013] 請求項1に記載の発明は、第1のコンデンサを有し、第1のコンデンサが出力部分に接続された第1の信号処理回路と、

前記第一の信号処理回路と並列して設けられた第2の信号処理回路と、

前記第1の信号処理回路の出力と前記第2の信号処理回路の出力とを選択して出

力する選択スイッチと、

前記選択スイッチの出力が入力されるバッファ回路と、

前記バッファ回路の後段に設けられ、少なくとも第1および第2の抵抗とを有する増幅器と、を備えることを特徴とする半導体集積回路である。

[0014] 請求項2に記載の発明は、請求項1に記載の半導体集積回路において、前記第2の信号処理回路はさらに第2のコンデンサを有し、前記第2のコンデンサが出力部分に接続されていることを特徴とする半導体集積回路である。

[0015] 請求項3に記載の発明は、請求項1または2に記載の半導体集積回路において、前記第1の信号処理回路はサンプルホールド回路であることを特徴とする半導体集積回路である。

[0016] 請求項4に記載の発明は、請求項1ないし3のいずれかに記載の半導体集積回路において、前記選択スイッチはアナログスイッチであることを特徴とする半導体集積回路である。

[0017] 請求項5に記載の発明は、請求項1ないし4のいずれかに記載の半導体集積回路において、前記第2の信号処理回路はローパスフィルタであることを特徴とする半導体集積回路である。

[0018] 請求項6に記載の発明は、光ディスクからの反射光を測定したフォトダイオードからの検出電流が電圧に変換され、前記変換された電圧が入力されるサンプルホールド回路及びローパスフィルタと、

前記サンプルホールド回路の出力と前記ローパスフィルタの出力とを選択して出力する選択スイッチと、

前記選択スイッチの出力が入力されるバッファ回路と、

前記バッファ回路の後段に設けられ、少なくとも第1および第2の抵抗とを有する増幅器と、を備え、

前記サンプルホールド回路と前記ローパスフィルタとは並列して設けられ、前記光ディスクへの書き込み速度に応じて前記選択スイッチの制御が行われることを特徴とする半導体集積回路である。

[0019] 請求項7に記載の発明は、請求項1ないし請求項6のいずれかに記載の半導体集

積回路を備えることを特徴とする半導体装置である。

- [0020] 請求項8に記載の発明は、請求項7記載の半導体装置を備え、光ディスクへの書き込みを行う際にレーザのパワーを測定するフォトダイオードからの出力に応じて前記レーザパワーの最適値を設定し、前記設定された最適値と、前記光ディスクからの反射光を測定したフォトダイオードで測定された測定値とを、比較して前記レーザダイオードの射出光の強度を調整することを特徴とする光ディスク記録装置である。

発明の効果

- [0021] 本発明の半導体集積回路およびそれを備える半導体装置は、サンプルホールド回路(第1の信号処理回路)の出力と他の信号処理回路(第2の信号処理回路)の出力とを選択して動作する部分において、第1の信号処理回路の出力が先ず選択スイッチにより選択され、次にバッファ回路を経て出力されるので、出力信号の歪みを低減することができる。

図面の簡単な説明

- [0022] [図1]本発明の実施形態に係る半導体装置を用いた光ディスク記録装置
[図2]図1の光ディスク記録装置の動作を説明するためのタイミングチャート
[図3]本発明に係る半導体集積回路およびそれを備える半導体装置の実施形態の回路図
[図4]従来の半導体集積回路の回路図

符号の説明

- [0023] 1 サンプルホールド回路(第1の信号処理回路)、5 第1のコンデンサ、10 ローパスフィルタ(第2の信号処理回路)、12 第2のコンデンサ、20 アナログスイッチ(選択スイッチ)、30 バッファ回路、60 反転増幅器を構成するオペアンプ、R1, R2 反転増幅器を構成する抵抗、120 レーザダイオード、124 フォトダイオード(射出光測定)、128 CPU、130 フォトダイオード(反射光測定)、134 サンプルホールド回路、136 ローパスフィルタ、138 アナログスイッチ(選択スイッチ)、VDD 電源電位、GND 接地電位。

発明を実施するための最良の形態

- [0024] 以下、本発明を実施するための最良の形態について説明する。図1は本発明に係る半導体装置を用いた光ディスク記録装置、図2は図1の光ディスク記録装置の動作を説明するためのタイミングチャート、図3は本発明に係る半導体集積回路およびそれを備える半導体装置の実施形態の回路図である。
- [0025] 図1に示す光ディスク記録装置の構成を述べる。同図において120はレーザダイオード、122は光ディスク記録装置に装填された光ディスク、124はレーザダイオードの射出光を測定するフォトダイオード、125はリード信号処理部、126はリードパワー調整回路、128は全体の動作を制御するCPUである。130は光ディスク122からの反射光を測定するフォトダイオード、132は反射光モニタ用フォトダイオードからの電流を電圧へと変換するI/V変換回路である。134、136はそれぞれ並列して設けられたサンプルホールド回路とローパスフィルタであり、それらの出力はアナログスイッチ138、およびゲイン調整回路140を通してコンパレータ142へと出力され、ライトパワー調整回路144へと伝達される。
- [0026] 図1に示す光ディスク記録装置の動作について、133に示す部位を中心に説明する。サンプルホールド回路134は、CPU128からのCLK1に基づいて、レーザダイオード120が駆動されるごとにサンプル動作とホールド動作を繰り返す。そして反射光モニタ用フォトダイオード130を経てI/V変換回路132から出力されるパルス毎の大きさのピーク値を保持し、反射光の大きさを示す指標とする動作を行う。図2(A)では、時間の経過と共に反射光を測定するフォトダイオード130での検出電流が大きくなっており、それを変換した電圧をCLK1のパルスのタイミングでホールドしている。そしてホールドした値を後段のゲイン調整回路140に伝達しVoutとして反射光の大きさを示す指標としている。
- [0027] また、図1のローパスフィルタ136は、反射光モニタ用フォトダイオード130から出力されるパルスに対して積分を行い、この検出された積分値を反射光の大きさを示す指標とする。この方法によると、反射光モニタ用フォトダイオード130から出力されるパルスの粗密によって反射光の大きさを示す指標が決定されてしまいそうであるが、光ディスク122に書き込まれるデータにはEFM変調(Eight to Fourteen Modulation)がなされており、ある一定の区間ではI/V変換回路132で検出するパルスの

粗密区間が等しくなるよう調整されているので、そういった問題は起こらない。図2(B)では、時間の経過とともに反射光モニタ用フォトダイオード130での検出電流が大きくなっており、それにつれてローパスフィルタ136で検出された積分値も大きくなっていく。そして検出された積分値を後段のゲイン調整回路140に伝達し、Voutとして反射光の大きさを示す指標としている。

[0028] なお、図1のサンプルホールド回路134は主に低倍速書き込み時に選択され、ローパスフィルタ136は主に高倍速書き込み時に選択される。その理由は、サンプルホールド回路134を経た値の方がより正確な指標となるのだが、高倍速書き込み時にはサンプルホールド回路134を用いる際に、図1と図2に示すCLK1も同じく高倍速で動作することになり、このCLK1に入力されるパルスを形成するのが困難となるからである。また上記理由から、同じ倍速の書き込み時にはサンプルホールド回路134とローパスフィルタ136とが切り替えられることは一般的に行われない。

[0029] 図1のゲイン調整回路140では、装填される光ディスク122の種類(例えばCD-R、CD-RW)が切り替えられた場合や、サンプルホールド回路134とローパスフィルタ136とが択一的に選択された際において、コンパレータ142への入力電圧Voutを微調整するために用いられる。

[0030] コンパレータ142では、CPU128からレーザダイオード120を駆動して書き込みを行うための最適値Vrefと、ゲイン調整回路140を経て出力される反射光を測定したフォトダイオード130からの信号とが比較され、帰還を経て、レーザダイオード120のレーザパワーをCPU128からの値Vrefと同じにすべく比較が行われる。

[0031] 次に図1に示す鎖線部133について、図3を用いて詳細に説明する。同図において1は第1の信号処理回路であるサンプルホールド回路であり、P型MOSトランジスタ2、N型MOSトランジスタ3、インバータ4により構成されるアナログスイッチと、第1のコンデンサであるコンデンサ5と、から構成されている。コンデンサ5は、接地電位とサンプルホールド回路1の出力部分との間に接続されている。このサンプルホールド回路1は、クロック信号CLK1により、入力信号IN1をサンプルするサンプル状態になるか出力を保持するホールド状態になるかを決定する。サンプルホールド回路1からの出力は選択スイッチであるアナログスイッチ20に入力される。

- [0032] 10は第2の信号処理回路であるローパスフィルタであり、入力信号IN2が入力される抵抗11と、出力と接地電位との間に接続された第2のコンデンサであるコンデンサ12と、により構成されている。コンデンサ12は、ローパスフィルタ10の出力部分と接地電位との間に接続されている。このローパスフィルタ10も、その出力がアナログスイッチ20に入力される。
- [0033] アナログスイッチ20は、P型MOSトランジスタ21、24、N型MOSトランジスタ22、25、インバータ23、26から構成されている。このアナログスイッチ20は、クロック信号CLK2の状態により、サンプルホールド回路1とローパスフィルタ10のいずれかの出力を選択してバッファ回路30に出力する。
- [0034] バッファ回路30は、P型MOSトランジスタ31、32を入力トランジスタとする。P型MOSトランジスタ31、32のソースは互いに接続されてPNP型トランジスタ40のコレクタに接続される。P型MOSトランジスタ31、32のドレインはそれぞれ互いにミラー結合されるNPN型トランジスタ33、34のコレクタに接続される。NPN型トランジスタ34のコレクタはNPN型トランジスタ35のベースに接続され、NPN型トランジスタ35のコレクタはPNP型トランジスタ41のコレクタとNPN型トランジスタ36のベースに接続され、NPN型トランジスタ36のエミッタはNPN型トランジスタ38のコレクタへ接続される。NPN型トランジスタ36のエミッタは、バッファ回路30の出力部分となる。NPN型トランジスタ38にはミラー結合されるNPN型トランジスタ37が接続され、NPN型トランジスタ37のコレクタにはPNP型トランジスタ42のコレクタが接続される。PNP型トランジスタ40、41、42のベースは共通に接続され、PNP型トランジスタ39のベースとPNP型トランジスタ43のエミッタに接続される。PNP型トランジスタ39のコレクタとPNP型トランジスタ43のベースは互いに接続され、定電流源53を介して接地電位に接続される。PNP型トランジスタ43のコレクタは接地電位に接続される。PNP型トランジスタ39、40、41、42のエミッタはそれぞれ抵抗44、45、46、47を介して電源電位に接続される。NPN型トランジスタ33、34、35、37、38のエミッタはそれぞれ抵抗48、49、50、51、52を介して接地電位に接続される。そして、このバッファ回路30の出力は抵抗R1を介してオペアンプ60に入力される。
- [0035] オペアンプ60は、PNP型トランジスタ61、62を入力トランジスタとし、それぞれのト

ランジスタにはリファレンス電圧 V_{ref} とバッファ回路30の出力が入力される。PNP型トランジスタ61, 62のエミッタは互いに接続されてPNP型トランジスタ73のコレクタに接続される。PNP型トランジスタ61, 62のコレクタには互いにミラー結合されるNPN型トランジスタ64, 63のコレクタがそれぞれ接続される。NPN型トランジスタ64のコレクタはNPN型トランジスタ65のベースに接続され、NPN型トランジスタ65のエミッタはNPN型トランジスタ67のコレクタに接続される。

NPN型トランジスタ67にはNPN型トランジスタ66がミラー結合されており、NPN型トランジスタ66のコレクタにはPNP型トランジスタ74のコレクタが接続される。NPN型トランジスタ67のコレクタはNPN型トランジスタ68のベースに接続され、NPN型トランジスタ68のコレクタにはPNP型トランジスタ70のコレクタが接続される。NPN型トランジスタ68のコレクタは、オペアンプ60の出力部分となる。PNP型トランジスタ70にはPNP型トランジスタ69がミラー結合されており、PNP型トランジスタ69のコレクタは定電流源71を介して接地電位に接続される。PNP型トランジスタ73, 74のベースは共通に接続され、PNP型トランジスタ72のベースとPNP型トランジスタ75のエミッタに接続される。PNP型トランジスタ72のコレクタとPNP型トランジスタ75のベースは互いに接続され、定電流源87を介して接地電位に接続される。PNP型トランジスタ75のコレクタは接地電位に接続される。PNP型トランジスタ72, 73, 74, 65, 69, 70のエミッタはそれぞれ抵抗76, 77, 78, 79, 80, 81を介して電源電位VDDに接続される。NPN型トランジスタ63, 64, 66, 67のエミッタはそれぞれ抵抗82, 83, 84, 85を介して接地電位に接続される。そして、このオペアンプ60の出力は抵抗R2を介して入力に帰還されるものであり、したがって、抵抗R1、オペアンプ60、及び抵抗R2は反転増幅器を形成しているのである。

[0036] 次に、同図に示す半導体集積回路の動作について説明する。サンプルホールド回路1は、クロック信号CLK1がハイのときP型MOSTランジスタ2とN型MOSTランジスタ3がオンの状態となり、入力信号IN1をサンプルするサンプル状態となる。逆に、クロック信号CLK1がローのときP型MOSTランジスタ2とN型MOSTランジスタ3はオフとなり、サンプルホールド回路1の出力を保持するホールド状態となる。

[0037] 入力信号IN2は、ローパスフィルタ10を介してアナログスイッチ20に入力される。ロ

ーパスフィルタ10のフィルタ特性は抵抗11の抵抗値とコンデンサ12の容量値によって定められる。

- [0038] サンプルホールド回路1とローパスフィルタ10の出力は、アナログスイッチ20へ入力される。クロック信号CLK2がハイであるときは、P型MOSTランジスタ21とN型MOSTランジスタ22がオン、P型MOSTランジスタ24とN型MOSTランジスタ25がオフとなることからサンプルホールド回路1からの信号がアナログスイッチ20より出力される。クロック信号CLK2がローであるときは、P型MOSTランジスタ21とN型MOSTランジスタ22がオフ、P型MOSTランジスタ24とN型MOSTランジスタ25がオンとなることからローパスフィルタ10からの信号がアナログスイッチ20より出力される。
- [0039] アナログスイッチ20の出力はバッファ回路30に入力される。アナログスイッチ20からの出力が下がる場合、P型MOSTランジスタ32のゲート電圧が下がり、PNP型トランジスタ40に流れる電流がP型MOSTランジスタ32を経てNPN型トランジスタ35のベースに入力されてこのトランジスタ35がオンする。するとPNP型トランジスタ41に流れる電流はNPN型トランジスタ35のコレクタ電流として吸い込まれるので、NPN型トランジスタ36のベースには十分な電流が供給されなくなることからNPN型トランジスタ36はオフ状態となる。一方、NPN型トランジスタ38はNPN型トランジスタ37とミラー結合されており、NPN型トランジスタ37のコレクタにはPNP型トランジスタ42からの定電流が供給されていることから、NPN型トランジスタ38のコレクタはバッファ回路30の入力信号の状態にかかわらず常に一定電流を吸い込む。よって、バッファ回路30の出力電位は下がる。逆に、アナログスイッチ20からの出力が上がる場合、P型MOSTランジスタ32のゲート電圧が上がり、PNP型トランジスタ40に流れる電流がP型MOSTランジスタ32にて遮断されNPN型トランジスタ35がオフする。するとPNP型トランジスタ41に流れる電流はNPN型トランジスタ36にベース電流を供給するので、NPN型トランジスタ36はオン状態となる。NPN型トランジスタ36のエミッタ電流はNPN型トランジスタ38に流れる一定電流よりも多くなるため、バッファ回路30の出力電位は上がる。したがって、バッファ回路30の出力は、アナログスイッチ20の出力と同位相で変化して追従する。
- [0040] バッファ回路30の出力は抵抗R1を介してオペアンプ60に入力される。バッファ回

路30の出力が下がる場合、PNP型トランジスタ62はベース電圧が下がって流れる電流が増加し、PNP型トランジスタ73に流れる電流の多くがPNP型トランジスタ62へと流れ込むため、PNP型トランジスタ61を介してNPN型トランジスタ65のベースに供給される電流は減少する。これに伴い、NPN型トランジスタ65のエミッタ電流が減少し、NPN型トランジスタ68のベースに供給される電流も減少する。したがって、NPN型トランジスタ68のコレクタ電流はPNP型トランジスタ70に流れる一定電流よりも少なくなるため、オペアンプ60の出力電位は上昇する。逆に、バッファ回路30の出力が上がる場合、PNP型トランジスタ62はベース電圧が上がって流れる電流が減少し、PNP型トランジスタ73に流れる電流のうちPNP型トランジスタ61を介してNPN型トランジスタ65のベースへ供給される電流が増加する。これに伴い、NPN型トランジスタ65のエミッタ電流が増加し、NPN型トランジスタ68のベースに供給される電流も増加する。したがって、NPN型トランジスタ68のコレクタ電流はPNP型トランジスタ70に流れる一定電流よりも多くなるため、オペアンプ60の出力電位は下降する。

[0041] クロック信号CLK2がハイであるとき、アナログスイッチ20はサンプルホールド回路1の出力をバッファ回路30を介してオペアンプ60に出力するような選択状態である。オペアンプ60の出力から抵抗R1, R2を経て流れる電流を*i*、オペアンプ60の出力電圧を V_{out} 、アナログスイッチ20を介したサンプルホールド回路1の出力電圧を V_{SHO} 、オペアンプ60の増幅率を決定する抵抗R1, R2の抵抗値をそれぞれ R_1 , R_2 、オペアンプ60に入力されるリファレンス電圧を V_{ref} とすると、以下の式が成立する。

[0042] [数4]

$$V_{ref} = V_{out} - i \times R_1 \quad \dots (式4)$$

[0043] [数5]

$$V_{out} - i(R_2 + R_1) = V_{SHO} \quad \dots (式5)$$

[0044] 式4, 式5を変形し、次の式が得られる。

[0045] [数6]

$$V_{out} = \frac{R_2(V_{ref} - V_{SHO})}{R_1} + V_{ref} \quad \dots (式6)$$

[0046] 式6は、オペアンプ60の出力電圧がアナログスイッチ20のオン抵抗に影響されな

い、すなわち出力信号が歪まないことを示している。これは、アナログスイッチ20の後段にバッファ回路30が存在するので、抵抗R1、R2を経て流れる電流*i*がアナログスイッチ20には流れないためである。

[0047] さらに、アナログスイッチ20にはサンプルホールド回路1の出力とローパスフィルタ10の出力とが、バッファ回路を介することなく直接に入力されている。クロック信号CLK2がハイかローかによってサンプルホールド回路1の出力かローパスフィルタ10の出力かが、アナログスイッチ20を介してバッファ回路30に入力されるが、バッファ回路30の入力インピーダンスは高いためにアナログスイッチ20には電流は流れない。したがって、サンプルホールド回路1のコンデンサ5に蓄積された電荷が失われることもなく、ローパスフィルタ10のフィルタ特性も影響を受けることがない。

[0048] また、図3に示す半導体集積回路は、図4に示した従来の半導体集積回路に比べてバッファ回路が1個少ないので、回路規模を小さくでき、また消費電力を少なくすることができる。

[0049] なお、本発明は第1の信号処理回路がサンプルホールド回路である場合について案出されたのであるが、コンデンサが出力に接続された別の信号処理回路にも適用することができる。また、第2の信号処理回路は、ローパスフィルタ10のようにコンデンサが出力に接続されたもの（例えばピークホールド回路など）であれば上記のようにバッファ回路を少なくできるが、これには限られない。

[0050] 本発明の半導体集積回路はそれのみで、あるいは他の半導体集積回路と一緒に封止されて半導体装置となる。

[0051] 本発明は、上述した実施形態に限られることなく、特許請求の範囲に記載した事項の範囲内でのあらゆる設計変更が可能である。例えば選択スイッチであるアナログスイッチ20は、第1の信号処理回路であるサンプルホールド回路や第2の信号処理回路であるローパスフィルタに追加して他の信号処理回路の出力が入力され、それらを選択して出力するようにすることも可能である。

産業上の利用可能性

[0052] 本発明の半導体集積回路およびそれを備える半導体装置は、サンプルホールド回路（第1の信号処理回路）の出力と他の信号処理回路（第2の信号処理回路）の出力

とを選択して動作する部分において、第1の信号処理回路の出力が先ず選択スイッチにより選択され、次にバッファ回路を経て出力されるので、出力信号の歪みを低減することができる。

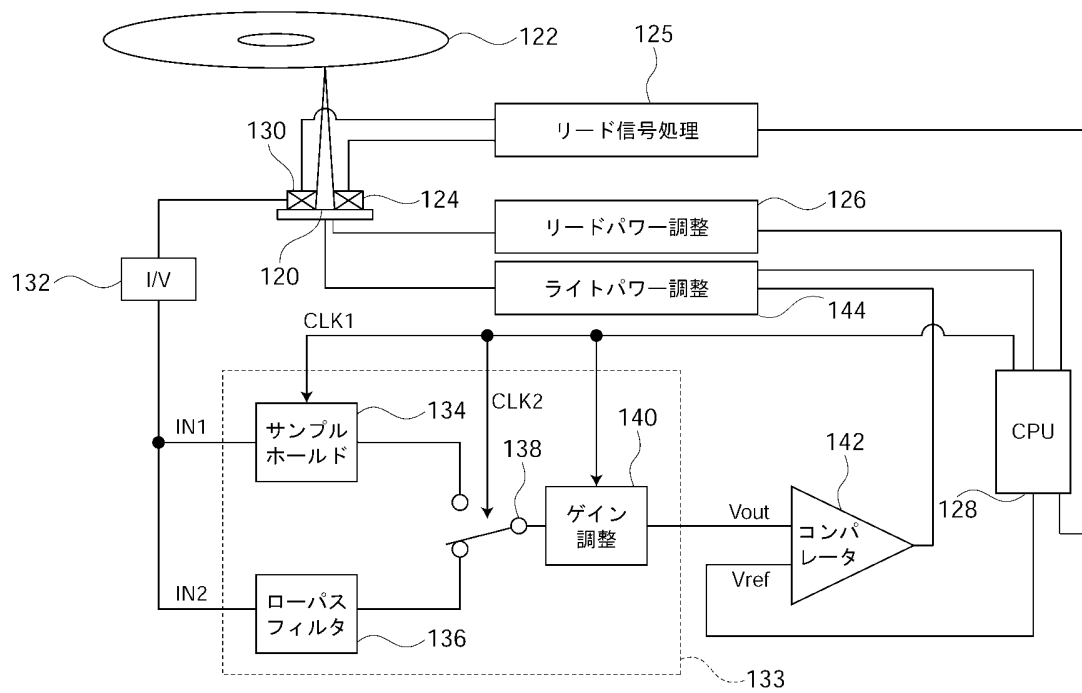
請求の範囲

- [1] 第1のコンデンサを有し、第1のコンデンサが出力部分に接続された第1の信号処理回路と、
前記第1の信号処理回路と並列して設けられた第2の信号処理回路と、
前記第1の信号処理回路の出力と前記第2の信号処理回路の出力とを選択して出力する選択スイッチと、
前記選択スイッチの出力が入力されるバッファ回路と、
前記バッファ回路の後段に設けられ、少なくとも第1および第2の抵抗とを有する増幅器と、
を備えることを特徴とする半導体集積回路。
- [2] 請求項1に記載の半導体集積回路において、前記第2の信号処理回路はさらに第2のコンデンサを有し、前記第2のコンデンサが出力部分に接続されていることを特徴とする半導体集積回路。
- [3] 請求項1または2に記載の半導体集積回路において、前記第1の信号処理回路はサンプルホールド回路であることを特徴とする半導体集積回路。
- [4] 請求項1ないし3のいずれかに記載の半導体集積回路において、前記選択スイッチはアナログスイッチであることを特徴とする半導体集積回路。
- [5] 請求項1ないし4のいずれかに記載の半導体集積回路において、前記第2の信号処理回路はローパスフィルタであることを特徴とする半導体集積回路。
- [6] 光ディスクからの反射光を測定したフォトダイオードからの検出電流が電圧に変換され、前記変換された電圧が入力されるサンプルホールド回路及びローパスフィルタと、
前記サンプルホールド回路の出力と前記ローパスフィルタの出力とを選択して出力する選択スイッチと、
前記選択スイッチの出力が入力されるバッファ回路と、
前記バッファ回路の後段に設けられ、少なくとも第1および第2の抵抗とを有する増幅器と、を備え、
前記サンプルホールド回路と前記ローパスフィルタとは並列して設けられ、前記光

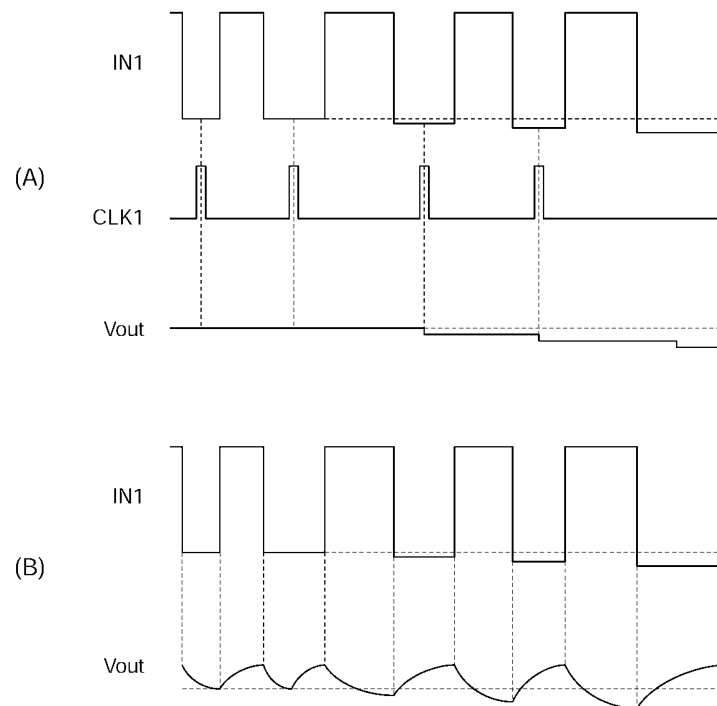
ディスクへの書き込み速度に応じて前記選択スイッチの制御が行われることを特徴とする半導体集積回路。

- [7] 請求項1ないし請求項6のいずれかに記載の半導体集積回路を備えることを特徴とする半導体装置。
- [8] 請求項7記載の半導体装置を備え、レーザの射出光を測定するフォトダイオードと、光ディスクからの反射光を測定するフォトダイオードとからの出力に応じてレーザダイオードを駆動するための最適値を設定し、光ディスクへの書き込みを行う際において、前記設定された最適値と、前記光ディスクからの反射光を測定するフォトダイオードで測定された測定値とを、比較してレーザダイオードから射出されるレーザの強度を調整することを特徴とする光ディスク記録装置。

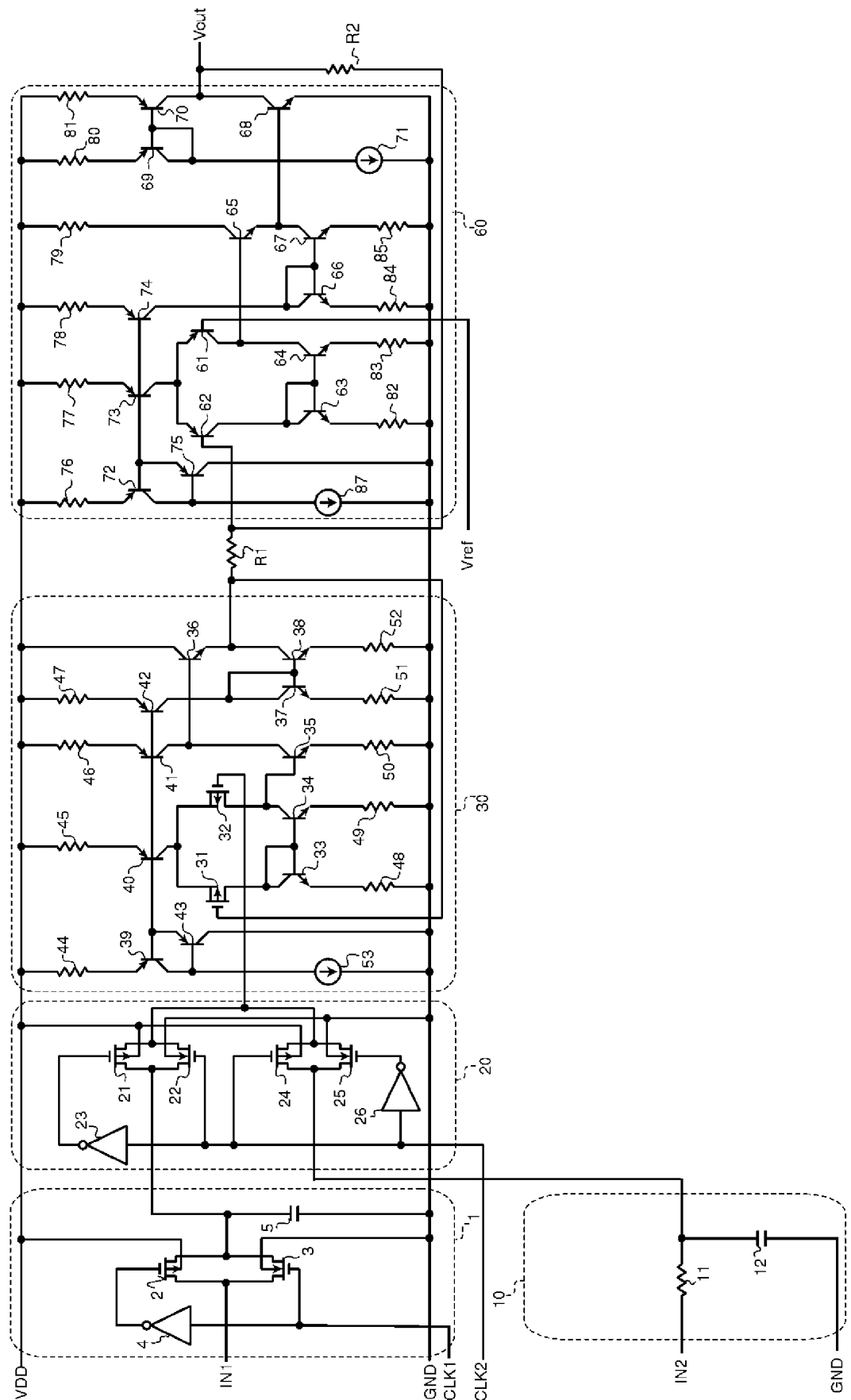
[図1]



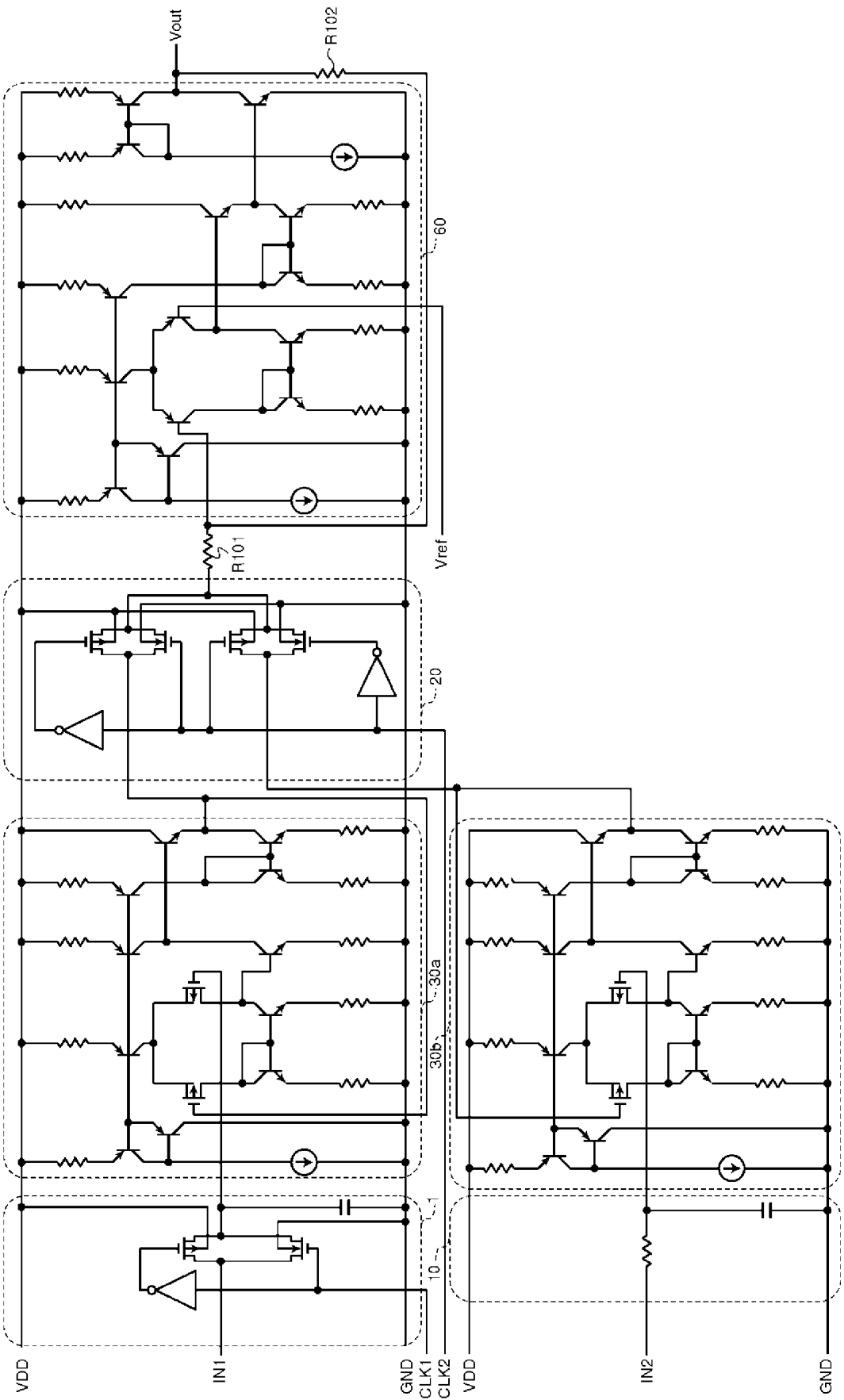
[図2]



[図3]



[図4]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/022584

A. CLASSIFICATION OF SUBJECT MATTER

H03K17/693(2006.01) , **G11B7/125**(2006.01)

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03K17/00-17/70(2006.01) , **G11B7/125**(2006.01)

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2006
Kokai Jitsuyo Shinan Koho	1971-2006	Toroku Jitsuyo Shinan Koho	1994-2006

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2002-367175 A (Ricoh Co., Ltd.), 20 December, 2002 (20.12.02), Fig. 1 (Family: none)	1-8
Y	Microfilm of the specification and drawings annexed to the request of Japanese Utility Model Application No. 41836/1980 (Laid-open No. 145146/1981) (Victor Company Of Japan, Ltd.), 02 November, 1981 (02.11.81), Page 4, lines 9 to 14; Fig. 1 & EP 0037268 A1	1-8

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
20 February, 2006 (20.02.06)

Date of mailing of the international search report
28 February, 2006 (28.02.06)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/022584

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	Microfilm of the specification and drawings annexed to the request of Japanese Utility Model Application No. 4348/1972 (Laid-open No. 80412/1973) (Tokyo Shibaura Electric Co., Ltd.), 02 October, 1973 (02.10.73), Fig. 2 (Family: none)	1-8
Y	JP 59-79440 A (Fujitsu Ltd.), 08 May, 1984 (08.05.84), Fig. 2 (Family: none)	1-8
Y	JP 62-76907 A (Toshiba Corp.), 09 April, 1987 (09.04.87), Fig. 9 (Family: none)	1-8

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H03K17/693 (2006.01), G11B7/125 (2006.01)

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H03K17/00-17/70 (2006.01), G11B7/125 (2006.01)

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2006年
日本国実用新案登録公報	1996-2006年
日本国登録実用新案公報	1994-2006年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 2002-367175 A (株式会社リコー) 2002. 12. 20, 図 1 (ファミリーなし)	1-8
Y	日本国実用新案登録出願 55-41836 号 (日本国実用新案登録出願公開 56-145146 号) の願書に添付した明細書及び図面の内容を撮影したマイクロフィルム (日本ビクター株式会社) 1981. 11. 02, 第 4 頁第 9-14 行、第 1 図 & EP 0037268 A1	1-8

☒ C 欄の続きにも文献が列举されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

20.02.2006

国際調査報告の発送日

28.02.2006

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号 100-8915

東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官 (権限のある職員)

宮島 郁美

電話番号 03-3581-1101 内線 3596

5X

3363

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	日本国実用新案登録出願 47-4348 号 (日本国実用新案登録出願公開 48-80412 号) の願書に添付した明細書及び図面の内容を撮影したマイクロフィルム (東京芝浦電気株式会社) 1973. 10. 02, 第 2 図 (ファミリーなし)	1-8
Y	JP 59-79440 A (富士通株式会社) 1984. 05. 08, 第 2 図 (ファミリーなし)	1-8
Y	JP 62-76907 A (株式会社東芝) 1987. 04. 09, 第 9 図 (ファミリーなし)	1-8