

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4942239号  
(P4942239)

(45) 発行日 平成24年5月30日 (2012.5.30)

(24) 登録日 平成24年3月9日 (2012.3.9)

(51) Int.Cl.	F I
<b>H O 1 L 21/82 (2006.01)</b>	H O 1 L 21/82 W
<b>G O 6 F 17/50 (2006.01)</b>	H O 1 L 21/82 C
<b>H O 1 L 27/04 (2006.01)</b>	G O 6 F 17/50 6 5 8 K
<b>H O 1 L 21/822 (2006.01)</b>	G O 6 F 17/50 6 5 8 V
	H O 1 L 27/04 H
請求項の数 7 (全 12 頁) 最終頁に続く	

(21) 出願番号	特願2000-227759 (P2000-227759)	(73) 特許権者	302062931
(22) 出願日	平成12年7月27日 (2000.7.27)		ルネサスエレクトロニクス株式会社
(65) 公開番号	特開2002-43431 (P2002-43431A)		神奈川県川崎市中原区下沼部 1 7 5 3 番地
(43) 公開日	平成14年2月8日 (2002.2.8)	(74) 代理人	100064746
審査請求日	平成19年6月15日 (2007.6.15)		弁理士 深見 久郎
		(74) 代理人	100085132
			弁理士 森田 俊雄
		(74) 代理人	100083703
			弁理士 仲村 義平
		(74) 代理人	100096781
			弁理士 堀井 豊
		(74) 代理人	100109162
			弁理士 酒井 将行
		(74) 代理人	100111246
			弁理士 荒川 伸夫
		最終頁に続く	

(54) 【発明の名称】 シールド回路設計装置およびシールド回路設計方法

(57) 【特許請求の範囲】

【請求項 1】

所定の配線をシールドするシールド回路を設計するシールド回路設計装置において、  
前記所定の配線を駆動するセルを複製し、前記所定の配線を駆動するセルに前記複製したセルを並列に接続して、配置するセル複製 / 配置手段と、

前記セル複製 / 配置手段により複製されたセルに接続されたシールド配線を前記所定の配線に沿って生成するシールド生成手段と

を備えることを特徴とするシールド回路設計装置。

【請求項 2】

セル複製 / 配置手段は、シールド配線を駆動するセルを、駆動能力の低いセルとすることを特徴とする請求項 1 記載のシールド回路設計装置。

【請求項 3】

所定の配線をシールドするシールド回路を設計するシールド回路設計装置において、  
前記所定の配線を駆動するセルの入力のうちの一部の論理値に対応する論理値でシールド配線を駆動するセルをセルの情報を有するライブラリより選択し、前記所定の配線を駆動するセルに前記ライブラリより選択されたセルを並列に接続するセル選択 / 接続手段と

、

前記セル選択 / 接続手段により選択されたセルを配置する追加セル配置手段と、

前記セル選択 / 接続手段により選択されたセルに接続されたシールド配線を前記所定の配線に沿って生成するシールド生成手段と

10

20

を備え、

前記所定の配線を駆動するセルの入力のうちの一部を示す情報は記憶手段より読み出され、前記セル選択 / 接続手段により選択されたセルの入力の数と前記所定の配線を駆動するセルの入力のうちの一部の入力の数と等しいことを特徴とするシールド回路設計装置。

【請求項 4】

セル選択 / 接続手段は、セルとして、インバータおよびバッファのいずれかを選択することを特徴とする請求項 3 記載のシールド回路設計装置。

【請求項 5】

セル選択 / 接続手段は、第 1 のシールド配線を駆動する第 1 のセルと、第 2 のシールド配線を駆動する第 2 のセルとを直列に接続し、

シールド生成手段は、前記第 1 のシールド配線と前記第 2 のシールド配線とを前記所定の配線に沿って生成する

ことを特徴とする請求項 3 記載のシールド回路設計装置。

【請求項 6】

セル選択 / 接続手段は、第 1 の配線を駆動するセルと、第 2 の配線を駆動するセルとを並列に接続し、

シールド生成手段は、前記第 1 の配線および前記第 2 の配線を、シールド配線として前記所定の配線に沿って縦列に生成する

ことを特徴とする請求項 3 記載のシールド回路設計装置。

【請求項 7】

セル選択 / 接続手段は、シールド配線を駆動するセルとして、駆動能力の低いセルを選択する

ことを特徴とする請求項 3 記載のシールド回路設計装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、集積回路における所定の配線をシールドするシールド回路を設計するシールド回路設計装置およびシールド回路設計方法に関するものである。

【0002】

【従来の技術】

例えば特開平 6 - 3 1 4 7 4 1 号公報に記載の従来のシールド回路設計方法では、電子回路中の配線のうち、シールドの対象になる配線として回路設計者が選択した配線を指定し、そのシールド対象配線と定電位部位に接続されたシールド配線とを 1 組のシールド線として、そのシールド線を生成する。

【0003】

【発明が解決しようとする課題】

従来のシールド回路設計方法は以上のように構成されているので、定電位部位に接続されたシールド配線の設計は可能であるが、シールド線をセルで駆動するシールド回路を簡単に設計することが困難であるなどの課題があった。

【0004】

この発明は上記のような課題を解決するためになされたもので、所定の配線を駆動するセルを複製して配置し、複製したセルに接続されたシールド配線をその所定の配線に沿って生成するようにして、シールド配線をセルで駆動するシールド回路を簡単に設計することができるシールド回路設計装置およびシールド回路設計方法を得ることを目的とする。

【0005】

また、この発明は上記のような課題を解決するためになされたもので、所定の配線を駆動するセルの入力のうちの一部の論理値に対応する論理値でシールド配線を駆動するセルを選択して所定の配線を駆動するセルに接続し、選択したセルを配置し、選択したセルに接続されたシールド配線を所定の配線に沿って生成するようにして、シールド配線をセルで駆動するシールド回路を簡単に設計することができるシールド回路設計装置およびシールド

10

20

30

40

50

ド回路設計方法を得ることを目的とする。

【 0 0 0 6 】

【課題を解決するための手段】

この発明に係るシールド回路設計装置は、所定の配線を駆動するセルを複製し、配置するセル複製 / 配置手段と、セル複製 / 配置手段により複製されたセルに接続されたシールド配線を所定の配線に沿って生成するシールド生成手段とを備えるものである。

【 0 0 0 7 】

この発明に係るシールド回路設計装置は、セル複製 / 配置手段が、シールド配線を駆動するセルを、駆動能力の低いセルとするようにしたものである。

【 0 0 0 8 】

この発明に係るシールド回路設計装置は、所定の配線を駆動するセルの入力のうちの一部の論理値に対応する論理値でシールド配線を駆動するセルを選択し、所定の配線を駆動するセルに接続するセル選択 / 接続手段と、セル選択 / 接続手段により選択されたセルを配置する追加セル配置手段と、セル選択 / 接続手段により選択されたセルに接続されたシールド配線を所定の配線に沿って生成するシールド生成手段とを備えるものである。

【 0 0 0 9 】

この発明に係るシールド回路設計装置は、セル選択 / 接続手段が、セルとして、インバータおよびバッファのいずれかを選択するようにしたものである。

【 0 0 1 0 】

この発明に係るシールド回路設計装置は、セル選択 / 接続手段が、第 1 のシールド配線を駆動する第 1 のセルと、第 2 のシールド配線を駆動する第 2 のセルとを直列に接続し、シールド生成手段が、第 1 のシールド配線と第 2 のシールド配線とを所定の配線に沿って生成するようにしたものである。

【 0 0 1 1 】

この発明に係るシールド回路設計装置は、セル選択 / 接続手段が、第 1 の配線を駆動するセルと、第 2 の配線を駆動するセルとを並列に接続し、シールド生成手段が、第 1 の配線および第 2 の配線を、シールド配線として所定の配線に沿って縦列に生成するようにしたものである。

【 0 0 1 2 】

この発明に係るシールド回路設計装置は、セル選択 / 接続手段が、シールド配線を駆動するセルとして、駆動能力の低いセルを選択するようにしたものである。

【 0 0 1 3 】

この発明に係るシールド回路設計方法は、所定の配線を駆動するセルを複製し、配置するステップと、複製したセルに接続されたシールド配線を所定の配線に沿って生成するステップとを備えるものである。

【 0 0 1 4 】

この発明に係るシールド回路設計方法は、シールド配線を駆動するセルを、駆動能力の低いセルとするようにしたものである。

【 0 0 1 5 】

この発明に係るシールド回路設計方法は、所定の配線を駆動するセルの入力のうちの一部の論理値に対応する論理値でシールド配線を駆動するセルを選択し、所定の配線を駆動するセルに接続するステップと、選択したセルを配置するステップと、選択したセルに接続されたシールド配線を所定の配線に沿って生成するステップとを備えるものである。

【 0 0 1 6 】

この発明に係るシールド回路設計方法は、シールド配線を駆動するセルとして、インバータおよびバッファのいずれかを選択するようにしたものである。

【 0 0 1 7 】

この発明に係るシールド回路設計方法は、シールド配線を駆動するセルとして、第 1 のシールド配線を駆動する第 1 のセルと、第 2 のシールド配線を駆動する第 2 のセルとを選択し、第 1 および第 2 のセルを直列に接続し、第 1 のシールド配線と第 2 のシールド配線と

10

20

30

40

50

を所定の配線に沿って生成するようにしたものである。

【 0 0 1 8 】

この発明に係るシールド回路設計方法は、シールド配線を駆動するセルとして、シールド配線を構成する第 1 の配線および第 2 の配線に対応して、第 1 の配線を駆動するセルと、第 2 の配線を駆動するセルとを並列に接続し、第 1 の配線および第 2 の配線をシールド配線として所定の配線に沿って縦列に生成するようにしたものである。

【 0 0 1 9 】

この発明に係るシールド回路設計方法は、シールド配線を駆動するセルを、駆動能力の低いセルとするようにしたものである。

【 0 0 2 0 】

【発明の実施の形態】

以下、この発明の実施の一形態を説明する。

実施の形態 1 .

図 1 は、この発明の実施の形態 1 によるシールド回路設計装置の構成を示すブロック図である。図 1 において、1 はネットリスト 1 1 およびライブラリ 1 2 に基づいて所定の電子回路のレイアウトを決定する配置手段であり、2 はシールド対象配線リスト 1 3 により指定された配線を駆動するセルを複製し、配置するセル複製 / 配置手段であり、3 はセル複製 / 配置手段 2 により複製されたセルに接続されたシールド配線を所定の配線に沿って生成するシールド生成手段であり、4 はメモリや磁気記録媒体などの記憶手段である。

【 0 0 2 1 】

1 1 は C A D (Computer Assisted Design) など予め設計された電子回路の接続関係のデータであるネットリストであり、1 2 はセルのレイアウト情報を有するライブラリであり、1 3 はユーザにより指定されたシールド対象配線を列挙したシールド対象配線リストであり、1 4 は元の電子回路にシールド回路を追加したもののレイアウトデータである。

【 0 0 2 2 】

なお、配置手段 1、セル複製 / 配置手段 2 およびシールド生成手段 3 は、例えば C P U (Central Processing Unit) と各手段の処理を記述したプログラムとで実現することが可能である。

【 0 0 2 3 】

次に動作について説明する。

図 2 はこの発明の実施の形態 1 によるシールド回路設計装置の動作について説明するフローチャートである。図 3 は実施の形態 1 によるシールド回路設計装置により設計されたシールド回路の一例を示す回路図である。

【 0 0 2 4 】

まず、ステップ S T 1 において、配置手段 1 は、ネットリスト 1 1 およびライブラリ 1 2 を記憶手段 4 から読み出し、ネットリスト 1 1 およびライブラリ 1 2 に基づいて電子回路のレイアウトを決定し、そのデータをセル複製 / 配置手段 2 に供給する。例えば図 3 においては、2 入力 1 0 4、1 0 5 の A N D 回路 1 0 1、配線 1 0 2、バッファ 1 0 3 などの電子回路のレイアウトが決定される。

【 0 0 2 5 】

次に、ステップ S T 2 において、セル複製 / 配置手段 2 は、電子回路のレイアウトのデータを受け取ると、シールド対象配線リスト 1 3 を記憶手段 4 から読み出し、その電子回路のうち、そのシールド対象配線リスト 1 3 により指定された配線を駆動するセルを複製し、複製したセルを複製元のセルに並列に接続し、複製したセルを配置する。セル複製 / 配置手段 2 は、処理後のレイアウトデータをシールド生成手段 3 に供給する。例えば図 3 においては、A N D 回路 1 0 1 から複製された A N D 回路 1 1 1 - 1、1 1 1 - 2 が A N D 回路 1 0 1 に並列に接続され、適宜配置される。

【 0 0 2 6 】

そして、ステップ S T 3 において、シールド生成手段 3 は、処理後のレイアウトデータを受け取ると、セル複製 / 配置手段 2 により複製されたセルにシールド配線を接続し、接続

10

20

30

40

50

したシールド配線を、シールドの対象である配線に沿って生成する。シールド生成手段 3 は、処理後のレイアウトデータ 1 4 を記憶手段 4 に記憶させる。例えば図 3 においては、複製された A N D 回路 1 1 1 - 1 , 1 1 1 - 2 にシールド配線 1 1 2 - 1 , 1 1 2 - 2 が接続され、配線 1 0 2 に沿って生成される。

【 0 0 2 7 】

以上のように、この実施の形態 1 によれば、セル複製 / 配置手段 2 が所定の配線を駆動するセルを複製して配置し、シールド生成手段 3 がセル複製 / 配置手段 2 により複製されたセルに接続されたシールド配線を所定の配線に沿って生成するようにしたので、所定の配線を駆動するセルの入力の論理値の変化に伴う所定の配線の論理値変化の遅延を抑制したシールド回路を簡単に設計することができるという効果が得られる。

10

【 0 0 2 8 】

実施の形態 2 .

図 4 はこの発明の実施の形態 2 によるシールド回路設計装置の構成を示すブロック図である。図 4 において、2 1 は所定の配線を駆動するセルの入力のうちの一部の入力の論理値に対応する論理値でシールド配線を駆動するセルを選択し、その所定の配線を駆動するセルに接続するセル選択 / 接続手段であり、2 2 はセル選択 / 接続手段 2 1 により選択されたセルを配置する追加セル配置手段である。

【 0 0 2 9 】

3 1 はシールド対象配線に関連づけて、そのシールド対象配線を駆動するセルに対する入力のうち、論理値変化を考慮する入力をシールド対象配線毎に列挙した注目入力リストである。

20

【 0 0 3 0 】

なお、図 4 におけるその他の構成要素については実施の形態 1 によるものと同様であるので、その説明を省略する。

【 0 0 3 1 】

次に動作について説明する。

図 5 はこの発明の実施の形態 2 によるシールド回路設計装置の動作について説明するフローチャートである。図 6 は実施の形態 2 によるシールド回路設計装置により設計されたシールド回路の一例を示す回路図であり、図 7 は実施の形態 2 によるシールド回路設計装置により設計されたシールド回路の他の例を示す回路図である。

30

【 0 0 3 2 】

まず、ステップ S T 1 1 において、配置手段 1 は、ネットリスト 1 1 およびライブラリ 1 2 を記憶手段 4 から読み出し、ネットリスト 1 1 およびライブラリ 1 2 に基づいて電子回路のレイアウトを決定し、そのデータをセル複製 / 配置手段 2 に供給する。例えば、図 6 においては、2 入力 1 0 4 , 1 0 5 の A N D 回路 1 0 1、配線 1 0 2、バッファ 1 0 3 などの電子回路のレイアウトが決定され、図 7 においては、3 入力 1 0 4 , 1 0 5 , 1 0 6 の A N D 回路 1 0 1 A、配線 1 0 2、バッファ 1 0 3 などの電子回路のレイアウトが決定される。

【 0 0 3 3 】

次にステップ S T 1 2 において、セル選択 / 接続手段 2 1 は、電子回路のレイアウトのデータを受け取ると、シールド対象配線リスト 1 3 および注目入力リスト 3 1 を記憶手段 4 から読み出し、その電子回路において、そのシールド対象配線リスト 1 3 により指定された配線を駆動するセルに対する入力のうち、注目入力リスト 3 1 により指定された入力の論理値に対応する論理値でシールド配線を駆動するセルを選択し、そのシールド対象配線リスト 1 3 により指定された配線を駆動するセルに並列に接続する。セル選択 / 接続手段 2 1 は、処理後のレイアウトデータを追加セル配置手段 2 2 に供給する。

40

【 0 0 3 4 】

例えば図 6 において、シールド対象の配線 1 0 2 を駆動するセルが 2 入力 1 0 4 , 1 0 5 の A N D 回路 1 0 1 であり、注目入力が入力 1 0 4 である場合、A N D 回路 1 0 1 の出力論理値は、入力 1 0 4 の論理値が 0 から 1 に変化すると、0 から 1 に変化するか、0 のま

50

まであるかのいずれかであり、入力 1 0 4 の論理値が 1 から 0 に変化すると、1 から 0 に変化するか、0 のままであるかのいずれかである。したがって、この場合、入力 1 0 4 の論理値の変化に伴う配線 1 0 2 の論理値の変化に追従してシールド配線 1 1 2 - 1 , 1 1 2 - 2 を駆動するために、バッファ 1 2 1 - 1 , 1 2 1 - 2 が選択され、AND 回路 1 0 1 の入力 1 0 4 に接続される。

【 0 0 3 5 】

一方、例えば、シールドの対象の配線 1 0 2 を駆動するセルが 2 入力の NAND 回路であり、注目入力がある一方の入力である場合、NAND 回路の出力論理値は、その入力の論理値が 0 から 1 に変化すると、1 から 0 に変化するか、1 のままであるかのいずれかであり、その入力の論理値が 1 から 0 に変化したとき、0 から 1 に変化するか、1 のままであるかのいずれかである。そこで、その場合、入力 1 0 4 の論理値の変化に伴う配線 1 0 2 の論理値の変化に追従してシールド配線 1 1 2 - 1 , 1 1 2 - 2 を駆動するために、インバータが選択され、その NAND 回路の一方の入力に接続される。

10

【 0 0 3 6 】

このように、注目入力の数 が 1 である場合には、バッファまたはインバータが選択される。

【 0 0 3 7 】

また、例えば図 7 において、シールドの対象の配線 1 0 2 を駆動するセルが 3 入力の AND 回路 1 0 1 A であり、注目入力が入力 1 0 4 および入力 1 0 5 である場合、AND 回路 1 0 1 A の出力論理値は、入力 1 0 4 または入力 1 0 5 の論理値が 0 から 1 に変化すると、0 から 1 に変化するか、0 のままであるかのいずれかであり、入力 1 0 4 または入力 1 0 5 の論理値が 1 から 0 に変化すると、1 から 0 に変化するか、0 のままであるかのいずれかである。

20

【 0 0 3 8 】

したがって、この場合、入力 1 0 4 , 1 0 5 の論理値の変化に伴う配線 1 0 2 の論理値の変化に追従してシールド配線 1 1 2 - 1 , 1 1 2 - 2 を駆動するために、2 入力の AND 回路 1 3 1 - 1 , 1 3 1 - 2 が選択され、AND 回路 1 0 1 A の入力 1 0 4 および入力 1 0 5 に接続される。

【 0 0 3 9 】

このように、注目入力の数 が 2 である場合には、2 入力の AND 回路などのセルが選択され、同様に、注目入力の数 が  $n$  ( $n > 2$ ) である場合には、 $n$  入力のセルが選択される。

30

【 0 0 4 0 】

そしてステップ S T 1 3 において、追加セル配置手段 2 2 は、セル選択 / 接続手段 2 1 により選択されたセルを配置し、処理後のレイアウトデータをシールド生成手段 3 に供給する。

【 0 0 4 1 】

最後にステップ S T 1 4 において、シールド生成手段 3 は、処理後のレイアウトデータから受け取ると、追加セル配置手段 2 2 により配置されたセルにシールド配線を接続し、接続したシールド配線を、シールドの対象である配線に沿って生成する。シールド生成手段 3 は、処理後のレイアウトデータ 1 4 を記憶手段 4 に記憶させる。例えば、図 6 においては、追加されたバッファ 1 2 1 - 1 , 1 2 1 - 2 にシールド配線 1 1 2 - 1 , 1 1 2 - 2 が接続され、配線 1 0 2 に沿って生成され、図 7 においては、追加された AND 回路 1 3 1 - 1 , 1 3 1 - 2 にシールド配線 1 1 2 - 1 , 1 1 2 - 2 が接続され、配線 1 0 2 に沿って生成される。

40

【 0 0 4 2 】

以上のように、この実施の形態 2 によれば、セル選択 / 接続手段 2 1 が所定の配線を駆動するセルの入力のうちの一部の論理値に対応する論理値でシールド配線を駆動するセルを選択して、所定の配線を駆動するセルに接続し、追加セル配置手段 2 2 がセル選択 / 接続手段 2 1 により選択されたセルを配置し、シールド生成手段 3 がセル選択 / 接続手段 2 1 により選択されたセルに接続されたシールド配線を所定の配線に沿って生成するようにし

50

たので、所定の配線を駆動するセルの入力のうちの一部の入力の論理値の変化に伴う所定の配線の論理値変化の遅延を抑制した回路規模の小さいシールド回路を簡単に設計することができるという効果が得られる。

【 0 0 4 3 】

実施の形態 3 .

この発明の実施の形態 3 によるシールド回路設計装置は、セル選択 / 接続手段 2 1 が第 1 のシールド配線を駆動する第 1 のセルと、第 2 のシールド配線を駆動する第 2 のセルとを直列に接続し、シールド生成手段 3 が第 1 のシールド配線と第 2 のシールド配線とを所定の配線に沿って生成するようにしたものである。なお、実施の形態 3 によるシールド回路設計装置におけるその他の構成要素については実施の形態 2 によるものと同様であるので、その説明を省略する。

10

【 0 0 4 4 】

次に動作について説明する。

図 8 は実施の形態 3 によるシールド回路設計装置により設計されたシールド回路の一例を示す回路図である。

【 0 0 4 5 】

この実施の形態 3 では、セル選択 / 接続手段 2 1 は、まず、電子回路のレイアウトのデータを受け取ると、シールド対象配線リスト 1 3 および注目入力リスト 3 1 を記憶手段 4 から読み出し、その電子回路において、そのシールド対象配線リスト 1 3 により指定された配線を駆動するセルの入力のうち、注目入力リスト 3 1 により指定された入力の論理値に対応する論理値で 2 本の第 1 および第 2 のシールド配線を駆動する第 1 および第 2 のセルを選択する。次に、セル選択 / 接続手段 2 1 は、その第 1 のセルと第 2 のセルとを直列に接続する。

20

【 0 0 4 6 】

例えば図 8 において、シールドの対象の配線 1 0 2 を駆動するセルが 2 入力 1 0 4 , 1 0 5 の AND 回路 1 0 1 であり、注目入力が入力 1 0 4 である場合、図 6 ( 実施の形態 2 ) の場合と同様に、シールド配線 1 1 2 - 1 , 1 1 2 - 2 を駆動するセルとしてバッファ 1 4 1 - 1 , 1 4 2 - 1 が選択される。そして、そのバッファ 1 4 1 - 1 が入力 1 0 4 に接続され、バッファ 1 4 2 - 1 がバッファ 1 4 1 - 1 に直列に接続される。

【 0 0 4 7 】

そして、追加セル配置手段 2 2 がそれらのセルを配置し、シールド生成手段 3 が第 1 のシールド配線と第 2 のシールド配線をシールド対象の配線に沿って生成する。

30

【 0 0 4 8 】

なお、その他の動作については実施の形態 2 によるものと同様であるので、その説明を省略する。

【 0 0 4 9 】

以上のように、この実施の形態 3 によれば、セル選択 / 接続手段 2 1 が、第 1 のシールド配線を駆動する第 1 のセルと、第 2 のシールド配線を駆動する第 2 のセルとを直列に接続し、シールド生成手段 3 が、第 1 のシールド配線と第 2 のシールド配線を所定の配線に沿って生成するようにしたので、注目入力に対する端子静電容量を低減して、より信号伝播の遅延を低減させたシールド回路を簡単に設計することができるという効果が得られる。

40

【 0 0 5 0 】

実施の形態 4 .

この発明の実施の形態 4 によるシールド回路設計装置は、セル選択 / 接続手段 2 1 が第 1 の配線を駆動するセルと、第 2 の配線を駆動するセルとを並列に接続し、シールド生成手段 3 が第 1 の配線および第 2 の配線をシールド配線として所定の配線に沿って生成するようにしたものである。なお、実施の形態 4 によるシールド回路設計装置におけるその他の構成要素については実施の形態 2 または実施の形態 3 によるものと同様であるので、その説明を省略する。

【 0 0 5 1 】

50

次に動作について説明する。

図 9 は実施の形態 4 によるシールド回路設計装置により設計されたシールド回路の一例を示す回路図である。

【 0 0 5 2 】

この実施の形態 4 では、セル選択 / 接続手段 2 1 が、シールド配線を分割した第 1 および第 2 の配線をそれぞれ駆動するセルを選択し、それらのセルを並列に接続する。そして、追加セル配置手段 2 2 がそれらのセルを配置し、シールド生成手段 3 が第 1 の配線および第 2 の配線をそれらのセルに接続し、所定の配線に沿って縦列に生成する。

【 0 0 5 3 】

例えば図 9 において、シールド対象の配線 1 0 2 を駆動するセルが 2 入力 1 0 4 , 1 0 5 の A N D 回路 1 0 1 であり、注目入力が入力 1 0 4 である場合、シールド配線を構成する 2 つの配線 1 5 2 - 1 , 1 5 2 - 2 を駆動するセルとして 2 つのバッファ 1 5 1 - 1 , 1 5 1 - 2 が選択される。そして、それらのバッファ 1 5 1 - 1 , 1 5 1 - 2 がバッファ 1 4 1 - 1 に直列に接続され、配線 1 5 2 - 1 と配線 1 5 2 - 2 がシールド配線として縦列に、かつ配線 1 0 2 に沿って生成される。

【 0 0 5 4 】

なお、その他の動作については実施の形態 2 または実施の形態 3 によるものと同様であるので、その説明を省略する。

【 0 0 5 5 】

以上のように、この実施の形態 4 によれば、セル選択 / 接続手段 2 1 が第 1 の配線を駆動するセルと第 2 の配線を駆動するセルとを並列に接続し、シールド生成手段 3 が第 1 の配線および第 2 の配線を、シールド配線として所定の配線に沿って生成するようにしたので、シールド配線を駆動する各セル ( 図 9 ではバッファ 1 5 1 - 1 , 1 5 1 - 2 ) あたりのシールド配線の静電容量を低減させたシールド回路を簡単に設計することができるという効果が得られる。

【 0 0 5 6 】

実施の形態 5 .

この発明の実施の形態 5 によるシールド回路設計装置は、セル複製 / 配置手段 2 がシールド配線を駆動するセルに駆動能力の低いセルとするようにしたものである。なお、駆動能力が低いとは、セルを構成するトランジスタのチャンネル幅が狭いまたはチャンネル長が長いまたは ( チャンネル長 ) / ( チャンネル幅 ) 比が大きいということである。

【 0 0 5 7 】

なお、実施の形態 5 によるシールド回路設計装置におけるその他の構成要素については実施の形態 1 によるものと同様であるので、その説明を省略する。

【 0 0 5 8 】

次に動作について説明する。

図 1 0 は実施の形態 5 によるシールド回路設計装置により設計されたシールド回路の一例を示す回路図である。

【 0 0 5 9 】

この実施の形態 5 では、セル複製 / 配置手段 2 が、複製したセルとして、同種の、駆動能力の低いセルとする。例えば図 1 0 において、シールド配線 1 1 2 - 1 , 1 1 2 - 2 を駆動する A N D 回路 1 6 1 - 1 , 1 6 1 - 2 として、駆動能力の低い A N D 回路が選択される。

【 0 0 6 0 】

なお、実施の形態 5 では、セル複製 / 配置手段 2 が、複製したセルを、同種の、駆動能力の低いセルとするようにしているが、実施の形態 2 ~ 4 のセル選択 / 接続手段 2 1 が、駆動能力の低いセルを選択するようにしてもよい。

【 0 0 6 1 】

以上のように、この実施の形態 5 によれば、シールド配線を駆動するセルを駆動能力の低いセルとしたので、消費電力が小さく、シールド配線に起因する他の配線への影響を低減

10

20

30

40

50



したシールド回路を簡単に設計することができるという効果が得られる。

【 0 0 6 2 】

【発明の効果】

以上のように、この発明によれば、所定の配線を駆動するセルを複製して配置し、複製したセルに接続されたシールド配線を所定の配線に沿って生成するようにしたので、所定の配線を駆動するセルの入力の論理値の変化に伴う所定の配線の論理値変化の遅延を抑制したシールド回路を簡単に設計することができるという効果がある。

【 0 0 6 3 】

この発明によれば、所定の配線を駆動するセルの入力のうちの一部の論理値に対応する論理値でシールド配線を駆動するセルを選択して、所定の配線を駆動するセルに接続し、選択したセルを配置し、選択したセルに接続されたシールド配線を所定の配線に沿って生成するようにしたので、所定の配線を駆動するセルの入力のうちの一部の論理値の変化に伴う所定の配線の論理値変化の遅延を抑制した回路規模の小さいシールド回路を簡単に設計することができるという効果がある。

10

【 0 0 6 4 】

この発明によれば、シールド配線を駆動するセルとして、第 1 のシールド配線を駆動する第 1 のセルと、第 2 のシールド配線を駆動する第 2 のセルとを選択し、第 1 および第 2 のセルを直列に接続し、第 1 のシールド配線と第 2 のシールド配線とを所定の配線に沿って生成するようにしたので、注目した入力に対する端子静電容量を低減して、より信号伝播の遅延を低減させたシールド回路を簡単に設計することができるという効果がある。

20

【 0 0 6 5 】

この発明によれば、シールド配線を駆動するセルとして、シールド配線を構成する第 1 の配線および第 2 の配線に対応して、第 1 の配線を駆動するセルと、第 2 の配線を駆動するセルとを並列に接続し、第 1 の配線および第 2 の配線をシールド配線として所定の配線に沿って縦列に生成するようにしたので、シールド配線を駆動する各セルあたりのシールド配線の静電容量を低減させたシールド回路を簡単に設計することができるという効果がある。

【 0 0 6 6 】

この発明によれば、シールド配線を駆動するセルを駆動能力の低いセルとするようにしたので、消費電力が小さく、シールド配線に起因する他の配線への影響を低減したシールド回路を簡単に設計することができるという効果がある。

30

【図面の簡単な説明】

【図 1】 この発明の実施の形態 1 によるシールド回路設計装置の構成を示すブロック図である。

【図 2】 この発明の実施の形態 1 によるシールド回路設計装置の動作について説明するフローチャートである。

【図 3】 実施の形態 1 によるシールド回路設計装置により設計されたシールド回路の一例を示す回路図である。

【図 4】 この発明の実施の形態 2 によるシールド回路設計装置の構成を示すブロック図である。

40

【図 5】 この発明の実施の形態 2 によるシールド回路設計装置の動作について説明するフローチャートである。

【図 6】 実施の形態 2 によるシールド回路設計装置により設計されたシールド回路の一例を示す回路図である。

【図 7】 実施の形態 2 によるシールド回路設計装置により設計されたシールド回路の他の例を示す回路図である。

【図 8】 実施の形態 3 によるシールド回路設計装置により設計されたシールド回路の一例を示す回路図である。

【図 9】 実施の形態 4 によるシールド回路設計装置により設計されたシールド回路の一例を示す回路図である。

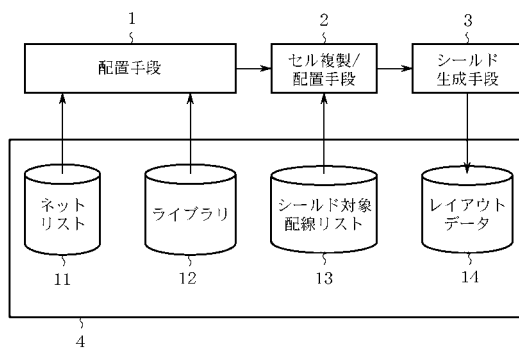
50

【図 10】 実施の形態 5 によるシールド回路設計装置により設計されたシールド回路の一例を示す回路図である。

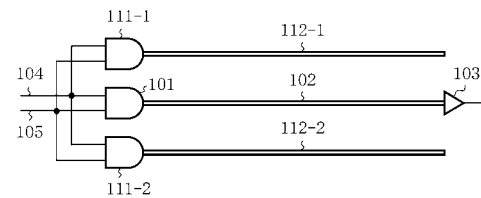
【符号の説明】

2 セル複製 / 配置手段、3 シールド生成手段、2 1 セル選択 / 接続手段、2 2 追加セル配置手段。

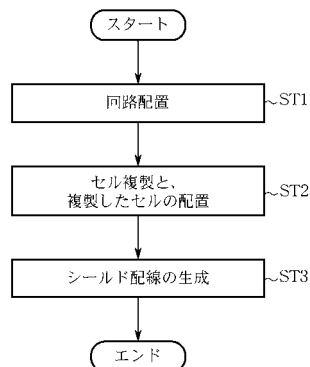
【図 1】



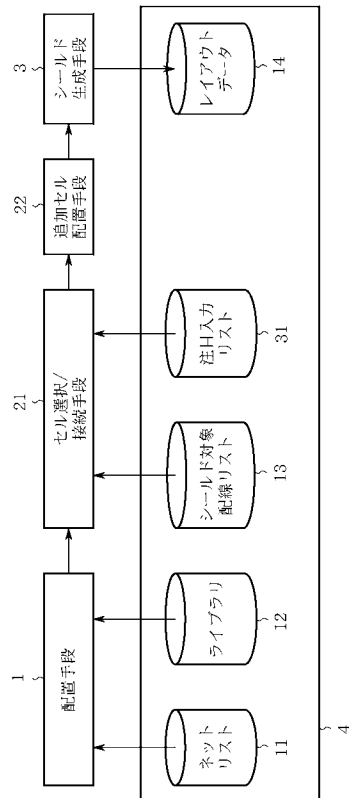
【図 3】



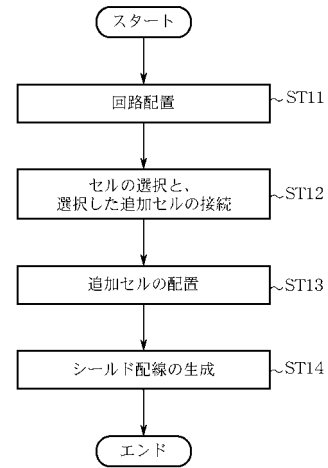
【図 2】



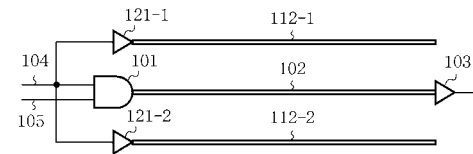
【図 4】



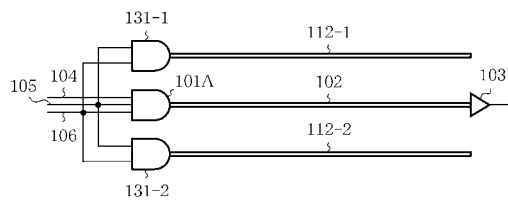
【図 5】



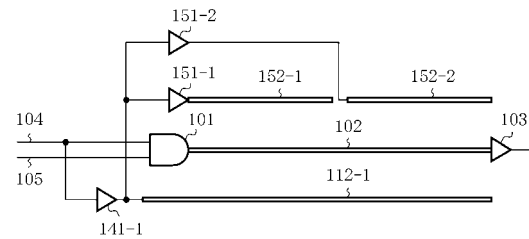
【図 6】



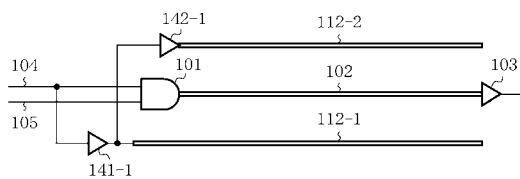
【図 7】



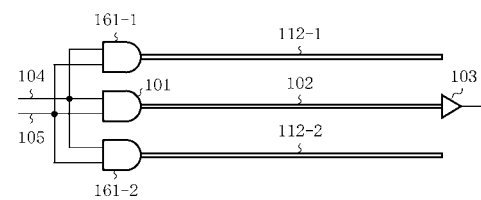
【図 9】



【図 8】



【図 10】



---

フロントページの続き

(51)Int.Cl. F I  
H 0 1 L 27/04 D

(74)代理人 100124523  
弁理士 佐々木 真人

(74)代理人 100098316  
弁理士 野田 久登

(72)発明者 田中 玄一  
東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

審査官 井原 純

(56)参考文献 特開平04-142074(JP,A)  
特開平01-318164(JP,A)  
特開平09-237870(JP,A)  
特開2000-307065(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/82  
G06F 17/50  
H01L 21/822  
H01L 27/04  
H01L 21/3205