

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6970632号
(P6970632)

(45) 発行日 令和3年11月24日 (2021.11.24)

(24) 登録日 令和3年11月2日 (2021.11.2)

(51) Int.Cl.

F 1

HO1L 29/78	(2006.01)	HO1L 29/78	657D
HO1L 21/8234	(2006.01)	HO1L 29/78	653A
HO1L 27/06	(2006.01)	HO1L 29/78	652M
HO1L 27/088	(2006.01)	HO1L 29/78	652F
HO1L 21/822	(2006.01)	HO1L 29/78	652D

請求項の数 12 (全 24 頁) 最終頁に続く

(21) 出願番号

特願2018-50096 (P2018-50096)

(22) 出願日

平成30年3月16日 (2018.3.16)

(65) 公開番号

特開2019-161190 (P2019-161190A)

(43) 公開日

令和1年9月19日 (2019.9.19)

審査請求日

令和2年2月10日 (2020.2.10)

(73) 特許権者 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(73) 特許権者 317011920

東芝デバイス&ストレージ株式会社

東京都港区芝浦一丁目1番1号

(74) 代理人 100091982

弁理士 永井 浩之

(74) 代理人 100091487

弁理士 中村 行孝

(74) 代理人 100082991

弁理士 佐藤 泰和

(74) 代理人 100105153

弁理士 朝倉 悟

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項 1】

第1導電形の第1半導体領域と、

前記第1半導体領域の上に形成された第2導電形のベース領域と、

前記ベース領域を貫通して前記第1半導体領域に達する、複数のゲート電極と、

前記複数のゲート電極のそれぞれの周囲に形成された、複数のゲート絶縁膜と、

前記複数のゲート絶縁膜の間である複数の領域のうち、2つの前記ゲート絶縁膜の間に位置する第1領域であって、第1導電形のソース領域が形成された第1領域と、

前記複数の領域のうち、2つの前記ゲート絶縁膜の間に位置する第2領域であって、前記第1領域の終端領域に位置し、前記ソース領域が形成されていない第2領域と、

前記第1領域に形成されて、前記ベース領域とソース電極とを電気的に接続する、第1の幅の第1コンタクトと、

前記第2領域に形成されて、前記ベース領域と前記ソース電極とを電気的に接続する、前記第1の幅よりも広い第2の幅の第2コンタクトと、

を備え、

前記ベース領域、前記ゲート電極、前記ゲート絶縁膜、前記第1領域、前記第2領域、前記第1コンタクト、及び、前記第2コンタクトは、第1方向に沿って連続して形成されており、

前記第2領域は、前記第1方向と交差する方向である第2方向の両側に設けられ、これら両側に設けられた前記第2領域のそれぞれに1つの前記第2コンタクトが形成されてい

るとともに、これら前記第2領域の間には複数の前記第1領域が形成されており、複数の前記第1領域のそれぞれに形成された前記第1コンタクトにおける前記第1方向の両端の終端部に、前記第1の幅よりも広い第3の幅で第3コンタクトがそれぞれ形成されている、半導体装置。

【請求項2】

前記第1コンタクトと前記第2コンタクトは、メタルにより形成されている、請求項1に記載の半導体装置。

【請求項3】

前記第3コンタクトの前記第3の幅は、前記第2コンタクトの前記第2の幅と同じである、請求項1又は請求項2に記載の半導体装置。

10

【請求項4】

前記第1コンタクト及び前記第2コンタクトは、第2導電形の第2半導体領域により形成されている、請求項1に記載の半導体装置。

【請求項5】

前記複数のゲート電極のそれぞれの下方における、前記第1半導体領域に埋め込まれた、複数のフィールドプレート電極をさらに備える請求項1乃至請求項4のいずれかに記載の半導体装置。

【請求項6】

前記複数のフィールドプレート電極は、前記ゲート電極又は前記ソース電極に接続されている、請求項5に記載の半導体装置。

20

【請求項7】

前記複数のフィールドプレート電極の周囲には、前記ゲート絶縁膜よりも厚いフィールドプレート絶縁膜が形成されている、請求項5又は請求項6に記載の半導体装置。

【請求項8】

前記第1コンタクト、前記第2コンタクト及び前記第3コンタクトは、第2導電形の第3半導体領域により形成されている、請求項3に記載の半導体装置。

【請求項9】

前記第1領域に形成される前記第1コンタクトの深さよりも、前記第2領域に形成される前記第2コンタクトの深さの方が深い、請求項1又は請求項2に記載の半導体装置。

30

【請求項10】

前記第1領域に形成される前記第1コンタクトの深さよりも、前記第2領域に形成される前記第2コンタクトの深さの方が深く、且つ、

前記第1領域に形成される前記第1コンタクトの深さよりも、前記第1コンタクトが延びる方向の終端部に形成された前記第3コンタクトの深さの方が深い、

請求項3に記載の半導体装置。

【請求項11】

前記第1コンタクトと前記第2コンタクトは、前記ベース領域に達するトレンチ内に形成されたメタルにより構成されており、

前記第1領域に形成される前記第1コンタクトの深さよりも、前記第2領域に形成される前記第2コンタクトの深さの方が深い、請求項1に記載の半導体装置。

40

【請求項12】

前記第1コンタクトと前記第2コンタクトと前記第3コンタクトは、前記ベース領域に達するトレンチ内に形成されたメタルにより構成されており、

前記第3コンタクトの前記第3の幅は、前記第2コンタクトの前記第2の幅と同じであり、

前記第1領域に形成される前記第1コンタクトの深さよりも、前記第2領域に形成される前記第2コンタクトの深さの方が深く、且つ、

前記第1領域に形成される前記第1コンタクトの深さよりも、前記第1コンタクトが延びる方向の終端部に形成された前記第3コンタクトの深さの方が深い、

請求項1に記載の半導体装置。

50

【発明の詳細な説明】**【技術分野】****【0001】**

本発明の実施形態は、半導体装置に関する。

【背景技術】**【0002】**

MOSFET (Metal-oxide-semiconductor field-effect transistor) には、ソース電極とドレイン電極との間に、ボディーダイオードが等価的に存在する。このボディーダイオードを順方向電流から逆方向電流に切り替える逆回復時に、MOSFETを備える半導体装置では、ドリフト領域に蓄積されたホールを排出する必要がある。しかし、終端領域の近傍に蓄積されたホールは、ソース電極のコンタクトまで遠く、終端領域に近接したコンタクトに電流が集中する。このため、電圧降下から戻る際の急激な電圧上昇によって、ゲート酸化膜が破壊されたり、発熱によって半導体装置が破壊されたりする問題がある。
。

【先行技術文献】**【特許文献】****【0003】**

【特許文献1】特許第5672766号公報

【特許文献2】特許第5560991号公報

【特許文献3】特許第5987990号公報

10

20

【発明の概要】**【発明が解決しようとする課題】****【0004】**

本実施形態の目的は、回復動作時に破壊が生じるのを抑制した半導体装置を提供することにある。

【課題を解決するための手段】**【0005】**

本実施形態に係る半導体装置は、第1導電形の第1半導体領域と、前記第1半導体領域の上に形成された第2導電形のベース領域と、前記ベース領域を貫通して前記第1半導体領域に達する、複数のゲート電極と、前記複数のゲート電極のそれぞれの周囲に形成された、複数のゲート絶縁膜と、前記複数のゲート絶縁膜の間である複数の領域のうち、第1導電形のソース領域が形成された第1領域と、前記複数の領域のうち、前記第1領域の終端領域に位置し、前記ソース領域が形成されていない第2領域と、前記第1領域に形成されて、前記ベース領域とソース電極とを電気的に接続する、第1の幅の第1コンタクトと、前記第2領域に形成されて、前記ベース領域と前記ソース電極とを電気的に接続する、前記第1の幅よりも広い第2の幅の第2コンタクトとを備える。

30

【図面の簡単な説明】**【0006】**

【図1】第1実施形態に係る半導体装置の図2におけるI-I線断面図。

【図2】第1実施形態に係る半導体装置の図1におけるII-II線断面図。

40

【図3】逆回復時のボディーダイオード電流 I_F と時間の関係と、ドレイン・ソース電圧 V_{DS} と時間の関係とを表すグラフ。

【図4】図3の時刻 t_1 において、ボディーダイオードの順方向に電流が流れ、ドリフト領域にホールが注入される様子を示す図。

【図5】図3の時刻 t_2 における逆回復時に、ボディーダイオードの逆方向に電流が流れた際のホール排出の様子を示す図。

【図6】第1実施形態に係る半導体装置の製造工程の一例を示す図。

【図7】第1実施形態に係る半導体装置の製造工程の一例を示す図。

【図8】第1実施形態に係る半導体装置の製造工程の一例を示す図。

【図9】第1実施形態に係る半導体装置の製造工程の一例を示す図。

50

- 【図10】第1実施形態に係る半導体装置の製造工程の一例を示す図。
- 【図11】第1実施形態に係る半導体装置の製造工程の一例を示す図。
- 【図12】第1実施形態に係る半導体装置の製造工程の一例を示す図。
- 【図13】第1実施形態に係る半導体装置の製造工程の一例を示す図。
- 【図14】第1実施形態に係る半導体装置の製造工程の一例を示す図。
- 【図15】第1実施形態に係る半導体装置の製造工程の一例を示す図。
- 【図16】第1実施形態に係る半導体装置の製造工程の一例を示す図。
- 【図17】第2実施形態に係る半導体装置における平面方向の断面図。
- 【図18】第3実施形態に係る半導体装置におけるトレンチ直交方向の断面図。
- 【図19】第3実施形態に係る半導体装置の製造工程の一例を示す図。 10
- 【図20】第4実施形態に係る半導体装置におけるトレンチ直交方向の断面図。
- 【図21】第4実施形態に係る半導体装置における図20のX X I - X X I 線断面図。
- 【図22】第4実施形態に係る半導体装置における図21のX X I I - X X I I 線断面図。
- 。
- 【図23】第4実施形態に係る半導体装置における図21のX X I I I - X X I I I 線断面図。
- 【図24】第4実施形態に係る半導体装置の製造工程の一例を示す図。
- 【図25】第4実施形態に係る半導体装置の製造工程の一例を示す図。
- 【図26】第4実施形態に係る半導体装置の製造工程の一例を示す図。
- 【図27】第4実施形態に係る半導体装置の製造工程の一例を示す図。 20
- 【図28】第4実施形態に係る半導体装置の製造工程の一例を示す図。
- 【図29】第4実施形態に係る半導体装置の製造工程の一例を示す図。
- 【図30】第4実施形態に係る半導体装置の製造工程の一例を示す図。
- 【図31】第4実施形態に係る半導体装置の製造工程の一例を示す図。
- 【図32】第4実施形態に係る半導体装置の製造工程の一例を示す図。
- 【図33】第4実施形態に係る半導体装置の製造工程の一例を示す図。
- 【図34】第4実施形態に係る半導体装置の製造工程の一例を示す図。
- 【図35】第4実施形態に係る半導体装置の製造工程の一例を示す図。
- 【図36】第4実施形態に係る半導体装置の製造工程の一例を示す図。
- 【図37】第4実施形態に係る半導体装置の製造工程の一例を示す図。 30
- 【図38】第5実施形態に係る半導体装置の平面方向の断面図。
- 【図39】第5実施形態に係る半導体装置の図38におけるX X X I X - X X X I X 線断面図。
- 【図40】第5実施形態に係る半導体装置の図38におけるX L - X L 線断面図。
- 【図41】第6実施形態に係る半導体装置の平面方向の断面図。
- 【図42】第6実施形態に係る半導体装置の図41におけるX L I I - X L I I 線断面図。
- 。
- 【図43】第6実施形態に係る半導体装置の図41におけるX L I I I - X L I I I 線断面図。
- 【図44】第7実施形態に係る半導体装置の平面方向の断面図。 40
- 【図45】第7実施形態に係る半導体装置の図44におけるX L V - X L V 線断面図。
- 【図46】第7実施形態に係る半導体装置の図44におけるX L V I - X L V I 線断面図。
- 。
- 【図47】第8実施形態に係る半導体装置の平面方向の断面図。
- 【図48】第8実施形態に係る半導体装置の図47におけるX L V I I - X L V I I 線断面図。
- 【図49】第8実施形態に係る半導体装置1の図47におけるX L I X - X L I X 線断面図。
- 【発明を実施するための形態】
- 【0007】 50

以下、図面を参照しながら、本実施形態に係る半導体装置を説明する。なお、以下の説明において、略同一の機能及び構成を有する構成要素については、同一符号を付し、重複説明は必要な場合にのみ行うこととする。

【0008】

なお、以下の各実施形態の説明において、n形が第1導電形に相当しており、p形が第2導電形に相当している。また、n⁺やp⁺の表記は、+の付されていない表記よりも不純物濃度が相対的に高いことを示しており、n⁻やp⁻の表記は、-の付されていない表記よりも不純物濃度が相対的に低いことを示している。さらに、例えばp⁺⁺の表記は、p⁺よりもさらに不純物濃度が相対的に高いことを示している。

【0009】

〔第1実施形態〕

第1実施形態に係る半導体装置は、終端領域に位置する、ソース領域が形成されていないメサ部における、ソース電極のコンタクトの幅を、ソース領域が形成されたメサ部のソース電極のコンタクトの幅よりも広くすることにより、回復動作時のホール排出抵抗の低減を図ったものである。以下に、その詳細を説明する。

【0010】

図1は、本実施形態に係る半導体装置1の図2におけるI-I線断面図であり、図2は、本実施形態に係る半導体装置1の図1におけるII-II線断面図である。換言すれば、図1は、半導体装置1におけるトレンチ直交方向の断面図であり、図2は、半導体装置1における平面方向の断面図である。

【0011】

これら図1及び図2から分かるように、本実施形態に係る半導体装置1は、複数のセルCを備えて構成されている。図1においては、5個のセルCを例示的に示しているが、半導体装置1が備えるセルCの数は任意である。

【0012】

本実施形態に係る半導体装置1は、ドレイン電極10と、n⁺形のドレイン領域12と、n⁻形のドリフト領域14と、p形のベース領域16と、ゲート電極18と、ゲート絶縁膜20と、n⁺形のソース領域22と、絶縁領域24と、ソース電極26と、p⁺形のコンタクト領域28と、を備えて構成されている。すなわち、本実施形態においては、半導体装置1は、トレンチゲート形のMOSFETを備えて構成されている。

【0013】

より具体的には、ドレイン電極10上には、ドレイン領域12が形成されている。ドレイン領域12上には、ドリフト領域14が形成されている。ドリフト領域14上には、ベース領域16が形成されている。これらドレイン電極10とドレイン領域12とドリフト領域14とベース領域16は、複数のセルCに対して共通に形成されている。

【0014】

ベース領域16上には、セルC毎に、ソース領域22が形成されている。また、セルC毎に、ソース領域22とベース領域16を貫通して、ドリフト領域14に達するゲート電極18が形成されている。このゲート電極18は、トレンチ長手方向に延伸している。各ゲート電極18の周囲には、ゲート絶縁膜20が形成されており、ゲート電極18と、その周囲との絶縁性を担保している。すなわち、ゲート電極18とドリフト領域14との間、ゲート電極18とベース領域16との間、及び、ゲート電極18とソース領域22との間に、ゲート絶縁膜20が形成されている。これらゲート電極18とゲート絶縁膜20により、ベース領域16が区分けされており、以下においては、1つの区分けされた領域をメサ部と呼ぶ。

【0015】

ゲート電極18上、ソース領域22上及びゲート絶縁膜20上には、絶縁領域24が形成されている。絶縁領域24上には、ソース電極26が形成されている。本実施形態においては、絶縁領域24とソース電極26とを貫通して、ベース領域16に達するトレンチ30が各ゲート電極18の間に形成されており、このトレンチ30を埋めるように、ソ-

10

20

30

40

50

ス電極 26 が形成されている。このように、トレンチコンタクト構造となるようにソース電極 26 を形成することにより、ゲート構造を微細化してオン抵抗を低減しつつ、アバランシェ耐圧を高く維持できるようにしている。本実施形態においては、トレンチ 30 に埋め込まれたソース電極 26 の部分をコンタクト 32 と呼ぶこととする。

【 0 0 1 6 】

トレンチ 30 の底部に位置するベース領域 16 には、 p^+ 形のコンタクト領域 28 が形成されている。このコンタクト領域 28 の不純物濃度は、ベース領域 16 の不純物濃度より高くなるように形成されており、ソース電極 26 のコンタクト 32 とベース領域 16 との間の接続抵抗の低減を図っている。このため、コンタクト領域 28 は、省略することも理論上可能である。

10

【 0 0 1 7 】

また、本実施形態に係る半導体装置 1 においては、終端領域の近傍のメサ部には、ソース領域 22 は形成されていないが、ソース電極 26 のコンタクト 32 は形成されている。以下においては、ソース領域 22 が形成されていない、終端領域の近傍にあるメサ部のコンタクト 32 を、適宜、コンタクト 32a とし、一方、終端領域ではない、ソース領域 22 が形成されているメサ部のコンタクト 32 を、適宜、コンタクト 32b とする。

【 0 0 1 8 】

さらに、終端領域の近接にあるメサ部のコンタクト 32a の幅 W1 は、ソース領域 22 が形成されたメサ部のコンタクト 32b の幅 W2 より、広い。すなわち、セル C を構成しない終端領域の近傍のメサ部に形成されたコンタクト 32a の幅 W1 は、セル C を構成しているメサ部のコンタクト 32b の幅 W2 よりも、広くなっている。

20

【 0 0 1 9 】

終端領域の近傍のメサ部にセル C を形成しないのは、製造工程において、終端領域の近傍の領域は、フォトレジストの液だまり等が発生して、光リソグラフィーでセル C を形成するのに必要な精度が得にくいからである。また、本実施形態のように広い幅 W1 でコンタクト 32a を形成することにより、逆回復時の動作において、終端領域に蓄積したホールを、この幅広のコンタクト 32a から排出しやすくして、ホールの排出抵抗の低減を図っている。すなわち、ソース領域 22 が形成されているメサ部のコンタクト 32b の幅 W2 を広げると、セル C により構成された MOSFET のチャネルとコンタクト領域 28 の距離が近くなり、MOSFET のしきい値が上昇してしまう。このため、コンタクト 32b の幅 W2 を広げることは難しい。しかし、終端領域の近傍のメサ部には、ソース領域 22 が形成されないことから、コンタクト 32a の幅 W1 を広げることができる。また、上述のように、終端領域付近は、配線等の段差により、フォトレジストの厚さが厚くなり、コンタクト 32a を形成するための光リソグラフィーの際に、精度よく開口を形成しにくいという問題があるが、コンタクト 32a の幅 W1 が広いことから、フォトレジストに開口を形成しやすくなる利点もある。

30

【 0 0 2 0 】

次に、本実施形態に係る半導体装置 1 の動作原理について説明する。例えば、ソース電極 26 よりも高い所定の正の電圧をドレイン電極 10 に印加する。この状態で、ゲート電極 18 にしきい値以上の電圧が印加されると、セル C に形成された MOSFET がオン状態となる。このとき、ベース領域 16 におけるゲート絶縁膜 20 の近傍に、チャネルが形成される。その後、ゲート絶縁膜 20 がしきい値未満になると、セル C に形成された MOSFET はオフ状態となる。

40

【 0 0 2 1 】

また、半導体装置 1 のボディーダイオードに、順方向の電流が流れている状態で、この電流の流れが逆方向に切り替わるような逆回復時には、瞬間にボディーダイオードに逆方向の電流が流れる。図 3 は、逆回復時における、ボディーダイオード電流 I_F と時間の関係と、ドレイン・ソース電圧 V_{DS} と時間の関係とを表すグラフを示す図である。この図 3 に示すように、逆回復時には、ボディーダイオードの逆方向に電流が流れるが、逆回復に必要な時間が経過すると、逆方向に流れる電流はゼロとなる。

50

【0022】

すなわち、時刻 t_1 においては、図 4 に示すように、ボディーダイオードの順方向に電流が流れ、ドリフト領域 14 にホールが注入される。ドリフト領域 14 に注入されたホールはドレイン電極 10 に流れるが、ホールの一部は、半導体装置 1 の終端領域に蓄積される。しかし、図 5 に示すように、時刻 t_2 の逆回復時には、ごく短い時間ではあるが、ボディーダイオードの逆方向に電流が流れる。この逆回復時には、ドリフト領域 14 に蓄積されたホールがコンタクト 32 から排出されるが、終端領域に蓄積されたホールは、ソース電極 26 のコンタクト 32a までの距離が遠く、排出されるための抵抗が高くなってしまう。そこで、本実施形態においては、終端領域の近傍にあるコンタクト 32a の幅 W_1 を広くして、ホールがソース電極 26 のコンタクト 32a から排出されやすくなりし、排出抵抗を低減している。これにより、ゲート絶縁膜 20 が破壊されたり、電流集中による発熱を原因とする発破壊されたりするのを、抑制している。10

【0023】

次に、図 6 乃至図 16 に基づいて、本実施形態に係る半導体装置 1 の製造工程の一例を説明する。これら図 6 乃至図 16 は、半導体装置 1 におけるトレンチ直交方向の断面図であり、上述した図 1 に対応する図である。

【0024】

まず、図 6 に示すように、 n^+ 形の半導体基板 12X 上に、 n^- 形の半導体層 14X を形成する。半導体基板 12X が、上述したドレイン領域 12 となり、半導体層 14X が、上述したドリフト領域 14 となる。20

【0025】

次に、図 7 に示すように、ドリフト領域 14 に、複数のトレンチ 50 を形成する。続いて、図 8 に示すように、トレンチ 50 を含むドリフト領域 14 の表面に、例えば熱酸化や CVD (Chemical Vapor Deposition) により、ゲート絶縁膜 20 を形成する。

【0026】

次に、図 9 に示すように、ゲート絶縁膜 20 上に、例えば CVD によりポリシリコンを堆積し、エッチバックすることにより、トレンチ 50 に充填されたポリシリコンで、ゲート電極 18 を形成する。

【0027】

次に、図 10 に示すように、例えばボロン (B) をドリフト領域 14 にイオン注入することにより、ドリフト領域 14 に、ベース領域 16 を形成する。このボロンのイオン注入によるベース領域 16 の形成は、セル C を形成するメサ部と、セル C を形成しない終端領域の近傍のメサ部の双方に対して行う。続いて、例えばリン (P) 又はヒ素 (As) のイオン注入を、ベース領域 16 の上部に行い、 n^+ 形の半導体領域 22X を形成する。この半導体領域 22X の形成は、セル C が形成されるメサ部に対して行われる。すなわち、セル C を形成しない終端領域の近傍のメサ部には、半導体領域 22X は形成しない。30

【0028】

次に、図 11 に示すように、例えば CVD により、この半導体装置の全体上に、絶縁膜 24X を形成する。続いて、図 12 に示すように、絶縁膜 24X 上に、フォトレジスト 52 を形成する。このフォトレジスト 52 は、例えば、フォトレジスト液をスピンドルコートで塗布するが、その際、終端領域の近傍では、どうしても液だまり等が発生しやすく、フォトレジスト 52 の膜厚むらが生じやすくなる。40

【0029】

次に、図 13 に示すように、フォトレジスト 52 を光リソグラフィーでパターニングして、フォトレジスト 52 に開口 52a、52b を形成する。この開口 52a、52b は、ソース電極 26 のコンタクト 32 を形成すべき位置に形成される。また、開口 52a は、フォトレジスト 52 の膜厚にばらつきがある終端領域の近傍に形成されることから、精度を担保するのが難しい。このため、コンタクト不良等が発生やすいが、本実施形態においては、終端領域の近傍のメサ部に形成されるコンタクト 32a の幅 W_1 は、セル C が存在するメサ部に形成されるコンタクト 32b の幅 W_2 よりも広い。このため、終端領域の近50

傍のメサ部の開口 52a の幅の方を、セルを形成するメサ部の開口 52b よりも、広くすることができる。本実施形態においては、開口 52a も幅の広い幅 W1 で形成され、開口 52b も幅の狭い幅 W2 で形成される。これにより、終端領域の近傍のメサ部に形成するコンタクト 32a に、コンタクト不良が発生する確率を低減している。

【0030】

次に、図 14 に示すように、例えば RIE により、絶縁膜 24X をエッティングして、絶縁膜 24X をパターニングする。これにより、絶縁領域 24 が形成される。続いて、図 15 に示すように、例えば RIE により、半導体領域 22X とベース領域 16 をエッティングして、絶縁領域 24 と半導体領域 22X とを貫通して、ベース領域 16 に達するトレンチ 30 を形成する。エッティングされた半導体領域 22X により、ソース領域 22 が形成される。そして、フォトレジスト 52 を剥離する。

10

【0031】

次に、図 16 に示すように、トレンチ 30 を介してベース領域 16 に、例えばボロン (B) のイオン注入をすることにより、トレンチ 30 の底部で露出しているベース領域 16 にコンタクト領域 28 を形成する。

【0032】

次に、図 1 及び図 2 に示すように、トレンチ 30 を埋めるように絶縁領域 24 上にソース電極 26 を形成し、ドレイン領域 12 下側にドレイン電極 10 を形成する。具体的には、例えば、表面メタルを形成して加工し、パッシベーション膜を形成した後に、ウェハーの薄膜化を行う。これにより、ソース電極 26 が形成される。さらに、裏面メタルを生成することにより、ドレイン電極 10 が形成され、図 1 及び図 2 に示した、半導体装置 1 が得られる。

20

【0033】

なお、本実施形態に係るドレイン領域 12 及び / 又はドリフト領域 14 が、第 1 半導体領域に相当しており、本実施形態に係るソース領域 22 が形成されたメサ部が、第 1 領域に相当しており、本実施形態に係るソース領域 22 が形成されていないメサ部が、第 2 領域に相当しており、本実施形態に係るコンタクト 32b が第 1 コンタクトに相当しており、本実施形態に係るコンタクト 32a が第 2 コンタクトに相当している。また、コンタクト 32b の幅 W2 が第 1 の幅に相当しており、コンタクト 32a の幅 W1 が第 2 の幅に相当している。

30

【0034】

以上のように、本実施形態に係る半導体装置 1 によれば、セル C の形成されない終端領域の近傍にあるメサ部におけるソース電極 26 のコンタクト 32a の幅 W1 を、セル C の形成されるメサ部におけるソース電極 26 のコンタクト 32b の幅 W2 よりも、広くなるようにしたので、MOSFET の逆回復時における電圧上昇を起因とするゲート絶縁膜 20 の破壊を生じにくくすることができる。また、MOSFET の逆回復時には、終端領域の近傍にあるコンタクト 32a に電流が集中するが、コンタクト 32a を幅広の幅 W1 にしたことにより、発熱を抑制し、半導体装置 1 の破損を防止することができる。

【0035】

〔第 2 実施形態〕

40

第 2 実施形態は、上述した第 1 実施形態に係る半導体装置 1 において、トレンチ長手方向の終端部における、セル C のソース領域 22 が形成されていない領域にあるコンタクト 32 の幅も広げることにより、逆回復時における終端部からのホール排出抵抗の低減を図ったものである。以下、上述した第 1 実施形態と異なる部分を説明する。

【0036】

図 17 は、本実施形態に係る半導体装置 1 における平面方向の断面図であり、上述した第 1 実施形態における図 2 に対応する図である。この図 17 に示すように、本実施形態に係る半導体装置 1 においては、トレンチ長手方向の終端部、つまり、コンタクト 32 が延びる方向の終端部には、ソース領域 22 が形成されていない。これは、上述したように、光リソグラフィーの精度を担保するのが難しいからであるが、本実施形態に係る半導体裝

50

置 1において、このトレンチ長手方向の終端部にあるコンタクト3 2の幅を、上述した幅W 2よりも広い幅W 3としている。以下では、幅W 3のコンタクト3 2の部分を、コンタクト3 2 cとする。このコンタクト3 2 cは、ソース電極2 6と一体のメタルにより形成されているが、換言すれば、コンタクト3 2 cは電気的にコンタクト3 2 bと接続されており、また、ソース電極2 6に電気的に接続されている。

【0037】

なお、コンタクト3 2 cの幅W 3は、コンタクト3 2 aの幅W 1と同じでもよいし、異なっていてもよい。また、コンタクト3 2 cは、図示しないコンタクト3 2 bの反対側の終端部にも形成されていてもよい。

【0038】

このコンタクト3 2 cが存在することにより、逆回復時には、ソース電極2 6のコンタクト3 2 aだけでなく、コンタクト3 2 cからもホールを排出できるので、ドリフト領域1 4に蓄積されたホールがより排出しやすくなり、ホールの排出抵抗を低減することができる。このため、MOSFETの逆回復時における電圧上昇を起因とするゲート絶縁膜2 0の破壊を生じにくくすることができる。

【0039】

なお、本実施形態に係るコンタクト3 2 cが第3コンタクトに相当しており、本実施形態に係るコンタクト3 2 cの幅W 3が第3の幅に相当している。

【0040】

〔第3実施形態〕

第3実施形態は、上述した第1実施形態に係る半導体装置1において、コンタクト3 2を、ソース電極2 6の一部であるメタルにより形成するのではなく、p⁺形の半導体領域により形成するようにしたものである。以下、上述した第1実施形態と異なる部分を説明する。

【0041】

図18は、本実施形態に係る半導体装置1におけるトレンチ直交方向の断面図であり、上述した第1実施形態における図1に対応する図である。この図18に示すように、本実施形態においては、ソース電極2 6とベース領域1 6との間を電気的に接続するコンタクト3 2が、p⁺形の半導体領域により形成されている。すなわち、上述した第1実施形態においては、コンタクト3 2は、ソース電極2 6を形成するメタルにより構成されていた。しかし、本実施形態においては、コンタクト3 2は、ベース領域1 6に多段イオン注入等により形成されたp⁺形の半導体領域により構成されている。

【0042】

本実施形態においても、ソース領域2 2が形成されない終端領域の近傍のメサ部に形成されたコンタクト3 2の幅W 1は、ソース領域2 2が存在するメサ部に形成されたコンタクト3 2の幅W 2よりも、幅広に構成されている。このため、上述した第1実施形態と同様に、ホールの排出抵抗を低減することができる。なお、本実施形態においては、コンタクト領域2 8はベース領域1 6に形成されていないが、p⁺⁺形のコンタクト領域2 8を、コンタクト3 2の下端に位置するベース領域1 6に形成することも可能である。

【0043】

次に、本実施形態に係る半導体装置1の製造工程を説明する。本実施形態に係る半導体装置1の製造工程は、上述した第1実施形態に係る半導体装置1の図14に示す工程までは同じである。この図14の後、図19に示すように、例えばボロン(B)等の多段のイオン注入をベース領域1 6に行い、コンタクト3 2を形成する。すなわち、イオン注入の深さを適宜変えて、複数回、ベース領域1 6にイオン注入を行う。

【0044】

その際、フォトレジスト5 2に形成された開口5 2 aの幅W 1は、開口5 2 bの幅W 2よりも広く形成されている。このため、終端領域の近傍のメサ部には、広い幅W 1でコンタクト3 2 aが形成され、ソース領域2 2が形成されてセルCを構成するメサ部には、狭い幅W 2でコンタクト3 2 bが形成される。そして、フォトレジスト5 2を剥離する。こ

10

20

30

40

50

の後、上述した第1実施形態と同様に、半導体装置1の表面にソース電極26を形成し、半導体装置1の裏面にドレイン電極10を形成することにより、図18に示す半導体装置1が得られる。

【0045】

以上のように、本実施形態に係る半導体装置1によっても、セルCの形成されない終端領域の近傍にあるメサ部におけるソース電極26のコンタクト32aの幅W1を、セルCの形成されるメサ部におけるソース電極26のコンタクト32bの幅W2よりも、広くなるようにしたので、MOSFETの逆回復時における電圧上昇を起因とするゲート絶縁膜20の破壊を生じにくくすることができる。また、MOSFETの逆回復時には、終端領域の近傍にあるコンタクト32aに電流が集中するが、コンタクト32aを幅広にしたことにより、発熱を抑制し、半導体装置1の破損を防止することができる。10

【0046】

なお、本実施形態に係るコンタクト32aとコンタクト32bが、第2半導体領域に相当する。

【0047】

〔第4実施形態〕

第4実施形態は、上述した第1実施形態を変形して、ゲート電極18の下方に埋め込みの電極を形成したトレンチフィールドプレート構造にしたものである。以下、上述した第1実施形態と異なる部分を説明する。

【0048】

図20は、本実施形態に係る半導体装置1におけるトレンチ直交方向の断面図であり、上述した第1実施形態の図1に対応する図である。図21は、図20の半導体装置1におけるXXI-XXI線断面図であり、上述した第1実施形態の図2に対応する図である。図22は、図21の半導体装置1におけるXXII-XXII線断面図であり、図23は、図21の半導体装置1におけるXXIII-XXIII線断面図である。20

【0049】

これら図20乃至図23に示すように、本実施形態に係る半導体装置1は、ゲート電極18のそれぞれの下方における、ドリフト領域14にフィールドプレート電極60が埋め込まれている。すなわち、ドリフト領域14の中にフィールドプレート絶縁膜62を介して、フィールドプレート電極60が埋め込まれている。フィールドプレート絶縁膜62は、フィールドプレート電極60の周囲を囲うように形成されているが、フィールドプレート電極60は、電気的にはゲート電極18又はソース電極26に接続されている。また、フィールドプレート絶縁膜62の厚さは、ゲート絶縁膜20の厚さより、厚く形成されている。30

【0050】

このフィールドプレート電極60が存在するMOSFETの構造を、トレンチフィールドプレート構造というが、別名、スプリットゲート構造と言ったり、シールドゲート構造と言ったりする。このフィールドプレート電極60が存在することにより、ドリフト領域14にあるイオン化ドナーの正電荷をキャンセルすることができ、ドリフト領域14内の空間電荷が実質的なゼロに見えて、電界がフラットに近づくため、この半導体装置1の耐圧が向上する。また、ドリフト領域14の不純物濃度は、ゲート電極18同士の幅、つまりメサ部の幅に反比例して高くすることができるため、セルCのピッチシルリンクにより不純物濃度を高めることで、ドリフト領域14の抵抗を低減することができる。40

【0051】

なお、図21及び図23に示すように、ソース電極26のコンタクト32のトレンチ長手方向の終端部には、ソース領域22は形成されていない。これは、フィールドプレート絶縁膜62とゲート絶縁膜20とから形成された絶縁膜の膜厚が厚いことから、フォトレジストを形成した際に、液だまりが生じて、精度よく開口を形成することができず、高い精度でMOSFETを形成することができないためである。

【0052】

10

20

30

40

50

次に、図24乃至図37に基づいて、本実施形態に係る半導体装置1の製造工程を説明する。これら図24乃至図37は、半導体装置1におけるトレンチ直交方向の断面図であり、上述した図20に対応する図である。

【0053】

まず、図24に示すように、 n^+ 形の半導体基板12X上に、 n^- 形の半導体層14Xを形成する。半導体基板12Xが、上述したドレイン領域12となり、半導体層14Xが、上述したドリフト領域14となる。

【0054】

次に、図25に示すように、ドリフト領域14に、複数のトレンチ70を形成する。このトレンチ70は、後の工程でフィールドプレート電極60を形成することから、第1実施形態におけるトレンチ50よりも深く形成される。続いて、図26に示すように、トレンチ70を含むドリフト領域14の表面に、例えば熱酸化やCVDにより、フィールドプレート絶縁膜62を形成する。上述したように、このフィールドプレート絶縁膜62は、ゲート電極18よりも厚い膜厚を有している。

【0055】

次に、図27に示すように、フィールドプレート絶縁膜62上に、例えばCVDによりポリシリコンを堆積し、エッチバックすることにより、トレンチ70に充填されたポリシリコンで、フィールドプレート電極60を形成する。

【0056】

次に、図28に示すように、光リソグラフィーによりパターニングされたフォトレジスト74を形成する。このフォトレジスト74は、ソース領域22を形成するメサ部に開口74aを有している。なお、ソース領域22を形成しない最も終端領域の近傍にあるメサ部の終端領域側のフィールドプレート絶縁膜62は、フォトレジスト74で覆われている。その後、例えばウエットエッティングにより、開口74aから露出しているフィールドプレート絶縁膜62を除去する。このため、終端領域にあるトレンチ70の終端領域側の側壁に形成されたフィールドプレート絶縁膜62の絶縁膜も、フォトレジスト74に覆われていることから、エッティングされずに残る。

【0057】

次に、図29に示すように、フォトレジスト74を剥離し、例えば熱酸化又はCVDにより、この半導体装置の全体上にゲート絶縁膜20を形成する。すなわち、トレンチ70の内側と、フィールドプレート電極60の上に、ゲート絶縁膜20を形成する。このときに、終端領域には、フィールドプレート絶縁膜62が残存しているので、このフィールドプレート絶縁膜62の上に、ゲート絶縁膜20が形成される。このため、終端領域の絶縁膜の厚さは、セルCが形成される領域の絶縁膜の厚さより厚くなる。また、終端領域にあるトレンチ70の終端側の側壁の絶縁膜も、残存するフィールドプレート絶縁膜62とゲート絶縁膜20とを合わせた厚さとなる。なお、膜厚調整等の必要に応じて、フィールドプレート電極60の上に選択的に絶縁膜を形成する工程を行ってもよい。

【0058】

次に、図30に示すように、例えばCVDによりポリシリコンを形成し、エッチバックすることにより、トレンチ70の残っている空間にポリシリコンを充填して、ゲート絶縁膜20を形成する。

【0059】

次に、図31に示すように、例えばボロン(B)をドリフト領域14にイオン注入することにより、ドリフト領域14に、ベース領域16を形成する。このボロンのイオン注入によるベース領域16の形成は、セルCを形成するメサ部と、セルCを形成しない終端領域の近傍のメサ部の双方に対して行う。続いて、例えばリン(P)又はヒ素(As)のイオン注入を、ベース領域16の上部に行い、 n^+ 形の半導体領域22Xを形成する。この半導体領域22Xの形成は、セルCが形成されるメサ部に対して行われる。すなわち、セルCを形成しない終端領域の近傍のメサ部には、半導体領域22Xは形成しない。

【0060】

10

20

30

40

50

次に、図32に示すように、例えばCVDにより、この半導体装置の全体上に、絶縁膜24Xを形成する。この際、終端領域の近傍には、ゲート絶縁膜20とフィールドプレート絶縁膜62とから形成された絶縁膜とゲート絶縁膜20との段差が存在することから、絶縁膜24Xにも段差が形成される。

【0061】

次に、図33に示すように、絶縁膜24X上に、フォトレジスト52を形成する。このフォトレジスト52は、例えば、フォトレジスト液をスピンドルコートで塗布するが、その際、終端領域の近傍では、どうしても液だまり等が発生しやすく、フォトレジスト52の膜厚むらが生じやすくなる。

【0062】

次に、図34に示すように、フォトレジスト52を光リソグラフィーでパターニングして、フォトレジスト52に開口52a、52bを形成する。この開口52a、52bは、ソース電極26のコンタクト32を形成すべき位置に形成される。また、開口52aは、フォトレジスト52の膜厚にばらつきがある終端領域の近傍に形成されることから、精度を担保するのが難しい。このため、コンタクト不良等が発生やすいが、本実施形態においては、終端領域の近傍のメサ部に形成されるコンタクト32aの幅W1は、セルCが存在するメサ部に形成されるコンタクト32bの幅W2よりも広い。このため、終端領域の近傍のメサ部の開口52aの幅の方を、セルを形成するメサ部の開口52bよりも、広くすることができる。本実施形態においては、開口52aも幅の広い幅W1で形成され、開口52bも幅の狭い幅W2で形成される。これにより、終端領域の近傍のメサ部に形成するコンタクト32aに、コンタクト不良が発生する確率を低減している。

【0063】

次に、図35に示すように、例えばRIEにより、絶縁膜24Xをエッチングして、絶縁膜24Xをパターニングする。これにより、絶縁領域24が形成される。続いて、図36に示すように、例えばRIEにより、半導体領域22Xとベース領域16をエッチングして、絶縁領域24と半導体領域22Xとを貫通して、ベース領域16に達するトレンチ30を形成する。エッチングされた半導体領域22Xにより、ソース領域22が形成される。そして、フォトレジスト52を剥離する。

【0064】

次に、図37に示すように、トレンチ30を介してベース領域16に、例えばボロン(B)のイオン注入をすることにより、トレンチ30の底部で露出しているベース領域16にコンタクト領域28を形成する。この後、上述した第1実施形態と同様に、半導体装置1の表面にソース電極26を形成し、半導体装置1の裏面にドレイン電極10を形成することにより、図20に示す半導体装置1が得られる。

【0065】

以上のように、本実施形態に係る半導体装置1によっても、ソース領域22の形成されない終端領域の近傍にあるメサ部におけるソース電極26のコンタクト32aの幅W1を、ソース領域22の形成されるメサ部におけるソース電極26のコンタクト32bの幅W2よりも、広くなるようにしたので、MOSFETの逆回復時における電圧上昇を起因とするゲート絶縁膜20の破壊を生じにくくすることができる。また、MOSFETの逆回復時には、終端領域の近傍にあるコンタクト32aに電流が集中するが、コンタクト32aを幅広にしたことにより、発熱を抑制し、半導体装置1の破損を防止することができる。

【0066】

〔第5実施形態〕

第5実施形態は、上述した第2実施形態と第4実施形態とを組み合わせたものであり、第2実施形態に係るトレンチ長手方向の終端部に幅広のコンタクト32cを形成した半導体装置1を、トレンチフィールドプレート構造にしたものである。

【0067】

図38は、本実施形態に係る半導体装置1の平面方向の断面図であり、上述した第4実

10

20

30

40

50

施形態の図 2 1 に相当する図である。図 3 9 は、本実施形態に係る半導体装置 1 の図 3 8 における X X X I X - X X X I X 線断面図であり、上述した第 4 実施形態の図 2 2 に相当する図である。図 4 0 は、本実施形態に係る半導体装置 1 の図 3 8 における X L - X L 線断面図であり、上述した第 4 実施形態の図 2 3 に相当する図である。

【 0 0 6 8 】

これら図 3 8 乃至図 4 0 に示すように、本実施形態に係る半導体装置 1 においては、上述した第 2 実施形態に係る半導体装置 1 に、フィールドプレート電極 6 0 を追加的に設けて構成されている。すなわち、ドリフト領域 1 4 の中にフィールドプレート絶縁膜 6 2 を介して、フィールドプレート電極 6 0 が埋め込まれている。フィールドプレート絶縁膜 6 2 は、フィールドプレート電極 6 0 の周囲を囲うように形成されているが、フィールドプレート電極 6 0 は、電気的にはゲート電極 1 8 又はソース電極 2 6 に接続されている。10

【 0 0 6 9 】

また、本実施形態に係る半導体装置 1 においても、トレンチ長手方向の終端部には、ソース領域 2 2 が形成されていない。これは、上述したように、光リソグラフィーの精度を担保するのが難しいからであるが、このトレンチ長手方向の終端部にあるコンタクト 3 2 c の幅を、幅 W 2 によりも広い幅 W 3 としている。なお、コンタクト 3 2 c の幅 W 3 は、コンタクト 3 2 a の幅 W 1 と同じでもよいし、異なっていてもよい。

【 0 0 7 0 】

このように、フィールドプレート電極 6 0 をドリフト領域 1 4 に設けることにより、半導体装置 1 の耐圧を向上させつつ、ドリフト領域 1 4 の抵抗を低減することができる。また、幅広のコンタクト 3 2 a に加えて、幅広のコンタクト 3 2 c を設けることにより、この M O S F E T の逆回復時に、ソース電極 2 6 のコンタクト 3 2 c から、さらにホールを排出しやすくし、ホールの排出抵抗を低減することができる。20

【 0 0 7 1 】

〔 第 6 実施形態 〕

第 6 実施形態は、上述した第 3 実施形態と第 4 実施形態とを組み合わせたものであり、第 3 実施形態に係るトレンチ長手方向の終端部に幅広のコンタクト 3 2 c を形成した半導体装置 1 を、トレンチフィールドプレート構造にしたものである。別な見方をすれば、上述した第 5 実施形態における半導体装置 1 において、コンタクト 3 2 をメタルではなく、 p^+ 形の半導体領域により形成したものである。30

【 0 0 7 2 】

図 4 1 は、本実施形態に係る半導体装置 1 の平面方向の断面図であり、上述した第 4 実施形態の図 2 1 に相当する図である。図 4 2 は、本実施形態に係る半導体装置 1 の図 4 1 における X L I I - X L I I 線断面図であり、上述した第 4 実施形態の図 2 2 に相当する図である。図 4 3 は、本実施形態に係る半導体装置 1 の図 4 1 における X L I I I - X L I I I 線断面図であり、上述した第 4 実施形態の図 2 3 に相当する図である。

【 0 0 7 3 】

これら図 4 1 乃至図 4 3 に示すように、本実施形態に係る半導体装置 1 においては、上述した第 3 実施形態に係る半導体装置 1 に、フィールドプレート電極 6 0 を追加的に設けて構成されている。すなわち、ドリフト領域 1 4 の中にフィールドプレート絶縁膜 6 2 を介して、フィールドプレート電極 6 0 が埋め込まれている。フィールドプレート絶縁膜 6 2 は、フィールドプレート電極 6 0 の周囲を囲うように形成されているが、フィールドプレート電極 6 0 は、電気的にはゲート電極 1 8 又はソース電極 2 6 に接続されている。40

【 0 0 7 4 】

また、本実施形態に係る半導体装置 1 においては、ソース電極 2 6 とベース領域 1 6 との間を電気的に接続するコンタクト 3 2 が、 p^+ 形の半導体領域により形成されている。すなわち、上述した第 5 実施形態においては、コンタクト 3 2 は、ソース電極 2 6 を形成するメタルにより構成されていた。しかし、本実施形態においては、コンタクト 3 2 は、ベース領域 1 6 に多段イオン注入等により形成された p^+ 形の半導体領域により構成されている。50

【0075】

同様に、コンタクト32のトレンチ長手方向の終端部には、コンタクト32cが形成されているが、このコンタクト32cも、p⁺形の半導体領域により形成されている。このコンタクト32cの幅は、上述同様に、幅W2によりも広い幅W3としている。なお、コンタクト32cの幅W3は、コンタクト32aの幅W1と同じでもよいし、異なっていてもよい。

【0076】

このように、フィールドプレート電極60をドリフト領域14に設けることにより、半導体装置1の耐圧を向上させつつ、ドリフト領域14の抵抗を低減することができる。また、幅広のコンタクト32aに加えて、幅広のコンタクト32cを設けることにより、このMOSFETの逆回復時に、ソース電極26のコンタクト32cから、さらにホールを排出しやすくし、ホールの排出抵抗を低減することができる。

10

【0077】

なお、本実施形態に係るコンタクト32aとコンタクト32bとコンタクト32cとが、第3半導体領域に相当している。

【0078】

〔第7実施形態〕

第7実施形態は、上述した第4実施形態の半導体装置1において、セルCの形成されない終端領域の近傍にあるメサ部における幅W1のコンタクト32aを、セルCの形成されるメサ部における幅W2のコンタクト32bよりも、深い位置まで形成し、より一層のホールの排出抵抗の低減を図ったものである。以下、上述した第4実施形態と異なる部分を説明する。

20

【0079】

図44は、本実施形態に係る半導体装置1の平面方向の断面図であり、上述した第4実施形態の図21に相当する図である。図45は、本実施形態に係る半導体装置1の図44におけるXLV-XLV線断面図であり、上述した第4実施形態の図22に相当する図である。図46は、本実施形態に係る半導体装置1の図44におけるXLVI-XLVI線断面図であり、上述した第4実施形態の図23に相当する図である。

【0080】

これら図44乃至図46に示すように、ソース領域22の形成されない終端領域の近傍にあるメサ部におけるソース電極26の幅W1のコンタクト32aを、ソース領域22の形成されるメサ部におけるソース電極26の幅W2のコンタクト32bよりも、深い位置まで形成されている。すなわち、コンタクト32aの深さDP1の方が、コンタクト32bの深さDP2よりも深い。つまり、本実施形態においては、このコンタクト32bの深さDP2は、上述した第4実施形態におけるコンタクト32bの深さと同じであるが、コンタクト32aの深さDP1は、上述した第4実施形態におけるコンタクト32aの深さよりも深い。

30

【0081】

このように、ソース領域22の形成されない終端領域の近傍のメサ部にあるコンタクト32aの深さDP1を、ソース領域22の形成されるメサ部にあるコンタクト32bの深さDP2よりも、深くしたので、ホールの排出抵抗をさらに低減することができる。すなわち、コンタクト32aを介して、終端領域に蓄積したホールを、この幅広で深く形成されたコンタクト32aから排出しやすくして、ホールの排出抵抗の低減を図ることができる。

40

【0082】

なお、この終端領域の近傍にある深さDP1のコンタクト32aを形成するためには、第4実施形態の図33乃至図36の製造工程において、コンタクト32aを形成するためのトレンチ30とコンタクト32bを形成するためのトレンチ30とを、それぞれ、深さDP1と深さDP2とで作り分ければよい。或いは、コンタクト32aのトレンチ30を形成するためのフォトレジスト52の開口52aの方が、コンタクト32bのトレンチ3

50

0を形成するためのフォトレジスト52の開口52bよりも、広いことから、これら開口52a、52bを通じてベース領域16を同時にエッチングしても、コンタクト32aのトレンチ30の方が、コンタクト32bのトレンチ30よりも深く形成される特性を利用してもよい。

【0083】

【第8実施形態】

第8実施形態は、上述した第2実施形態と第7実施形態とを組み合わせたものであり、第7実施形態に係る半導体装置1のコンタクト32におけるトレンチ長手方向の終端部に、幅広のコンタクト32cを形成したものである。以下、上述した第7実施形態と異なる部分を説明する。

10

【0084】

図47は、本実施形態に係る半導体装置1の平面方向の断面図であり、上述した第7実施形態の図44に相当する図である。図48は、本実施形態に係る半導体装置1の図47におけるXLVII-XLVII線断面図であり、上述した第7実施形態の図45に相当する図である。図49は、本実施形態に係る半導体装置1の図47におけるXLIX-XLIX線断面図であり、上述した第7実施形態の図46に相当する図である。

【0085】

これら図47乃至図49に示すように、本実施形態に係る半導体装置1においては、トレンチ長手方向の終端部にあるコンタクト32cの幅を、第2実施形態と同様に、幅W2によりも広い幅W3としている。なお、コンタクト32cの幅W3は、コンタクト32aの幅W1と同じでもよいし、異なっていてもよい。また、本実施形態においては、コンタクト32cが形成される深さDP1は、コンタクト32aが形成される深さDP1と同じであるが、コンタクト32cが形成される深さとコンタクト32aが形成される深さは異なっていてもよい。換言すれば、コンタクト32cが形成される深さとコンタクト32aが形成される深さが、それぞれ、コンタクト32bが形成される深さよりも深ければ足りる。

20

【0086】

このため、逆回復時には、ソース電極26のコンタクト32aだけでなく、コンタクト32cからホールを排出できるので、ホールがより排出しやすくなり、ホールの排出抵抗を低減することができる。このため、MOSFETの逆回復時における電圧上昇を起因とするゲート絶縁膜20の破壊を生じにくくすることができる。また、MOSFETの逆回復時には、終端領域の近傍にあるコンタクト32aに電流が集中するのを抑制して、半導体装置1の破損を防止することができる。

30

【0087】

以上、いくつかの実施形態を説明したが、これらの実施形態は、例としてのみ提示したものであり、発明の範囲を限定することを意図したものではない。本明細書で説明した新規な装置および方法は、その他の様々な形態で実施することができる。また、本明細書で説明した装置および方法の形態に対し、発明の要旨を逸脱しない範囲内で、種々の省略、置換、変更を行うことができる。添付の特許請求の範囲およびこれに均等な範囲は、発明の範囲や要旨に含まれるこのような形態や変形例を含むように意図されている。

40

【0088】

例えば、上述した各実施形態においては、ソース領域22の形成されていない終端領域のメサ部が、トレンチ直交方向の両側に1つずつ設けられている例を説明したが、ソース領域22の形成されていないメサ部の数は任意である。例えば、トレンチ直交方向の両側に2つずつ、ソース領域22が形成されないメサ部が設けられている場合には、それぞれのメサ部に広い幅W1を有するコンタクト32aを形成すればよい。

【符号の説明】

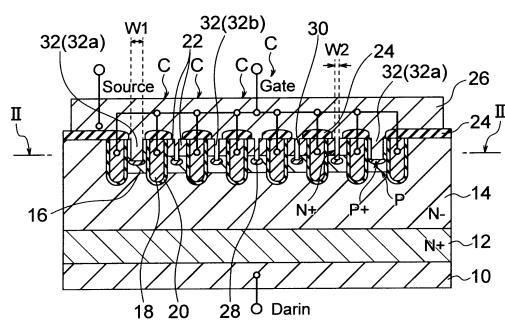
【0089】

1：半導体装置、10：ドレイン電極、12：ドレイン領域、14：ドリフト領域、16：ベース領域、18：ゲート電極、20：ゲート絶縁膜、22：ソース領域、24：絶縁

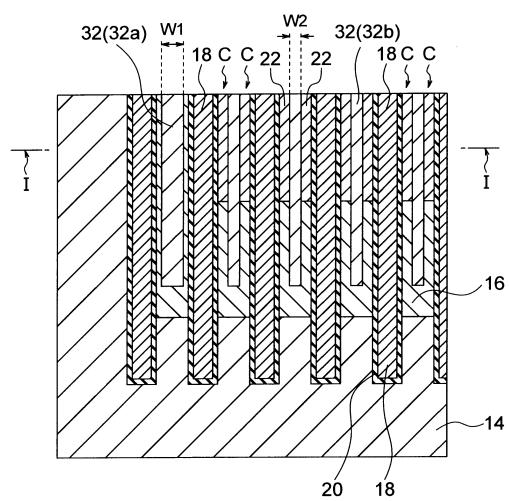
50

領域、26：ソース電極、28：コンタクト領域、30：トレチ、32：コンタクト、C：セル

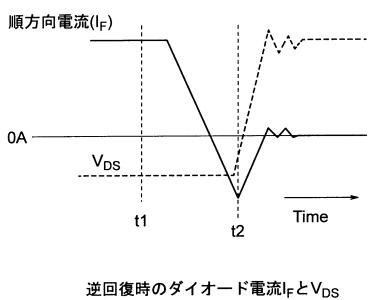
【 四 1 】



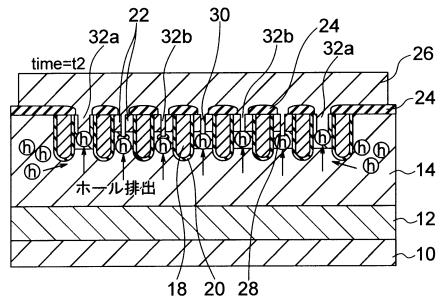
【図2】



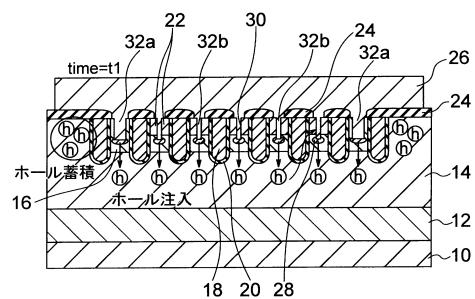
【図3】

逆回復時のダイオード電流 I_F と V_{DS}

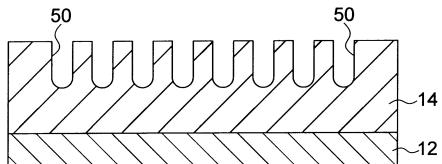
【図5】



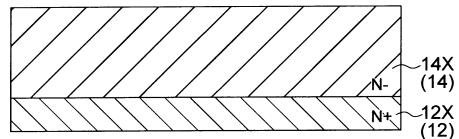
【図4】



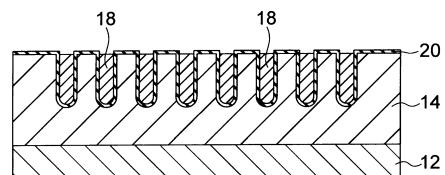
【図7】



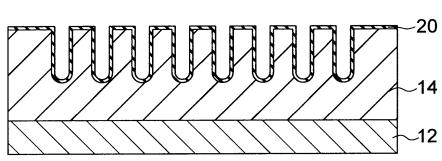
【図6】



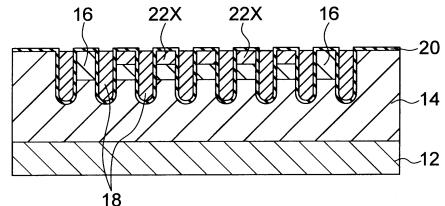
【図9】



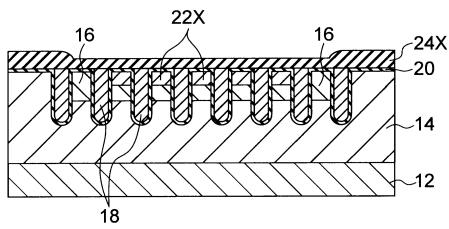
【図8】



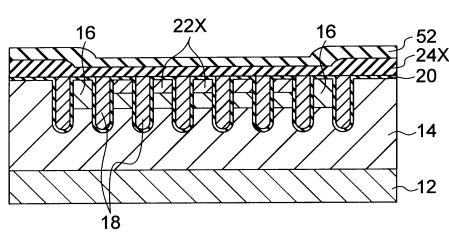
【図10】



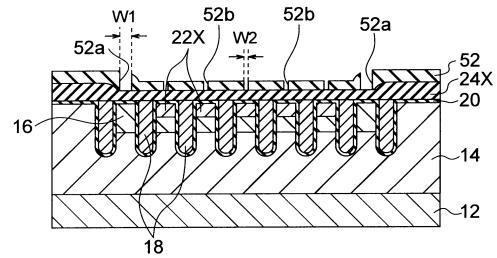
【図11】



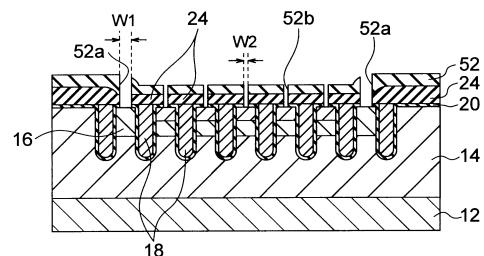
【図12】



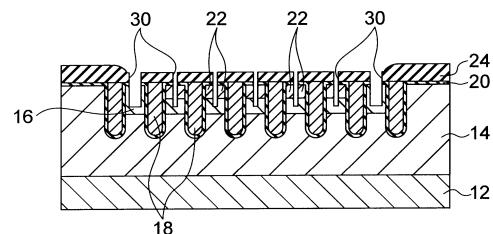
【図13】



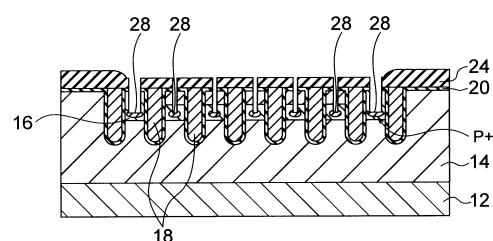
【図14】



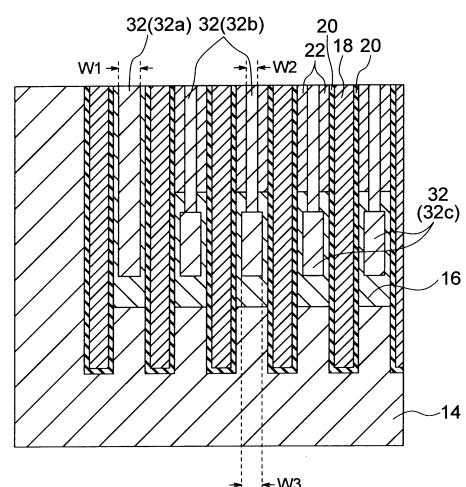
【図15】



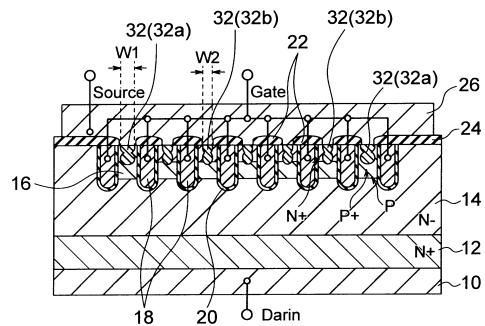
【図16】



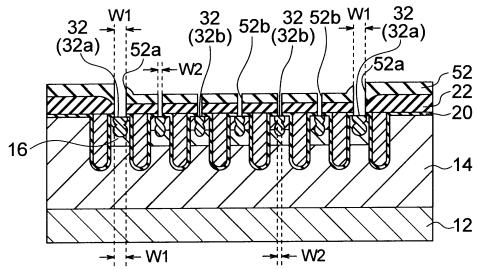
【図17】



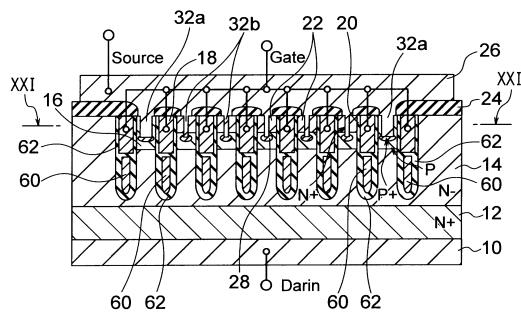
【図18】



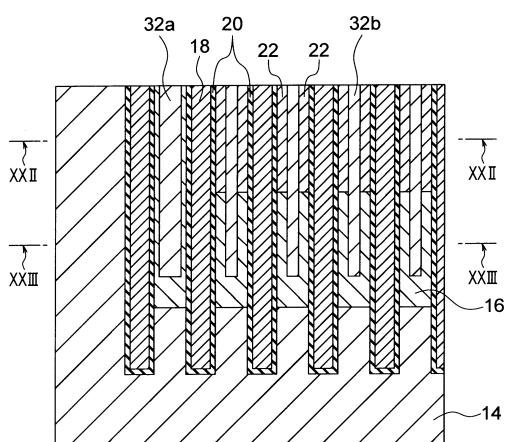
【 図 1 9 】



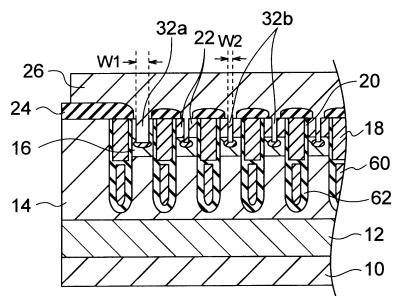
【 図 2 0 】



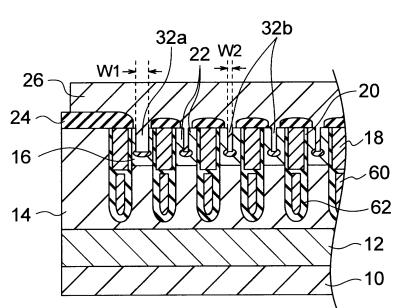
【図21】



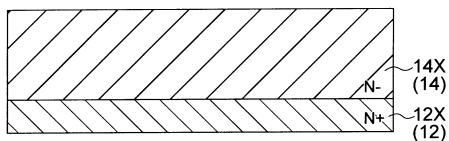
【 図 2 2 】



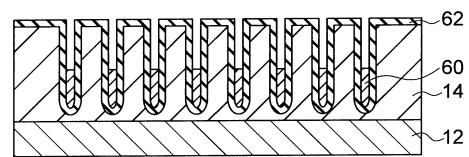
【図23】



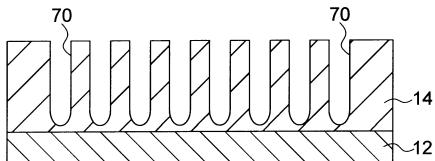
【図24】



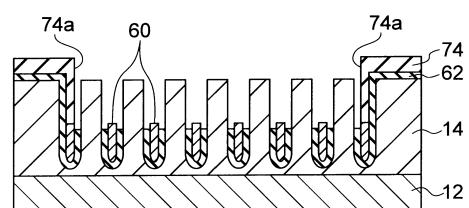
【図27】



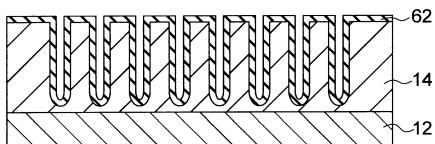
【図25】



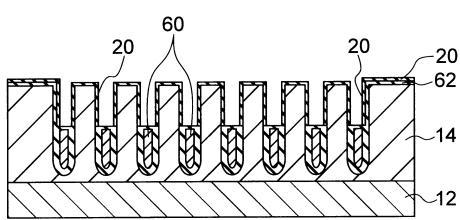
【図28】



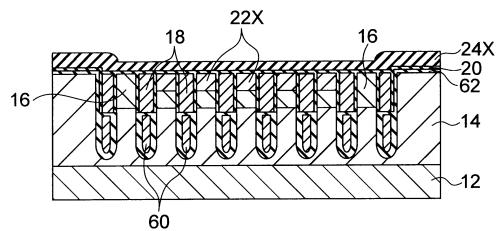
【図26】



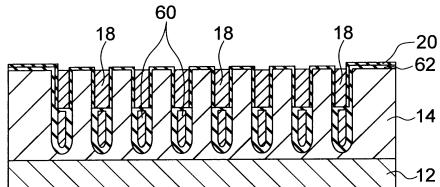
【図29】



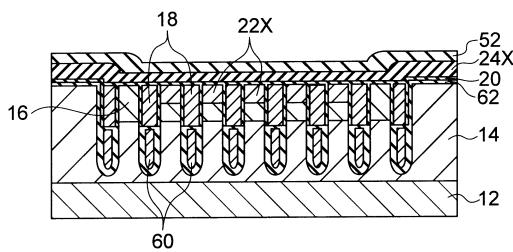
【図32】



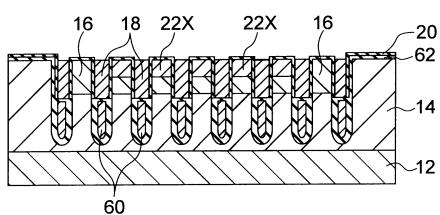
【図30】



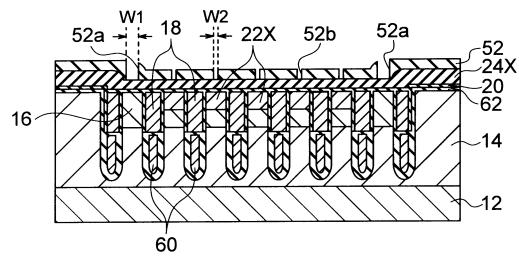
【図33】



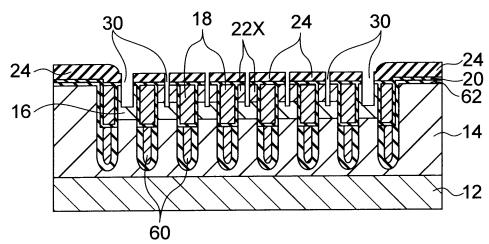
【図31】



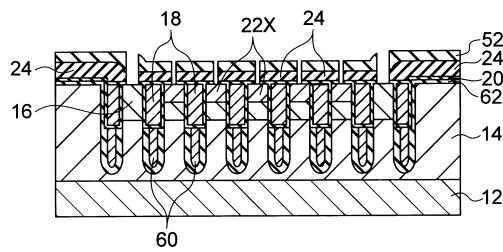
【図34】



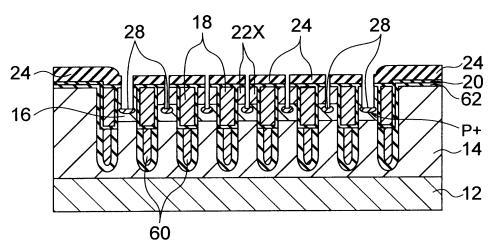
【図36】



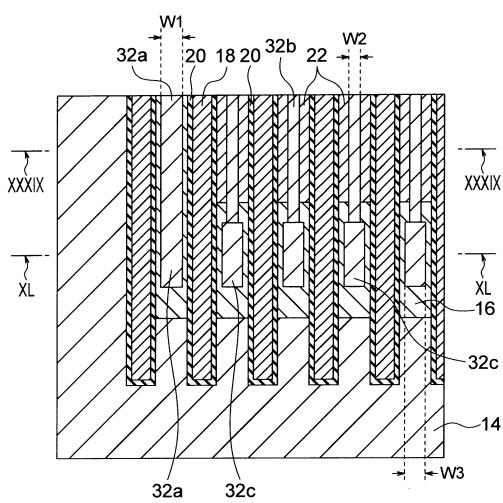
【図35】



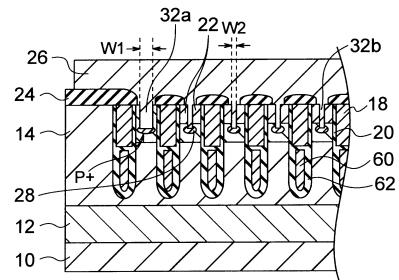
【図37】



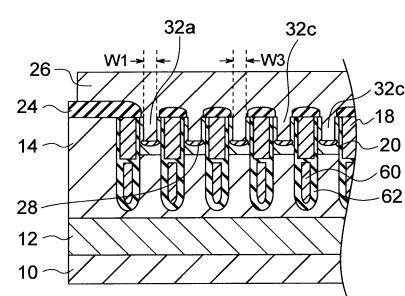
【図38】



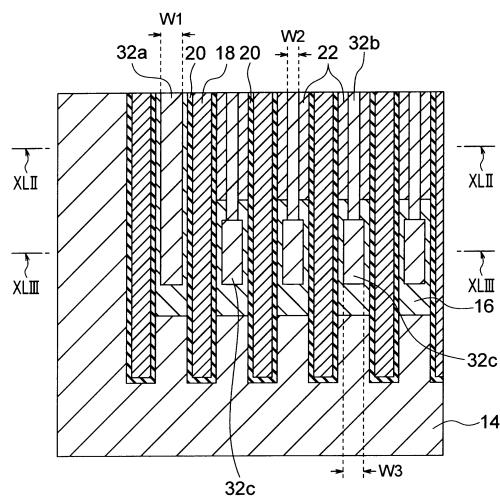
【図39】



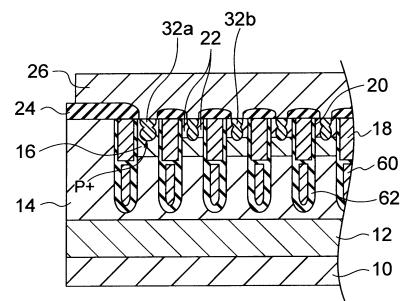
【図40】



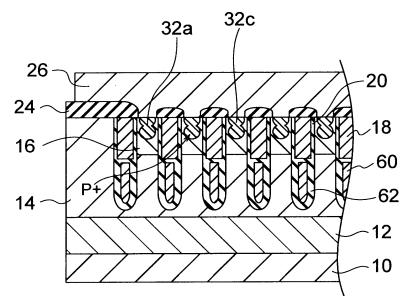
【図41】



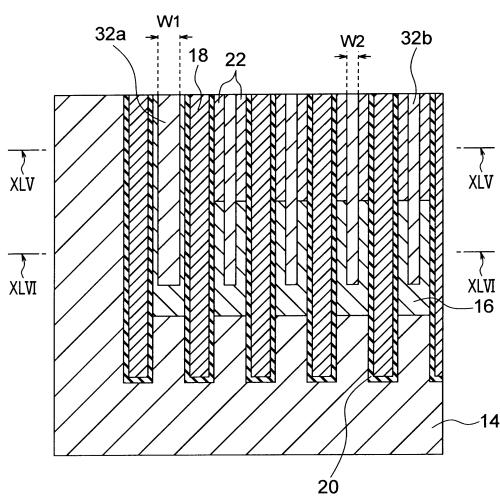
【図42】



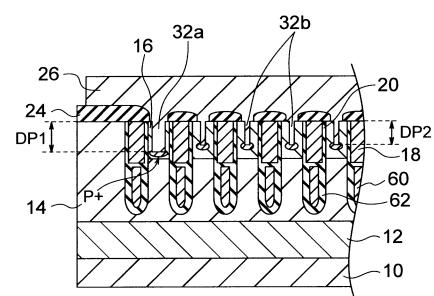
【図43】



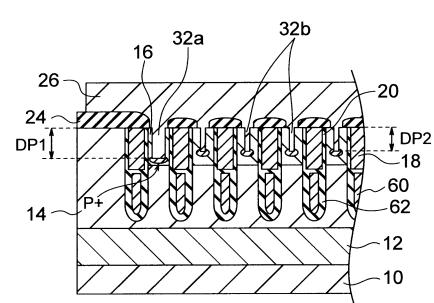
【図44】



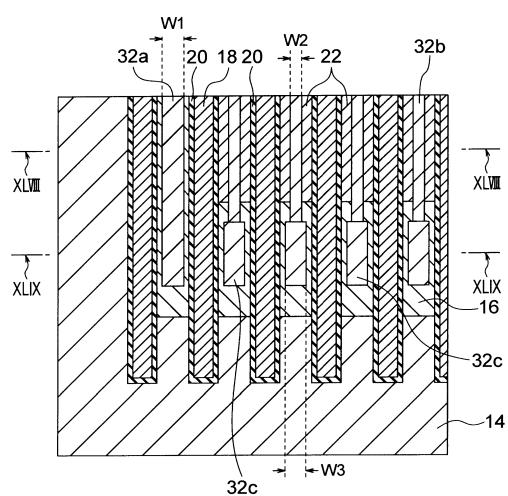
【図45】



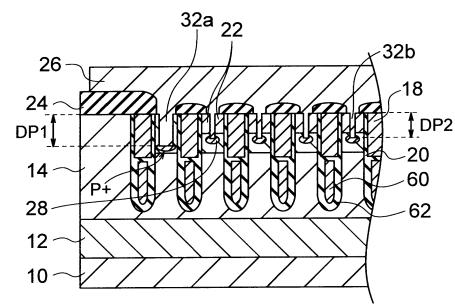
【図46】



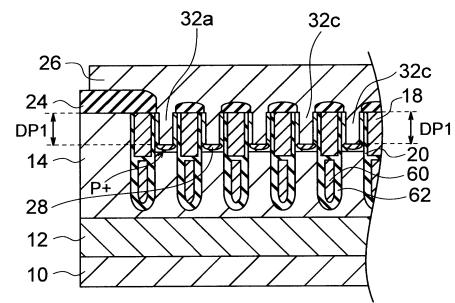
【図47】



【図48】



【図49】



フロントページの続き

(51)Int.Cl.		F I
H 01 L	27/04 (2006.01)	H 01 L 29/78 6 5 2 K
H 01 L	29/06 (2006.01)	H 01 L 29/78 6 5 2 N
H 01 L	21/28 (2006.01)	H 01 L 27/06 1 0 2 A
H 01 L	29/41 (2006.01)	H 01 L 27/088 E
H 01 L	29/417 (2006.01)	H 01 L 27/088 D
		H 01 L 27/04 H
		H 01 L 29/06 3 0 1 F
		H 01 L 21/28 3 0 1 R
		H 01 L 29/44 Y
		H 01 L 29/50 M

(74)代理人 100107582

弁理士 関根 毅

(74)代理人 100118843

弁理士 赤岡 明

(72)発明者 西脇 達也

東京都港区芝浦一丁目1番1号 東芝デバイス&ストレージ株式会社内

(72)発明者 大麻 浩平

東京都港区芝浦一丁目1番1号 東芝デバイス&ストレージ株式会社内

(72)発明者 松葉 博

東京都港区芝浦一丁目1番1号 東芝デバイス&ストレージ株式会社内

(72)発明者 相田 喜久夫

東京都港区芝浦一丁目1番1号 東芝デバイス&ストレージ株式会社内

(72)発明者 洪 洪

東京都港区芝浦一丁目1番1号 東芝デバイス&ストレージ株式会社内

審査官 恩田 和彦

(56)参考文献 特開2007-221012(JP, A)

特開2008-042056(JP, A)

特開2014-229705(JP, A)

特開2017-139262(JP, A)

特開2001-094104(JP, A)

特開2011-100877(JP, A)

(58)調査した分野(Int.Cl., DB名)

H 01 L 29 / 78

H 01 L 21 / 8234

H 01 L 21 / 822

H 01 L 29 / 06

H 01 L 21 / 28

H 01 L 29 / 41

H 01 L 29 / 417