

(19) 日本国特許庁 (JP)

(12) 公表特許公報 (A)

(11) 特許出願公表番号

特表2008-529295

(P2008-529295A)

(43) 公表日 平成20年7月31日 (2008.7.31)

(51) Int.Cl.	F I	テーマコード (参考)
H O 1 L 21/8234 (2006.01)	H O 1 L 27/08 1 O 2 C	5 F O 4 8
H O 1 L 27/088 (2006.01)	H O 1 L 27/08 1 O 2 B	

審査請求 未請求 予備審査請求 未請求 (全 14 頁)

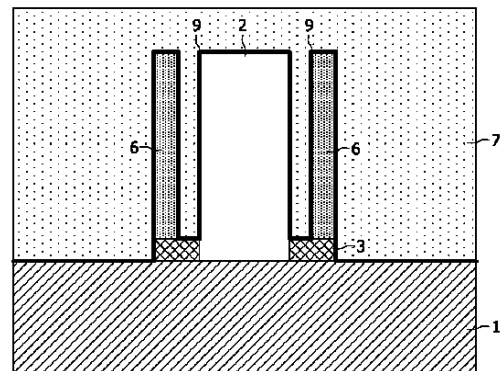
(21) 出願番号 特願2007-552775 (P2007-552775) (86) (22) 出願日 平成18年1月23日 (2006.1.23) (85) 翻訳文提出日 平成19年8月23日 (2007.8.23) (86) 国際出願番号 PCT/IB2006/050238 (87) 国際公開番号 W02006/079964 (87) 国際公開日 平成18年8月3日 (2006.8.3) (31) 優先権主張番号 05100571.8 (32) 優先日 平成17年1月28日 (2005.1.28) (33) 優先権主張国 欧州特許庁 (EP)	(71) 出願人 507219491 エヌエックスピー ビー ヴィ オランダ国 5 6 5 6 エイジー アインド ーフェン ハイ テク キャンパス 6 O (74) 代理人 100147485 弁理士 杉村 憲司 (74) 代理人 100072051 弁理士 杉村 興作 (74) 代理人 100114292 弁理士 来間 清志 (74) 代理人 100107227 弁理士 藤谷 史朗 (74) 代理人 100134005 弁理士 澤田 達也
---	--

最終頁に続く

(54) 【発明の名称】 デュアルゲート F E T を製造する方法

(57) 【要約】

本発明は、従来の半導体処理技術を使用して、フォトリソグラフィ技術によって得ることができるより小さいピッチおよび幅を有する極小の再現可能なフィンを具える、デュアルゲート F E T を製造する方法を提供する。第1層(3)および第2層(4)を基板(1)上の突起(2)に形成し、その後、突起(2)の上面を露出させる。第1層(3)の一部を、突起(2)および第2層(4)に対して選択的に除去することによって、フィン(6)およびトレンチ(5)を形成する。また、複数のフィン(6)およびトレンチ(5)を形成する方法も提供する。デュアルゲート F E T は、トレンチ (5) 内にゲート電極(7)を形成するとともに、ソース領域とドレイン領域を形成することによって形成される。さらに、別々にバイアスをかけられる2つのゲート電極を有する、極小かつ非対称のデュアルゲート F E T を製造する方法を提供する。



【特許請求の範囲】

【請求項 1】

デュアルゲート F E T を製造する方法であって、
第 1 の半導体材料の突起(2)を基板(1)上に形成するステップと、
前記突起(2)上に、第 1 の材料の第 1 層(3)を形成するステップと、
前記第 1 層(3)上に、第 2 の半導体材料の第 2 層(4)を形成するステップと、
前記突起(2)の上面を露出するために、前記第 1 層(3)および前記第 2 層(4)を除去する
ステップと、
前記突起(2)および前記第 2 層(4)の間のトレンチ(5)と、前記トレンチ(5)に隣接して、
前記第 2 層(4)で構成されるフィン(6)とを形成するために、前記第 1 の材料を、前記第 1
の半導体材料および前記第 2 の半導体材料に対して、所定の深さまで選択的に除去するス
テップと、
前記トレンチ(5)と前記フィン(6)との露出面上に、絶縁層(9,19)を形成するステップと
、
前記絶縁層(9,19)上に、導電材料の層(7,17)を形成することによって、ゲート電極を形
成するステップと、
を具えることを特徴とする方法。

10

【請求項 2】

前記第 2 層(4)の形成後、前記第 1 の材料の層(13)と前記第 2 の半導体材料の層(14)と
で構成される少なくとも 1 つの多層構造を形成するステップと、
前記第 1 層(3)および前記第 2 層(4)を除去するステップが、さらに前記多層構造(13,14
)の除去を含み、
前記第 1 の材料を選択的に除去するステップが、さらに前記第 2 の半導体材料の層の間
の少なくとも 1 つのトレンチ(5)と、前記トレンチ(5)に隣接する少なくとも 1 つのフィン
(6)とを形成する、
ことを特徴とする請求項 1 に記載の製造方法。

20

【請求項 3】

前記第 1 の材料の前記層(3,13)および前記第 2 の半導体材料の前記層(4,14)の形成が、
エピタキシャル成長によって実現されることを特徴とする請求項 1 または 2 に記載の製造
方法。

30

【請求項 4】

前記第 1 の材料の選択的な除去の後、前記第 1 の半導体材料および前記第 2 の半導体材
料にドーパント原子を付与するステップをさらに具えることを特徴とする請求項 1 または
2 に記載の製造方法。

【請求項 5】

前記トレンチ(5)の底面と前記突起(2)および前記フィン(6)の上面に注入材料の層を設
けるステップをさらに具えることを特徴とする請求項 1 または 2 に記載の製造方法。

【請求項 6】

前記第 1 の材料が S i G e を具え、前記第 2 の半導体材料がシリコンを具えることを特
徴とする請求項 1 または 2 に記載の製造方法。

40

【請求項 7】

前記フィン(6)の幅が 10 ナノメートルより小さいことを特徴とする請求項 1 または 2
に記載の製造方法。

【請求項 8】

前記突起(2)と、前記トレンチ(5)内の前記第 1 の導電層(17)と、前記トレンチ(5)内の
前記第 1 の絶縁層(19)とを除去することによって、前記フィン(6)間に空間を形成するとと
もに第 1 のゲート電極(37)を形成するステップと、
前記空間の露出面上に、第 2 の絶縁層(29)を形成するステップと、
前記第 2 の絶縁層(29)上に、第 2 の導電材料の第 2 の導電層(28)を形成することによっ
て、第 2 のゲート電極(27)を形成するステップと、

50

をさらに具えることを特徴とする請求項 1 に記載の製造方法。

【請求項 9】

前記第 1 の絶縁層(19)を形成するステップの前に、ソース領域(10)およびドレイン領域(20)を形成し、

前記ソース領域(10)または前記ドレイン領域(20)に少なくとも 1 つのコンタクト領域(91, 92)を形成することによって、前記第 2 のゲート電極(27)への電氣的接続を形成するステップをさらに具えることを特徴とする請求項 8 に記載の製造方法。

【請求項 10】

前記第 1 の導電材料が金属で構成され、前記第 2 の導電材料がポリシリコンで構成されることを特徴とする請求項 8 に記載の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、デュアルゲート FET を製造する方法に関するものである。

【背景技術】

【0002】

EP1091413 には、デュアルゲート CMOS FET の製造方法が開示され、この方法では、半導体基板に従来のフォトリソグラフィおよびエッチングで形成される複数のピラーを設ける。サブトラクティブ法による酸化プロセスによって、チャンネル・セグメントを形成するピラーの幅は減少し、このチャンネル・セグメントは、従来のフォトリソグラフィ技術によって現在得られる幅より小さい幅の空間で横方向に分割されている。ゲート構造は、所望の形状を形成するためにフォトリソグラフィによってパターニングおよびエッチングされて、チャンネル・セグメント間の空間に形成されるとともに、ソースおよびドレイン領域が形成されることによって、複数の垂直に伸びるチャンネル・セグメントと、このチャンネル・セグメント間に位置する複数の垂直方向に向けられたゲート・セグメントを有するゲート構造とを有する完全空乏および完全反転のデュアルゲート CMOS FET を形成している。

【0003】

完全空乏および完全反転のデュアルゲート CMOS FET において、チャンネル・セグメントの幅は、チャンネル・セグメントの完全空乏領域がショート・チャンネル効果から著しい悪影響を受けずに形成できるようなものでなければならない。この効果を達成するために、チャンネル・セグメントの幅は、従来のフォトリソグラフィ技術によって得ることができるより小さくしなければならない。従来技術による方法は、3 つの異なる通常の製造ステップ、すなわち、リソグラフィ・ステップ、反応性イオンエッチング・ステップおよびサブトラクティブ法による酸化ステップの組合せによって、この効果を達成している。しかし、チャンネル・セグメントの幅を減らすのと同時に、この幅の再現性を制御することは困難である。言い換えれば、サブトラクティブ法による酸化を適用することによってチャンネル・セグメントの小さい幅を得ることができるが、例えば、異なる基板間で、この幅の大きいばらつきが生じる。最終的に、チャンネル・セグメントの幅のばらつきは許容できず、この製造方法によって達成できるこの幅の最小値に達する。チャンネル・セグメントの幅の大きいばらつきのため、従来技術の製造方法を使用して、許容できる再現性で、10 ナノメートルより小さい幅を有するチャンネル・セグメントを製造することが困難であることは明白である。従来技術の製造方法の他の不利な点は、チャンネル・セグメントのピッチはフォトリソグラフィのみによって規定されるので、CMOS FET デバイス面積を低減することが困難であるということである。したがって、チャンネル・セグメントのピッチを縮小し、デバイス面積を縮小することはフォトリソグラフィ技術の限界により決定され、本出願の出願時には約 100 ナノメートルである。

【発明の開示】

【発明が解決しようとする課題】

【0004】

10

20

30

40

50

本発明の目的は、再現可能な極小のチャンネル・セグメントまたはフィン、フォトリソグラフィ技術で得ることができるより小さいピッチおよび幅で形成できるデュアルゲート F E T の製造方法を提供することにある。本発明によれば、この目的は、請求項 1 に記載の F E T の製造方法によって達成される。従属請求項は、本発明の有利な実施形態を特定している。

【課題を解決するための手段】

【0005】

この製造方法は、フォトリソグラフィ技術を適用することなく、第 2 層を形成する製造方法によって決まる幅を有するフィンをもたらす。この第 2 層の製造方法は、非常に薄いコンフォーマル層、例えばいくつかの原子層を、再現可能な方法で均一厚に形成することができる。従来技術の製造方法では、チャンネル・セグメントまたはフィンは、フォトリソグラフィ性能に依存するため、本発明の方法より幅が広く、均一性と再現性が悪かった。本発明のフィンの幅は極小かつ再現可能なため、フィンの完全空乏および完全反転のチャンネル挙動を容易に達成可能にする。本発明は、第 1 層を形成する製造方法によって決まる幅を有するトレンチをもたらす。この第 1 層の製造方法も、非常に薄いコンフォーマル層、例えばいくつかの原子層を、再現可能な方法で均一厚に形成することができる。従来技術の空間またはトレンチは、幅が広く、均一性および再現性が悪い。なぜなら、トレンチはフォトリソグラフィおよびサブトラクティブ法による酸化によって決まるため、現在のフォトリソグラフィによって得られる寸法よりトレンチの幅が広くなるためである。

【0006】

本発明の他の利点は、トレンチおよびフィンの高いアスペクト比、すなわち、トレンチの深さおよびフィンの高さがトレンチの幅およびフィンの幅より非常に大きくできるということである。本発明では、トレンチおよびフィンのアスペクト比を 10 以上に達成するので、トレンチの深さおよびフィンの高さは、トレンチの幅およびフィンの幅より少なくとも 10 倍大きい。F E T の電流駆動特性は、特にフィンの数およびフィンの高さで決まる。それゆえ、本発明は、高い電流駆動を達成する F E T を提供する一方、デバイス領域を従来技術で達成できるより面積より小面積にできる。

【0007】

本発明に係る F E T の製造方法の他の実施形態は、前記第 2 層の形成後、第 1 の材料の層と第 2 の半導体材料の層とで構成される少なくとも 1 つの多層構造を形成するステップを具える。その後、前記第 1 層と第 2 層を除去するステップはさらに、前記多層を除去するステップを具え、前記第 1 の材料を選択的に除去するステップはさらに、第 2 の半導体材料の層間の少なくとも 2 つのトレンチと、そのトレンチに隣接する少なくとも 2 つのフィンとを形成するステップを具える。前記多層の形成ステップを繰り返すことによって、トレンチによって分離された複数のフィンを形成することができる。フィンのピッチは、再現可能なコンフォーマル層を均一厚で形成する製造方法によって規定され、第 1 層および第 2 層の厚さの和で決まる。それゆえ、本発明において、フィンのピッチは、フォトリソグラフィ技術によって規定されるチャンネル・セグメントのピッチとなる従来技術の製造方法によって得られるピッチより小さくできる。フィンのピッチが F E T デバイス領域全体を決定するので、本発明の利点は、同じ電気性能を有する F E T を小さいデバイス領域で達成できる、あるいは、同じ F E T デバイス領域で高い電流駆動を達成できるということである。

【0008】

さらなる実施形態は、第 1 の材料の選択的な除去の後、第 1 および第 2 の半導体材料にドーパント原子を付与するステップを具える。絶縁層を形成する前にフィンにドーパント原子を供給することによって、フィンの導電性を適切に変更してもよい。

【0009】

さらなる実施形態は、トレンチの底面とフィンおよび突起の上面に、注入材料層を設けるステップを具える。この注入層を用いて、トレンチの底面と突起およびフィンの上面の

導電性を調整することによって、表面寄生トランジスタがデバイス性能に及ぼす影響を低減し、デュアルゲートフィンのみを主要導通路とすることができる。

【0010】

本発明の他の実施形態は、別々にバイアスを与えることができ、異なる材料で構成してもよい2つのゲート電極を有するFETを形成するステップを具える。フィンおよびトレンチの形成ステップの後、第1の絶縁層がフィンおよび突起の露出面に形成され、その後、第1の導電材料が第1の絶縁層に形成される。次に、第1の導電材料および第1の絶縁層を除去し、突起の上面を露出させることによって、トレンチ内に第1の導電材料の第1部分と、トレンチ外の領域に第1の導電材料の第2部分とを形成し、ここで、第1部分と第2部分とは非接続になる。次に、突起と、第1の導電材料の第1部分と、トレンチ内の絶縁層とを除去することによって、フィン間に空間を形成し、トレンチ外の領域に、第1の導電材料の第2部分で構成される第1のゲート電極を形成する。ここで、第1のゲート電極はフィンの片側を覆い、空間はフィンの反対側に位置する。第2の絶縁層を、空間内のフィンの露出面に形成し、その後、この第2の絶縁層上に第2の導電材料を形成することによって、第2のゲート電極を形成する。ここで、第1のゲート電極はフィンの片側を覆い、第2のゲート電極はフィンの反対側を覆うことによって、各フィンを2つの別々のゲート電極によって制御することができる。ゲート電極をパターニングし、ソースおよびドレイン領域を付加することによって、2つのゲート電極を有する非対称のデュアルゲートFETが形成され、この2つのゲート電極は、別々にバイアスをかけることができ、異なる材料で形成してもよい。別々にバイアスをかけることができる2つの独立したゲート電極を用いると、フィンの両側を同時に制御する1つのゲート電極を用いた場合と比較して、フィンの導電性を制御する際の自由度を増加させることができる。このFETには3つのデジタルレベルを形成することができ、すなわち、両方のゲート電極にバイアスがかけられ、フィンが空乏状態にあるとき、電流が流れない状態、一方のゲート電極がフィンの片面を反転モードに設定するとき、最大電流の半分が流れる状態、両方のゲート電極がフィン全体を反転モードに設定するとき、最大電流が流れる状態である。これは、特に論理回路において有益であり、従来の回路より少ない数のトランジスタで同じ論理性能を可能にする。

【0011】

さらなる実施形態において、第2のゲート電極に対するコンタクト領域を、第1の絶縁層を形成する前に、ソースまたはドレイン領域に形成してもよい。ソースおよびドレイン領域に第2のゲート電極のコンタクトを形成する方法は、コンタクトを形成するのに利用できる領域が大きいから、フィンの間に第2のゲート電極のコンタクトを形成すること程困難ではない。

【発明を実施するための最良の形態】

【0012】

本発明の方法のこれらおよびその他の態様は、図面を参照してさらに説明される。

【0013】

図は、一定の比率では描かれていない。一般に、図面において、同一の構成要素は、同一の参照番号を付してある。

【0014】

図1は、ともにシリコンで構成される突起2を有する基板1の上に、シリコンとゲルマニウムの化合物で構成されるSiGe層3およびリコン層4がシエピタキシャル成長された構造を示す断面図である。本実施例において、突起2は長方形であるが、三角形または丸い上部を有する長方形のような他の形状でもよく、突起2は基板1から主に垂直に延びる側壁およびその側壁を接続する上面を具える。突起2は、SiGeのような他の半導体材料で構成してもよく、基板1は、二酸化シリコンの埋込み層を有するシリコン・オン・インシュレータ(SOI)基板で構成してもよい。エピタキシャル成長を使用すると、層全体に厚さが非常に均一なコンフォーマルになる。突起2上のSiGe層3の形成前に、コ突起2の表面をコンフォーマルエピタキシャル成長用に準備するために、犠牲酸化物を突起2上

に形成し、その後除去してもよい。

【0015】

S i G e 層3の第1部分は突起2を覆い、シリコン層4の第1部分はS i G e 層3の第1部分を覆い、S i G e 層3の第2部分は基板1を覆い、シリコン層4の第2部分はS i G e 層3の第2部分を覆う。図2に示すように、第2部分はエッチバック・プロセスによって除去されるので、S i G e 層3の第1部分およびシリコン層4の第1部分のみが突起2上に残る。あるいは、第2部分を、デバイス製造の後工程で除去してもよい。その後、二酸化シリコン層16を堆積し、さらにその後、化学的機械的研磨(CMP)を用いて二酸化シリコン層16とシリコン層4とS i G e 層3とを除去して平坦面を形成するとともに、突起2の上面およびS i G e 層3の一部を露出させる。エッチバック技術を用いてシリコン層4およびS i G e 層3を除去して、突起2の上面を露出させてもよい。

10

【0016】

S O I 基板(図示せず)を用いる場合、基板1は(埋め込み)二酸化シリコン層によって覆われるバルクシリコン層とシリコン層とで構成され、シリコン層を除去し、埋め込み二酸化シリコン層を露出させ、その後、選択的なエピタキシャル成長を用いて、S i G e 層3およびシリコン層4を突起2の上に形成することができる。選択的なエピタキシャル成長を用いるので、S i G e 層3およびシリコン層4は、埋め込み二酸化シリコン層上には形成されない。

【0017】

図3に示すように、S i G e 層3を突起2とシリコン層4に対して選択的に除去するエッチングを行うことによって、トレンチ5とシリコンで構成されるフィン6とを形成する。フィン6の幅はシリコン層4を形成する製造方法によって、この場合エピタキシャル成長によって決定され、この幅はシリコン層4の厚さにほぼ等しい。適用製造方法によって、10ナノメートルより小さい厚さで再現可能な層を形成することができ、それゆえ、フィン6の幅も、10ナノメートルより薄く再現可能になるが、これは従来技術の製造方法では達成できないものである。この実施例において、突起2および層4は同じシリコン材料からなり、層3はS i G e からなるが、他の半導体材料の組合せを用いてもよい。これらの材料は、少なくとも突起2および層4に対する層3の選択エッチングが可能でなければならない。この時点で、フィン6および突起2に、気相ドーピング、プラズマ浸漬ドーピング、または他のドーパント技術を用いてドーパント原子を付与することによって、フィン6のドーパント・レベルを適切なデバイス性能を得るべく設定することができる。さらに、露出した上面と底面の全面にドーパントを注入して、それらの導電性を、デバイス性能への表面寄生トランジスタの影響を低減させて、フィン6が主要な伝導経路となるように調整することができる。

20

30

【0018】

図4に示すように、露出面を酸化することによって、ゲート酸化膜として機能する二酸化シリコン層9を形成する。その後、ポリシリコン層7を二酸化シリコン層9上に堆積することによって、ゲート電極を形成する。二酸化シリコン層9は、高誘電率ゲート絶縁膜層のような他の絶縁層で構成してもよく、ポリシリコン層7は、ゲート材料として用いることができる金属または他の材料のような他の導電材料で構成してもよい。突起2の丸い上部によれば、二酸化シリコン層2の完全性を減少させる、あるいは、絶縁破壊を引き起こしうる、周知のシャープコーナ効果が回避される。

40

【0019】

本実施例の平面図である図5に示すように、ポリシリコン層7をパターニングした後、パターニングされたポリシリコン層7が覆っていないフィン6の部分の注入によってソースおよびドレイン領域を形成することによって、デュアルゲートFETデバイスを形成する。ゲート電極と、ソースおよびドレイン領域との間に絶縁体のスペーサを形成することによって、ソースおよびドレイン領域は、低濃度ドーパのソースおよびドレイン領域を具えてもよい。

【0020】

50

他の実施例は、複数のフィンおよびトレンチを有するデュアルゲートFETを形成するステップを具え、図1に示す実施例から始めて、図6に示すように、SiGe層3およびシリコン層4を形成するのに用いたのと同じ製造技術を用いて、SiGe層13およびシリコン層14をシリコン層4上に形成する。SiGe層3、13およびシリコン層4、14は、直接的または間接的に突起2を覆う第1部分と、直接的または間接的に基板1を覆う第2部分とを有する。代案として、より多くのSiGe層およびシリコン層を形成してもよい。

【0021】

図7に示すように、SiGe層3、13およびシリコン層4、14の第2部分は、エッチバック・プロセスによって除去することにより、突起2上のSiGe層3、13およびシリコン層4、14の第1部分だけを残す。あるいは、第2部分を、デバイス製造の後工程で除去してもよい。また、本実施例において、SOI基板とともに選択的なエピタキシャル成長を用いて、SiGe層3、13およびシリコン層4、14を突起2の上だけに形成してもよい。その後、二酸化シリコン層16を堆積し、CMPを用いて二酸化シリコン層16とシリコン層4、14とSiGe層3、13とを除去することによって平坦面を形成し、突起2の上面およびSiGe層3、13の一部を露出する。また、他のエッチバック技術を用いて、突起2の上面およびSiGe層3、13の一部を露出してもよい。

【0022】

図8を参照すると、突起2およびシリコン層4、14に対して、SiGe層3、13を選択的に除去するエッチングを行うことにより、複数のトレンチ5およびフィン6を形成する。その後、ゲート電極を形成してパターニングし、ソースおよびドレイン領域を形成することによって、複数のチャンネルを有するデュアルゲートFETを形成することができる。フィン6のピッチは、フォトリソグラフィ技術ではなく、エピタキシャル技術によって規定されるため、このFETは、従来技術におけるFETより小さい占有領域で、高い電流駆動特性を有する。

【0023】

非対称のデュアルゲートFETの製造は、図3に示す実施例から始める。図9に示すように、二酸化シリコン層19を、露出面の熱酸化によって形成する。また、シリコン窒化物または高誘電率ゲート絶縁膜層のような他の絶縁層を、露出面に形成してもよい。その後、ポリシリコンで構成される第1の導電層17を、二酸化シリコン層19の上に堆積する。第1の導電層17は、金属のような他の導電材料またはゲート材料として使うことができる他の材料で構成してもよい。その後、第1の導電層17を、エッチバック・プロセスによって、フィン6の上面から除去することにより、トレンチ5内の第1の導電層17の第1領域と、トレンチ5外の第1の導電層17の第2領域とを形成し、第1の導電層17の第1領域と第2領域との接続を切断する。第1の導電層17が金属で構成される場合、その金属を、リソグラフィ・マスクを用いて突起2の上面から除去してもよい。

【0024】

その後、図10に示すように、フィン6間の領域を少なくとも部分的に覆う開口部を有するシリコン窒化物のハード・マスク8を突起2上に設ける。その後、突起2と、トレンチ5の表面を覆う二酸化シリコン層19と、第1の導電層17の第1領域とを除去することによって、フィン6の間に空間を形成するとともに第1のゲート電極37を形成する。ハード・マスク8を用いて、第1の導電層17の第2領域が除去されるのを防止することによって、第1のゲート電極37を形成することができる。このハード・マスクは、シリコン窒化物または、第1の導電層17が除去されるのを防止することができる他の材料からなってもよい。次に、二酸化シリコン層29を空間内のフィン6の露出面に形成し、その後、二酸化シリコン層29の上に、ポリシリコンまたは金属で構成される第2の導電層28を堆積することによって、第2のゲート電極27を形成する。本実施例における第2のゲート電極27は、二酸化シリコンおよびポリシリコンまたは金属で構成され、第1のゲート電極37は、二酸化シリコンおよびポリシリコンで構成されるが、他の材料の組合せも、ゲート電極が形成される制限に応じて適用できる。また、絶縁層19、29の厚さは異なってもよい。

【0025】

10

20

30

40

50

図11は、第2のゲート電極27がソース領域10およびドレイン領域20にコンタクトされる一実施例の平面図である。第1の導電層17をフィン6の上面から除去するステップの後、本例ではフィン間の領域の少なくとも一部を覆う開口部を持たないで、ソース領域10およびドレイン領域20上に開口部91、92を持つハード・マスク8を設ける。開口部91および92からエッチング液を供給することによって、突起2と、第1の導電層17と、二酸化シリコン層19とを除去する。このエッチングプロセスは他の材料に対して選択的である。その後、開口部91および92を用いて二酸化シリコン層29をフィン6の露出面に供給して、二酸化シリコン層29をフィン6の露出面に形成する。その後、ポリシリコンで構成される第2の導電層28を、開口部91および92から、二酸化シリコン層29上に堆積し、第2のゲート電極27を形成する。次に、開口部91および92を用いて、第2のゲート電極27に対するコンタクトを形成する。代案として、第2のゲート電極27に対するコンタクトはフィン間に位置させてもよい。第1のゲート電極37に対するコンタクトは、従来の製造方法を使用して作製し、フィンに隣接して位置させてもよい。

10

【0026】

要約すると、本発明は、従来の半導体処理技術を使用して、フォトリソグラフィ技術によって得ることができるより小さいピッチおよび幅を有する極小の再現可能なフィンを具える、デュアルゲートFETを製造する方法を提供する。第1層および第2層を基板上の突起に形成し、その後、突起の上面を露出させる。第1層の一部を、突起および第2層に対して選択的に除去することによって、フィンおよびトレンチを形成する。また、複数のフィンおよびトレンチを形成する方法も提供する。デュアルゲートFETは、トレンチ内にゲート電極を形成するとともにソース及びドレイン領域を形成することによって形成される。さらに、別々にバイアスをかけられる2つのゲート電極を有する、極小かつ非対称のデュアルゲートFETを製造する方法を提供する。

20

【0027】

上述の実施例は例示であり、本発明を限定するものではなく、当業者は添付の特許請求の範囲の範囲を逸脱することなく多くの代替実施例を設計可能であるということに留意する必要がある。「具えている」という単語は、請求項に列記されたもの以外の要素またはステップの存在を除外しない。単数形で述べる要素は複数の要素を除外するものではない。

【図面の簡単な説明】

30

【0028】

【図1】デュアルゲートFETを製造するステップのシーケンスを示す断面図である。
【図2】デュアルゲートFETを製造するステップのシーケンスを示す断面図である。
【図3】デュアルゲートFETを製造するステップのシーケンスを示す断面図である。
【図4】デュアルゲートFETを製造するステップのシーケンスを示す断面図である。
【図5】デュアルゲートFETの平面図である。
【図6】複数のトレンチおよびフィンの形成ステップを示す断面図である。
【図7】複数のトレンチおよびフィンの形成ステップを示す断面図である。
【図8】複数のトレンチおよびフィンの形成ステップを示す断面図である。
【図9】非対称のデュアルゲートFETの形成ステップを示す断面図である。
【図10】非対称のデュアルゲートFETの形成ステップを示す断面図である。
【図11】ソースおよびドレイン領域に形成される第2のゲート電極に対するコンタクトを有する非対称のデュアルゲートFETの形成ステップを示す本発明の方法の一実施例の平面図である。

40

【図 1】

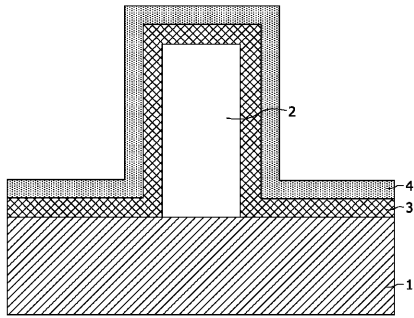


FIG. 1

【図 2】

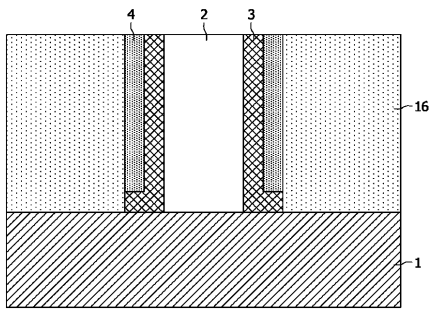


FIG. 2

【図 3】

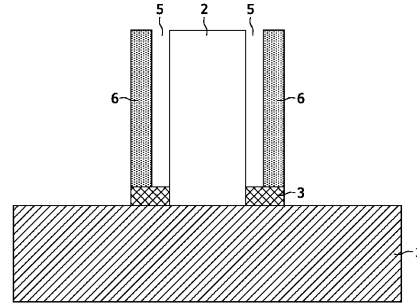


FIG. 3

【図 4】

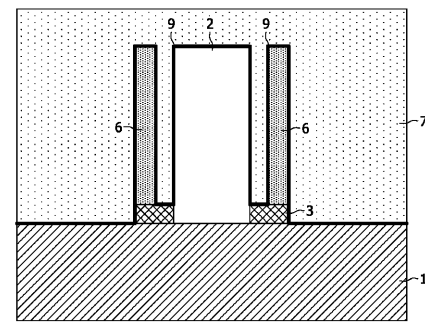


FIG. 4

【図 5】

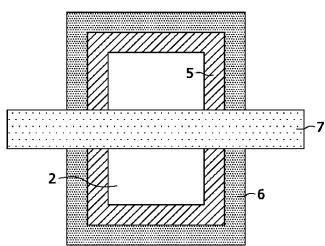


FIG. 5

【図 7】

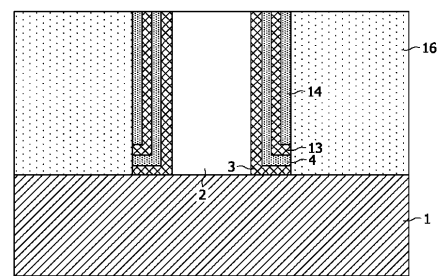


FIG. 7

【図 6】

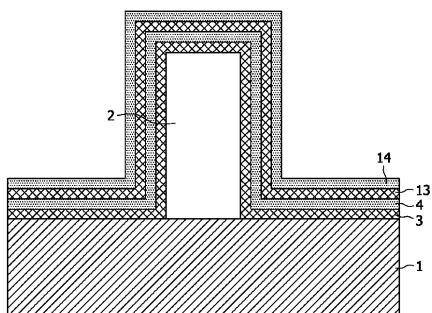


FIG. 6

【図 8】

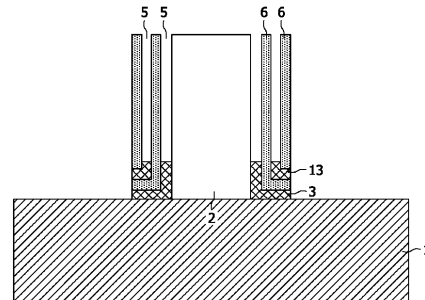


FIG. 8

【図 9】

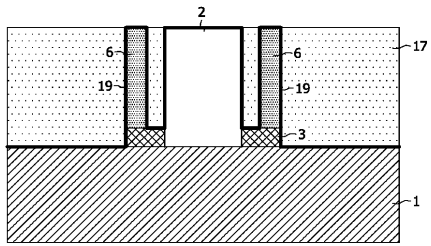


FIG. 9

【図 10】

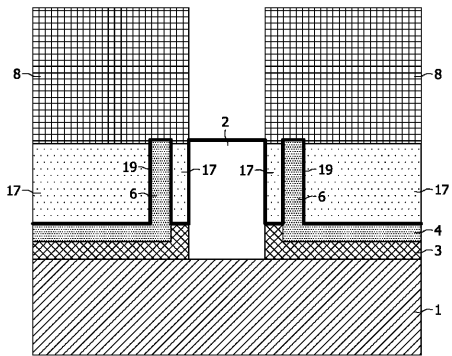


FIG. 10

【図 11】

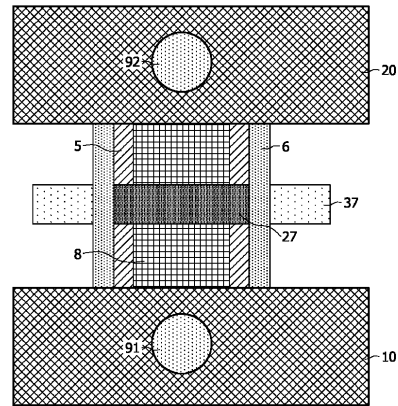


FIG. 11

【国際調査報告】

INTERNATIONAL SEARCH REPORT

International application No

PCT/IB2006/050238

A. CLASSIFICATION OF SUBJECT MATTER INV. H01L29/78 H01L29/06 H01L29/423 H01L21/336 ADD. H01L29/786 H01L29/49 H01L29/165		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) H01L		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used) EPO-Internal		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2005/009305 A1 (ANDERSON BRENT A ET AL) 13 January 2005 (2005-01-13) page 2, paragraph 23 - page 3, paragraph 29; figures 6-10	1,4-7
A	US 2005/001216 A1 (ADKISSON JAMES W ET AL) 6 January 2005 (2005-01-06) page 3, paragraph 46 - page 4, paragraph 57; figures 1A-5	1,3,6-10
A	US 2005/012145 A1 (FURUKAWA TOSHIHARU ET AL) 20 January 2005 (2005-01-20) page 5, paragraph 75 - page 6, paragraph 83	1-10
A	US 2004/169239 A1 (RIM KERN) 2 September 2004 (2004-09-02) the whole document	1,8-10
-/-		
☒ Further documents are listed in the continuation of Box C. ☒ See patent family annex.		
* Special categories of cited documents : *A* document defining the general state of the art which is not considered to be of particular relevance *E* earlier document but published on or after the international filing date *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) *O* document referring to an oral disclosure, use, exhibition or other means *P* document published prior to the international filing date but later than the priority date claimed *T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention *X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone *Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art *&* document member of the same patent family		
Date of the actual completion of the international search 2 August 2006		Date of mailing of the international search report 09/08/2006
Name and mailing address of the ISA/ European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax: (+31-70) 340-3016		Authorized officer Hoffmann, N

INTERNATIONAL SEARCH REPORT

International application No
PCT/IB2006/050238

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	EP 1 091 413 A (LSI LOGIC CORPORATION) 11 April 2001 (2001-04-11) cited in the application the whole document	1-10
P, X	US 2005/077553 A1 (KIM SUNG-MIN ET AL) 14 April 2005 (2005-04-14) the whole document	1-4, 6

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PCT/IB2006/050238

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
US 2005009305	A1	13-01-2005	EP 1644968 A2 WO 2005001904 A2	12-04-2006 06-01-2005
US 2005001216	A1	06-01-2005	CN 1349249 A EP 1202335 A2 JP 2002198538 A SG 97204 A1 TW 526564 B	15-05-2002 02-05-2002 12-07-2002 18-07-2003 01-04-2003
US 2005012145	A1	20-01-2005	CN 1490881 A JP 2004128494 A TW 229938 B US 2004061172 A1	21-04-2004 22-04-2004 21-03-2005 01-04-2004
US 2004169239	A1	02-09-2004	JP 2004266274 A	24-09-2004
EP 1091413	A	11-04-2001	JP 3583982 B2 JP 2001189453 A	04-11-2004 10-07-2001
US 2005077553	A1	14-04-2005	NONE	

フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW

(74)代理人 100113745

弁理士 藤原 英治

(72)発明者 ウィボ デー ファン ノールト

オランダ国 5 6 5 6 アーアー アインドーフエン プロフ ホルストラーン 6

(72)発明者 フランシスキュス ペー ウィデルスホーフエン

オランダ国 5 6 5 6 アーアー アインドーフエン プロフ ホルストラーン 6

(72)発明者 ラドゥ スルデアヌ

オランダ国 5 6 5 6 アーアー アインドーフエン プロフ ホルストラーン 6

Fターム(参考) 5F048 AC01 BA16 BA19 BB01 BB03 BB05 BB09 BB10 BB11 BC06

BD01 BD02 BD04 BD06 BD10 BG14 DA19 DA23