PCT WELTORGANISATION FÜR GEISTIGES EIGENTUM
Internationales Büro
INTERNATIONALE ANMELDUNG VERÖFFENTLICHT NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS (PCT)

(51) Internationale Patentklassifikation 7 :		(11) Internationale Veröffentlichungsnummer: **WO 00/11788**
H03K 19/0944, 19/0175, 19/003	**A2**	(43) Internationales Veröffentlichungsdatum: 2. März 2000 (02.03.00)

(21) **Internationales Aktenzeichen:** PCT/DE99/02416

(22) **Internationales Anmeldedatum:** 2. August 1999 (02.08.99)

(30) **Prioritätsdaten:**
198 37 393.7 18. August 1998 (18.08.98) DE

(71) **Anmelder** *(für alle Bestimmungsstaaten ausser US)*: SIEMENS AKTIENGESELLSCHAFT [DE/DE]; Wittelsbacherplatz 2, D–80333 München (DE).

(72) **Erfinder; und**
(75) **Erfinder/Anmelder** *(nur für US)*: WERKER, Heinz [DE/DE]; Ringstrasse 10, D–82386 Huglfing (DE). KILLAT, Dirk [DE/DE]; Stuttgarter Strasse 84/6, D–73230 Kirchhheim (DE). HAASE, Ordwin [DE/DE]; Kobellweg 11, D–85521 Ottobrunn (DE). GRÖPL, Martin [DE/DE]; St. Martinsplatz 7, D–81541 München (DE).

(74) **Gemeinsamer Vertreter:** SIEMENS AKTIENGESELLSCHAFT; Postfach 22 16 34, D–80506 München (DE).

(81) **Bestimmungsstaaten:** CN, JP, KR, US, europäisches Patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).

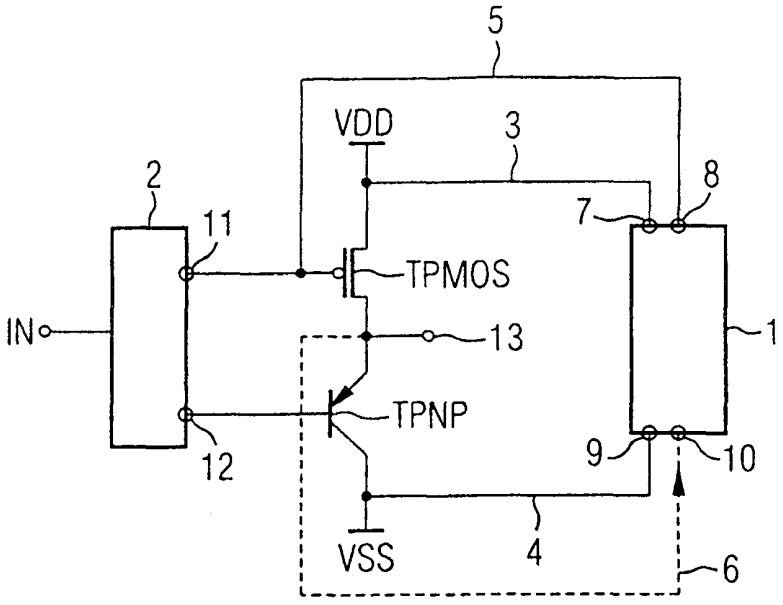
Veröffentlicht
Ohne internationalen Recherchenbericht und erneut zu veröffentlichen nach Erhalt des Berichts.

(54) **Title:** DRIVING CIRCUIT

(54) **Bezeichnung:** TREIBERSCHALTUNG

(57) **Abstract**

The invention relates to a driving circuit comprising a driver control circuit, a first and a second driving transistor and a current limiting device. In order to limit the current flowing through the driving transistor, said current limiting device controls the voltage at the gate of said first driving transistor. A control input of the current limiting device is used to adjust the current–limitation application point to the load to be controlled by a negative feedback. According to a second embodiment, a driving circuit having one of its two transistors designed as a MOSFET and the other one as a bipolar transistor is produced in such a way that diodes of the two driving transistors block the switched–off supply voltage or transmit the voltage according to a voltage applied on the output of said driving circuit.



(57) **Zusammenfassung**

Die Erfindung betrifft eine Treiberschaltung, die eine Treiberansteuerung, einen ersten und zweiten Treibertransistor und eine Strombegrenzereinrichtung aufweist. Zur Begrenzung des Stroms, der durch den ersten Treibertransistor fließt, steuert die Strombegrenzereinrichtung die Spannung am Steueranschluß des ersten Treibertransistors. Durch einen Regeleingang der Strombegrenzereinrichtung kann der Einsatzpunkt der Strombegrenzung an die zu treibende Last über eine Gegenkopplung angepaßt werden. Eine zweite Ausführungsform der Erfindung betrifft eine Treiberschaltung, bei der einer der beiden Treibertransistoren als MOSFET und der andere als Bipolartransistor ausgeführt sind, so daß Dioden der beiden Treibertransistoren bei abgeschalteter Versorgungsspannung und abhängig von einer am Ausgang der Treiberschaltung anliegenden Spannung sperren oder leiten.

LEDIGLICH ZUR INFORMATION

Codes zur Identifizierung von PCT-Vertragsstaaten auf den Kopfbögen der Schriften, die internationale Anmeldungen gemäss dem PCT veröffentlichen.

AL	Albanien	**ES**	Spanien	**LS**	Lesotho	**SI**	Slowenien
AM	Armenien	**FI**	Finnland	**LT**	Litauen	**SK**	Slowakei
AT	Österreich	**FR**	Frankreich	**LU**	Luxemburg	**SN**	Senegal
AU	Australien	**GA**	Gabun	**LV**	Lettland	**SZ**	Swasiland
AZ	Aserbaidschan	**GB**	Vereinigtes Königreich	**MC**	Monaco	**TD**	Tschad
BA	Bosnien-Herzegowina	**GE**	Georgien	**MD**	Republik Moldau	**TG**	Togo
BB	Barbados	**GH**	Ghana	**MG**	Madagaskar	**TJ**	Tadschikistan
BE	Belgien	**GN**	Guinea	**MK**	Die ehemalige jugoslawische Republik Mazedonien	**TM**	Turkmenistan
BF	Burkina Faso	**GR**	Griechenland			**TR**	Türkei
BG	Bulgarien	**HU**	Ungarn	**ML**	Mali	**TT**	Trinidad und Tobago
BJ	Benin	**IE**	Irland	**MN**	Mongolei	**UA**	Ukraine
BR	Brasilien	**IL**	Israel	**MR**	Mauretanien	**UG**	Uganda
BY	Belarus	**IS**	Island	**MW**	Malawi	**US**	Vereinigte Staaten von Amerika
CA	Kanada	**IT**	Italien	**MX**	Mexiko		
CF	Zentralafrikanische Republik	**JP**	Japan	**NE**	Niger	**UZ**	Usbekistan
CG	Kongo	**KE**	Kenia	**NL**	Niederlande	**VN**	Vietnam
CH	Schweiz	**KG**	Kirgisistan	**NO**	Norwegen	**YU**	Jugoslawien
CI	Côte d'Ivoire	**KP**	Demokratische Volksrepublik Korea	**NZ**	Neuseeland	**ZW**	Zimbabwe
CM	Kamerun			**PL**	Polen		
CN	China	**KR**	Republik Korea	**PT**	Portugal		
CU	Kuba	**KZ**	Kasachstan	**RO**	Rumänien		
CZ	Tschechische Republik	**LC**	St. Lucia	**RU**	Russische Föderation		
DE	Deutschland	**LI**	Liechtenstein	**SD**	Sudan		
DK	Dänemark	**LK**	Sri Lanka	**SE**	Schweden		
EE	Estland	**LR**	Liberia	**SG**	Singapur		

Beschreibung

Treiberschaltung

Die Erfindung betrifft eine Treiberschaltung nach dem Oberbegriff von Patentanspruch 1 und dem Oberbegriff von Patentanspruch 4.

Treiberschaltungen werden in integrierten Schaltungen zum Treiben von Bausteinanschlüssen (Pins) verwendet. Abhängig von der zu treibenden Last muß eine Treiberschaltung verschiedene Anforderungen wie beispielsweise eine hohe Stromtreiberfähigkeit oder eine präzise Strombegrenzung erfüllen. Insbesondere bei der ISDN-S0-Schnittstelle bestehen zwei Anforderungen, die spezielle Treiberschaltungen erfordern. Einerseits muß der zu treibende Strom auf einen maximalen Wert präzise begrenzt werden und andererseits sollte bei abgeschalteter Versorgungsspannung des treibenden ISDN-S0-Schnittstellenbausteins die Treiberschaltung bei einer am Pin anliegenden externen Spannung hochohmig sein.

Bei „An ISDN S-Interface Transceiver with analog Timing Recovery", P.Gillingham, D.Kirkey, J.Errku, ISSCC 88, IEEE International Solid-State Circuit Conference, S.108-109 und S.317, ist die Treiberschaltung durch zwei große Treibertransistoren realisiert. Der Strom durch die Treibertransistoren wird über Stromspiegel in diese gespiegelt, wobei die Stromspiegel von einem temperaturkompensierten, über Schmelzsicherungen auf dem Baustein eingestellten Strom gespeist werden. Nachteilig ist bei dieser Lösung, daß nach einer Einstellung der Schmelzsicherungen der Strom auf einen fest vorgegebenen, nicht mehr änderbaren Wert festgelegt ist.

Aus „An ISDN S-Interface Transceiver for Public and Private Digital Loops", F.Van Simaeys, J.Adams, D.Rabaey, S.233-236, ESSCIRC´88 ist eine ISDN-S0-Schnittstellenschaltung bekannt, bei der eine Treiberschaltung eine spannungsbegrenzte Strom-

quelle aufweist, die große Treibertransistoren umfaßt. Bei einem Strom von 7,5 mA gehen die Treibertransistoren in Sättigung und begrenzen somit den Strom. Nachteilig ist bei einer solchen Lösung, daß die Strombegrenzung vom Sättigungsstrom der Treibertransistoren abhängig und damit relativ ungenau ist.

Das der Erfindung zugrundeliegende Problem besteht daher darin, eine Treiberschaltung anzugeben, die eine präzise Strombegrenzung aufweist und bei abgeschalteter Versorgungsspannung in einen hochohmigen Zustand geht.

Dieses Problem wird durch eine Treiberschaltung mit Merkmalen von Patentanspruch 1 und eine Treiberschaltung mit den Merkmalen von Patentanspruch 4 gelöst. Vorteilhafte Ausgestaltungen der Treiberschaltungen ergeben sich aus den jeweiligen Unteransprüchen.

Ein Ausführungsform der Erfindung betrifft eine Treiberschaltung, die einen ersten und zweiten Transistor aufweist. Die Laststrecke des ersten Transistors ist zwischen eine erste Versorgungsspannung und einem Treiberschaltungsausgang geschaltet. Die Laststrecke des zweiten Transistors ist zwischen einer zweiten Versorgungsspannung und dem Treiberschaltungsausgang geschaltet. Einer der beiden Treibertransistoren ist dabei als Feldeffekttransistor ausgeführt, während der andere Treibertransistor als bipolarer Transistor ausgeführt ist. Dadurch wird vorteilhafterweise vermieden, daß bei abgeschalteter Versorgungsspannung der Treiberschaltung entweder die Basis-Emitter-Diode des bipolaren Transistors oder eine parasitäre Diode des Feldeffekttransistors leitet und ständig ein Strom über die Treiberschaltung fließt.

Der erste Transistor ist als p-Kanal-MOSFET oder p-Kanal-Sperrschicht-Feldeffekttransistor und der zweite Transistor als pnp-Bipolartransistor in einer bevorzugten Ausführungsform ausgeführt. Der Vorteil dieser Schaltung liegt darin,

daß die durch den P^+N-Übergang am Drain-Anschluß des p-Kanal-MOSFET oder die durch den Drain-Gate-PN-Übergang des p-Kanal-Sperrschicht-Feldeffekttransistors und die durch den Emitter-Basis-PN-Übergang des pnp-Bipolartransistors gebildete Diode, die mit dem Treiberschaltungsausgang verbunden ist, sperrt, wenn am Treiberschaltungsausgang eine negative Spannung anliegt und die Versorgungsspannung der Treiberschaltung abgeschaltet ist. Dadurch wird vermieden, daß bei negativen Spannungen am Treiberschaltungsausgang und bei abgeschalteter Versorgungsspannung ein Strom in die Treiberschaltung fließt.

In einer anderen Ausführungsform der Treiberschaltung ist der erste Treibertransistor als npn-Bipolartransistor und der zweite Treibertransistor als n-Kanal-MOSFET oder n-Kanal-Sperrschicht-Feldeffekttransistor ausgeführt. Hierbei sperrt die durch den N^+P-Übergang des n-Kanal-MOSFET oder die durch den Drain-Gate-NP-Übergang des n-Kanal-Sperrschicht-Feldeffekttransistors und den NP-Übergang des npn-Bipolartransistors gebildete Diode bei einer positiven Spannung am Treiberschaltungsausgang.

Besonders bevorzugt wird eine Kombination zweier Treiberschaltungen nach der Erfindung zur Ansteuerung der ISDN-S0-Schnittstelle. Da bei der Ansteuerung von Zweidrahtleitungen über Übertragerschaltungen immer eine der beiden Treiberschaltungen hochohmig ist, sperren die beiden Treibertransistoren bei einer der beiden Treiberschaltungen immer und die ISDN-S0-Schnittstelle verbraucht bei abgeschalteter Versorgungsspannung wenig Strom und erfüllt somit die Bedingung für Hochohmigkeit.

Eine weitere Ausführungsform der Erfindung betrifft eine Treiberschaltung, die zwei Treibertransistoren und eine Strombegrenzereinrichtung aufweist. Die Strombegrenzereinrichtung begrenzt den Strom durch einen Treibertransistor präzise auf einen einstellbaren Wert. Vorteilhafterweise weist die Strombegrenzereinrichtung eine wesentlich höhere

Ansprechgeschwindigkeit auf als die Treiberansteuerung, so daß insbesondere bei induktiven und kapazitiven Lasten eine Kompensation auftritt.

In einer bevorzugten Ausführungsform ist ein Regeleingang der Strombegrenzereinrichtung mit einem Ausgang der Treiberschaltung verbunden, so daß die Strombegrenzung durch diese Gegenkopplung bei niederohmigen Lasten früher und bei normalen oder hochohmigen Lasten später einsetzt. Dabei kann die zulässige Pulsmaske für die ISDN-S0-Schnittstelle noch präziser eingestellt werden.

In einer weiteren Ausführungsform ist der Regeleingang der Strombegrenzereinrichtung auf ein festes, vorgebbares Potential eingestellt, so daß die Strombegrenzung bei allen Lasten gleich einsetzt.

Eine bevorzugte Ausführungsform der Strombegrenzereinrichtung weist einen Transistor und eine dazu in Serie geschaltete Stromquelle auf. Der Transistor wird als Spiegeltransistor zu einem der beiden Treibertransistoren benutzt, so daß der durch die Stromquelle festgelegte Strom in den Treibertransistor gespiegelt wird.

In einer besonders bevorzugten Ausführungsform weist die Strombegrenzereinrichtung eine source-gekoppelte Differenzstufe auf, wobei ein erster Eingang der Differenzstufe mit einem Anschluß des Spiegeltransistors und ein zweiter Eingang mit dem Regeleingang verbunden ist. Die Last der Differenzstufe besteht aus einem ersten und einem zweiten als Dioden geschalteten Lasttransistor, wobei der Steueranschluß des ersten Lasttransistors mit dem Steueranschluß eines Steuertransistors verbunden ist. Der Steuertransistor stellt die Spannung am Steueranschluß eines Treibertransistors und des Spiegeltransistors ein und begrenzt damit den Strom durch den Treibertransistor.

Weitere Vorteile, Merkmale und Anwendungsmöglichkeiten der Erfindung ergeben sich aus der nachfolgenden Beschreibung von Ausführungsbeispielen in Verbindung mit der Zeichnung. In der Zeichnung zeigen

Fig.1 ein erstes Ausführungsbeispiel einer Treiberschaltung nach der Erfindung;

Fig.2 ein Ausführungsbeispiel einer Strombegrenzereinrichtung;

Fig.3A ein zweites Ausführungsbeispiel einer Treiberschaltung nach der Erfindung;

Fig.3B ein drittes Ausführungsbeispiel einer Treiberschaltung nach der Erfindung; und

Fig.4 ein Ausführungsbeispiel einer Treiberschaltung einer ISDN-S0-Schnittstelle.

Gemäß Fig.1 weist eine Treiberansteuerung 2 einen Eingang IN und einen ersten Ausgang 11 und einen zweiten Ausgang 12 auf. Der erste Ausgang 11 ist mit dem Steueranschluß eines p-Kanal-MOS-Treibertransistors TPMOS verbunden. Der zweite Ausgang 12 ist mit dem Steueranschluß eines pnp-Bipolar-Treibertransistors TPNP verbunden. Die Laststrecke des ersten Treibertransistors TPMOS ist zwischen eine erste Versorgungsspannung VDD und einem Treiberschaltungsausgang 13 geschaltet. Die Laststrecke des zweiten Treibertransistors TPNP ist zwischen eine zweite Versorgungsspannung VSS und dem Treiberschaltungsausgang 13 geschaltet. Eine Ausführung beider Treibertransistoren in MOS-Technologie oder in Bipolar-Technologie ist möglich. Üblicherweise ist in digitalen Schaltungen die erste Versorgungsspannung VDD 5 V und die zweite Versorgungsspannung VSS 0 V, es können aber auch andere Versorgungsspannungen wie beispielsweise für die erste Versorgungs-

spannung VDD 3,3 V bei Einsatz von 3 V-Technologien gewählt werden.

Ein erster Anschluß 7 einer Strombegrenzereinrichtung 1 ist mit der ersten Versorgungsspannung VDD zur Stromversorgung verbunden. Über einen zweiten Anschluß 9 ist die Strombegrenzereinrichtung 1 mit der zweiten Versorgungsspannung VSS verbunden. Ein bidirektionaler Steueranschluß 8 der Strombegrenzereinrichtung 1 ist über eine Steuerleitung 5 mit dem Steueranschluß des p-Kanal-MOS-Transistors TPMOS verbunden. Über die Einstellung der Steuerspannung des Treibertransistors kann die Strombegrenzereinrichtung den Strom durch den Treibertransistor begrenzen. In anderen Ausführungsbeispielen kann der bidirektionale Steueranschluß 8 der Strombegrenzereinrichtung 1 auch mit dem Steueranschluß des pnp-Bipolartransistors TPNP zur Strombegrenzung verbunden sein. Ein Regeleingang 10 der Strombegrenzereinrichtung 1 dient zur Gegenkopplung und ist über eine Leitung 6 (in Fig.1 gestrichelt dargestellt) mit der Treiberschaltungsausgang 13 verbunden. Durch die Gegenkopplung wird eine lastabhängige Strombegrenzung erreicht. Der Regeleingang 10 kann auch mit einer festen Spannung verbunden werden, wobei keine Gegenkopplung mehr stattfindet.

Die Strombegrenzereinrichtung regelt im Betrieb der Treiberschaltung den Strom durch den ersten Transistor TPMOS so, daß durch eine Einstellung der Steuerspannung des Treibertransistors der Strom durch den Transistor auf einen Höchstwert begrenzt wird.

In Fig.2 ist ein Ausführungsbeispiel der Strombegrenzereinrichtung in MOS-Technologie dargestellt. Die Strombegrenzereinrichtung wird über einen ersten Anschluß 7 mit der ersten Versorgungsspannung VDD der Treiberschaltung und über einen zweiten Anschluß 9 mit der zweiten Versorgungsspannung VSS der Treiberschaltung verbunden. Ein Spiegeltransistor TP3, der ein p-Kanal-MOSFET ist, ist mit einer Referenzstrom-

quelle IREF in Serie geschaltet. Der Spiegeltransistor bildet den p-Kanal-MOS-Treibertransistor TPMOS nach. Die Referenzstromquelle IREF gibt den maximalen Strom durch den Spiegeltransistor TP3 vor. Dieser Strom IREF wird in den p-Kanal-MOS-Treibertransistor TPMOS gespiegelt. Beträgt das Spiegelverhältnis beispielsweise 1:20, so bewirkt ein Referenzstrom IREF von 1 mA einen maximalen Strom von 20 mA durch den p-Kanal-MOS-Treibertransistor. Die Spannung, die sich bei einem Referenzstrom IREF an einem Knoten 14 einstellt, wird an den Steueranschluß eines ersten n-Kanal-MOSFET´s TN1 einer Differenzverstärkerstufe übertragen und von der Differenzverstärkerstufe mit einem Potential verglichen, das am Steueranschluß eines zweiten n-Kanal-MOSFET´s TN2 der Differenzverstärkerstufe über den Regeleingang 10 anliegt. Der Ausgang der Differenzverstärkerstufe ist über einen Steuertransistor TP4 auf den Steueranschluß des Spiegeltransistors TP3 rückgekoppelt. Ein erster p-Kanal-MOSFET TP1 und ein zweiter p-Kanal-MOSFET TP2 ist jeweils als Diode geschaltet und bildet einen Lastelement für den ersten n-Kanal-MOSFET TN1 und zweiten n-Kanal-MOSFET TN2 der Differenzstufe. Der Steuertransistor TP4, dessen Laststrecke zwischen die erste Versorgungsspannung VDD und einen Steueranschluß 8 geschaltet ist, steuert die Spannung am Steueranschluß des Spiegeltransistors TP3 und über einen Steueranschluß 8 die Steuerspannung des p-Kanal-MOS-Transistors TPMOS.

Wenn durch den p-Kanal-MOS-Treibertransistor TPMOS ein höherer Strom fließen soll, sinkt die Steuerspannung am Steueranschluß des Treibertransistors. Gleichzeitig sinkt die Steuerspannung am Steueranschluß des Spiegeltransistors TP3 und das Potential am Knoten 14 steigt. Übersteigt das Potential am Knoten 14 das Potential am Regeleingang 10, so steigt die Ausgangsspannung der Differenzverstärkerstufe und die Steuerspannung am Steueranschluß des Steuertransistors TP4. Der Steuertransistor TP4 verringert somit die Steuerspannung des Spiegeltransistors TP3 und des p-Kanal-MOS-Treibertransistors

TPMOS, so daß der Strom durch den Treibertransistor begrenzt wird.

Der Regeleingang 10 kann nun mit einer festen Spannung wie beispielsweise (VDD+VSS)/2 verbunden werden, so daß die Strombegrenzung unabhängig von der Last immer gleich einsetzt. Wird der Regeleingang 10 mit dem Treiberschaltungsausgang 13 verbunden, erhält man eine Gegenkopplung. Dabei setzt die Strombegrenzung abhängig von der Last bei niederohmigen Lasten früher und bei normalen oder hochohmigen Lasten später ein. Dadurch wird die Strombegrenzung noch präziser.

Fig.3A zeigt ein Ausführungsbeispiel einer integrierten Treiberschaltung, die eine Treiberansteuerung 100, einen p-Kanal-MOSFET TPMOS und einen pnp-Bipolartransistor TPNP aufweist. Der Gate-Anschluß des p-Kanal-MOSFET ist mit einem ersten Ausgang 104 der Treiberansteuerung und die Basis des pnp-Bipolartransistors TPNP ist mit einem zweiten Ausgang 105 der Treiberansteuerung verbunden. Die Laststrecke des p-Kanal-MOSFET ist zwischen der ersten Versorgungsspannung VDD und einem Treiberschaltungsausgang 103 geschaltet. Die Laststrekke des pnp-Bipolartransistors TPNP ist zwischen der zweiten Versorgungsspannung VSS und dem Treiberschaltungsausgang 103 geschaltet. Üblicherweise ist die erste Versorgungsspannung identisch mit der Versorgungsspannung digitaler Schaltungen und beträgt 5 V, kann aber je nach Technologie verschiedene Werte größer 0 V annehmen. Die zweite Versorgungsspannung beträgt üblicherweise 0 V, kann aber auch negative Spannungswerte annehmen.

In Fig.3A sind Dioden eingezeichnet, die sich aufgrund der Transistorstrukturen ergeben. Eine erste Diode 101 bildet sich am P^+N-Übergang zwischen dem Drain- und dem Bulk-Anschluß des p-Kanal-MOSFET´s aus und leitet, sobald das Potential am Treiberschaltungsausgang 103 das Potential am Bulk-Anschluß übersteigt. Eine zweite Diode 102 bildet sich am PN-Übergang zwischen dem Emitter und der Basis des pnp-

Bipolartransistors TPNP aus und leitet, wenn das Potential am Treiberschaltungsausgang 103 das Potential an der Basis um die Durchlaßspannung der Diode übersteigt. Bei abgeschalteter erster Versorgungsspannung VDD sollen sowohl die n-Wanne des p-Kanal-MOSFET´s als auch die n-Basis des pnp-Bipolartransistors auf der zweiten Versorgungsspannung VSS liegen, so daß die erste 101 und zweite 102 Diode bei einem Potential größer der Diodeneinsatzspannung am Treiberschaltungsausgang 103 leitet und bei einem Potential kleiner der Diodendurchlaßspannung sperrt und kein Strom über die Dioden in die Schaltung abfließt.

Fig.3B zeigt ein Ausführungsbeispiel, bei dem ein erster Ausgang 110 einer Treiberansteuerung 106 mit der Basis eines npn-Bipolartransistors TNP und ein zweiter Ausgang 111 mit dem Gate-Anschluß eines n-Kanal-MOSFET verbunden ist. Die Laststrecke der npn-Bipolartransistors TNPN ist zwischen der ersten Versorgungsspannung VDD und einem Treiberschaltungsausgang 109 geschaltet. Die Laststrecke des n-Kanal-MOSFET´s TNMOS ist zwischen der zweiten Versorgungsspannung VSS und einem Treiberschaltungsausgang 109 geschaltet. Wie bei dem vorherigen Ausführungsbeispiel bildet sich eine erste 107 und zweite 108 Diode zwischen dem Emitter und der Basis des Bipolartransistors bzw. dem Drain- und Bulk-Anschluß des MOSFET´s aus. Beide Dioden leiten, wenn das Potential am Treiberschaltungsausgang um die Diodendurchlaßspannung kleiner ist als das Potential an der Basis bzw. am Bulk-Anschluß. Bei abgeschalteter Versorgungsspannung liegt die p-Wanne und die p-Basis auf der zweiten Versorgungsspannung VSS, so daß bei einer Spannung kleiner der negativen Diodendurchlaßspannung am Treiberschaltungsausgang die Dioden leiten und bei einer Spannung größer der negativen Diodendurchlaßspannung die Dioden sperren und kein Strom aus der Treiberschaltung fließt.

In Fig.4 werden zwei Treiberschaltungen 201 und 202 zur Ansteuerung einer Zweidrahtleitung über eine Übertragerschaltung 202 wie bei der ISDN-S0-Schnittstelle benutzt. Je nach-

dem welche Polarität die Spannung VOUT am leitungsseitigen Ende des Übertragers hat, sperren die Dioden einer Treiberschaltung immer. Um Strom zu sparen wird bei vielen elektronischen Schaltungen die Versorgungsspannung auf kleinere Werte heruntergeregelt bzw. ganz abgeschaltet, wenn die Schaltung gerade nicht gebraucht wird. Bei der ISDN-S0-Schnittstelle wird die Versorgungsspannung VDD abgeschaltet, wenn das Teilnehmerendgerät inaktiv bzw. abgeschaltet ist. In solchen Fällen sperren die Dioden beider Treiberschaltungen bei einer Spannung VOUT am leitungsseitigen Ende des Übertragers bis zu ca. 1,2 V und in die Treiberschaltung kann kein Strom fließen. Übersteigt die Spannung VOUT einen Wert von 1,2V, so sperrt je nach Polarität der Spannung VOUT wenigstens eine der beiden Treiberschaltungen und der in eine der beiden Treiberschaltungen fließende Strom ist begrenzt.

Patentansprüche

1. Treiberschaltung, die eine Treiberansteuerung (100; 106) und einen ersten (TPMOS; TNPN) und zweiten (TPNP; TNMOS) Treibertransistor aufweist, wobei ein erster Ausgang (104) der Treiberansteuerung mit dem Steueranschluß des ersten Treibertransistors und ein zweiter Ausgang (105) der Treiberansteuerung mit dem Steueranschluß des zweiten Treibertransistors verbunden ist und die Laststrecke des ersten Treibertransistors zwischen einer ersten Versorgungsspannung (VDD) und einem Treiberschaltungsausgang (103) und die Laststrecke des zweiten Treibertransistors zwischen einer zweiten Versorgungsspannung (VSS) und dem Treiberschaltungsausgang geschaltet ist,
d a d u r c h g e k e n n z e i c h n e t , daß
einer der beiden Treibertransistoren ein Feldeffekttransistor und der andere Treibertransistor ein Bipolartransistor ist.

2. Treiberschaltung nach Anspruch 1,
d a d u r c h g e k e n n z e i c h n e t , daß
der erste Treibertransistor ein p-Kanal-MOSFET oder ein p-Kanal-Sperrschicht-Feldeffekttransistor und der zweite Treibertransistor ein pnp-Bipolartransitor ist.

3. Treiberschaltung nach Anspruch 1,
d a d u r c h g e k e n n z e i c h n e t , daß
der erste Treibertransistor ein npn-Bipolartransistor und der zweite Treibertransistor ein n-Kanal-MOSFET oder ein n-Kanal-Sperrschicht-Feldeffekttransistor ist.

4. Treiberschaltung, die einen ersten (TPMOS) und zweiten (TPNP) Treibertransistor aufweist, wobei ein erster Ausgang (11) der Treiberansteuerung mit dem Steueranschluß des ersten Treibertransistors und ein zweiter Ausgang (12) der Treiberansteuerung mit dem Steueranschluß des zweiten Treibertransistors verbunden ist und die Laststrecke des ersten Treibertransistors zwischen einer ersten Versorgungsspannung (VDD) und einem Treiberschaltungsausgang (13) und die Laststrecke des zweiten Treibertransistors zwischen einer zweiten Versor-

gungsspannung (VSS) und dem Treiberschaltungsausgang geschaltet ist,

d a d u r c h g e k e n n z e i c h n e t , daß

- die Treiberschaltung eine Strombegrenzereinrichtung (1) aufweist, wobei die Strombegrenzereinrichtung über einen bidirektionalen Steueranschluß (8) mit dem Steueranschluß des ersten Treibertransistors (TPMOS) verbunden ist und die Spannung an dem Steueranschluß des ersten Treibertransistors zur Strombegrenzung einstellt, und
- ein Regeleingang der Strombegrenzereinrichtung über eine Rückkoppelleitung (6) mit dem Treiberschaltungsausgang verbunden ist.

5. Treiberschaltung nach Anspruch 4,
d a d u r c h g e k e n n z e i c h n e t , daß
der Regeleingang der Strombegrenzereinrichtung mit einem vorgegebenen Potential ((VDD+VSS)/2) verbunden ist.

6. Treiberschaltung nach Anspruch 4 oder 5,
d a d u r c h g e k e n n z e i c h n e t , daß
die Strombegrenzereinrichtung einen Spiegeltransitor (TP3) und eine erste Stromquelle (IREF) aufweist, die einen gemeinsamen Knoten (14) aufweisen.

7. Treiberschaltung nach Anspruch 4, 5 oder 6,
d a d u r c h g e k e n n z e i c h n e t , daß
die Strombegrenzereinrichtung eine source-gekoppelte Differenzstufe (TN1, TN2, I), einen ersten (TP1) und zweiten (TP2) als Diode geschalteten Lasttransistor sowie einen Steuertransistor (TP4) aufweist, wobei ein erster Eingang der Differenzstufe mit dem Verbindungspunkt (14) und ein zweiter Eingang der Differenzstufe mit dem Regeleingang (10) verbunden ist und ein Ausgang (15) der Differenzstufe über den Steuertransistor (TP4) auf den bidirektionalen Steueranschluß (8) und den Steueranschluß des Spiegeltransistors (TP3) rückgekoppelt ist.

FIG 1

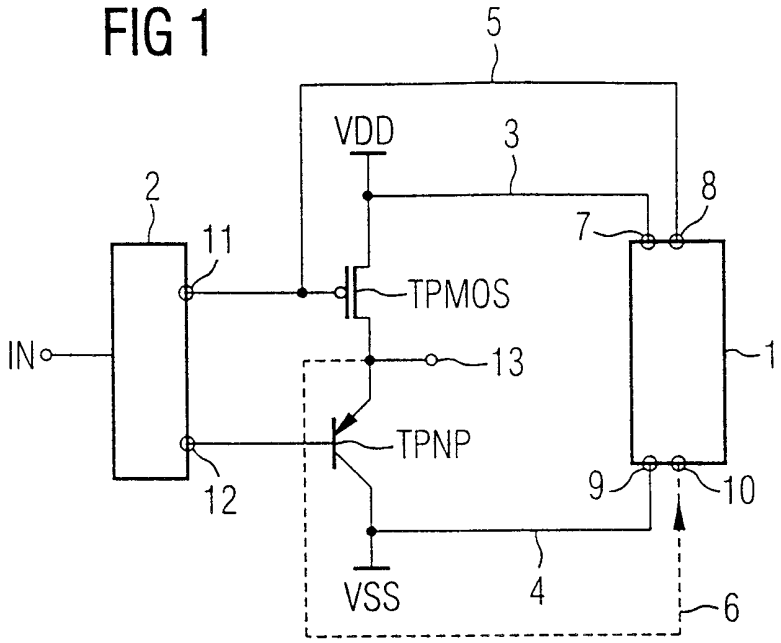

5
VDD
3
2
8
7
11
TPMOS
IN
13
1
TPNP
9
10
12
VSS
4
6

FIG 2

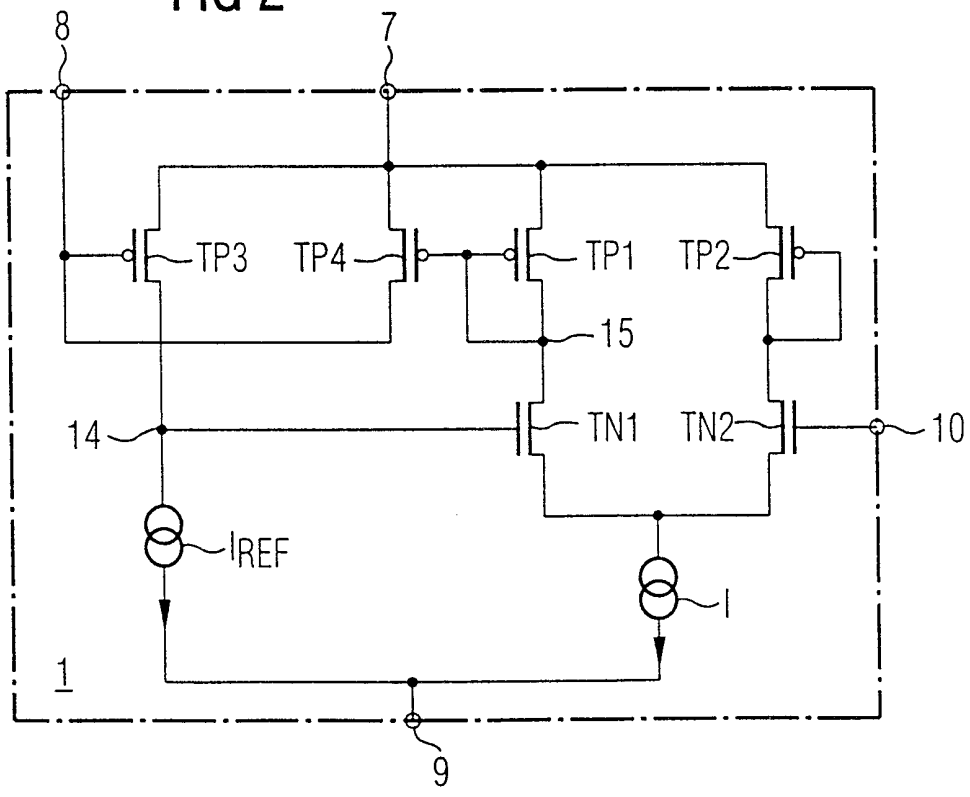
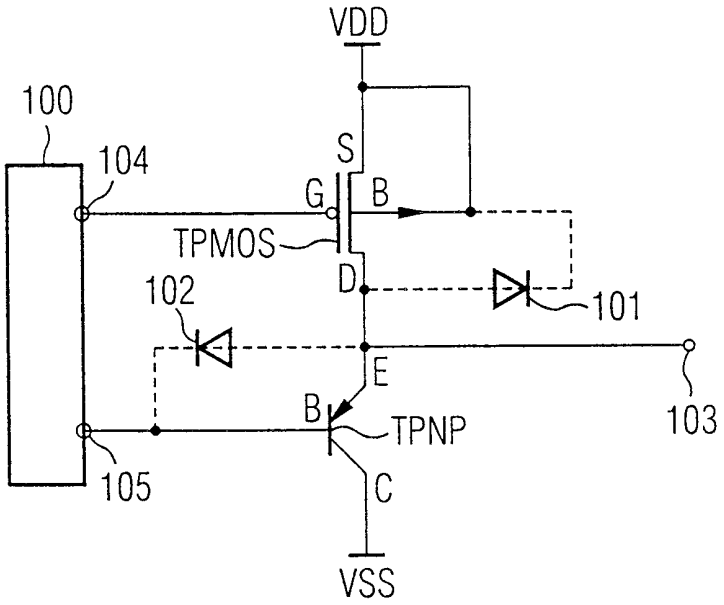

8
7
TP3
TP4
TP1
TP2
15
14
TN1
TN2
10
IREF
I
1
9

FIG 3A


VDD
100
104
S
G
B
TPMOS
D
102
101
E
B
TPNP
103
105
C
VSS

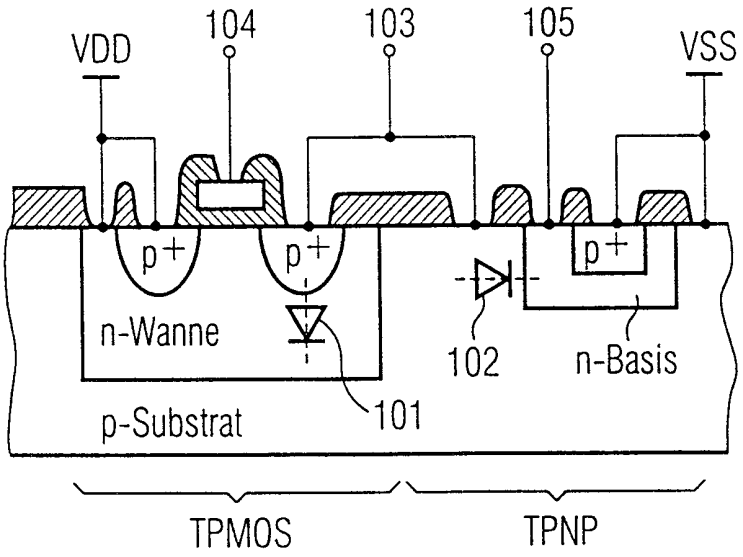
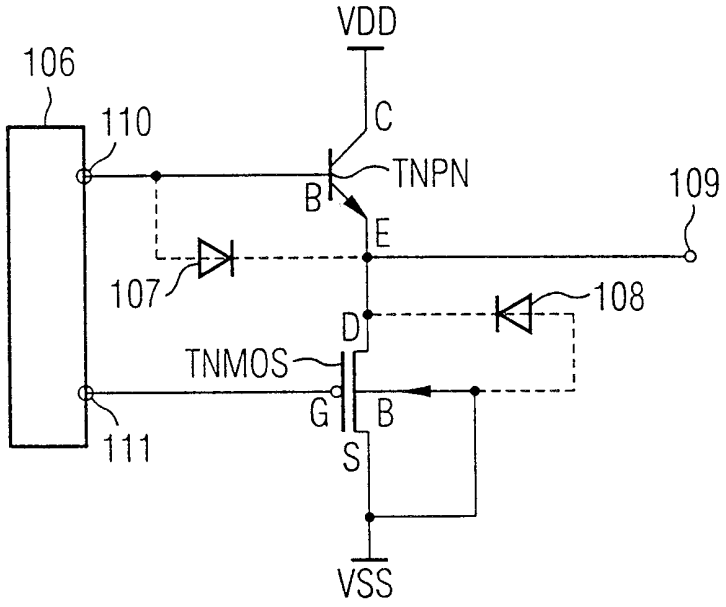

VDD
104
103
105
VSS
p+
p+
p+
n-Wanne
102
n-Basis
101
p-Substrat
TPMOS
TPNP

FIG 3B


VDD
106
110
C
TNPN
B
109
E
107
108
D
TNMOS
G
B
111
S
VSS

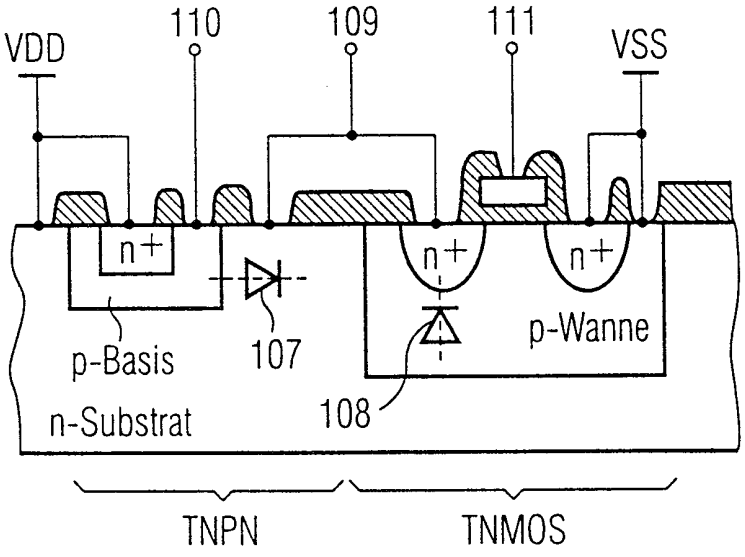

VDD
110
109
111
VSS
n+
n+
n+
p-Basis
107
p-Wanne
n-Substrat
108
TNPN
TNMOS

FIG 4

