(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国 际 局

(43) 国际公布日
2023 年 11 月 9 日 (09.11.2023)

WIPO | PCT

(10) 国际公布号
WO 2023/213007 A1

(51) 国际专利分类号:
H01L 27/105 (2023.01)

(21) 国际申请号: PCT/CN2022/105189

(22) 国际申请日: 2022 年 7 月 12 日 (12.07.2022)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
202210484668.2 2022年5月6日 (06.05.2022) CN

(71) 申请人: 长鑫存储技术有限公司 **(CHANGXIN MEMORY TECHNOLOGIES, INC.)** [CN/CN]; 中国安徽省合肥市经济技术开发区空港工业园兴业大道 388 号, Anhui 230601 (CN)。 长鑫集电（北京）存储技术有限公司 **(CHANGXIN JIDIAN (BEIJING) MEMORY TECHNOLOGIES CO., LTD.)** [CN/CN]; 中国北京市北京经济技术开发区景园北街 2 号 52 幢 4 层401-10, Beijing 100176 (CN)。

(72) 发明人: 曺奎锡 **(CHO, Gyuseog)**; 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230601 (CN)。

(74) 代理人: 北京派特恩知识产权代理有限公司 **(CHINA PAT INTELLECTUAL PROPERTY OFFICE)**; 中国北京市海淀区海淀南路21号中关村知识产权大厦B座2层, Beijing 100080 (CN)。

(81) 指定国(除另有指明，要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

(84) 指定国(除另有指明，要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:
— 包括国际检索报告(条约第21条(3))。

(54) Title: CAPACITOR STRUCTURE AND PREPARATION METHOD THEREFOR, AND SEMICONDUCTOR STRUCTURE AND PREPARATION METHOD THEREFOR

(54) 发明名称: 一种电容器结构及其制备方法、半导体结构及其制备方法

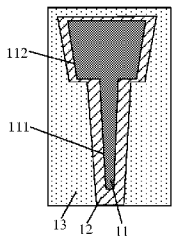


图 1

(57) Abstract: Disclosed in the embodiments of the present disclosure are a capacitor structure and a preparation method therefor, and a semiconductor structure and a preparation method therefor. The capacitor structure comprises a substrate, and a first electrode, a first dielectric layer and a second electrode, which are arranged on the substrate, wherein the first electrode comprises at least two sub-electrodes which are consecutively arranged in a direction perpendicular to the substrate and are sequentially connected; in the at least two sub-electrodes, the orthographic projection of at least one sub-electrode on the substrate covers the orthographic projection of the other sub-electrode on the substrate; the first dielectric layer is arranged on at least part of an outer surface of the first electrode; and the second electrode is arranged on at least part of an outer surface of the first dielectric layer, and the second electrode is insulated from the first electrode.

(57) 摘要: 本公开实施例公开了一种电容器结构及其制备方法、半导体结构及其制备方法，其中，所述电容器结构包括衬底以及设置于所述衬底上的第一电极、第一介质层和第二电极，其中，所述第一电极包括至少两个在垂直于所述衬底方向上连续设置且依次连接的子电极，至少两个所述子电极中，至少一个所述子电极在所述衬底上的正投影覆盖另一个所述子电极在所述衬底上的正投影；所述第一介质层设置于所述第一电极至少部分外表面；所述第二电极设置于所述第一介质层至少部分外表面，且所述第二电极与所述第一电极绝缘设置。

WO 2023/213007 A1

一种电容器结构及其制备方法、半导体结构及其制备方法

相关申请的交叉引用

本公开基于申请号为202210484668.2、申请日为2022年05月06日的中国专利申请提出，并要求该中国专利申请的优先权，该中国专利申请的全部内容在此引入本公开作为参考。

技术领域

本公开涉及但不限于一种电容器结构及其制备方法、半导体结构及其制备方法。

背景技术

随着半导体制程工艺的持续微缩，晶体管的单元面积显著减小。在DRAM中，单元阵列晶体管的尺寸也随之减小，单位电容器的面积也随着减小，但是电容器的面积减小会导致单位电容存储量的下降，从而导致对电容的读取/写入变得更加困难，影响DRAM的工作性能。

发明内容

有鉴于此，本公开实施例提供一种电容器结构及其制备方法、半导体结构及其制备方法。

根据本公开实施例的第一方面，提供了一种电容器结构，包括衬底以及设置于所述衬底上的第一电极、第一介质层和第二电极，其中，所述第一电极包括至少两个在垂直于所述衬底方向上连续设置且依次连接的子电极，至少两个所述子电极中，至少一个所述子电极在所述衬底上的正投影覆盖另一个所述子电极在所述衬底上的正投影；

所述第一介质层设置于所述第一电极至少部分外表面；

所述第二电极设置于所述第一介质层至少部分外表面，且所述第二电极与所述第一电极绝缘设置。

在一实施例中，所述第一电极包括两个在垂直于所述衬底方向上连续设置且依次连接的第一子电极和第二子电极；其中，所述第一子电极相较于所述第二子电极临近所述衬底；

所述第一子电极在所述衬底上的正投影覆盖所述第二子电极在所述衬底上的正投影；或者，

所述第二子电极在所述衬底上的正投影覆盖所述第一子电极在所述衬底上的正投影。

在一实施例中，所述第一电极包括N个在垂直于所述衬底方向上连续设置且依次连接的N个子电极；N大于或等于3；

其中，奇数部分的子电极在所述衬底上的正投影面积小于偶数部分的子电极在所述衬底上的正投影面积，或者，奇数部分的子电极在所述衬底上的正投影面积大于偶数部分的子电极在所述衬底上的正投影面积。

在一实施例中，在沿平行于所述衬底的平面方向的投影中，所述第二子电极的投影在所述第一子电极的投影两侧的面积相等。

根据本公开实施例的第二方面，提供了一种半导体结构，包括至少一个如上述第一方面的实施例中所述的第一电容器结构和第二电容器结构；其中，所述第二电容器结构包括衬底以及设置于所述衬底上的第三电极、第二介质层和第四电极，所述第二介质层设置于所述第三电极至少部分外表面，所述第四电极设置于所述第二介质层至少部分外表面，且所述第四电极与所述第三电极绝缘设置；相邻的所述第一电容器结构的所述第一介质层和所述第二电容器结构的所述第二介质层不连接，

相邻的所述第一电容器结构的所述第二电极和所述第二电容器结构的所述第四电极连接。

在一实施例中，所述第一电极包括两个在垂直于所述衬底方向上连续设置且依次连接的第一子电极和第二子电极；其中，所述第一子电极相较于所述第二子电极临近所述衬底；

所述第二子电极在所述衬底上的正投影覆盖所述第一子电极在所述衬底上的正投影，所述第一子电极在所述衬底上的正投影面积小于所述第三电极在所述衬底上的正投影面积。

在一实施例中，所述第一电极包括两个在垂直于所述衬底方向上连续设置且依次连接的第一子电极和第二子电极；其中，所述第一子电极相较于所述第二子电极临近所述衬底；

所述第三电极包括两个在垂直于所述衬底方向上连续设置且依次连接的第三子电极和第四子电极；其中，所述第三子电极相较于所述第四子电极临近所述衬底；

所述第二子电极在所述衬底上的正投影覆盖所述第一子电极在所述衬底上的正投影，且所述第三子电极在所述衬底上的正投影覆盖所述第四子电极在所述衬底上的正投影，所述第一子电极在所述衬底上的正投影面积小于所述第三子电极在所述衬底上的正投影面积，或者，所述第一子电极在所述衬底上的正投影覆盖所述第二子电极在所述衬底上的正投影，且所述第四子电极在所述衬底上的正投影覆盖所述第三子电极在所述衬底上的正投影，所述第一子电极在所述衬底上的正投影面积大于所述第三子电极在所述衬底上的正投影面积。

在一实施例中，所述第一电极包括 N 个在垂直于所述衬底方向上连续设置且依次连接的 N 个子电极；N 大于或等于 3；

所述第三电极包括 M 个在垂直于所述衬底方向上连续设置且依次连接的 M 个子电极；M 大于或等于 2，且 M 小于或等于 N；

其中，

所述第一电极的奇数部分的子电极在所述衬底上的正投影面积大于偶数部分的子电极在所述衬底上的正投影面积，所述第三电极的奇数部分的子电极在所述衬底上的正投影面积小于偶数部分的子电极在所述衬底上的正投影面积；所述第一电极的奇数部分的子电极在所述衬底上的正投影面积大于所述第三电极对应奇数部分的子电极在所述衬底上的正投影面积，所述第一电极偶数部分的子电极在所述衬底上的正投影面积小于所述第三电极对应偶数部分的子电极在所述衬底上的正投影面积，或者，所述第一电极的奇数部分的子电极在所述衬底上的正投影面积小于偶数部分的子电极在所述衬底上的正投影面积，所述第三电极的奇数部分的子电极在所述衬底上的正投影面积大于偶数部分的子电极在所述衬底上的正投影面积；所述第一电极的奇数部分的子电极在所述衬底上的正投影面积小于所述第三电极对应奇数部分的子电极在所述衬底上的正投影面积，所述第一电极偶数部分的子电极在所述衬底上的正投影面积大于所述第三电极对应偶数部分的子电极在所述衬底上的正投影面积。

在一实施例中，所述衬底包括多条沿第二方向延伸的字线，以及多个分立的有源区；所述有源区包括位于两侧的第一源/漏端和位于中间的第二源/漏端；

所述半导体结构还包括：多条位线，位于所述衬底上，所述位线沿第一方向延伸；

多个第一导电插塞，位于所述第一电容器结构和所述第二电容器结构的下方；其中，所述第一电容器结构和所述第二电容器结构通过所述第一导电插塞与所述有源区的所述第一源/漏端电连接；

多个第二导电插塞，位于所述位线的下方；其中，所述位线通过所述第二导电插塞与所述有源区的所述第二源/漏端电连接。

在一实施例中，所述第一电极、所述第二电极、所述第三电极和所述第四电极的材料包括金属；

所述第一介质层和所述第二介质层的材料包括高 K 介质材料。

根据本公开实施例的第三方面，提供了一种电容器结构的制备方法，所述方法包括：

在衬底上形成第一绝缘层；

在所述第一绝缘层上形成第一掩膜；

根据所述第一掩膜在所述第一绝缘层内形成第一通孔；

在所述第一通孔内形成所述电容器结构的第一子电极；

形成第 N 绝缘层，在所述第 N 绝缘层上形成第 N 掩膜，N 大于或者等于 2；

根据所述第 N 掩膜在所述第 N 绝缘层内形成第 N 通孔，所述第 N 通孔与第 N-1 通孔在垂直于所述衬底方向上贯通连接，N 个所述通孔中，至少一个所述通孔在所述衬底上的正投影覆盖另一个所述通孔在所述衬底上的正投影；

在所述第 N 通孔内形成所述电容器结构的第 N 子电极；

去除所述第一绝缘层至所述第 N 绝缘层，所述第一子电极至所述第 N 子电极构成所述电容器结构的第一电极；

形成所述电容器结构的第一介质层，所述第一介质层覆盖所述第一电极至少部分外表面；

形成所述电容器结构的第二电极，所述第二电极覆盖所述第一介质层至少部分外表面，且所述第二电极与所述第一电极绝缘。

在一实施例中，所述第一掩膜具有第一掩膜图案，第二掩膜具有第二掩膜图案，所述第一掩膜图案在所述衬底上的正投影覆盖所述第二掩膜图案在所述衬底上的正投影；或者，

所述第二掩膜图案在所述衬底上的正投影覆盖所述第一掩膜图案在所述衬底上的正投影。

在一实施例中，所述第一掩膜至所述第 N 掩膜分别具有第一掩膜图案至第 N 掩膜图案，N 大于或等于 3；

其中，奇数部分的掩膜图案在所述衬底上的正投影面积小于偶数部分的掩膜图案在所述衬底上的正投影面积，或者，奇数部分的掩膜图案在所述衬底上的正投影面积大于偶数部分的掩膜图案在所述衬底上的正投影面积。

在一实施例中，在沿平行于所述衬底的平面方向的投影中，所述第 N 掩膜图案的投影在所述第一掩膜图案的投影两侧的面积相等。

根据本公开实施例的第四方面，提供了一种半导体结构的制备方法，所述方法包括：

在衬底上形成第一绝缘层；

在所述第一绝缘层上形成第一掩膜；

根据所述第一掩膜在所述第一绝缘层内形成两个第一通孔；

在两个所述第一通孔内形成两个电容器结构的子电极；

形成第 N 绝缘层，在所述第 N 绝缘层上形成第 N 掩膜；N 大于或者等于 2；

根据所述第 N 掩膜在所述第 N 绝缘层内形成至少一个第 N 通孔，所述第 N 通孔与第 N-1 通孔在垂直于所述衬底方向上贯通连接，N 个所述通孔中，至少一个所述通孔在所述衬底上的正投影覆盖另一个所述通孔在所述衬底上的正投影；

在至少一个所述第 N 通孔内形成至少一个所述电容器结构的第 N 个子电极；

去除所述第一绝缘层至所述第 N 绝缘层，至少两个所述子电极构成第一电容器结构的第一电极，至少一个所述子电极构成第二电容器结构的第三电极；

形成所述第一电容器结构的第一介质层和所述第二电容器结构的第二介质层，所述第一介质层覆盖所述第一电极至少部分外表面，所述第二介质层覆盖所述第三电极至少部分外表面，所述第一介质层与所述第二介质层不连接；

形成所述第一电容器结构的第二电极和所述第二电容器结构的第四电极，所述第二电极覆盖所述第一介质层至少部分外表面，所述第四电极覆盖所述第二介质层至少部分外表面，且所述第二电极与所述第一电极绝缘，所述第三电极与所述第四电极绝缘，所述第二电极与所述第四电极连接。

在一实施例中，所述第一掩膜具有第一一掩膜图案和第一二掩膜图案，第二掩膜具有第二掩膜图案，其中，所述第二掩膜图案在所述衬底上的正投影覆盖所述第一一掩膜图案在所述衬底上的正投影，所述第一一掩膜图案在所述衬底上的正投影面积小于所述第一二掩膜图案在所述衬底上的正投影面积。

在一实施例中，所述第一掩膜具有第一一掩膜图案和第一二掩膜图案，第二掩膜具有第二一掩膜图案和第二二掩膜图案，其中，

所述第二一掩膜图案在所述衬底上的正投影覆盖所述第一一掩膜图案在所述衬底上的正投影，所述第一二掩膜图案在所述衬底上的正投影覆盖所述第二二掩膜图案在所述衬底上的正投影，所述第一一掩膜图案在所述衬底上的正投影面积小于所述第一二掩膜图案在所述衬底上的正投影面积。

在一实施例中，所述第一掩膜具有第一一掩膜图案和第一二掩膜图案，以此类推，所述第 N 掩膜具有第 N 一掩膜图案和第 N 二掩膜图案，N 大于或等于 3；其中，

所述第一一掩膜图案至第 N 一掩膜图案中的奇数部分在所述衬底上的正投影面积大于偶数部分在所述衬底上的正投影面积，所述第一二掩膜图案至所述第 N 二掩膜图案中的奇数部分在所述衬底上的正投影面积小于偶数部分在所述衬底上的正投影面积；所述第一一掩膜图案至第 N 一掩膜图案中的奇数部分在所述衬底上的正投影面积大于所述第一二掩膜图案至所述第 N 二掩膜图案中对应奇数部分在所述衬底上的正投影面积，所述第一一掩膜图案至第 N 一掩膜图案中偶数部分在所述衬底上的正投影面积小于所述第一二掩膜图案至所述第 N 二掩膜图案中对应偶数部分在所述衬底上的正投影面积，或者，所述第一一掩膜图案至第 N 一掩膜图案中的奇数部分在所述衬底上的正投影面积小于偶数部分在所述衬底上的正投影面积，所述第一二掩膜图案至所述第 N 二掩膜图案中的奇数部分在所述衬底上的正投影面积大于偶数部分在所述衬底上的正投影面积；所述第一一掩膜图案至第 N 一掩膜图案中的奇数部分在所述衬底上的正投影面积小于所述第一二掩膜图案至所述第 N 二掩膜图案中对应奇数部分在所述衬底上的正投影面积，所述第一一掩膜图案至第 N 一掩膜图案中偶数部分在所述衬底上的正投影面积大于所述第一二掩膜图案至所述第 N 二掩膜图案中对应偶数部分在所述衬底上的正投影面积。

在一实施例中，所述第一一掩膜图案、所述第一二掩膜图案和第二掩膜图案的形状为椭圆形；

所述第一一掩膜图案在第一方向上的最大宽度小于相邻两条字线之间的宽度的 0.5 倍，所述第一二掩膜图案在第一方向上的最大宽度等于相邻两条字线之间的宽度；所述第二掩膜图案在第一方向上的最大宽度等于相邻两条字线之间的宽度的 1.5 倍，其中，所述第一方向为位线延伸的方向；

所述第一一掩膜图案、第一二掩膜图案和第二掩膜图案在第二方向上的最大宽度等于相邻两条位线之间的宽度，其中，所述第二方向为字线延伸的方向。

在一实施例中，还包括:

在形成第一绝缘层之前，

在所述衬底上形成多条沿第二方向延伸的字线，以及多个分立的有源区；

在所述有源区的两侧形成第一源/漏端以及在中间形成第二源/漏端；

在所述第二源/漏端上形成第二导电插塞；

在所述第二导电插塞上形成位线，所述位线沿第一方向延伸；其中，所述位线通过所述第二导电插塞与所述有源区的第二源/漏端电连接；

在所述第一源/漏端上形成第一导电插塞；其中，所述第一导电插塞位于所述第一电容器结构和所述第二电容器结构下，所述第一电容器结构和所述第二电容器结构通过所述第一导电插塞与所述有源区的第一源/漏端电连接。

本公开实施例中，通过形成一个多级电容器结构，并且电容器结构中的第一电极的多个子电极中，至少有一个子电极占据较大面积，如此，增大了电容器的面积，从而增加了电池电容器的容量，同时占据了较小面积的子电极，又使得电容器结构之间有足够的空间，减弱了每个电容器结构之间相互接触的问题。

附图说明

为了更清楚地说明本公开实施例或传统技术中的技术方案，下面将对实施例中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本公开的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。

图 1 为本公开实施例提供的电容器结构的剖面示意图；

图 2 为本公开实施例提供的电容器结构的俯视图；

图 3a 为本公开一实施例提供的电容器结构的剖面示意图；

图 3b 为本公开另一实施例提供的电容器结构的剖面示意图；

图 3c 为本公开另一实施例提供的电容器结构的剖面示意图；

图 3d 为本公开另一实施例提供的电容器结构的剖面示意图；

图 4 为本公开实施例提供的半导体结构的剖面示意图；

图 5 为本公开实施例提供的半导体结构的俯视图；

图 6a 为本公开一实施例提供的半导体结构的剖面示意图；

图 6b 为本公开另一实施例提供的半导体结构的剖面示意图；

图 7 为本公开实施例提供的半导体结构的部分结构的俯视图；

图 8 为本公开实施例提供的电容器结构的制备方法的流程示意图；

图 9a 至图 9k 为本公开实施例提供的电容器结构在制备过程中的结构示意图；

图 10 为本公开实施例提供的半导体结构的制备方法的流程示意图；

图 11a 至图 11l 为本公开实施例提供的半导体结构在制备过程中的结构示意图。

附图标记说明：

10-第一电容器结构；11-第一电极；12-第一介质层；13-第二电极；111-第一子电极；112-第二子电极；20-第二电容器结构；21-第三电极；22-第二介质层；23-第四电极；211-第三子电极；212-第四子电极；30-衬底；31-字线；32-位线；33-有源区；331-第一源/漏端；332-第二源/漏端；34-隔离结构；41-第一导电插塞；42-第二导电插塞；51-第一绝缘层；52-第二绝缘层；61-第一掩膜；611-第一掩膜图案；611-1-第一一掩膜图案；611-2-第一二掩膜图案；62-第二掩膜；621-第二掩膜图案；71-第一通孔；72-第二通孔。

具体实施方式

下面将参照附图更详细地描述本公开公开的示例性实施方式。虽然附图中显示了本公开的示例性实施方式，然而应当理解，可以以各种形式实现本公开，而不应被这里阐述的具体实施方式所限制。相反，提供这些实施方式是为了能够更透彻地理解本公开，并且能够将本公开公开的范围完整的传达给本领域的技术人员。

在下文的描述中，给出了大量具体的细节以便提供对本公开更为彻底的理解。然而，对于本领域技术人员而言显而易见的是，本公开可以无需一个或多个这些细节而得以实施。在其他的例子中，为了避免与本公开发生混淆，对于本领域公知的一些技术特征未进行描述；即，这里不描述实际实施例的全部特征，不详细描述公知的功能和结构。

在附图中，为了清楚，层、区、元件的尺寸以及其相对尺寸可能被夸大。自始至终相同附图标记表示相同的元件。

应当明白，当元件或层被称为“在……上”、“与……相邻”、“连接到”或“耦合到”其它元件或层时，其可以直接地在其它元件或层上、与之相邻、连接或耦合到其它元件或层，或者可以存在居间的元件或层。相反，当元件被称为“直接在……上”、“与……直接相邻”、“直接连接到”或“直接耦合到”其它元件或层时，则不存在居间的元件或层。应当明白，尽管可使用术语第一、第二、第三等描述各种元件、部件、区、层和/或部分，这些元件、部件、区、层和/或部分不应当被这些术语限制。这些术语仅仅用来区分一个元件、部件、区、层或部分与另一个元件、部件、区、层或部分。因此，在不脱离本公开教导之下，下面讨论的第一元件、部件、区、层或部分可表示为第二元件、部件、区、层或部分。而当讨论的第二元件、部件、区、层或部分时，并不表明本公开必然存在第一元件、部件、区、层或部分。

空间关系术语例如“在……下”、“在……下面”、“下面的”、“在……之下”、“在……之上”、“上面的”等，在这里可为了方便描述而被使用从而描述图中所示的一个元件或特征与其它元件或特征的关系。应当明白，除了图中所示的取向以外，空间关系术语意图还包括使用和操作中的器件的不同取向。例如，如果附图中的器件翻转，然后，描述为“在其它元件下面”或“在其之下”或“在其下”元件或特征将取向为在其它元件或特征“上”。因此，示例性术语“在……下面”和“在……下”可包括上和下两个取向。器件可以另外地取向（旋转 90 度或其它取向）并且在此使用的空间描述语相应地被解释。

在此使用的术语的目的仅在于描述具体实施例并且不作为本公开的限制。在此使用时，单数形式的“一”、“一个”和“所述/该”也意图包括复数形式，除非上下文清楚指出另外的方式。还应明白术语“组成”和/或“包括”，当在该说明书中使用时，确定所述特征、整数、步骤、操作、元件和/或部件的存在，但不排除一个或更多其它的特征、整数、步骤、操作、元件、部件和/或组的存在或添加。在此使用时，术语“和/或”包括相关所列项目的任何及所有组合。

为了彻底理解本公开，将在下列的描述中提出详细的步骤以及详细的结构，以便阐释本公开的技术方案。本公开的较佳实施例详细描述如下，然而除了这些详细描述外，本公开还可以具有其他

实施方式。

基于此，本公开实施例提供了一种电容器结构，图 1 为本公开实施例提供的电容器结构的剖面示意图，图 2 为本公开实施例提供的电容器结构的俯视图，需要说明的是，图 1 和图 2 所示的电容器结构中的第一电极只包含两个子电极。

参见图 1 和图 2，所述电容器结构，包括衬底 30 以及设置于所述衬底 30 上的第一电极 11、第一介质层 12 和第二电极 13，其中，所述第一电极 11 包括至少两个在垂直于所述衬底 30 方向上连续设置且依次连接的子电极，至少两个所述子电极中，至少一个所述子电极在所述衬底 30 上的正投影覆盖另一个所述子电极在所述衬底 30 上的正投影；所述第一介质层 12 设置于所述第一电极 11 至少部分外表面；所述第二电极 13 设置于所述第一介质层 12 至少部分外表面，且所述第二电极 13 与所述第一电极 11 绝缘设置。

本公开实施例中，通过形成一个多级电容器结构，并且电容器结构中的第一电极的多个子电极中，至少有一个子电极占据较大面积，如此，增大了电容器的面积，从而增加了电池电容器的容量，同时占据了较小面积的子电极，又使得电容器结构之间有足够的空间，减弱了每个电容器结构之间相互接触的问题。

所述衬底 30 可以为硅衬底、锗衬底、硅锗衬底、碳化硅衬底、SOI(绝缘体上硅，Silicon On Insulator)衬底或 GOI(绝缘体上锗，Germanium On Insulator)衬底等，还可以为包括其他元素半导体或化合物半导体的衬底，例如玻璃衬底或 III-V 族化合物衬底(例如氮化镓衬底或砷化镓衬底等)，还可以为叠层结构，例如 Si/SiGe 等，还可以其他外延结构，例如 SGOI(绝缘体上锗硅)等。

在一实施例中，所述第一电极 11 包括两个在垂直于所述衬底 30 方向上连续设置且依次连接的第一子电极 111 和第二子电极 112；其中，所述第一子电极 111 相较于所述第二子电极 112 临近所述衬底 30；所述第一子电极 111 在所述衬底 30 上的正投影覆盖所述第二子电极 112 在所述衬底 30 上的正投影；或者，所述第二子电极 112 在所述衬底 30 上的正投影覆盖所述第一子电极 111 在所述衬底 30 上的正投影。

具体地，在一些实施例中，如图 1 和图 2 所示，所述第二子电极 112 在所述衬底 30 上的正投影覆盖所述第一子电极 111 在所述衬底 30 上的正投影。在其他一些实施例中，如图 3a 所示，所述第一子电极 111 在所述衬底 30 上的正投影覆盖所述第二子电极 112 在所述衬底 30 上的正投影。

在一实施例中，所述第一电极 11 包括 N 个在垂直于所述衬底 30 方向上连续设置且依次连接的 N 个子电极；N 大于或等于 3；其中，奇数部分的子电极在所述衬底 30 上的正投影面积小于偶数部分的子电极在所述衬底 30 上的正投影面积，或者，奇数部分的子电极在所述衬底 30 上的正投影面积大于偶数部分的子电极在所述衬底 30 上的正投影面积。

具体地，在一些实施例中，如图 3b 所示，第一层的子电极和第三层的子电极在衬底上的正投影面积小于第二层的子电极和第四层的子电极在衬底上的正投影面积。在其他一些实施例中，如图 3c 所示，第一层的子电极和第三层的子电极在衬底上的正投影面积大于第二层的子电极和第四层的子电极在衬底上的正投影面积。

在一实施例中，如图 1 所示，在沿平行于所述衬底 30 的平面方向的投影中，所述第二子电极 112 的投影在所述第一子电极 111 的投影两侧的面积相等。

具体地，如图 1 所示，第二子电极 112 沿第一子电极 111 的轴线呈对称分布。在该实施例中，电容器之间不会存在短接的问题。

在其他一些实施例中，如图 3d 所示，在沿平行于所述衬底 30 的平面方向的投影中，所述第二子电极 112 的投影在所述第一子电极 111 的投影两侧的面积不相等。

本公开实施例还提供了一种半导体结构，图 4 为本公开实施例提供的半导体结构的剖面示意图，图 5 为本公开实施例提供的半导体结构的俯视图。

如图 4 和图 5 所示，所述半导体结构包括：至少一个如上述实施例所述的第一电容器结构 10 和第二电容器结构 20；其中，所述第二电容器结构 20 包括衬底 30 以及设置于所述衬底 30 上的第三电极 21、第二介质层 22 和第四电极 23，所述第二介质层 22 设置于所述第三电极 21 至少部分外表面，所述第四电极 23 设置于所述第二介质层 22 至少部分外表面，且所述第四电极 23 与所述第三电极 21 绝缘设置；相邻的所述第一电容器结构 10 的所述第一介质层 12 和所述第二电容器结构 20 的所述第二介质层 22 不连接，相邻的所述第一电容器结构 10 的所述第二电极 13 和所述第二电容器结构 20 的所述第四电极 23 连接。

在一实施例中，如图 5 所示，所述第一电容器结构 10 与所述第二电容器结构 20 沿第一方向间隔设置。

在一实施例中，所述第一电容器结构包括第一电极 11、第一介质层 12 和第二电极 13。

在一实施例中，如图 4 所示，所述第一电极 11 包括两个在垂直于所述衬底 30 方向上连续设置且依次连接的第一子电极 111 和第二子电极 112；其中，所述第一子电极 111 相较于所述第二子电极 112 临近所述衬底；所述第二子电极 112 在所述衬底 30 上的正投影覆盖所述第一子电极 111 在所述衬底上的正投影，所述第一子电极 111 在所述衬底 30 上的正投影面积小于所述第三电极 21 在所述衬底 30 上的正投影面积。

在一实施例中，如图 4 和图 5 所示，所述第一电容器结构 10 的第二子电极 112 在所述衬底 30

上的正投影与所述第二电容器结构 20 的第三电极 21 在所述衬底 30 上的正投影部分重叠。

第二子电极在衬底上的正投影与第三电极在衬底上的正投影部分重叠，但因为第二子电极与第三电极不在同一层中，它们之间互不接触，则相比于在一层内形成相同数量和相同形状的电容器结构，本公开实施例中的半导体结构能够更加充分利用空间，使得每个电容器结构的面积都足够大。

在一实施例中，如图 6a 所示，所述第一电极 11 包括两个在垂直于所述衬底 30 方向上连续设置且依次连接的第一子电极 111 和第二子电极 112；其中，所述第一子电极 111 相较于所述第二子电极 112 临近所述衬底 30；所述第三电极 21 包括两个在垂直于所述衬底 30 方向上连续设置且依次连接的第三子电极 211 和第四子电极 212；其中，所述第三子电极 211 相较于所述第四子电极 212 临近所述衬底 30；

所述第二子电极 112 在所述衬底 30 上的正投影覆盖所述第一子电极 111 在所述衬底 30 上的正投影，且所述第三子电极 211 在所述衬底 30 上的正投影覆盖所述第四子电极 212 在所述衬底 30 上的正投影，所述第一子电极 111 在所述衬底 30 上的正投影面积小于所述第三子电极 211 在所述衬底 30 上的正投影面积，或者，所述第一子电极 111 在所述衬底 30 上的正投影覆盖所述第二子电极 112 在所述衬底 30 上的正投影，且所述第四子电极 212 在所述衬底 30 上的正投影覆盖所述第三子电极 211 在所述衬底 30 上的正投影，所述第一子电极 111 在所述衬底 30 上的正投影面积大于所述第三子电极 211 在所述衬底 30 上的正投影面积。

在一实施例中，所述第一电极 11 包括 N 个在垂直于所述衬底方向上连续设置且依次连接的 N 个子电极；N 大于或等于 3；

所述第三电极 21 包括 M 个在垂直于所述衬底方向上连续设置且依次连接的 M 个子电极；M 大于或等于 2，且 M 小于或等于 N；

其中，所述第一电极的奇数部分的子电极在所述衬底上的正投影面积大于偶数部分的子电极在所述衬底上的正投影面积，所述第三电极的奇数部分的子电极在所述衬底上的正投影面积小于偶数部分的子电极在所述衬底上的正投影面积；所述第一电极的奇数部分的子电极在所述衬底上的正投影面积大于所述第三电极对应奇数部分的子电极在所述衬底上的正投影面积，所述第一电极偶数部分的子电极在所述衬底上的正投影面积小于所述第三电极对应偶数部分的子电极在所述衬底上的正投影面积，或者，所述第一电极的奇数部分的子电极在所述衬底上的正投影面积小于偶数部分的子电极在所述衬底上的正投影面积，所述第三电极的奇数部分的子电极在所述衬底上的正投影面积大于偶数部分的子电极在所述衬底上的正投影面积；所述第一电极的奇数部分的子电极在所述衬底上的正投影面积小于所述第三电极对应奇数部分的子电极在所述衬底上的正投影面积，所述第一电极偶数部分的子电极在所述衬底上的正投影面积大于所述第三电极对应偶数部分的子电极在所述衬底上的正投影面积。

具体地，在一些实施例中，如图 6b 所示，第一电极 11 的第一层的子电极和第三层的子电极在衬底上的正投影面积大于第三电极 21 的第一层的子电极和第三层的子电极在衬底上的正投影面积，第一电极 11 的第二层的子电极和第四层的子电极在衬底上的正投影面积小于第三电极 21 的第二层的子电极和第四层的子电极在衬底上的正投影面积。

在其他一些实施例中，第一电极的第一层的子电极和第三层的子电极在衬底上的正投影面积小于第三电极的第一层的子电极和第三层的子电极在衬底上的正投影面积，第一电极的第二层的子电极和第四层的子电极在衬底上的正投影面积大于第三电极的第二层的子电极和第四层的子电极在衬底上的正投影面积（未图示）。

图 7 为本公开实施例提供的半导体结构的部分结构的俯视图，图 7 中未示出电容器结构。

如图 7 所示，在一实施例中，所述衬底 30 包括多条沿第二方向延伸的字线 31，以及多个分立的有源区 33；所述有源区 33 包括位于两侧的第一源/漏端 331 和位于中间的第二源/漏端 332；

所述半导体结构还包括：多条位线 32，位于所述衬底 30 上，所述位线 32 沿第一方向延伸；

第一导电插塞 41，位于所述第一电容器结构 10 和第二电容器结构 20 的下方；其中，所述第一电容器结构 10 和第二电容器结构 20 通过所述第一导电插塞 41 与所述有源区 33 的第一源/漏端 331 电连接；

第二导电插塞 42，位于所述位线 32 的下方；其中，所述位线 32 通过所述第二导电插塞 42 与所述有源区 33 的第二源/漏端 332 电连接。

参见图 7，所述衬底 30 还包括隔离结构 34，其中，所述隔离结构 34 将所述衬底 30 限定为多个分立的有源区 33。所述隔离结构 34 的材料可以包括氧化物(例如硅氧化物)、氮化物(例如硅氮化物)和氮氧化物(例如硅氮氧化物)中的一种或多种。

参见图 7，每个有源区 33 的位于两侧的第一源/漏端 331 和位于中间的第二源/漏端 332 由两条字线 31 间隔开。

所述第一源/漏端 331 和所述第二源/漏端 332 可以通过离子注入的方式形成于所述有源区 33 内。在一具体实施例中，所述第一源/漏端 331 和所述第二源/漏端 332 的导电类型相同，如 n 型。

所述字线 31 和所述位线 32 的材料包括钨（W）、铜（Cu）、钛（Ti）、钽（Ta）、氮化钛（TiN）、氮化钽（TaN）、金属硅化物、金属合金或其任何组合。

所述第一导电插塞 41 和所述第二导电插塞 42 的材料例如是钨(W)、铜(Cu)、钛(Ti)、钽(Ta)、氮

化钛(TiN)、氮化钽(TaN) ，多晶硅或其组合。

在一实施例中，所述第一电极 11、所述第二电极 13、所述第三电极 21 和所述第四电极 23 的材料包括金属；所述第一介质层 12 和所述第二介质层 22 的材料包括高 K 介质材料。

具体地，所述第一电极 11 和所述第三电极 21 的材料包括但不限于氮化钛。所述第二电极 13 和所述第四电极 23 的材料包括但不限于多晶硅或锗硅。

所述第一介质层 12 和所述第二介质层 22 的材料包括高 K 介质材料，具体的，所述高 K 介质材料可以包括但不限于铝氧化物(Al2O3)、钽氧化物(Ta_2O_3)、钛氧化物(TiO_2)、钇氧化物(Y_2O_3)、锆氧化物(ZrO_2)、锆硅氧化物($ZrSi_xO_y$)、铪氧化物(HfO_2)、铪硅氧化物($HfSi_xO_y$)、铪硅氮氧化物(HfSiON)、铪锆酸盐($HfZrO_4$)、镧氧化物(La_2O_3)、镧铝氧化物($LaAl_xO_y$)、镧铪氧化物($LaHf_xO_y$)、铪铝氧化物($HfAl_xO_y$)和/或镨氧化物(Pr_2O_3)等。

使用高 K 介质材料作为第一介质层 12 和第二介质层 22 的材料，可以提高电容器结构的容量。

本公开实施例还提供了一种电容器结构的制备方法，具体请参见附图 8，如图所示，所述方法包括以下步骤:

步骤 801: 在衬底上形成第一绝缘层;

步骤 802: 在所述第一绝缘层上形成第一掩膜;

步骤 803: 根据所述第一掩膜在所述第一绝缘层内形成第一通孔;

步骤 804: 在所述第一通孔内形成所述电容器结构的第一子电极;

步骤 805: 形成第 N 绝缘层，在所述第 N 绝缘层上形成第 N 掩膜，N 大于或者等于 2;

步骤 806: 根据所述第 N 掩膜在所述第 N 绝缘层内形成第 N 通孔，所述第 N 通孔与第 N-1 通孔在垂直于所述衬底方向上贯通连接，N 个所述通孔中，至少一个所述通孔在所述衬底上的正投影覆盖另一个所述通孔在所述衬底上的正投影;

步骤 807: 在所述第 N 通孔内形成所述电容器结构的第 N 子电极;

步骤 808: 去除所述第一绝缘层至所述第 N 绝缘层，所述第一子电极至所述第 N 子电极构成所述电容器结构的第一电极;

步骤 809: 形成所述电容器结构的第一介质层，所述第一介质层覆盖所述第一电极至少部分外表面;

步骤 810: 形成所述电容器结构的第二电极，所述第二电极覆盖所述第一介质层至少部分外表面，且所述第二电极与所述第一电极绝缘。

下面结合具体实施例对本公开实施例提供的电容器结构的制备方法再作进一步详细的说明。

图 9a 至图 9k 为本公开实施例提供的电容器结构在制备过程中的结构示意图。

首先，参见图 9a，执行步骤 801，在衬底（图中未示出）上形成第一绝缘层 51。

在实际操作中，所述第一绝缘层 51 可以使用一种或多种薄膜沉积工艺形成；具体地，所述沉积工艺包括但不限于化学气相沉积（CVD）工艺、等离子体增强化学气相沉积（PECVD）工艺、原子层沉积（ALD）工艺或其组合。

接着，参见图 9b，执行步骤，802，在所述第一绝缘层 51 上形成第一掩膜 61。

接着，参见图 9c，执行步骤 803，根据所述第一掩膜 61 在所述第一绝缘层 51 内形成第一通孔 71。

具体地，可以对所述第一掩膜 61 进行图案化处理，以形成第一掩膜图案 611，根据所述第一掩膜图案 611，在所述第一绝缘层 51 内形成第一通孔 71。

具体地，所述第一掩膜可以是光致抗蚀剂掩膜或者基于光刻掩膜进行图案化的硬掩膜；当第一掩膜是光致抗蚀剂掩膜时，具体通过曝光、显影和去胶等步骤对第一掩模进行图案化。接着按照要刻蚀的图形刻蚀出具有一定深度的第一通孔。

接着，在形成所述第一通孔 71 后，去除剩余的第一掩膜。

接着，参见图 9d，执行步骤 804，在所述第一通孔 71 内形成所述电容器结构的第一子电极 111。

接着，执行步骤 805，形成第 N 绝缘层，在所述第 N 绝缘层上形成第 N 掩膜，N 大于或者等于 2。

具体地，在本实施例中，以 N 等于 2 为例。参见图 9e 和图 9f，形成第二绝缘层 52，在所述第二绝缘层 52 上形成第二掩膜 62。

在实际操作中，所述第二绝缘层 52 可以使用一种或多种薄膜沉积工艺形成；具体地，所述沉积工艺包括但不限于化学气相沉积（CVD）工艺、等离子体增强化学气相沉积（PECVD）工艺、原子层沉积（ALD）工艺或其组合。

接着，执行步骤 806，根据所述第 N 掩膜在所述第 N 绝缘层内形成第 N 通孔，所述第 N 通孔与所述第 N-1 通孔在垂直于所述衬底方向上贯通连接，N 个所述通孔中，至少一个所述通孔在所述衬底上的正投影覆盖另一个所述通孔在所述衬底上的正投影。

接着，在形成所述第 N 通孔后，去除剩余的第 N 掩膜。

具体地，参见图 9g，根据所述第二掩膜 62 在所述第二绝缘层 52 内形成第二通孔 72，所述第二通孔 72 与所述第一通孔 71 在垂直于所述衬底方向上贯通连接，所述第二通孔 72 在所述衬底上的正投影覆盖所述第一通孔 71 在所述衬底上的正投影。

具体地，可以对所述第二掩膜 62 进行图案化处理，以形成第二掩膜图案 621，根据所述第二掩膜图案 621，在所述第二绝缘层 52 内形成第二通孔 72。

具体地，所述第二掩膜可以是光致抗蚀剂掩膜或者基于光刻掩膜进行图案化的硬掩膜；当第二掩膜是光致抗蚀剂掩膜时，具体通过曝光、显影和去胶等步骤对第一掩模进行图案化。接着按照要刻蚀的图形刻蚀出具有一定深度的第二通孔。

接着，执行步骤 807，在所述第 N 通孔内形成所述电容器结构的第 N 子电极。

具体地，参见图 9h，在所述第二通孔 72 内形成所述电容器结构的第二子电极 112。

接着，执行步骤 808，去除所述第一绝缘层至所述第 N 绝缘层，所述第一子电极至所述第 N 子电极构成所述电容器结构的第一电极。

具体地，参见图 9i，去除所述第一绝缘层 51 和所述第二绝缘层 52，所述第一子电极 111 和所述第二子电极 112 构成所述电容器结构的第一电极 11。

接着，参见图 9j，执行步骤 809，形成所述电容器结构的第一介质层 12，所述第一介质层 12 覆盖所述第一电极 11 至少部分外表面。

接着，参见图 9k，执行步骤 810，形成所述电容器结构的第二电极 13，所述第二电极 13 覆盖所述第一介质层 12 至少部分外表面，且所述第二电极 13 与所述第一电极 11 绝缘。

在一实施例中，所述第一掩膜 61 具有第一掩膜图案 611，第二掩膜 62 具有第二掩膜图案 621，所述第一掩膜图案 611 在所述衬底上的正投影覆盖所述第二掩膜图案 621 在所述衬底上的正投影；或者，所述第二掩膜图案 621 在所述衬底上的正投影覆盖所述第一掩膜图案 611 在所述衬底上的正投影。

具体地，例如如图 9g 所示，所述第二掩膜图案 621 在所述衬底上的正投影覆盖所述第一掩膜图案 611 在所述衬底上的正投影。

在一实施例中，所述第一掩膜至所述第 N 掩膜分别具有第一掩膜图案至第 N 掩膜图案，N 大于或等于 3；其中，奇数部分的掩膜图案在所述衬底上的正投影面积小于偶数部分的掩膜图案在所述衬底上的正投影面积，或者，奇数部分的掩膜图案在所述衬底上的正投影面积大于偶数部分的掩膜图案在所述衬底上的正投影面积。

在一实施例中，在沿平行于所述衬底的平面方向的投影中，所述第 N 掩膜图案的投影在所述第一掩膜图案的投影两侧的面积相等。

具体地，参见图 9g，在沿平行于所述衬底的平面方向的投影中，所述第二掩膜图案 621 的投影在所述第一掩膜图案 611 的投影两侧的面积相等。

本公开实施例还提供了一种半导体结构的制备方法，具体请参见附图 10，如图所示，所述方法包括以下步骤：

步骤 1001：在衬底上形成第一绝缘层；

步骤 1002：在所述第一绝缘层上形成第一掩膜；

步骤 1003：根据所述第一掩膜在所述第一绝缘层内形成两个第一通孔；

步骤 1004：在两个所述第一通孔内形成两个电容器结构的子电极；

步骤 1005：形成第 N 绝缘层，在所述第 N 绝缘层上形成第 N 掩膜；N 大于或者等于 2；

步骤 1006：根据所述第 N 掩膜在所述第 N 绝缘层内形成至少一个第 N 通孔，所述第 N 通孔与第 N-1 通孔在垂直于所述衬底方向上贯通连接，N 个所述通孔中，至少一个所述通孔在所述衬底上的正投影覆盖另一个所述通孔在所述衬底上的正投影；

步骤 1007：在至少一个所述第 N 通孔内形成至少一个所述电容器结构的第 N 个子电极；

步骤 1008：去除所述第一绝缘层至所述第 N 绝缘层，至少两个所述子电极构成第一电容器结构的第一电极，至少一个所述子电极构成第二电容器结构的第三电极；

步骤 1009：形成所述第一电容器结构的第一介质层和所述第二电容器结构的第二介质层，所述第一介质层覆盖所述第一电极至少部分外表面，所述第二介质层覆盖所述第三电极至少部分外表面，所述第一介质层与所述第二介质层不连接；

步骤 1010：形成所述第一电容器结构的第二电极和所述第二电容器结构的第四电极，所述第二电极覆盖所述第一介质层至少部分外表面，所述第四电极覆盖所述第二介质层至少部分外表面，且所述第二电极与所述第一电极绝缘，所述第三电极与所述第四电极绝缘，所述第二电极与所述第四电极连接。

下面结合具体实施例对本公开实施例提供的半导体结构的制备方法再作进一步详细的说明。

图 11a 至图 11l 为本公开实施例提供的半导体结构在制备过程中的结构示意图。

图 11a 为沿图 7 中 A-A’方向的剖视图。图 11b 至图 11l 为本公开实施例提供的半导体结构中的电容器结构在制备过程中的结构示意图.

首先，参见图 7 和图 11a，在执行步骤 1001 之前，即在衬底上形成第一绝缘层之前，所述方法还包括：

在所述衬底 30 上形成多条沿第二方向延伸的字线 31，以及多个分立的有源区 33；

在所述有源区 33 的两侧形成第一源/漏端 331 以及在中间形成第二源/漏端 332；

在所述第二源/漏端 332 上形成第二导电插塞 42；

在所述第二导电插塞 42 上形成位线 32，所述位线 32 沿第一方向延伸；其中，所述位线 32 通过所述第二导电插塞 42 与所述有源区的第二源/漏端 332 电连接；

在所述第一源/漏端 331 上形成第一导电插塞 41；其中，所述第一导电插塞 41 位于所述第一电容器结构和所述第二电容器结构下，所述第一电容器结构和所述第二电容器结构通过所述第一导电插塞 41 与所述有源区的第一源/漏端 331 电连接。

所述衬底 30 可以为硅衬底、锗衬底、硅锗衬底、碳化硅衬底、SOI（绝缘体上硅，Silicon On Insulator）衬底或 GOI（绝缘体上锗，Germanium On Insulator）衬底等，还可以为包括其他元素半导体或化合物半导体的衬底，例如玻璃衬底或 III-V 族化合物衬底（例如氮化镓衬底或砷化镓衬底等），还可以为叠层结构，例如 Si/SiGe 等，还可以其他外延结构，例如 SGOI（绝缘体上锗硅）等。

需要解释的是，在衬底中形成有源区和字线的过程，不限定形成顺序。

在提供衬底 30 后，所述方法还包括：在所述衬底 30 内形成隔离结构 34，其中，所述隔离结构 34 将所述衬底 30 限定为多个分立的有源区 33。所述隔离结构 34 的材料可以包括氧化物(例如硅氧化物)、氮化物(例如硅氮化物)和氮氧化物(例如硅氮氧化物)中的一种或多种。

所述第一源/漏端 331 和所述第二源/漏端 332 可以通过离子注入的方式形成于所述有源区 33 内。在一具体实施例中，所述第一源/漏端 331 和所述第二源/漏端 332 的导电类型相同，如 n 型。

所述字线 31 和所述位线 32 的材料包括钨（W）、铜（Cu）、钛（Ti）、钽（Ta）、氮化钛（TiN）、氮化钽（TaN）、金属硅化物、金属合金或其任何组合。

所述第一导电插塞 41 和所述第二导电插塞 42 的材料例如是钨(W)、铜(Cu)、钛(Ti)、钽(Ta)、氮化钛(TiN)、氮化钽(TaN)，多晶硅或其组合。

接着，参见图 11b，执行步骤 1001，在衬底 30 上形成第一绝缘层 51。

在实际操作中，所述第一绝缘层 51 可以使用一种或多种薄膜沉积工艺形成；具体地，所述沉积工艺包括但不限于化学气相沉积（CVD）工艺、等离子体增强化学气相沉积（PECVD）工艺、原子层沉积（ALD）工艺或其组合。

接着，参见图 11c，执行步骤 1002，在所述第一绝缘层 51 上形成第一掩膜 61。

接着，参见图 11d，执行步骤 1003，根据所述第一掩膜 61 在所述第一绝缘层 51 内形成两个第一通孔 71。

具体地，可以对所述第一掩膜 61 进行图案化处理，以形成第一一掩膜图案 611-1 和第一二掩膜图案 611-2，根据所述第一一掩膜图案 611-1 和第一二掩膜图案 611-2，在所述第一绝缘层 51 内形成两个第一通孔 71。需要解释的是，两个第一通孔在所述衬底上的正投影面积不相等。具体地，可参见图 11d 的（2）图。

具体地，所述第一掩膜可以是光致抗蚀剂掩膜或者基于光刻掩膜进行图案化的硬掩膜；当第一掩膜是光致抗蚀剂掩膜时，具体通过曝光、显影和去胶等步骤对第一掩模进行图案化。接着按照要刻蚀的图形刻蚀出具有一定深度的第一通孔。

接着，在形成所述第一通孔后，去除剩余的第一掩膜。

接着，参见图 11e，执行步骤 1004，在两个所述第一通孔内形成两个电容器结构的子电极。

具体地，在其中一个第一通孔内形成第一电容器结构的第一子电极 111，在另一个第一通孔内形成第二电容器结构的第三子电极 211。

接着，执行步骤 1005，形成第 N 绝缘层，在所述第 N 绝缘层上形成第 N 掩膜；N 大于或者等于 2。

具体地，在本实施例中，以 N 等于 2 为例。参见图 11f 和图 11g，形成第二绝缘层 52，在所述第二绝缘层 52 上形成第二掩膜 62。

在实际操作中，所述第二绝缘层 52 可以使用一种或多种薄膜沉积工艺形成；具体地，所述沉积工艺包括但不限于化学气相沉积（CVD）工艺、等离子体增强化学气相沉积（PECVD）工艺、原子层沉积（ALD）工艺或其组合。

接着，执行步骤 1006，根据所述第 N 掩膜在所述第 N 绝缘层内形成至少一个第 N 通孔，所述第 N 通孔与所述第 N-1 通孔在垂直于所述衬底方向上贯通连接，N 个所述通孔中，至少一个所述通孔在所述衬底上的正投影覆盖另一个所述通孔在所述衬底上的正投影。

接着，在形成所述第 N 通孔后，去除剩余的第 N 掩膜。

具体地，参见图 11h，根据所述第二掩膜 62 在所述第二绝缘层 52 内形成至少一个第二通孔 72，所述第二通孔 72 与所述第一通孔 71 在垂直于所述衬底 30 方向上贯通连接，其中，所述第二通孔 72 在所述衬底上的正投影覆盖所述第一通孔 71 在所述衬底 30 上的正投影。

具体地，可以对所述第二掩膜 62 进行图案化处理，以形成第二掩膜图案 621，根据所述第二掩膜图案 621，在所述第二绝缘层 52 内形成第二通孔 72。

具体地，所述第二掩膜可以是光致抗蚀剂掩膜或者基于光刻掩膜进行图案化的硬掩膜；当第二掩膜是光致抗蚀剂掩膜时，具体通过曝光、显影和去胶等步骤对第一掩模进行图案化。接着按照要刻蚀的图形刻蚀出具有一定深度的第二通孔。

接着，执行步骤 1007，在至少一个所述第 N 通孔内形成至少一个所述电容器结构的第 N 个子电极。

具体地，参见图 11i，在所述第二通孔 72 内形成第一电容器结构的第二子电极 112。

接着，执行步骤 1008，去除所述第一绝缘层至所述第 N 绝缘层，至少两个所述子电极构成第一电容器结构的第一电极，至少一个所述子电极构成第二电容器结构的第三电极。

具体地，参见图 11j，去除所述第一绝缘层 51 和所述第二绝缘层 52，两个所述子电极构成第一电容器结构的第一电极 11，一个所述子电极构成第二电容器结构的第三电极 21。

接着，参见图 11k，执行步骤 1009，形成所述第一电容器结构 10 的第一介质层 12 和所述第二电容器结构 20 的第二介质层 22，所述第一介质层 12 覆盖所述第一电极 11 至少部分外表面，所述第二介质层 22 覆盖所述第三电极 21 至少部分外表面，所述第一介质层 12 与所述第二介质层 22 不连接。

接着，参见图 11l，执行步骤 1010，形成所述第一电容器结构 10 的第二电极 13 和所述第二电容器结构 20 的第四电极 23，所述第二电极 13 覆盖所述第一介质层 12 至少部分外表面，所述第四电极 23 覆盖所述第二介质层 22 至少部分外表面，且所述第二电极 13 与所述第一电极 11 绝缘，所述第三电极 21 与所述第四电极 23 绝缘，所述第二电极 13 与所述第四电极 23 连接。

在一实施例中，所述第一电极 11、所述第二电极 13、所述第三电极 21 和所述第四电极 23 的材料包括金属；所述第一介质层 12 和所述第二介质层 22 的材料包括高 K 介质材料。

具体地，所述第一电极 11 和所述第三电极 21 的材料包括但不限于氮化钛。所述第二电极 13 和所述第四电极 23 的材料包括但不限于多晶硅或锗硅。

所述第一介质层 12 和所述第二介质层 22 的材料包括高 K 介质材料，具体的，所述高 K 介质材料可以包括但不限于铝氧化物(Al2O3)、钽氧化物(Ta_2O_3)、钛氧化物(TiO_2)、钇氧化物(Y_2O_3)、锆氧化物(ZrO_2)、锆硅氧化物($ZrSi_xO_y$)、铪氧化物(HfO_2)、铪硅氧化物($HfSi_xO_y$)、铪硅氮氧化物(HfSiON)、铪锆酸盐($HfZrO_4$)、镧氧化物(La_2O_3)、镧铝氧化物($LaAl_xO_y$)、镧铪氧化物($LaHf_xO_y$)、铪铝氧化物($HfAl_xO_y$)和/或镨氧化物(Pr_2O_3)等。

使用高 K 介质材料作为第一介质层 12 和第二介质层 22 的材料，可以提高电容器结构的容量。

在一实施例中，参见图 11h，所述第一掩膜 61 具有第一一掩膜图案 611-1 和第一二掩膜图案 611-2，第二掩膜 62 具有第二掩膜图案 621，其中，所述第二掩膜图案 621 在所述衬底 30 上的正投影覆盖所述第一一掩膜图案 611-1 在所述衬底 30 上的正投影，所述第一一掩膜图案 611-1 在所述衬底 30 上的正投影面积小于所述第一二掩膜图案 611-2 在所述衬底 30 上的正投影面积。

在一实施例中，所述第一掩膜具有第一一掩膜图案和第一二掩膜图案，第二掩膜具有第二一掩膜图案和第二二掩膜图案，其中，所述第二一掩膜图案在所述衬底上的正投影覆盖所述第一一掩膜图案在所述衬底上的正投影，所述第一二掩膜图案在所述衬底上的正投影覆盖所述第二二掩膜图案在所述衬底上的正投影，所述第一一掩膜图案在所述衬底上的正投影面积小于所述第一二掩膜图案在所述衬底上的正投影面积。

在一实施例中，所述第一掩膜具有第一一掩膜图案和第一二掩膜图案，以此类推，所述第 N 掩膜具有第 N 一掩膜图案和第 N 二掩膜图案，N 大于或等于 3；其中，

所述第一一掩膜图案至第 N 一掩膜图案中的奇数部分在所述衬底上的正投影面积大于偶数部分在所述衬底上的正投影面积，所述第一二掩膜图案至所述第 N 二掩膜图案中的奇数部分在所述衬底上的正投影面积小于偶数部分在所述衬底上的正投影面积；所述第一一掩膜图案至第 N 一掩膜图案中的奇数部分在所述衬底上的正投影面积大于所述第一二掩膜图案至所述第 N 二掩膜图案中对应奇数部分在所述衬底上的正投影面积，所述第一一掩膜图案至第 N 一掩膜图案中偶数部分在所述衬底上的正投影面积小于所述第一二掩膜图案至所述第 N 二掩膜图案中对应偶数部分在所述衬底上的正投影面积，或者，所述第一一掩膜图案至第 N 一掩膜图案中的奇数部分在所述衬底上的正投影面积小于偶数部分在所述衬底上的正投影面积，所述第一二掩膜图案至所述第 N 二掩膜图案中的奇数部分在所述衬底上的正投影面积大于偶数部分在所述衬底上的正投影面积；所述第一一掩膜图案至第 N 一掩膜图案中的奇数部分在所述衬底上的正投影面积小于所述第一二掩膜图案至所述第 N 二掩膜图案中对应奇数部分在所述衬底上的正投影面积，所述第一一掩膜图案至第 N 一掩膜图案中偶数部分在所述衬底上的正投影面积大于所述第一二掩膜图案至所述第 N 二掩膜图案中对应偶数部分在所述衬底上的正投影面积。

在一实施例中，所述第一一掩膜图案 611-1、所述第一二掩膜图案 611-2 和第二掩膜图案 621 的形状为椭圆形；所述第一一掩膜图案 611-1 在第一方向上的最大宽度小于相邻两条字线 31 之间的宽度的 0.5 倍，所述第一二掩膜图案 611-2 在第一方向上的最大宽度等于相邻两条字线 31 之间的宽度；所述第二掩膜图案 621 在第一方向上的最大宽度等于相邻两条字线 31 之间的宽度的 1.5 倍，其中，所述第一方向为位线 32 延伸的方向；所述第一一掩膜图案 611-1、第一二掩膜图案 611-2 和第二掩膜图案 621 在第二方向上的最大宽度等于相邻两条位线 32 之间的宽度，其中，所述第二方向为字线 31 延伸的方向。

以上所述，仅为本公开的较佳实施例而已，并非用于限定本公开的保护范围，凡在本公开的精神和原则之内所作的任何修改、等同替换和改进等，均应包含在本公开的保护范围之内。

权利要求书

1、一种电容器结构，包括衬底以及设置于所述衬底上的第一电极、第一介质层和第二电极，其中，所述第一电极包括至少两个在垂直于所述衬底方向上连续设置且依次连接的子电极，至少两个所述子电极中，至少一个所述子电极在所述衬底上的正投影覆盖另一个所述子电极在所述衬底上的正投影；

所述第一介质层设置于所述第一电极至少部分外表面；

所述第二电极设置于所述第一介质层至少部分外表面，且所述第二电极与所述第一电极绝缘设置。

2、根据权利要求 1 所述的电容器结构，其中，所述第一电极包括两个在垂直于所述衬底方向上连续设置且依次连接的第一子电极和第二子电极；其中，所述第一子电极相较于所述第二子电极临近所述衬底；

所述第一子电极在所述衬底上的正投影覆盖所述第二子电极在所述衬底上的正投影；或者，

所述第二子电极在所述衬底上的正投影覆盖所述第一子电极在所述衬底上的正投影。

3、根据权利要求 1 所述的电容器结构，其中，所述第一电极包括 N 个在垂直于所述衬底方向上连续设置且依次连接的 N 个子电极；N 大于或等于 3；

其中，奇数部分的子电极在所述衬底上的正投影面积小于偶数部分的子电极在所述衬底上的正投影面积，或者，奇数部分的子电极在所述衬底上的正投影面积大于偶数部分的子电极在所述衬底上的正投影面积。

4、根据权利要求 2 所述的电容器结构，其中，

在沿平行于所述衬底的平面方向的投影中，所述第二子电极的投影在所述第一子电极的投影两侧的面积相等。

5、一种半导体结构，包括至少一个如权利要求 1 所述的第一电容器结构和第二电容器结构；其中，所述第二电容器结构包括衬底以及设置于所述衬底上的第三电极、第二介质层和第四电极，所述第二介质层设置于所述第三电极至少部分外表面，所述第四电极设置于所述第二介质层至少部分外表面，且所述第四电极与所述第三电极绝缘设置；相邻的所述第一电容器结构的所述第一介质层和所述第二电容器结构的所述第二介质层不连接，相邻的所述第一电容器结构的所述第二电极和所述第二电容器结构的所述第四电极连接。

6、根据权利要求 5 所述的半导体结构，其中，

所述第一电极包括两个在垂直于所述衬底方向上连续设置且依次连接的第一子电极和第二子电极；其中，所述第一子电极相较于所述第二子电极临近所述衬底；

所述第二子电极在所述衬底上的正投影覆盖所述第一子电极在所述衬底上的正投影，所述第一子电极在所述衬底上的正投影面积小于所述第三电极在所述衬底上的正投影面积。

7、根据权利要求 5 所述的半导体结构，其中，

所述第一电极包括两个在垂直于所述衬底方向上连续设置且依次连接的第一子电极和第二子电极；其中，所述第一子电极相较于所述第二子电极临近所述衬底；

所述第三电极包括两个在垂直于所述衬底方向上连续设置且依次连接的第三子电极和第四子电极；其中，所述第三子电极相较于所述第四子电极临近所述衬底；

所述第二子电极在所述衬底上的正投影覆盖所述第一子电极在所述衬底上的正投影，且所述第三子电极在所述衬底上的正投影覆盖所述第四子电极在所述衬底上的正投影，所述第一子电极在所述衬底上的正投影面积小于所述第三子电极在所述衬底上的正投影面积，或者，所述第一子电极在所述衬底上的正投影覆盖所述第二子电极在所述衬底上的正投影，且所述第四子电极在所述衬底上的正投影覆盖所述第三子电极在所述衬底上的正投影，所述第一子电极在所述衬底上的正投影面积大于所述第三子电极在所述衬底上的正投影面积。

8、根据权利要求 5 所述的半导体结构，其中，

所述第一电极包括 N 个在垂直于所述衬底方向上连续设置且依次连接的 N 个子电极；N 大于或等于 3；

所述第三电极包括 M 个在垂直于所述衬底方向上连续设置且依次连接的 M 个子电极；M 大于或等于 2，且 M 小于或等于 N；

其中，

所述第一电极的奇数部分的子电极在所述衬底上的正投影面积大于偶数部分的子电极在所述衬底上的正投影面积，所述第三电极的奇数部分的子电极在所述衬底上的正投影面积小于偶数部分的子电极在所述衬底上的正投影面积；所述第一电极的奇数部分的子电极在所述衬底上的正投影面积大于所述第三电极对应奇数部分的子电极在所述衬底上的正投影面积，所述第一电极偶数部分的子电极在所述衬底上的正投影面积小于所述第三电极对应偶数部分的子电极在所述衬底上的正投影面

积，或者，所述第一电极的奇数部分的子电极在所述衬底上的正投影面积小于偶数部分的子电极在所述衬底上的正投影面积，所述第三电极的奇数部分的子电极在所述衬底上的正投影面积大于偶数部分的子电极在所述衬底上的正投影面积；所述第一电极的奇数部分的子电极在所述衬底上的正投影面积小于所述第三电极对应奇数部分的子电极在所述衬底上的正投影面积，所述第一电极偶数部分的子电极在所述衬底上的正投影面积大于所述第三电极对应偶数部分的子电极在所述衬底上的正投影面积。

9、根据权利要求 5 所述的半导体结构，其中，

所述衬底包括多条沿第二方向延伸的字线，以及多个分立的有源区；所述有源区包括位于两侧的第一源/漏端和位于中间的第二源/漏端；

所述半导体结构还包括：多条位线，位于所述衬底上，所述位线沿第一方向延伸；

多个第一导电插塞，位于所述第一电容器结构和所述第二电容器结构的下方；其中，所述第一电容器结构和所述第二电容器结构通过所述第一导电插塞与所述有源区的所述第一源/漏端电连接；

多个第二导电插塞，位于所述位线的下方；其中，所述位线通过所述第二导电插塞与所述有源区的所述第二源/漏端电连接。

10、根据权利要求 5 所述的半导体结构，其中，

所述第一电极、所述第二电极、所述第三电极和所述第四电极的材料包括金属；

所述第一介质层和所述第二介质层的材料包括高 K 介质材料。

11、一种电容器结构的制备方法，所述方法包括：

在衬底上形成第一绝缘层；

在所述第一绝缘层上形成第一掩膜；

根据所述第一掩膜在所述第一绝缘层内形成第一通孔；

在所述第一通孔内形成所述电容器结构的第一子电极；

形成第 N 绝缘层，在所述第 N 绝缘层上形成第 N 掩膜，N 大于或者等于 2；

根据所述第 N 掩膜在所述第 N 绝缘层内形成第 N 通孔，所述第 N 通孔与第 N-1 通孔在垂直于所述衬底方向上贯通连接，N 个所述通孔中，至少一个所述通孔在所述衬底上的正投影覆盖另一个所述通孔在所述衬底上的正投影；

在所述第 N 通孔内形成所述电容器结构的第 N 子电极；

去除所述第一绝缘层至所述第 N 绝缘层，所述第一子电极至所述第 N 子电极构成所述电容器结构的第一电极；

形成所述电容器结构的第一介质层，所述第一介质层覆盖所述第一电极至少部分外表面；

形成所述电容器结构的第二电极，所述第二电极覆盖所述第一介质层至少部分外表面，且所述第二电极与所述第一电极绝缘。

12、根据权利要求 11 所述的方法，其中，

所述第一掩膜具有第一掩膜图案，第二掩膜具有第二掩膜图案，所述第一掩膜图案在所述衬底上的正投影覆盖所述第二掩膜图案在所述衬底上的正投影；或者，

所述第二掩膜图案在所述衬底上的正投影覆盖所述第一掩膜图案在所述衬底上的正投影。

13、根据权利要求 11 所述的方法，其中，

所述第一掩膜至所述第 N 掩膜分别具有第一掩膜图案至第 N 掩膜图案，N 大于或等于 3；

其中，奇数部分的掩膜图案在所述衬底上的正投影面积小于偶数部分的掩膜图案在所述衬底上的正投影面积，或者，奇数部分的掩膜图案在所述衬底上的正投影面积大于偶数部分的掩膜图案在所述衬底上的正投影面积。

14、根据权利要求 13 所述的方法，其中，

在沿平行于所述衬底的平面方向的投影中，所述第 N 掩膜图案的投影在所述第一掩膜图案的投影两侧的面积相等。

15、一种半导体结构的制备方法，所述方法包括：

在衬底上形成第一绝缘层；

在所述第一绝缘层上形成第一掩膜；

根据所述第一掩膜在所述第一绝缘层内形成两个第一通孔；

在两个所述第一通孔内形成两个电容器结构的子电极；

形成第 N 绝缘层，在所述第 N 绝缘层上形成第 N 掩膜；N 大于或者等于 2；

根据所述第 N 掩膜在所述第 N 绝缘层内形成至少一个第 N 通孔，所述第 N 通孔与第 N-1 通孔在垂直于所述衬底方向上贯通连接，N 个所述通孔中，至少一个所述通孔在所述衬底上的正投影覆盖另一个所述通孔在所述衬底上的正投影；

在至少一个所述第 N 通孔内形成至少一个所述电容器结构的第 N 个子电极；

去除所述第一绝缘层至所述第 N 绝缘层，至少两个所述子电极构成第一电容器结构的第一电极，至少一个所述子电极构成第二电容器结构的第三电极；

形成所述第一电容器结构的第一介质层和所述第二电容器结构的第二介质层，所述第一介质层覆盖所述第一电极至少部分外表面，所述第二介质层覆盖所述第三电极至少部分外表面，所述第一

介质层与所述第二介质层不连接；

形成所述第一电容器结构的第二电极和所述第二电容器结构的第四电极，所述第二电极覆盖所述第一介质层至少部分外表面，所述第四电极覆盖所述第二介质层至少部分外表面，且所述第二电极与所述第一电极绝缘，所述第三电极与所述第四电极绝缘，所述第二电极与所述第四电极连接。

16、根据权利要求 15 所述的方法，其中，

所述第一掩膜具有第一一掩膜图案和第一二掩膜图案，第二掩膜具有第二掩膜图案，其中，所述第二掩膜图案在所述衬底上的正投影覆盖所述第一一掩膜图案在所述衬底上的正投影，所述第一一掩膜图案在所述衬底上的正投影面积小于所述第一二掩膜图案在所述衬底上的正投影面积。

17、根据权利要求 15 所述的方法，其中，

所述第一掩膜具有第一一掩膜图案和第一二掩膜图案，第二掩膜具有第二一掩膜图案和第二二掩膜图案，其中，

所述第二一掩膜图案在所述衬底上的正投影覆盖所述第一一掩膜图案在所述衬底上的正投影，所述第一二掩膜图案在所述衬底上的正投影覆盖所述第二二掩膜图案在所述衬底上的正投影，所述第一一掩膜图案在所述衬底上的正投影面积小于所述第一二掩膜图案在所述衬底上的正投影面积。

18、根据权利要求 15 所述的方法，其中，

所述第一掩膜具有第一一掩膜图案和第一二掩膜图案，以此类推，所述第 N 掩膜具有第 N 一掩膜图案和第 N 二掩膜图案，N 大于或等于 3；其中，

所述第一一掩膜图案至第 N 一掩膜图案中的奇数部分在所述衬底上的正投影面积大于偶数部分在所述衬底上的正投影面积，所述第一二掩膜图案至所述第 N 二掩膜图案中的奇数部分在所述衬底上的正投影面积小于偶数部分在所述衬底上的正投影面积；所述第一一掩膜图案至第 N 一掩膜图案中的奇数部分在所述衬底上的正投影面积大于所述第一二掩膜图案至所述第 N 二掩膜图案中对应奇数部分在所述衬底上的正投影面积，所述第一一掩膜图案至第 N 一掩膜图案中偶数部分在所述衬底上的正投影面积小于所述第一二掩膜图案至所述第 N 二掩膜图案中对应偶数部分在所述衬底上的正投影面积，或者，所述第一一掩膜图案至第 N 一掩膜图案中的奇数部分在所述衬底上的正投影面积小于偶数部分在所述衬底上的正投影面积，所述第一二掩膜图案至所述第 N 二掩膜图案中的奇数部分在所述衬底上的正投影面积大于偶数部分在所述衬底上的正投影面积；所述第一一掩膜图案至第 N 一掩膜图案中的奇数部分在所述衬底上的正投影面积小于所述第一二掩膜图案至所述第 N 二掩膜图案中对应奇数部分在所述衬底上的正投影面积，所述第一一掩膜图案至第 N 一掩膜图案中偶数部分在所述衬底上的正投影面积大于所述第一二掩膜图案至所述第 N 二掩膜图案中对应偶数部分在所述衬底上的正投影面积。

19、根据权利要求 16 所述的方法，其中，

所述第一一掩膜图案、所述第一二掩膜图案和第二掩膜图案的形状为椭圆形；

所述第一一掩膜图案在第一方向上的最大宽度小于相邻两条字线之间的宽度的 0.5 倍，所述第一二掩膜图案在第一方向上的最大宽度等于相邻两条字线之间的宽度；所述第二掩膜图案在第一方向上的最大宽度等于相邻两条字线之间的宽度的 1.5 倍，其中，所述第一方向为位线延伸的方向；

所述第一一掩膜图案、第一二掩膜图案和第二掩膜图案在第二方向上的最大宽度等于相邻两条位线之间的宽度，其中，所述第二方向为字线延伸的方向。

20、根据权利要求 15 所述的方法，还包括：

在形成第一绝缘层之前，

在所述衬底上形成多条沿第二方向延伸的字线，以及多个分立的有源区；

在所述有源区的两侧形成第一源/漏端以及在中间形成第二源/漏端；

在所述第二源/漏端上形成第二导电插塞；

在所述第二导电插塞上形成位线，所述位线沿第一方向延伸；其中，所述位线通过所述第二导电插塞与所述有源区的第二源/漏端电连接；

在所述第一源/漏端上形成第一导电插塞；其中，所述第一导电插塞位于所述第一电容器结构和所述第二电容器结构下，所述第一电容器结构和所述第二电容器结构通过所述第一导电插塞与所述有源区的第一源/漏端电连接。

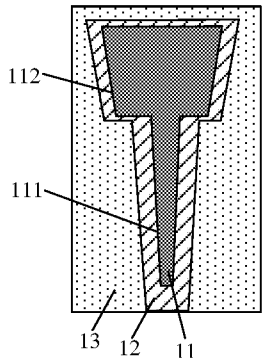


图 1

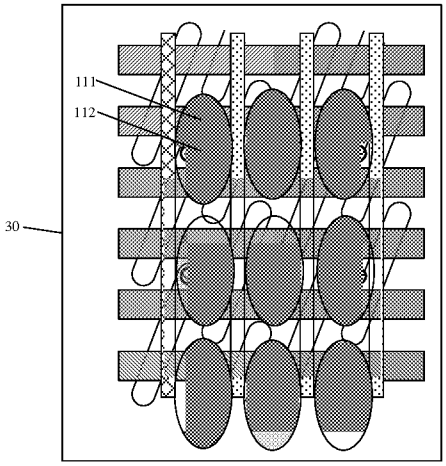


图 2

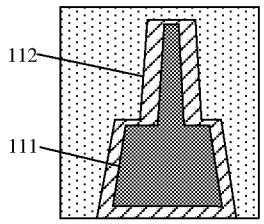


图 3a

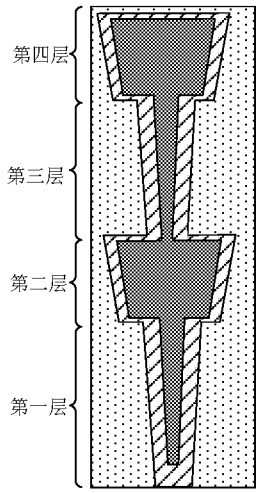


图 3b

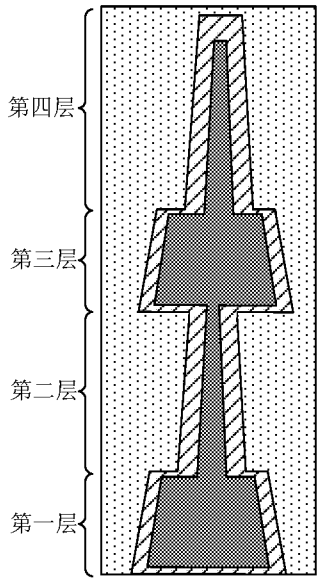


图 3c

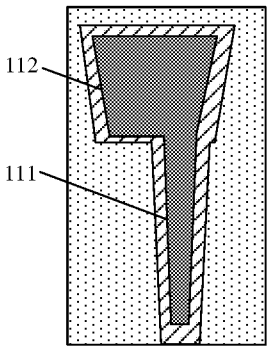


图 3d

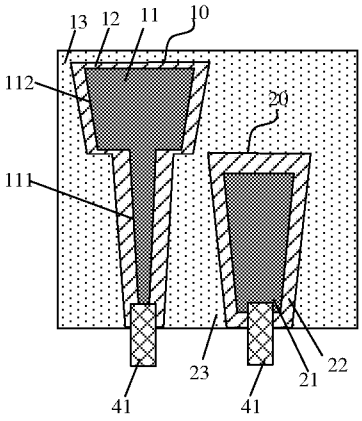


图 4

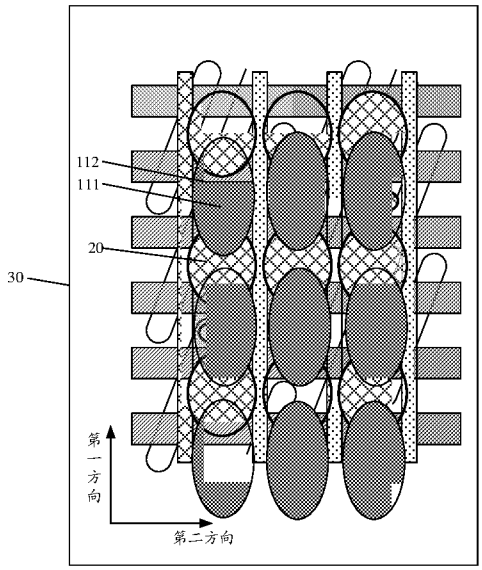

112
111
20
30
第一方向
第二方向

图 5

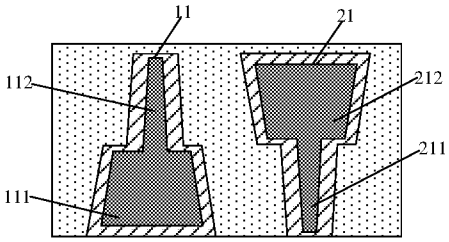

11
21
112
212
211
111

图 6a

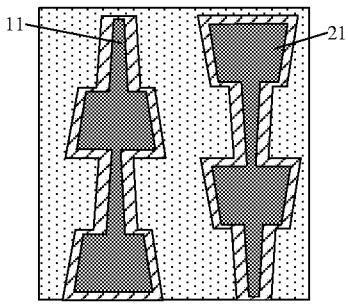

11
21

图 6b

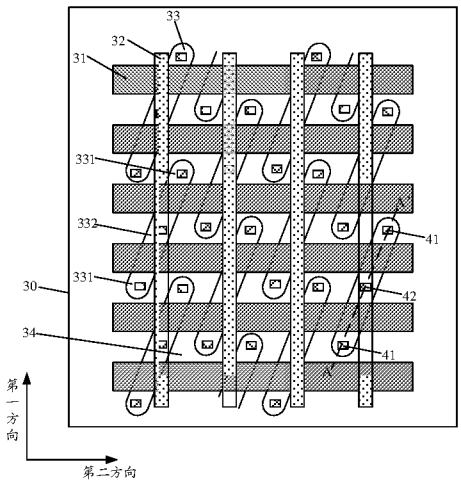

33
32
31
331
332
331
30
34
41
42
41
第一方向
第二方向

图 7


801
在衬底上形成第一绝缘层
802
在所述第一绝缘层上形成第一掩膜
803
根据所述第一掩膜在所述第一绝缘层内形成第一通孔
804
在所述第一通孔内形成所述电容器结构的第一子电极
805
形成第N绝缘层，在所述第N绝缘层上形成第N掩膜，N大于或者等于2
806
根据所述第N掩膜在所述第N绝缘层内形成第N通孔，所述第N通孔与所述第N-1通孔在垂直于所述衬底方向上贯通连接，N个所述通孔中，至少一个所述通孔在所述衬底上的正投影覆盖另一个所述通孔在所述衬底上的正投影
807
在所述第N通孔内形成所述电容器结构的第N子电极
808
去除所述第一绝缘层至所述第N绝缘层，所述第一子电极至所述第N子电极构成所述电容器结构的第一电极
809
形成所述电容器结构的第一介质层，所述第一介质层覆盖所述第一电极至少部分外表面
810
形成所述电容器结构的第二电极，所述第二电极覆盖所述第一介质层至少部分外表面，且所述第二电极与所述第一电极绝缘

图 8

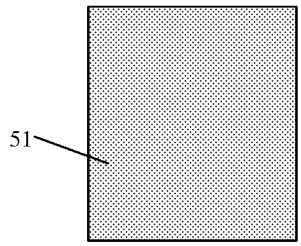

51

图 9a

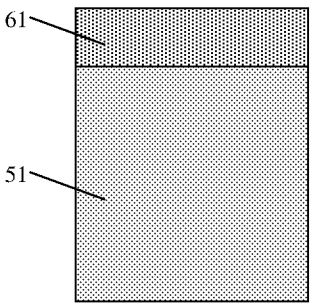

61
51

图 9b

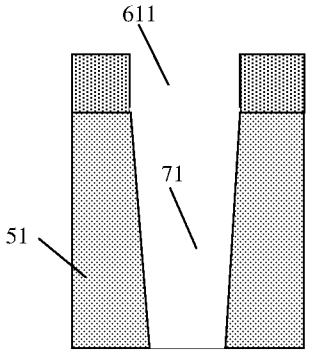


图 9c

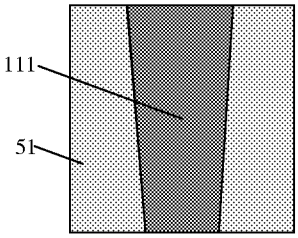


图 9d

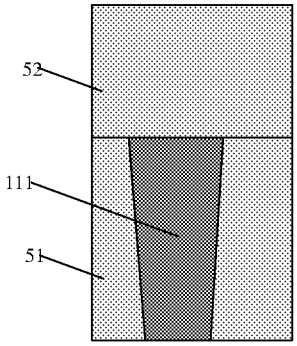


图 9e

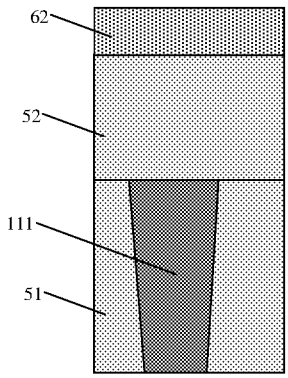


图 9f

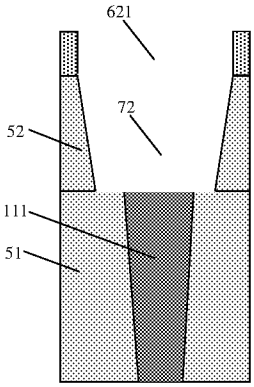


图 9g

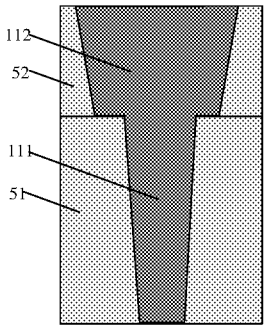


图 9h

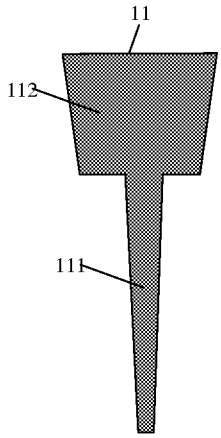


图 9i

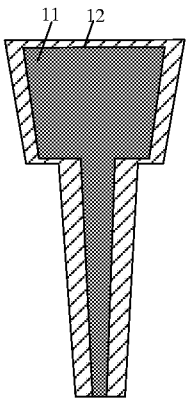


图 9j

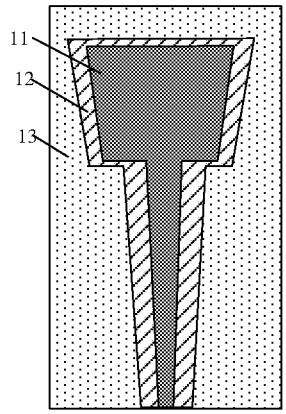

11
12
13

图 9k


在衬底上形成第一绝缘层
1001
在所述第一绝缘层上形成第一掩膜
1002
根据所述第一掩膜在所述第一绝缘层内形成两个第一通孔
1003
在两个所述第一通孔内形成两个电容器结构的子电极
1004
形成第N绝缘层，在所述第N绝缘层上形成第N掩膜，N大于或者等于2
1005
根据所述第N掩膜在所述第N绝缘层内形成至少一个第N通孔，所述第N通孔与所述第N-1通孔在垂直于所述衬底方向上贯通连接，N个所述通孔中，至少一个所述通孔在所述衬底上的正投影覆盖另一个所述通孔在所述衬底上的正投影
1006
在至少一个所述第N通孔内形成至少一个所述电容器结构的第N个子电极
1007
去除所述第一绝缘层至所述第N绝缘层，至少两个所述子电极构成第一电容器结构的第一电极，至少一个所述子电极构成第二电容器结构的第三电极
1008
形成所述第一电容器结构的第一介质层和所述第二电容器结构的第二介质层，所述第一介质层覆盖所述第一电极至少部分外表面，所述第二介质层覆盖所述第三电极至少部分外表面，所述第一介质层与所述第二介质层不连接
1009
形成所述第一电容器结构的第二电极和所述第二电容器结构的第四电极，所述第二电极覆盖所述第一介质层至少部分外表面，所述第四电极覆盖所述第二介质层至少部分外表面，且所述第二电极与所述第一电极绝缘，所述第三电极与所述第四电极绝缘，所述第二电极与所述第四电极连接
1010

图 10

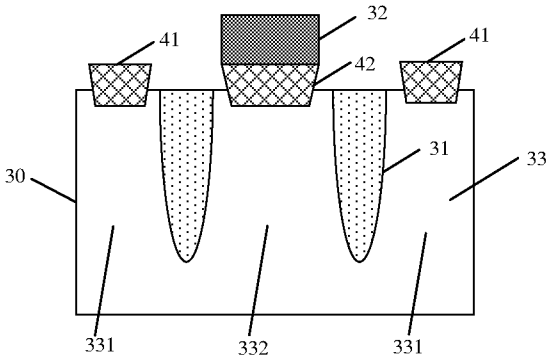


图 11a

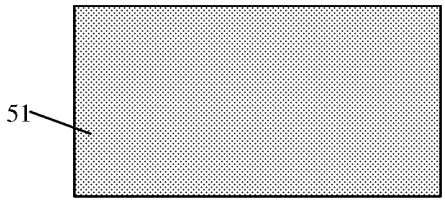


图 11b

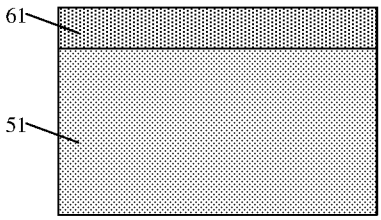


图 11c

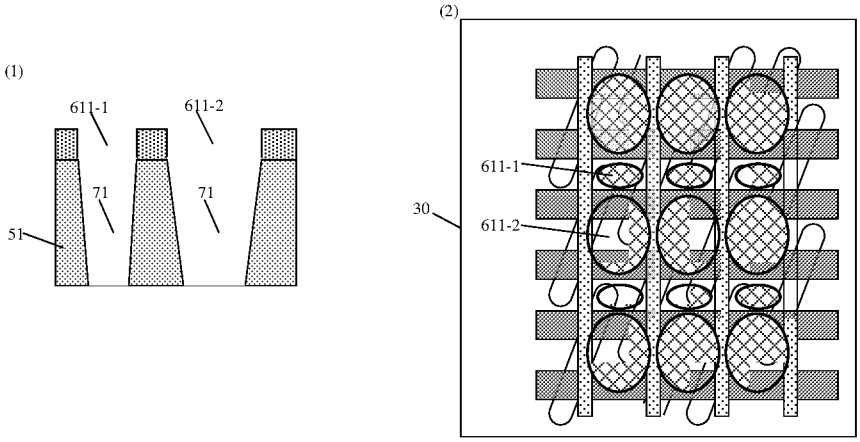


图 11d

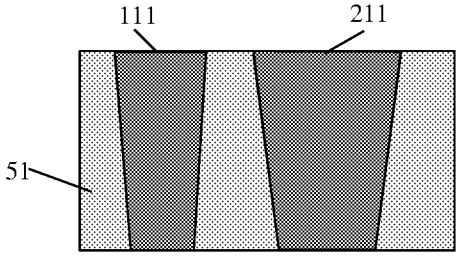


图 11e

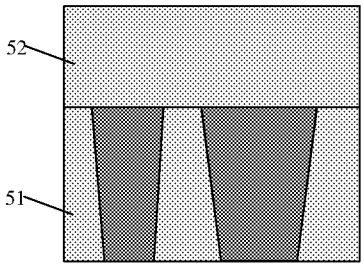


图 11f

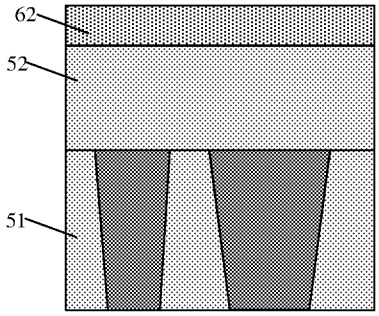


图 11g

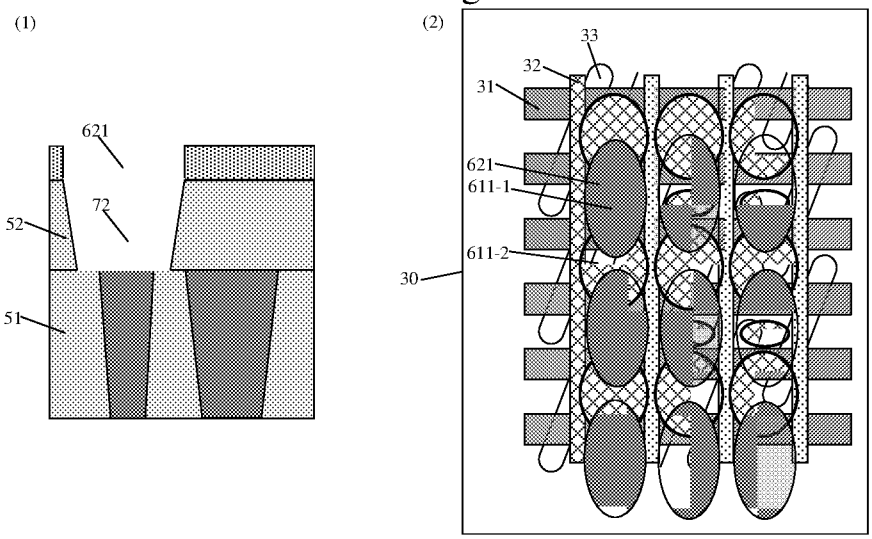


图 11h

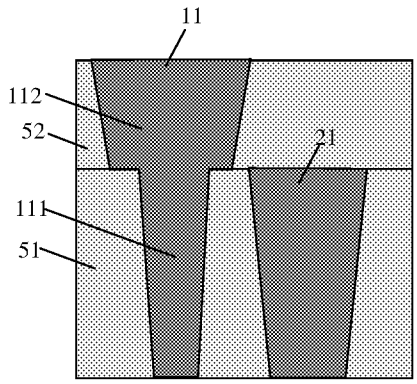


图 11i

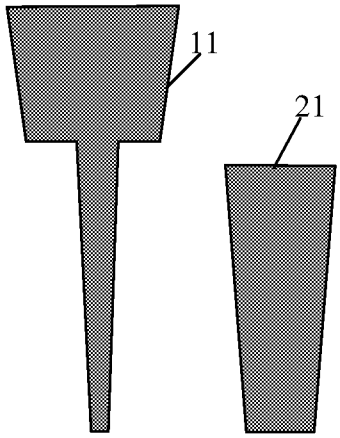


图 11j

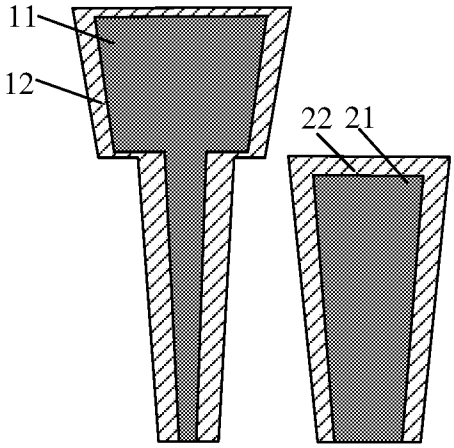


图 11k

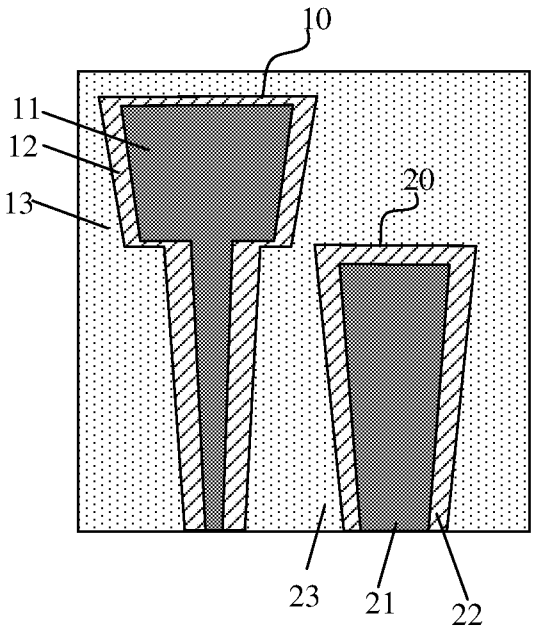


图 11l

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2022/105189

A. CLASSIFICATION OF SUBJECT MATTER

H01L 27/105(2023.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS; CNTXT; DWPI; VEN; USTXT; WOTXT; EPTXT; CNKI: 半导体, 电容器, 电极, 介质, 投影, semiconductor, capacitor, electrode, dielectric, projection

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN 114582873 A (CHANGXIN MEMORY TECHNOLOGIES, INC. et al.) 03 June 2022 (2022-06-03) description, paragraphs 3-138, and figures 1-111	1-20
X	US 2009078981 A1 (ELPIDA MEMORY INC.) 26 March 2009 (2009-03-26) description, paragraphs 12-81, and figures 1-18	1-5, 9-15, 19-20
X	US 5986300 A (MITSUBISHI ELECTRIC CORP.) 16 November 1999 (1999-11-16) description, column 2, line 51 to column 10, line 30, and figures 1-33	1-5, 9-15, 19-20
A	CN 112071841 A (ICLEAGUE TECHNOLOGY CO., LTD. et al.) 11 December 2020 (2020-12-11) entire document	1-20
A	US 2009039404 A1 (SAMSUNG ELECTRONICS CO., LTD.) 12 February 2009 (2009-02-12) entire document	1-20

☐ Further documents are listed in the continuation of Box C. ☑ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
04 January 2023	**16 January 2023**
Name and mailing address of the ISA/CN **China National Intellectual Property Administration (ISA/CN)** **No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing 100088, China** Facsimile No. **(86-10)62019451**	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2022/105189

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	114582873	A	03 June 2022	CN	114582873	B	26 July 2022
US	2009078981	A1	26 March 2009	JP	2009076639	A	09 April 2009
				US	7919803	B2	05 April 2011
				JP	5613363	B2	22 October 2014
US	5986300	A	16 November 1999	KR	970004013	A	29 January 1997
				JP	H0917968	A	17 January 1997
				US	6146942	A	14 November 2000
				TW	351015	B	21 January 1999
				DE	19624698	A1	02 January 1997
				DE	19655242	A1	17 January 2002
				DE	19624698	C2	14 March 2002
CN	112071841	A	11 December 2020		None		
US	2009039404	A1	12 February 2009	KR	20060058359	A	30 May 2006
				US	2006113580	A1	01 June 2006
				US	7719045	B2	18 May 2010
				US	7452783	B2	18 November 2008
				KR	100681274	B1	09 February 2007

国际检索报告

国际申请号
PCT/CN2022/105189

A. 主题的分类

H01L 27/105(2023.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称，和使用的检索词（如使用）)

CNABS; CNTXT; DWPI; VEN; USTXT; WOTXT; EPTXT; CNKI:半导体，电容器，电极，介质，投影，semiconductor, capacitor, electrode, dielectric, projection

C. 相关文件

类 型*	引用文件，必要时，指明相关段落	相关的权利要求
PX	CN 114582873 A (长鑫存储技术有限公司 等) 2022年6月3日 (2022-06-03) 说明书第3-138段，图1-图111	1-20
X	US 2009078981 A1 (ELPIDA MEMORY INC) 2009年3月26日 (2009-03-26) 说明书第12-81段，图1-图18	1-5，9-15，19-20
X	US 5986300 A (MITSUBISHI ELECTRIC CORP) 1999年11月16日 (1999-11-16) 说明书第2栏51行-第10栏30行，图1-图33	1-5，9-15，19-20
A	CN 112071841 A (芯盟科技有限公司 等) 2020年12月11日 (2020-12-11) 全文	1-20
A	US 2009039404 A1 (SAMSUNG ELECTRONICS CO LTD) 2009年2月12日 (2009-02-12) 全文	1-20

☐ 其余文件在C栏的续页中列出。

☑ 见同族专利附件。

* 引用文件的具体类型：

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件，或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件（如具体说明的）

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布，与申请不相抵触，但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件，单独考虑该文件，认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件，当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时，要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期	国际检索报告邮寄日期
2023年1月4日	2023年1月16日
ISA/CN的名称和邮寄地址 中国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451	受权官员 叶常茂 电话号码 86-(20)-28950404

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2022/105189

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	114582873	A	2022年6月3日	CN	114582873	B	2022年7月26日
US	2009078981	A1	2009年3月26日	JP	2009076639	A	2009年4月9日
				US	7919803	B2	2011年4月5日
				JP	5613363	B2	2014年10月22日
US	5986300	A	1999年11月16日	KR	970004013	A	1997年1月29日
				JP	H0917968	A	1997年1月17日
				US	6146942	A	2000年11月14日
				TW	351015	B	1999年1月21日
				DE	19624698	A1	1997年1月2日
				DE	19655242	A1	2002年1月17日
				DE	19624698	C2	2002年3月14日
CN	112071841	A	2020年12月11日		无		
US	2009039404	A1	2009年2月12日	KR	20060058359	A	2006年5月30日
				US	2006113580	A1	2006年6月1日
				US	7719045	B2	2010年5月18日
				US	7452783	B2	2008年11月18日
				KR	100681274	B1	2007年2月9日