



(12) 发明专利

(10) 授权公告号 CN 102593094 B

(45) 授权公告日 2015. 09. 23

(21) 申请号 201210015337. 0

(22) 申请日 2012. 01. 17

(30) 优先权数据

61/433, 379 2011. 01. 17 US

(73) 专利权人 精材科技股份有限公司

地址 中国台湾桃园县

(72) 发明人 楼百尧 刘沧宇 林佳升 洪子翔

(74) 专利代理机构 北京林达刘知识产权代理事
务所(普通合伙) 11277

代理人 刘新宇

(51) Int. Cl.

H01L 23/498(2006. 01)

H01L 21/48(2006. 01)

审查员 白若鸽

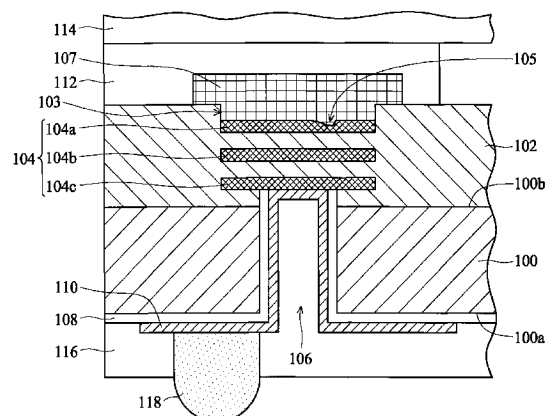
权利要求书2页 说明书5页 附图3页

(54) 发明名称

晶片封装体及其形成方法

(57) 摘要

本发明提供一种晶片封装体及其形成方法, 该晶片封装体包括: 一基底, 具有一第一表面及一第二表面; 一导电垫结构, 位于该基底的该第一表面上; 一介电层, 位于该基底的该第一表面与该导电垫结构之上, 其中该介电层具有一开口, 该开口露出部分的该导电垫结构; 以及一覆盖层, 位于该介电层之上, 且填入该开口。本发明可有效提升晶片封装体的可靠度。



1. 一种晶片封装体,其特征在于,包括:
 - 一基底,具有一第一表面及一第二表面;
 - 一导电垫结构,位于该基底的该第一表面上;
 - 一介电层,位于该基底的该第一表面与该导电垫结构之上,其中该介电层具有一开口,该开口露出部分的该导电垫结构;以及
 - 一覆盖层,位于该介电层之上,且填入该开口,其中该覆盖层的材质由一陶瓷材料、一高分子材料、或前述的组合所组成,该覆盖层填满该开口且直接接触该导电垫结构。
2. 根据权利要求1所述的晶片封装体,其特征在于,还包括:
 - 一孔洞,自该基底的该第二表面朝该第一表面延伸,且露出部分的该导电垫结构;
 - 一绝缘层,位于该孔洞的一侧壁之上;以及
 - 一导电层,位于该孔洞的该侧壁上的该绝缘层之上,其中该导电层电性接触该导电垫结构。
3. 根据权利要求2所述的晶片封装体,其特征在于,该导电垫结构包括堆叠的多个导电垫。
4. 根据权利要求3所述的晶片封装体,其特征在于,该孔洞露出所述导电垫中的一最下层导电垫,且该导电层直接接触该最下层导电垫。
5. 根据权利要求3所述的晶片封装体,其特征在于,该孔洞至少穿过所述导电垫中的一最下层导电垫,且该导电层直接接触所述导电垫中的一中间导电垫,其中该中间导电垫位于该最下层导电垫与所述导电垫中的一最上层导电垫之间。
6. 根据权利要求3所述的晶片封装体,其特征在于,该孔洞至少穿过所述导电垫中的一最下层导电垫,且该导电层直接接触所述导电垫中的一最上层导电垫。
7. 根据权利要求3所述的晶片封装体,其特征在于,该覆盖层的一厚度大于所述导电垫中的任一导电垫的一厚度。
8. 根据权利要求1所述的晶片封装体,其特征在于,该覆盖层的材质不同于该导电垫结构的材质。
9. 根据权利要求1所述的晶片封装体,其特征在于,该导电垫结构具有一凹陷,且该覆盖层填入该凹陷。
10. 一种晶片封装体的形成方法,其特征在于,包括:
 - 提供一基底,具有一第一表面及一第二表面,其中该第一表面上设置有一导电垫结构及一介电层,该介电层位于该导电垫结构之上,且具有一开口,该开口露出部分的该导电垫结构;以及
 - 于该介电层上形成一覆盖层,其中该覆盖层填入该开口,该覆盖层的材质由一陶瓷材料、一高分子材料、或前述的组合所组成,该覆盖层填满该开口且直接接触该导电垫结构。
11. 根据权利要求10所述的晶片封装体的形成方法,其特征在于,在形成该覆盖层之后,还包括:
 - 自该基底的该第二表面移除部分的该基底以形成朝该第一表面延伸的一孔洞,该孔洞露出部分的该导电垫结构;
 - 于该孔洞的一侧壁上形成一绝缘层;以及
 - 于该孔洞的该侧壁上的该绝缘层上形成一导电层,其中该导电层电性接触该导电垫结构。

构。

12. 根据权利要求 11 所述的晶片封装体的形成方法,其特征在于,该导电垫结构包括堆叠的多个导电垫。

13. 根据权利要求 12 所述的晶片封装体的形成方法,其特征在于,该孔洞露出所述导电垫中的一最下层导电垫,且该导电层直接接触该最下层导电垫。

14. 根据权利要求 12 所述的晶片封装体的形成方法,其特征在于,形成该孔洞的步骤包括移除部分的该导电垫结构而使该孔洞至少穿过所述导电垫中的一最下层导电垫,并使所述导电垫中的一中间导电垫露出,其中该中间导电垫位于该最下层导电垫与所述导电垫中的最上层导电垫之间。

15. 根据权利要求 12 所述的晶片封装体的形成方法,其特征在于,形成该孔洞的步骤包括移除部分的该导电垫结构而使该孔洞至少穿过所述导电垫中的一最下层导电垫,并使所述导电垫中的一最上层导电垫露出。

16. 根据权利要求 12 所述的晶片封装体的形成方法,其特征在于,该覆盖层的一厚度大于所述导电垫中的任一导电垫的一厚度。

晶片封装体及其形成方法

技术领域

[0001] 本发明有关于晶片封装体,且特别是有关于具有穿基底导电结构的晶片封装体。

背景技术

[0002] 晶片封装制程是形成电子产品过程中的一重要步骤。晶片封装体除了将晶片保护于其中,使免受外界环境污染外,还提供晶片内部电子元件与外界的电性连接通路。

[0003] 晶片在封装之前,需进行针测步骤以确保品质。然而,针测步骤可能造成后续封装制程上的困难,且易于晶片封装体中留下或产生缺陷。

[0004] 提高晶片封装体的可靠度与结构稳定性已成为重要课题。

发明内容

[0005] 本发明提供一种晶片封装体,包括:一基底,具有一第一表面及一第二表面;一导电垫结构,位于该基底的该第一表面上;一介电层,位于该基底的该第一表面与该导电垫结构之上,其中该介电层具有一开口,露出部分的该导电垫结构;以及一覆盖层,位于该介电层之上,且填入该开口。

[0006] 本发明所述的晶片封装体,还包括:一孔洞,自该基底的该第二表面朝该第一表面延伸,且露出部分的该导电垫结构;一绝缘层,位于该孔洞的一侧壁之上;以及一导电层,位于该孔洞的该侧壁上的该绝缘层之上,其中该导电层电性接触该导电垫结构。

[0007] 本发明所述的晶片封装体,其中,该导电垫结构包括堆叠的多个导电垫。

[0008] 本发明所述的晶片封装体,其中,该孔洞露出所述导电垫中的一最下层导电垫,且该导电层直接接触该最下层导电垫。

[0009] 本发明所述的晶片封装体,其中,该孔洞至少穿过所述导电垫中的一最下层导电垫,且该导电层直接接触所述导电垫中的一中间导电垫,其中该中间导电垫位于该最下层导电垫与所述导电垫中的一最上层导电垫之间。

[0010] 本发明所述的晶片封装体,其中,该孔洞至少穿过所述导电垫中的一最下层导电垫,且该导电层直接接触所述导电垫中的一最上层导电垫。

[0011] 本发明所述的晶片封装体,其中,该覆盖层的一厚度大于所述导电垫中的任一导电垫的一厚度。

[0012] 本发明所述的晶片封装体,其中,该覆盖层的材质包括一金属材料、一陶瓷材料、一高分子材料,或前述的组合。

[0013] 本发明所述的晶片封装体,其中,该覆盖层的材质不同于该导电垫结构的材质。

[0014] 本发明所述的晶片封装体,其中,该覆盖层直接接触该导电垫结构。

[0015] 本发明所述的晶片封装体,其中,该导电垫结构具有一凹陷,且该覆盖层填入该凹陷。

[0016] 本发明还提供一种晶片封装体的形成方法,包括:提供一基底,具有一第一表面及一第二表面,其中该第一表面上设置有一导电垫结构及一介电层,该介电层位于该导电垫

结构之上,且具有一开口,露出部分的该导电垫结构;以及于该介电层上形成一覆盖层,其中该覆盖层填入该开口。

[0017] 本发明所述的晶片封装体的形成方法,其中,在形成该覆盖层之后,还包括:自该基底的该第二表面移除部分的该基底以形成朝该第一表面延伸的一孔洞,该孔洞露出部分的该导电垫结构;于该孔洞的一侧壁上形成一绝缘层;以及于该孔洞的该侧壁上的该绝缘层上形成一导电层,其中该导电层电性接触该导电垫结构。

[0018] 本发明所述的晶片封装体的形成方法,其中,该导电垫结构包括堆叠的多个导电垫。

[0019] 本发明所述的晶片封装体的形成方法,其中,该孔洞露出所述导电垫中的一最下层导电垫,且该导电层直接接触该最下层导电垫。

[0020] 本发明所述的晶片封装体的形成方法,其中,形成该孔洞的步骤包括移除部分的该导电垫结构而使该孔洞至少穿过所述导电垫中的一最下层导电垫,并使所述导电垫中的一中间导电垫露出,其中该中间导电垫位于该最下层导电垫与所述导电垫中的最上层导电垫之间。

[0021] 本发明所述的晶片封装体的形成方法,其中,形成该孔洞的步骤包括移除部分的该导电垫结构而使该孔洞至少穿过所述导电垫中的一最下层导电垫,并使所述导电垫中的一最上层导电垫露出。

[0022] 本发明所述的晶片封装体的形成方法,其中,该覆盖层的一厚度大于所述导电垫中的任一导电垫的一厚度。

[0023] 本发明所述的晶片封装体的形成方法,其中,该覆盖层直接接触该导电垫结构。

[0024] 本发明所述的晶片封装体的形成方法,其中,该覆盖层的材质包括一金属材料、一陶瓷材料、一高分子材料,或前述的组合。

[0025] 本发明可有效提升晶片封装体的可靠度。

附图说明

[0026] 图 1 显示已知的一晶片封装体的剖面图。

[0027] 图 2 显示根据本发明一实施例的晶片封装体的剖面图。

[0028] 图 3 显示根据本发明一实施例的晶片封装体的剖面图。

[0029] 附图中符号的简单说明如下:

[0030] 10:基底;10a、10b:表面;12:介电层;13:开口;14:导电垫结构;14a、14b、14c:导电垫;15:凹陷;16:孔洞;17:气泡;100:基底;100a、100b:表面;102:介电层;103:开口;104:导电垫结构;104a、104b、104c:导电垫;105:凹陷;106:孔洞;107:覆盖层;108:绝缘层;110:导电层;112:间隔层;114:基板;116:保护层;118:导电凸块。

具体实施方式

[0031] 以下将详细说明本发明实施例的制作与使用方式。然应注意的是,本发明提供许多可供应用的发明概念,其可以多种特定型式实施。文中所举例讨论的特定实施例仅为制造与使用本发明的特定方式,非用以限制本发明的范围。此外,在不同实施例中可能使用重复的标号或标示。这些重复仅为了简单清楚地叙述本发明,不代表所讨论的不同实施例及/

或结构之间必然具有任何关联性。再者,当述及一第一材料层位于一第二材料层上或之上时,包括第一材料层与第二材料层直接接触或间隔有一或更多其他材料层的情形。

[0032] 本发明一实施例的晶片封装体可用以封装各种晶片。例如,其可用于封装各种包含有源元件或无源元件(active or passive elements)、数字电路或模拟电路(digital or analog circuits)等集成电路的电子元件(electronic components),例如是有关于光电元件(opto electronic devices)、微机电系统(Micro Electro Mechanical System; MEMS)、微流体系统(micro fluidic systems)、或利用热、光线及压力等物理量变化来测量的物理感测器(Physical Sensor)。特别是可选择使用晶圆级封装(wafer scale package; WSP)制程对影像感测元件、发光二极管(light-emitting diodes; LEDs)、太阳能电池(solar cells)、射频元件(RF circuits)、加速计(accelerators)、陀螺仪(gyroscopes)、微制动器(micro actuators)、表面声波元件(surface acoustic wave devices)、压力感测器(process sensors)喷墨头(ink printer heads)、或功率晶片(power IC)等半导体晶片进行封装。

[0033] 其中上述晶圆级封装制程主要是指在晶圆阶段完成封装步骤后,再予以切割成独立的封装体,然而,在一特定实施例中,例如将已分离的半导体晶片重新分布在一承载晶圆上,再进行封装制程,亦可称之为晶圆级封装制程。另外,上述晶圆级封装制程亦适用于通过堆叠(stack)方式安排具有集成电路的多片晶圆,以形成多层集成电路(multi-layer integrated circuit devices)的晶片封装体。

[0034] 图1显示已知的一晶片封装体的剖面图。基底10上设置有介电层12及导电垫结构14。导电垫结构14电性连接基底10中的一元件(未显示)。导电垫结构14可包括多个堆叠的导电垫,例如14a、14b及14c。基底10例如是硅晶圆,其在进行后续切割与封装制程之前,通常需进行针测。通常需移除部分的介电层12以形成开口13,而使导电垫结构14的一上层导电垫14a露出。接着,可以探针接触露出的导电垫14a,并进行所需的电性量测。探针通常会损坏部分的导电垫14a而留下凹陷(或刻痕)15,造成导电垫14a的强度下降。

[0035] 在针测步骤之后,可针对通过针测的部分进行后续的封装制程。例如,可自基底10的表面10a移除部分的基底10以形成朝表面10b延伸的孔洞16。在后续制程中,可于孔洞16中形成与导电垫结构14电性连接的穿基底导电结构。然而,由于导电垫结构14已受破坏,且其厚度较薄,容易于后续制程中(例如,孔洞16的形成过程中)破裂而造成晶片失效。此外,介电层12与导电垫结构14之间的阶梯结构容易使后续接合制程中产生气泡17,影响晶片封装体的可靠度。

[0036] 为了改善上述问题,本申请提出实施例如下。图2显示根据本发明一实施例的晶片封装体的剖面图,用以叙述晶片封装体的形成过程。在一实施例中,提供基底100,其具有表面100a及表面100b。基底100包括半导体基底,如硅晶圆。在基底100的表面100a上设置有导电垫结构104及介电层102。介电层102位于导电垫结构104之上,且具有开口103。开口103露出部分的导电垫结构104。基底100中可形成有元件区(未显示),其电性连接导电垫结构104。在一实施例中,导电垫结构104可包括堆叠的多个导电垫,例如包括(但不限于)最上层导电垫104a、最下层导电垫104c、导电垫104a与104c之间的中间导电垫104b。

[0037] 接着,可选择性对基底100进行针测。例如,可以探针(未显示)接触露出的导电

垫 104a, 并进行所需的电性量测。探针通常会损坏部分的导电垫 104a 而留下凹陷 (或刻痕) 105。

[0038] 在进行后续形成穿基底导电结构的制程之前, 于介电层 102 上形成覆盖层 107。覆盖层 107 进一步填入介电层 102 的开口 103 中。在一实施例中, 覆盖层 107 可大抵填满开口 103, 可避免后续接合步骤中产生气泡。在一实施例中, 覆盖层 107 直接接触导电垫结构 104。例如, 在图 2 实施例中, 覆盖层 107 直接接触导电垫 104a 的上表面。此外, 覆盖层 107 还可支撑导电垫结构 104, 确保导电垫结构 104 不于后续晶片封装制程中或晶片封装体成品的使用过程中破裂。

[0039] 在一实施例中, 覆盖层 107 的厚度可大于导电垫结构 104 中任一导电垫 (例如, 导电垫 104a、104b 及 104c 其中之一) 的厚度。在一实施例中, 覆盖层 107 的材质不同于导电垫结构 104。在一实施例中, 覆盖层 107 的材质包括一金属材料、一陶瓷材料、一高分子材料, 或前述的组合。

[0040] 接着, 可选择性于基底 100 的表面 100b 上接合承载基板 114, 其与基底 100 之间可选择性夹有间隔层 112。由于已预先形成有覆盖层 107, 因此接合承载基板 114 的步骤中, 大抵不会形成气泡, 可提升晶片封装体的可靠度。

[0041] 接着, 可选择性以承载基板 114 为支撑, 对基底 100 的表面 100a 进行薄化制程。接着, 可利如通过 (但不限于) 微影及蚀刻制程自基底 100 的表面 100a 移除部分的基底 100 以形成朝表面 100b 延伸的孔洞 106。

[0042] 接着, 可于孔洞 106 的侧壁上形成绝缘层 108。所形成绝缘层 108 通常会覆盖位于孔洞 106 底部上的导电垫结构 104。因此, 可进一步移除孔洞 106 底部上的绝缘层 108 以使部分的导电垫结构 104 露出。例如, 使导电垫 104c 露出。由于已预先形成覆盖层 107, 因此在孔洞 106 的形成过程中, 导电垫结构 104 可获充分的支撑而确保大抵不受损伤。

[0043] 接着, 可于孔洞 106 的侧壁上的绝缘层 108 上形成导电层 110。导电层 110 可电性接触导电垫结构 104。在图 2 的实施例中, 导电层 110 可直接接触导电垫 104c。在一实施例中, 导电层 110 可延伸至基底 100a 上的绝缘层 108 之上。

[0044] 接着, 可选择性于基底 100 的表面 100a 上形成保护层 116。保护层 116 可具有露出导电层 110 的开口。接着, 可于保护层 116 的开口中形成导电凸块 118, 并接着沿着预定切割道 (未显示) 切割基底 100 以形成至少一晶片封装体。

[0045] 图 3 显示根据本发明另一实施例的晶片封装体的剖面图, 用以说明晶片封装体的制程, 其中相同或相似的标号将用以标示相同或相似的元件。

[0046] 图 3 实施例相似于图 2 实施例, 主要差异在于所形成的孔洞 106 进一步穿过导电垫 104c, 并使最上层导电垫 104a 露出。在此情形下, 后续形成的导电层 110 可与导电垫 104a 直接接触。然应注意的是, 本发明实施例不限于此。在另一实施例中, 所形成的孔洞 106 可穿过导电垫 104c, 并使一中间导电垫 (例如, 104b) 露出。在此情形下, 后续形成的导电层 110 可与导电垫 104b 直接接触。孔洞 106 的延伸程度 (即, 穿基底导电结构的延伸程度) 端视所需应用而定。

[0047] 本发明实施例通过覆盖层的设置, 可有效提升晶片封装体的可靠度。

[0048] 以上所述仅为本发明较佳实施例, 然其并非用以限定本发明的范围, 任何熟悉本项技术的人员, 在不脱离本发明的精神和范围内, 可在此基础上做进一步的改进和变化, 因

此本发明的保护范围当以本申请的权利要求书所界定的范围为准。

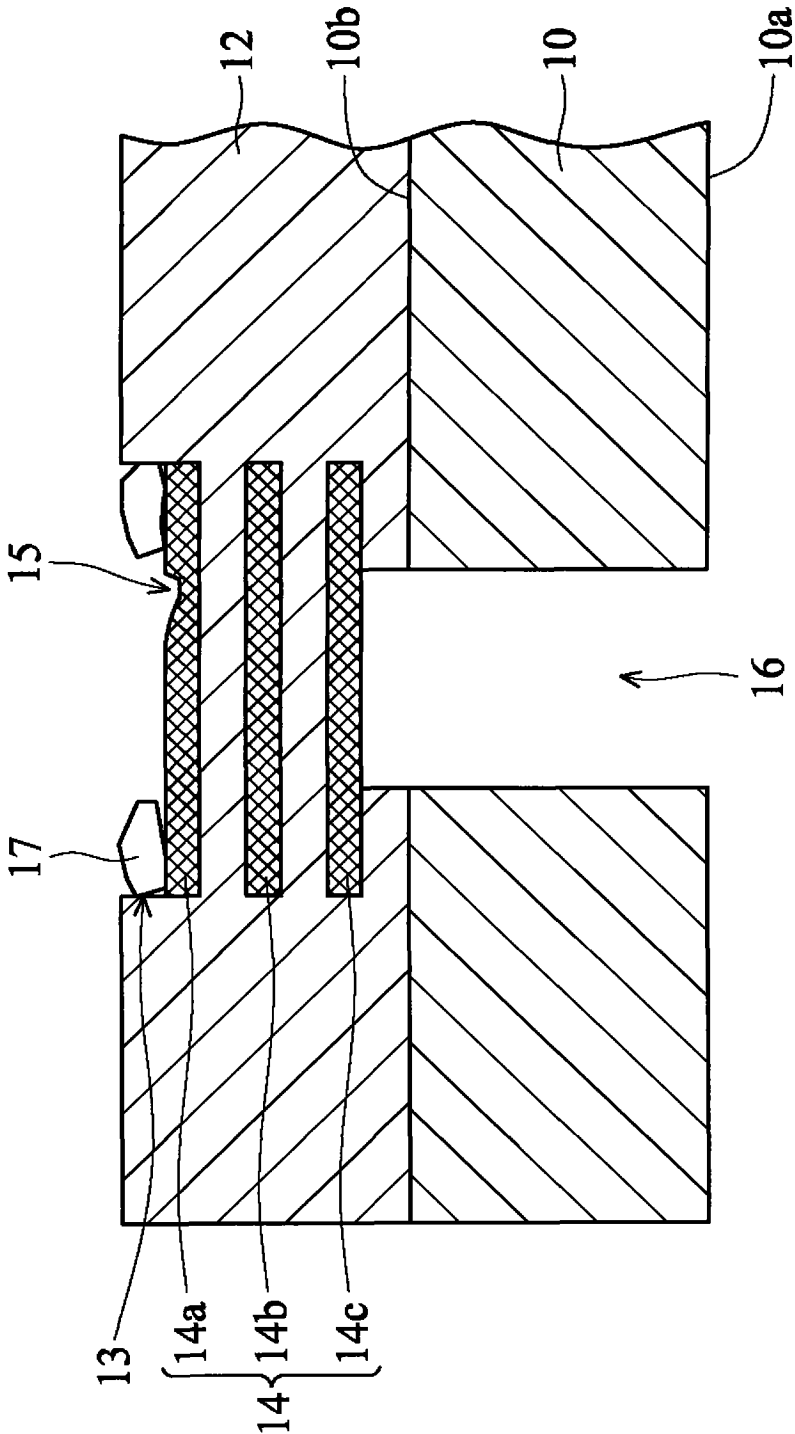


图 1

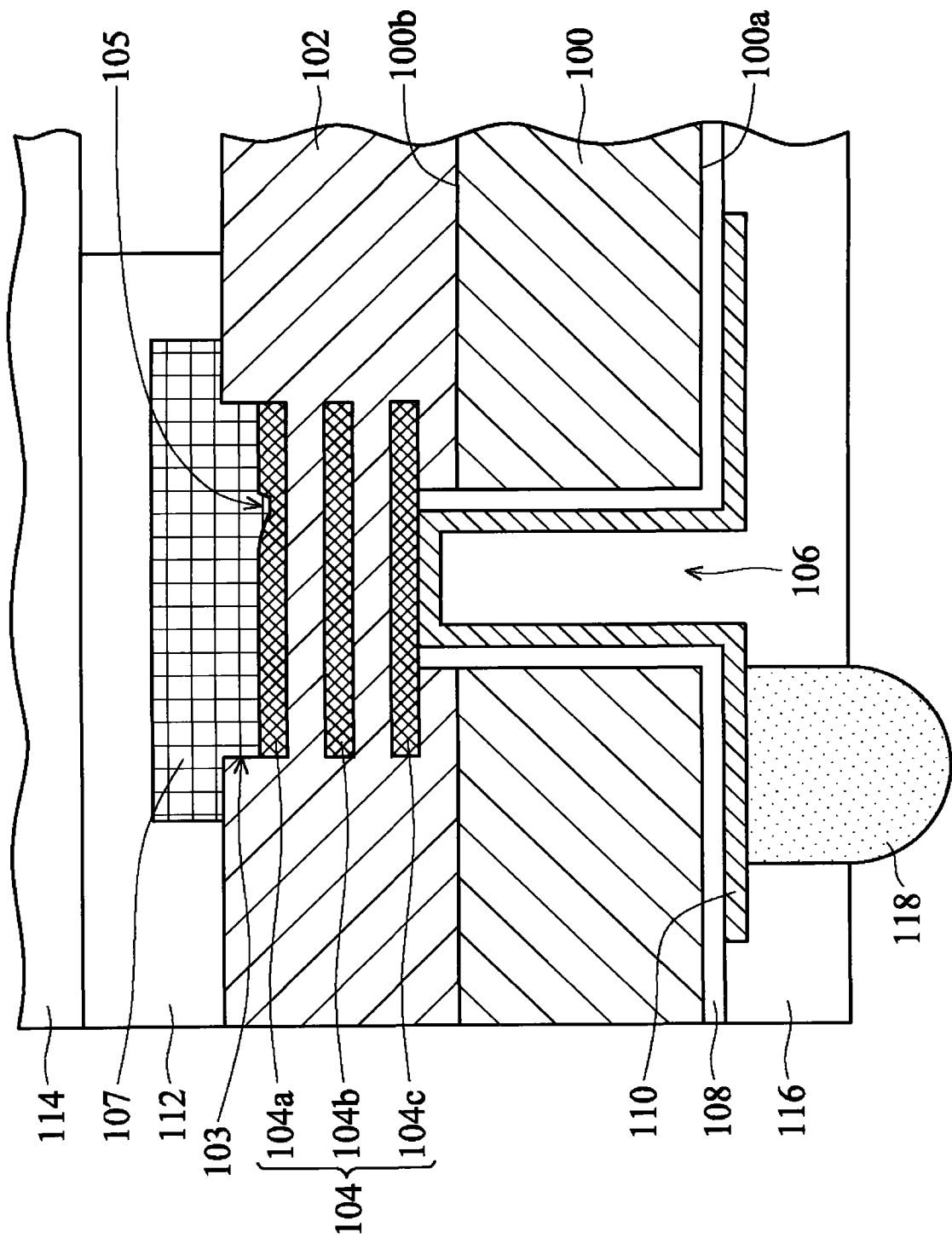


图 2

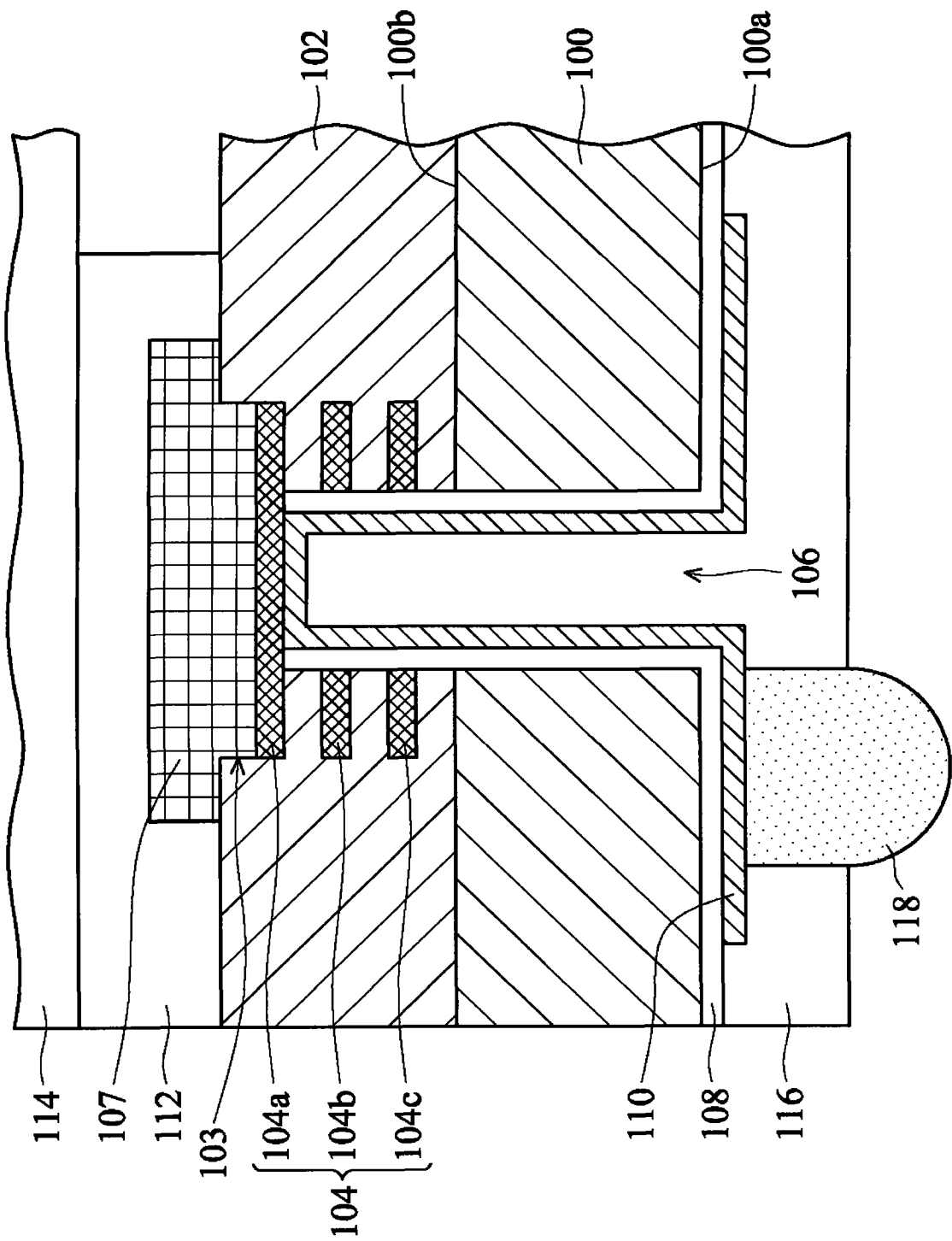


图 3