

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成 20 年 12 月 25 日 (2008.12.25)

【公表番号】特表 2008-522436 (P2008-522436A)

【公表日】平成 20 年 6 月 26 日 (2008.6.26)

【年通号数】公開・登録公報 2008-025

【出願番号】特願 2007-544421 (P2007-544421)

【国際特許分類】

H 0 1 L 27/095 (2006.01)

H 0 1 L 21/337 (2006.01)

H 0 1 L 29/808 (2006.01)

H 0 1 L 29/80 (2006.01)

H 0 1 L 29/861 (2006.01)

H 0 1 L 29/417 (2006.01)

H 0 1 L 21/28 (2006.01)

【F I】

H 0 1 L 29/80 E

H 0 1 L 29/80 C

H 0 1 L 29/80 V

H 0 1 L 29/91 K

H 0 1 L 29/50 J

H 0 1 L 21/28 3 0 1 B

【手続補正書】

【提出日】平成 20 年 11 月 7 日 (2008.11.7)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

互いに対向する第 1 および第 2 の主要表面を有する基板と、

該基板上の該第 1 の主要表面上の隔たっている位置にある第 1 および第 2 のジャンクション電界効果型トランジスタと

を備えている、モノリシック集積回路であって、

該第 1 および第 2 のジャンクション電界効果型トランジスタのそれぞれは、

該基板の第 1 の主要表面上にあり、該基板の第 1 の主要表面と同一でない広がりをも有する n 型半導体材料のドレイン層であって、該ドレイン層を囲む該基板の部分は露出している、ドレイン層と、

該ドレイン層上にあり、該ドレイン層と同一でない広がりをも有する n 型半導体材料のドリフト層であって、該ドレイン層の部分は露出しており、該ドリフト層は、該ドレイン層よりも低い導電性を有する、ドリフト層と、

該ドリフト層上の隔たっている位置にある 1 つ以上の隆起した領域であって、該 1 つ以上の隆起した領域のそれぞれは、該ドリフト層上の n 型半導体材料のチャネル領域と該チャネル領域上の n 型半導体材料のソース領域とを含み、該ソース領域の該半導体材料は、該チャネル領域の導電性よりも高い導電性を有する、1 つ以上の隆起した領域と、

該 1 つ以上の隆起した領域と隣接し、該ドリフト層および該チャネル領域の n 型材料と整流ジャンクションを形成している、該ドリフト層上の p 型半導体材料のゲート領域と、

該ゲート領域および該ソース領域上および該ドレイン層の露出した部分上のオーミックコンタクトと、

該第 1 のジャンクション電界効果型トランジスタの該ソースのオーミックコンタクトと、該第 2 のジャンクション電界効果型トランジスタの該ゲートのオーミックコンタクトとの間の第 1 の電気接続と、

該第 1 のジャンクション電界効果型トランジスタの該ドレインのオーミックコンタクトと、第 2 のジャンクション電界効果型トランジスタの該ソースのオーミックコンタクトとの間の第 2 の電気接続と

を備えている、モノリシック集積回路。

【請求項 2】

前記ドレイン層、ドリフト層、ゲート領域、チャンネル領域、およびソース領域のそれぞれの前記半導体材料は、少なくとも 2 eV の E_g を有する、請求項 1 に記載の集積回路。

【請求項 3】

前記ドレイン層、ドリフト層、ゲート領域、チャンネル領域、およびソース領域のそれぞれの前記半導体材料は、 SiC 、または、 III 属窒素化合物半導体材料である、請求項 2 に記載の集積回路。

【請求項 4】

前記ドレイン層は、 $0.2 \sim 5\text{ }\mu\text{m}$ の厚さを有し、前記ドリフト層は、 $0.5 \sim 10\text{ }\mu\text{m}$ の厚さを有し、前記チャンネル領域は、 $0.2 \sim 1.5\text{ }\mu\text{m}$ の厚さを有し、前記ソース領域は、 $0.2 \sim 1.5\text{ }\mu\text{m}$ の厚さを有し、前記ゲート領域は、 $0.1\text{ }\mu\text{m}$ またはそれ以上の厚さを有する、請求項 1 に記載の集積回路。

【請求項 5】

前記ドレイン層は、 $5 \times 10^{18}\text{ cm}^{-3}$ よりも大きいドーパント濃度を有し、前記ドリフト層は、 $5 \times 10^{15} \sim 5 \times 10^{17}\text{ cm}^{-3}$ のドーパント濃度を有し、前記チャンネル領域は、 $5 \times 10^{15} \sim 5 \times 10^{17}\text{ cm}^{-3}$ のドーパント濃度を有し、前記ソース領域は、 $5 \times 10^{18}\text{ cm}^{-3}$ よりも大きいドーパント濃度を有し、前記ゲート領域は、 $5 \times 10^{18}\text{ cm}^{-3}$ よりも大きいドーパント濃度を有する、請求項 1 に記載の集積回路。

【請求項 6】

前記基板は、半絶縁基板である、請求項 1 に記載の集積回路。

【請求項 7】

前記第 2 の電界効果型トランジスタは、前記ゲート領域に隣接し、該ゲート領域と電氣的に通信する、前記ドリフト層上の n 型半導体材料のショットキーチャンネル領域と、該ショットキーチャンネル領域とともに金属半導体整流ジャンクションを形成している、該ショットキーチャンネル領域上の金属層とを備えているショットキージャンクションをさらに備え、該集積回路は、該ショットキー金属接触と、前記第 1 の電気接続との間の第 3 の電気接続をさらに備えている、請求項 1 に記載の集積回路。

【請求項 8】

前記ショットキーチャンネル領域は、 $0.2 \sim 1.5\text{ }\mu\text{m}$ の厚さ、および $5 \times 10^{15} \sim 5 \times 10^{17}\text{ cm}^{-3}$ のドーパント濃度を有する、請求項 1 に記載の集積回路。

【請求項 9】

互いに対向する第 1 および第 2 の主要表面を有する基板と、

該基板上の該第 1 の主要表面上にある p 型半導体材料のバッファ層と、

n 型半導体材料のそれぞれが該バッファ層上で間隔を置いた関係にある、第 1 および第 2 の隔たっているチャンネル領域であって、該第 2 のチャンネル領域は、該バッファ層上のベース部分と上側部分とを含み、該ベース部分は、肩部を形成するように該上側部分を越えてラテラルに広がる、第 1 および第 2 の隔たっているチャンネル領域と、

該第 1 のチャンネル領域と隣接し、該第 1 のチャンネル領域と電氣的に通信する、該バッファ層上の n 型半導体材料のソース領域と、

該第 1 のチャンネル領域と該第 2 のチャンネル領域との間の該バッファ層上の、該第 1 のチャンネル領域および該第 2 のチャンネル領域の両方と電氣的に通信する、 n 型半導体材料のソ

ース/ドレイン領域であって、該ソース/ドレイン領域の一部は、該第2のチャンネル領域の肩部部分とオーバーラップしている、ソース/ドレイン領域と、

ドレイン領域であって、該ドレイン領域は、該バッファ層と直接的に接触しないように、該第2のチャンネル領域の該肩部の上にある、ドレイン領域と、

該第1のチャンネル領域上の、該第1のチャンネル領域と整流ジャンクションを形成しているp型半導体材料の第1のゲート領域と、

該第2のチャンネル領域のトップ部分の上側の表面上の、該第2のチャンネル領域と整流ジャンクションを形成しているp型半導体材料の第2のゲート領域と、

該ソース領域、該第1および第2のゲート領域、該ソース/ドレイン領域、および該ドレイン領域上のオーミックコンタクトと

を備えている、モノリシック集積回路。

【請求項10】

前記バッファ層は、少なくとも $0.1\mu\text{m}$ の厚さを有し、前記第1および第2のチャンネル領域のそれぞれは、 $0.2\sim 1.5\mu\text{m}$ の厚さを有し、前記ソース、ソース/ドレイン、およびドレイン領域のそれぞれは、少なくとも $0.1\mu\text{m}$ の厚さを有し、前記第1および第2のゲート領域のそれぞれは、 $0.2\sim 1.5\mu\text{m}$ 以上の厚さを有する、請求項9に記載の集積回路。

【請求項11】

前記バッファ層は、 $1\times 10^{15}\sim 1\times 10^{17}\text{cm}^{-3}$ のドーパント濃度を有し、前記第1および第2のチャンネル領域のそれぞれは、 $5\times 10^{15}\sim 2\times 10^{17}\text{cm}^{-3}$ のドーパント濃度を有し、前記ソース、ソース/ドレイン、およびドレイン領域のそれぞれは、 $5\times 10^{18}\text{cm}^{-3}$ よりも大きいドーパント濃度を有し、前記第1および第2のゲート領域のそれぞれは、 $5\times 10^{18}\text{cm}^{-3}$ よりも大きいドーパント濃度を有する、請求項9に記載の集積回路。

【請求項12】

前記基板は、半絶縁基板である、請求項9に記載の集積回路。

【請求項13】

前記第2のチャンネル領域は、前記第1のチャンネル領域よりも大きい厚さを有する、請求項9に記載の集積回路。

【請求項14】

前記第2のゲート接触と前記ソース/ドレイン接触との間の電気接続をさらに備えている、請求項9に記載の集積回路。

【請求項15】

前記第2のゲート領域と前記ソース領域との間の電気接続をさらに備えている、請求項9に記載の集積回路。

【請求項16】

前記ドレイン領域は、前記第2のゲート領域からラテラルに間隔を置かれ、前記第2のチャンネル領域の前記トップ部分にラテラルドリフト領域を形成している、請求項9に記載の集積回路。

【請求項17】

前記バッファ層、ドレイン領域、ソース/ドレイン領域、ドリフト層、第1および第2のゲート領域、第1および第2のチャンネル領域、およびソース領域のそれぞれの前記半導体材料は、少なくとも 2eV の E_g を有する、請求項9に記載の集積回路。

【請求項18】

前記バッファ層、ドレイン領域、ソース/ドレイン領域、ドリフト層、第1および第2のゲート領域、第1および第2のチャンネル領域、およびソース領域のそれぞれの前記半導体材料は、SiCまたはIII族窒素化合物半導体材料である、請求項17に記載の集積回路。

【請求項19】

第1のバーチカルチャンネルJFETを含む集積回路であって、

該第 1 のパーティカルチャネル J F E T は、
互いに対向する第 1 および第 2 の表面を有する基板と、
該基板の該第 1 の表面上の、n 型半導体材料のドレイン層と、
前記ドレイン層上にあり、該ドレイン層と同一でない広がりをもつ n 型半導体材料のドリフト層であり、該ドレイン層の部分は露出しており、該ドリフト層は、該ドレイン層よりも低い導電性を有する、ドリフト層と、
該ドリフト層上の n 型半導体材料のチャネル領域と該チャネル領域上の n 型半導体のソース領域とを含む 1 つ以上の隆起した領域であって、該ソース領域の該材料は、該チャネル領域の導電性よりも高い導電性を有する、1 つ以上の隆起した領域と、
該 1 つ以上の隆起した領域と隣接し、該ドリフト層および該チャネル領域と整流ジャンクションを形成する、該ドリフト層上の p 型半導体材料のゲート領域と、
該ゲート領域および該ソース領域上および該ドレイン層の露出した部分上のオーミックコンタクトと
を備えている、第 1 のパーティカルチャネル J F E T と、
該第 1 のパーティカルチャネル J F E T から隔たっている第 2 のパーティカルチャネル J F E T であって、
該第 2 のパーティカルチャネル J F E T は、
互いに対向する第 1 および第 2 の主要表面を有する n 型半導体材料の基板と、
該基板の該第 1 の主要表面上の n 型半導体材料のドレイン層と、
該ドレイン層上の n 型半導体材料のドリフト層であって、該ドリフト層は、該ドレイン層よりも低い導電性を有する、ドリフト層と、
該ドリフト層上の n 型半導体材料のチャネル領域と該チャネル領域上の n 型半導体のソース領域とを含む 1 つ以上の隆起した領域であって、該ソース領域の該材料は、該チャネル領域の導電性よりも高い導電性を有する、1 つ以上の隆起した領域と、
該 1 つ以上の隆起した領域と隣接し、該ドリフト層および該チャネル領域と整流ジャンクションを形成する、該ドリフト層上の p 型半導体材料のゲート領域と、
該ゲートおよびソース領域上および該基板の該第 2 の主要表面上のオーミックコンタクトと
を備えている、第 2 のパーティカルチャネル J F E T と、
該第 1 のパーティカルチャネル J F E T の該ドレインオーミックコンタクトと該第 2 のパーティカルチャネル J F E T の該ソースオーミックコンタクトとの間の第 1 の電気接続と、
該第 1 のパーティカルチャネル J F E T の該ソースオーミックコンタクトと該第 2 のパーティカルチャネル J F E T の該ゲートオーミックコンタクトとの間の第 2 の電気接続と
を備えている、集積回路。

【請求項 20】

ディスクリートラテラルチャネル J F E T であって、
該ディスクリートラテラルチャネル J F E T は、
互いに対向する第 1 および第 2 の主要表面を有する基板と、
該基板の該第 1 の主要表面上の、p 型半導体材料のバッファ層と、
それぞれが該バッファ層上で間隔を置いた関係にある n 型半導体材料の、ディスクリートソースおよびドレイン領域と、
該ソースおよびドレイン領域の間の該バッファ層上の、該ソースおよびドレイン領域のそれぞれと電氣的に通信する、n 型半導体材料のチャネル領域と、
該チャネル領域上の、該チャネル領域と整流ジャンクションを形成している p 型半導体材料のゲート領域と、
該ソース、ゲート、およびドレイン領域上のオーミックコンタクトと
を備えている、ディスクリートラテラルチャネル J F E T と、
ディスクリートパーティカルチャネル J F E T であって、
該ディスクリートパーティカルチャネル J F E T は、
互いに対向する第 1 および第 2 の主要表面を有する n 型半導体材料の基板と、

該基板の該第 1 の主要表面上の、 n 型半導体材料のドレイン層と、

該ドレイン層上の n 型半導体材料のドリフト層であって、該ドリフト層は、該ドレイン層よりも低い導電性を有する、ドリフト層と、

該ドリフト層上の n 型半導体材料のチャンネル領域と該チャンネル領域上の n 型半導体のソース領域とをそれぞれが含む 1 つ以上の隔たっている隆起した領域であって、該ソース領域の該材料は、該チャンネル領域の導電性よりも高い導電性を有する、1 つ以上の隔たっている隆起した領域と、

該 1 つ以上の隆起した領域と隣接し、該ドリフト層および該チャンネル領域と整流ジャンクションを形成している、該ドリフト層上の p 型半導体材料のゲート領域と、

該ゲートおよびソース領域上、および該基板の該第 2 の主要表面上のオーミックコンタクトと

を備えている、ディスクリートバーチカルチャンネル J F E T と、

該ラテラルチャンネル J F E T の該ドレインオーミックコンタクトと該バーチカルチャンネル J F E T の該ソースオーミックコンタクトとの間の第 1 電気接続と、

該ラテラルチャンネル J F E T の該ソースオーミックコンタクトと該バーチカルチャンネル J F E T の該ゲートオーミックコンタクトとの間の第 2 電気接続と

を備えている、集積回路。

【請求項 2 1】

互いに対向する第 1 および第 2 の主要表面を有する基板と、

該基板の該第 1 の主要表面上の、 p 型半導体材料のバッファ層と、

該バッファ層上の n 型半導体材料のチャンネル層と、

該チャンネル層上で間隔を置いた関係にある、 n 型半導体材料の隔たっている該ソース領域および該ドレイン領域と、

該ソース領域と該ドレイン領域との間の該チャンネル層上の、該ソース領域および該ドレイン領域のそれぞれから間隔を置いた n 型半導体材料のソース/ドレイン領域と、

該ソース領域と該ソース/ドレイン領域との間の該チャンネル層内で形成され、該チャンネル層と整流ジャンクションを形成している p 型半導体材料の第 1 ゲート領域と、

該ソース/ドレイン領域と該ドレイン領域との間の該チャンネル層内で形成され、該チャンネル層と整流ジャンクションを形成している p 型半導体材料の第 2 のゲート領域と、

該ソース領域、該第 1 および第 2 のゲート領域、該ソース/ドレイン領域、および該ドレイン領域上のオーミックコンタクトと

を備えている、モノリシックラテラルチャンネルジャンクション電界効果型トランジスタ (J F E T) 。

【請求項 2 2】

ディスクリートラテラルチャンネル J F E T を含む集積回路であって、

該ディスクリートラテラルチャンネル J F E T は、

互いに対向する第 1 および第 2 の主要表面を有する基板と、

該基板の該第 1 の表面上の、 p 型半導体材料のバッファ層と、

該バッファ層上の n 型半導体材料のチャンネル層と、

該チャンネル層上で間隔を置いた関係にある、 n 型半導体材料の隔たっているソースおよびドレイン領域と、

該ソース領域と該ドレイン領域との間の該チャンネル層内で形成され、該チャンネル層と整流ジャンクションを形成している p 型半導体材料のゲート領域と、

該ソース領域、該ゲート領域、および該ドレイン領域上のオーミックコンタクトと

を備えている、ディスクリートラテラル J F E T と、

ディスクリートバーチカルチャンネル J F E T であって、

該ディスクリートバーチカルチャンネル J F E T は、

互いに対向する第 1 および第 2 の主要表面を有する n 型半導体材料の基板と、

該基板の該第 1 の主要表面上の、 n 型半導体材料のドレイン層と、

該ドレイン層上の n 型半導体材料のドリフト層であって、該ドリフト層は、該ドレイン

層よりも低い導電性を有する、ドリフト層と、

該ドリフト層上の n 型半導体材料のチャンネル領域と該チャンネル領域上の n 型半導体のソース領域とをそれぞれが含む 1 つ以上の隔たっている隆起した領域であって、該ソース領域の該材料は、該チャンネル領域の導電性よりも高い導電性を有する、1 つ以上の隔たっている隆起した領域と、

該 1 つ以上の隆起した領域と隣接し、該ドリフト層および該チャンネル領域と整流ジャンクションを形成している、該ドリフト層上の p 型半導体材料のゲート領域と、

該ゲートおよびソース領域上および、該基板の該第 2 の主要表面上のオーミックコンタクトと

を備えている、ディスクリートバーチカルチャンネル J F E T と、

該ラテラルチャンネル J F E T の該ソースオーミックコンタクトと該バーチカルチャンネル J F E T の該ゲートオーミックコンタクトとの間の第 1 電気接続と、

該ラテラルチャンネル J F E T の該ドレインオーミックコンタクトと該バーチカルチャンネル J F E T の該ソースオーミックコンタクトとの間の第 2 電気接続と

を備えている、集積回路。

【請求項 23】

ラテラルジャンクション電界効果型トランジスタおよびバーチカルジャンクション電界効果型トランジスタを備えているモノリシック集積回路であって、

該ラテラルジャンクション電界効果型トランジスタは、

ドリフト層の第 1 の主要表面の部分に形成される p 型半導体材料のバッファ層と、

該バッファ層上にあり、該バッファ層と同一でない広がりを持つ n 型半導体材料のチャンネル層であり、該バッファ層の部分は露出している、チャンネル層と、

該チャンネル層上で間隔を置いた関係にある、n 型半導体材料の隔たっているソース領域およびドレイン領域と、

該ソース領域と該ドレイン領域との間の該チャンネル層内で形成され、該チャンネル層と整流ジャンクションを形成している p 型半導体材料のゲート領域と、

該ソース領域、該ゲート領域、該ドレイン領域、および該バッファ層の該露出した部分上のオーミックコンタクトと

を備え、

該バーチカルジャンクション電界効果型トランジスタは、

該ドリフト層の該第 1 の主要表面上の、該バッファ層からラテラルに間隔を置かれた n 型半導体材料のチャンネル層と、

該チャンネル層上で間隔を置いた関係にある、n 型半導体材料の 1 つ以上の隔たっているソース領域と、

該チャンネル層に形成され、該 1 つ以上の隆起した領域と隣接し、該チャンネル領域と整流ジャンクションを形成する、p 型半導体材料のゲート領域と、

該ゲートおよびソース領域上のオーミックコンタクトと

を備え、

該ドリフト層は、基板の第 1 の主要表面上にある n 型半導体材料のドレイン層上にあり、電気接続は、該基板の該第 1 の主要表面と互いに対向する該基板の第 2 の主要表面上にある

モノリシック集積回路。

【請求項 24】

ラテラルジャンクション電界効果型トランジスタおよびバーチカルジャンクション電界効果型トランジスタを備えているモノリシック集積回路であって、

該ラテラルジャンクション電界効果型トランジスタは、

ドリフト層の第 1 の主要表面の部分に形成される p 型半導体材料のバッファ層と、

該バッファ層上にあり、該バッファ層と同一でない広がりを持つ n 型半導体材料のチャンネル層であり、該バッファ層の部分は露出している、チャンネル層と、

隔たっているソース領域およびドレイン領域であって、該ソース領域および該ドレイン

領域のそれぞれは、該チャンネル層上で間隔を置いた関係にある n 型半導体材料である、隔たっているソース領域およびドレイン領域と、

該ソース領域と該ドレイン領域との間の該チャンネル層上の、該チャンネル層と金属半導体整流ジャンクションを形成している金属層と、

該ソース領域、該ドレイン領域、および該バッファ層の該露出した部分上のオーミックコンタクトと

を備え、

該バーチカルジャンクション電界効果型トランジスタは、

該ドリフト層の該第 1 の主要表面上の、該バッファ層からラテラルに間隔を置かれた 1 つ以上の隆起した領域であって、該隆起した領域のそれぞれは、

該ドリフト層の該第 1 の主要表面上の、該ラテラルジャンクション電界効果型トランジスタの該バッファ層から間隔を置いた n 型半導体材料のチャンネル層と、

該チャンネル領域上の n 型半導体材料のソース領域と

を備える、隆起した領域と、

該ドリフト層上で該 1 つ以上の隆起した領域に隣接し、該ドリフト層および該チャンネル領域と金属半導体整流ジャンクションを形成している金属層と、

該ソース領域上のオーミックコンタクトと

を備え、

該ドリフト層は、基板の第 1 の主要表面上にある n 型半導体材料の層上にあり、電気接続は、該基板の該第 1 の主要表面と互いに対向する該基板の第 2 の主要表面上にある、モノリシック集積回路。

【請求項 25】

n 型半導体材料の層上に第 1 のマスクを配置することであって、n 型半導体材料の該層は、p 型半導体材料の第 1 の層上にあり、p 型半導体材料の該第 1 の層は、基板上にある、ことと、

該第 1 のマスクにおける開口部を介して、n 型半導体材料の該層を選択的にエッチングし、エッチングされる領域と該エッチングされる領域に隣接する側壁を有する隆起した領域とを形成することと、

該第 1 のマスクを除去することと、

n 型半導体材料の該層上に第 2 のマスクを配置することであって、該第 2 のマスクは、該エッチングされる領域の一部分と該隆起した領域の一部分とをマスクングする、ことと

該マスクにおける開口部を介して、n 型半導体材料の該層に n 型のドーパントをインプラントし、該エッチングされる領域の上に第 1 のインプラントされない領域を形成し、該隆起した領域の上に第 2 のインプラントされない領域を形成し、n 型半導体材料の該層に n 型のインプラントされる領域を形成することと、

該第 2 のマスクを除去することと、

n 型半導体材料の該エッチングおよびインプラントされる層上に p 型半導体材料の第 2 の層をエピタキシャルに成長させることと、

p 型半導体材料の該第 2 の層上に第 3 のマスクを配置することであって、該第 3 のマスクは、該第 1 のインプラントされない領域の上の p 型半導体材料の該第 2 の層の一部分と、該第 2 のインプラントされない領域の上の p 型半導体材料の該第 2 の層の一部分とをマスクングする、ことと、

該第 3 のマスクを用いて、p 型半導体材料の該第 2 の層を介して選択的にエッチングし、インプラントされる領域を n 型半導体材料の下部の層において露出させ、それによって、p 型半導体材料の隆起した特徴を形成することと、

該第 3 のマスクを除去することと、

n 型半導体材料の該層における該隆起した特徴上にオーミックコンタクトを形成することと

を含む、方法。

【請求項 26】

n 型半導体材料の第 1 の層上に第 1 のマスクを配置することであって、n 型半導体材料の層の該第 1 の層は、p 型半導体材料の層上にあり、該 p 型半導体材料の層は、基板上にある、ことと、

該第 1 のマスクにおける開口部を介して、n 型半導体材料の該第 1 の層を選択的にエッチングし、エッチングされる領域と隆起した領域とを形成することと、

該第 1 のマスクを除去することと、

n 型半導体材料の該エッチングおよびインプラントされる層上に n 型半導体材料の第 2 の層をエピタキシャルに成長させることと、

n 型半導体材料の該第 2 の層上に第 2 のマスクを配置し、その結果、該第 2 のマスクにおける開口部が、n 型半導体材料の該層の該エッチングされる領域の上に配置され、かつ n 型半導体材料の該層の該隆起した領域の上に配置されるようにすることと、

該第 2 のマスクを用いて、n 型半導体材料の該第 2 の層を介して選択的にエッチングし、n 型半導体材料の下部の第 1 の層を露出させ、n 型半導体材料の隆起した特徴を形成することと、

該第 2 のマスクにおける開口部を介して、n 型半導体材料の該第 1 の層に p 型のドーパントを選択的にインプラントし、p 型のインプラントされる領域を形成することと、

該第 2 のマスクを除去することと、

n 型半導体材料の該隆起した特徴の露出された表面および該 p 型のインプラントされる領域の上にオーミックコンタクトを形成することと

を含む、方法。

【請求項 27】

n 型半導体材料の第 1 の層上に第 1 のマスクを配置することであって、該第 1 の層は、n 型半導体材料の第 2 の層上にあり、該第 2 の層は基板上にある、ことと、

該第 1 のマスクを用いて、p 型のドーパントを該第 1 の層において選択的にインプラントし、該第 1 の層においてインプラントされない領域に隣接した p 型のインプラントされる領域を形成することと、

該第 1 のマスクを除去することと、

該第 1 の層上に n 型半導体材料の第 3 の層をエピタキシャルに成長させることと、

該第 3 の層上に n 型半導体材料の第 4 の層をエピタキシャルに成長させることと、

該第 4 の層上に第 2 のマスクを配置することと、

該第 4 の層を介して、選択的にエッチングし、該第 2 のマスクにおける開口部を介して下部の第 3 の層を露出させ、それによって、該第 1 の層の該 p 型のインプラントされる領域の上に n 型半導体材料の隆起した特徴を形成し、かつ該第 1 の層のインプラントされない領域の上に n 型半導体材料の 1 つ以上の隆起した特徴を形成することと、

該第 2 のマスクにおける開口部を介して該第 3 の層に p 型のドーパントをインプラントし、n 型半導体材料の該隆起した特徴の間で、n 型半導体材料の該隆起した特徴に隣接して、該第 3 の層において p 型のインプラントされる領域を形成することと、

該第 2 のマスクを除去することと、

第 3 のマスクを配置することであって、該第 3 のマスクは、該第 1 の層の p 型のインプラントされる領域の上で、該隆起した特徴と該隆起した特徴の間のエリアとをマスクングし、該第 3 のマスクは、該第 1 の層のインプラントされない領域とそれに隣接するエリアとの上で、該 1 つ以上の隆起した特徴をマスクングすることと、

該第 3 のマスクを用いて、該第 3 の層を介して選択的にエッチングし、下部の第 1 の層の p 型のインプラントされる領域とインプラントされない領域とを露出させ、それによって、第 1 および第 2 の隆起した構造を形成することであって、該第 1 の隆起した構造は、該第 1 の層の p 型のインプラントされる領域と、それらの間の該第 3 の層の p 型のインプラントされる領域との上に、該隆起した特徴を含み、該第 2 の隆起した構造は、該第 1 の層のインプラントされない領域と、それに隣接する該第 3 の層の p 型のインプラントされる領域との上に、該 1 つ以上の隆起した特徴を含む、ことと、

該第 3 のマスクを除去することと、

第 4 のマスクを配置することであって、該第 4 のマスクは、該第 1 および第 2 の隆起した構造と該第 1 の隆起した構造に隣接する p 型のインプラントされる第 1 の層の領域とをカバーする、ことと、

該第 1 および第 2 の隆起した構造の間で、該第 1 および第 2 の隆起した構造に隣接して、n 型半導体材料の該第 1 の層において、該 p 型のインプラントされる領域を介して、該第 4 のマスクを用いて、選択的にエッチングすることと、

該第 4 のマスクを除去することと、

n 型半導体材料の該隆起した特徴の露出された構造の上と、露出された p 型のインプラントされる領域の上とに、オーミックコンタクトを形成することと

を含む、方法。

【請求項 28】

n 型半導体材料の第 1 の層上に第 1 のマスクを配置することであって、該第 1 の層は、n 型半導体材料の第 2 の層上にあり、該第 2 の層は基板上にある、ことと、

該第 1 のマスクを用いて、n 型半導体材料の該第 1 の層に p 型のドーパントを選択的にインプラントし、該第 1 の層においてインプラントされない領域に隣接する p 型のインプラントされる領域を形成することと、

該第 1 のマスクを除去することと、

該第 1 の層上に n 型半導体材料の第 3 の層をエピタキシャルに成長させることと、

該第 3 の層上に n 型半導体材料の第 4 の層をエピタキシャルに成長させることと、

該第 4 の層上に第 2 のマスクを配置することと、

該第 4 の層を介して選択的にエッチングし、該第 2 のマスクにおける開口部を介して下部の第 3 の層を露出させ、それによって、該第 1 の層の p 型のインプラントされる領域の上に n 型半導体材料の隆起した特徴を形成し、かつ該第 1 の層のインプラントされない領域の上に n 型半導体材料の 1 つ以上の隆起した特徴を形成することと、

該第 2 のマスクを除去することと、

第 3 のマスクを配置することであって、該第 3 のマスクは、該第 1 の層の p 型のインプラントされる領域の上で、該隆起した特徴と該隆起した特徴の間のエリアとをマスクングし、該第 3 のマスクは、該第 1 の層のインプラントされない領域の上で、該隆起した特徴をマスクングする、ことと、

該第 3 のマスクを用いて、該第 3 の層を介して選択的にエッチングし、下部の第 1 の層の p 型のインプラントされる領域とインプラントされない領域とを露出させ、それによって、第 1 および第 2 の隆起した構造を形成することであって、該第 1 の隆起した構造は、該第 1 の層の該 p 型のインプラントされる領域とそれらの間の該第 3 の層の領域との上の隆起した特徴を含み、該第 2 の隆起した構造は、該第 1 の層のインプラントされない領域の上の隆起した特徴を含み、該第 2 の隆起した構造は側壁を有する、ことと、

該第 3 のマスクを除去することと、

n 型半導体材料の該隆起した特徴の露出された表面上と、該第 1 の層の露出された p 型のインプラントされる領域上とに、オーミックコンタクトを形成することと、

該 p 型のインプラントされる領域の上の隆起した特徴の間の該第 3 の層上と、該第 2 の隆起した構造に隣接する該第 1 の層のインプラントされない部分上と、該第 2 の隆起した構造の該側壁上の該第 3 の層の材料上とに、ショットキーコンタクトを形成することと

を含む、方法。