

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成20年12月25日(2008.12.25)

【公表番号】特表2008-522436(P2008-522436A)

【公表日】平成20年6月26日(2008.6.26)

【年通号数】公開・登録公報2008-025

【出願番号】特願2007-544421(P2007-544421)

【国際特許分類】

H 01 L	27/095	(2006.01)
H 01 L	21/337	(2006.01)
H 01 L	29/808	(2006.01)
H 01 L	29/80	(2006.01)
H 01 L	29/861	(2006.01)
H 01 L	29/417	(2006.01)
H 01 L	21/28	(2006.01)

【F I】

H 01 L	29/80	E
H 01 L	29/80	C
H 01 L	29/80	V
H 01 L	29/91	K
H 01 L	29/50	J
H 01 L	21/28	3 0 1 B

【手続補正書】

【提出日】平成20年11月7日(2008.11.7)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

互いに対向する第1および第2の主要表面を有する基板と、  
該基板上の該第1の主要表面上の隔たっている位置にある第1および第2のジャンクション電界効果型トランジスタと

を備えている、モノリシック集積回路であって、

該第1および第2のジャンクション電界効果型トランジスタのそれぞれは、

該基板の第1の主要表面上にあり、該基板の第1の主要表面と同一でない広がりを有するn型半導体材料のドレイン層であって、該ドレイン層を囲む該基板の部分は露出している、ドレイン層と、

該ドレイン層上にあり、該ドレイン層と同一でない広がりを有するn型半導体材料のドリフト層であって、該ドレイン層の部分は露出しており、該ドリフト層は、該ドレイン層よりも低い導電性を有する、ドリフト層と、

該ドリフト層上の隔たっている位置上にある1つ以上の隆起した領域であって、該1つ以上の隆起した領域のそれぞれは、該ドリフト層上のn型半導体材料のチャネル領域と該チャネル領域上のn型半導体材料のソース領域とを含み、該ソース領域の該半導体材料は、該チャネル領域の導電性よりも高い導電性を有する、1つ以上の隆起した領域と、

該1つ以上の隆起した領域と隣接し、該ドリフト層および該チャネル領域のn型材料と整流ジャンクションを形成している、該ドリフト層上のp型半導体材料のゲート領域と、

該ゲート領域および該ソース領域上および該ドレイン層の露出した部分上のオーミックコンタクトと、

該第1のジャンクション電界効果型トランジスタの該ソースのオーミックコンタクトと、該第2のジャンクション電界効果型トランジスタの該ゲートのオーミックコンタクトとの間の第1の電気接続と、

該第1のジャンクション電界効果型トランジスタの該ドレインのオーミックコンタクトと、第2のジャンクション電界効果型トランジスタの該ソースのオーミックコンタクトとの間の第2の電気接続と

を備えている、モノリシック集積回路。

#### 【請求項2】

前記ドレイン層、ドリフト層、ゲート領域、チャネル領域、およびソース領域のそれぞれの前記半導体材料は、少なくとも2eVのE<sub>G</sub>を有する、請求項1に記載の集積回路。

#### 【請求項3】

前記ドレイン層、ドリフト層、ゲート領域、チャネル領域、およびソース領域のそれぞれの前記半導体材料は、SiC、または、III属窒素化合物半導体材料である、請求項2に記載の集積回路。

#### 【請求項4】

前記ドレイン層は、0.2~5μmの厚さを有し、前記ドリフト層は、0.5~10μmの厚さを有し、前記チャネル領域は、0.2~1.5μmの厚さを有し、前記ソース領域は、0.2~1.5μmの厚さを有し、前記ゲート領域は、0.1μmまたはそれ以上の厚さを有する、請求項1に記載の集積回路。

#### 【請求項5】

前記ドレイン層は、 $5 \times 10^{18} \text{ cm}^{-3}$ よりも大きいドーパント濃度を有し、前記ドリフト層は、 $5 \times 10^{15} \sim 5 \times 10^{17} \text{ cm}^{-3}$ のドーパント濃度を有し、前記チャネル領域は、 $5 \times 10^{15} \sim 5 \times 10^{17} \text{ cm}^{-3}$ のドーパント濃度を有し、前記ソース領域は、 $5 \times 10^{18} \text{ cm}^{-3}$ よりも大きいドーパント濃度を有し、前記ゲート領域は、 $5 \times 10^{18} \text{ cm}^{-3}$ よりも大きいドーパント濃度を有する、請求項1に記載の集積回路。

#### 【請求項6】

前記基板は、半絶縁基板である、請求項1に記載の集積回路。

#### 【請求項7】

前記第2の電界効果型トランジスタは、前記ゲート領域に隣接し、該ゲート領域と電気的に通信する、前記ドリフト層上のn型半導体材料のショットキーチャネル領域と、該ショットキーチャネル領域とともに金属半導体整流ジャンクションを形成している、該ショットキーチャネル領域上の金属層とを備えているショットキージャンクションをさらに備え、該集積回路は、該ショットキーメタル接触と、前記第1の電気接続との間の第3の電気接続をさらに備えている、請求項1に記載の集積回路。

#### 【請求項8】

前記ショットキーチャネル領域は、0.2~1.5μmの厚さ、および $5 \times 10^{15} \sim 5 \times 10^{17} \text{ cm}^{-3}$ のドーパント濃度を有する、請求項1に記載の集積回路。

#### 【請求項9】

互いに対向する第1および第2の主要表面を有する基板と、

該基板上の該第1の主要表面上にあるp型半導体材料のバッファ層と、

n型半導体材料のそれぞれが該バッファ層上で間隔を置いた関係にある、第1および第2の隔たっているチャネル領域であって、該第2のチャネル領域は、該バッファ層上のベース部分と上側部分とを含み、該ベース部分は、肩部を形成するように該上側部分を越えてラテラルに広がる、第1および第2の隔たっているチャネル領域と、

該第1のチャネル領域と隣接し、該第1のチャネル領域と電気的に通信する、該バッファ層上のn型半導体材料のソース領域と、

該第1のチャネル領域と該第2のチャネル領域との間の該バッファ層上の、該第1のチャネル領域および該第2のチャネル領域の両方と電気的に通信する、n型半導体材料のソ

ース / ドレイン領域であって、該ソース / ドレイン領域の一部は、該第 2 のチャネル領域の肩部部分とオーバーラップしている、ソース / ドレイン領域と、

ドレイン領域であって、該ドレイン領域は、該バッファ層と直接的に接触しないように、該第 2 のチャネル領域の該肩部の上にある、ドレイン領域と、

該第 1 のチャネル領域上の、該第 1 のチャネル領域と整流ジャンクションを形成している p 型半導体材料の第 1 のゲート領域と、

該第 2 のチャネル領域のトップ部分の上側の表面上の、該第 2 のチャネル領域と整流ジャンクションを形成している p 型半導体材料の第 2 のゲート領域と、

該ソース領域、該第 1 および第 2 のゲート領域、該ソース / ドレイン領域、および該ドレイン領域上のオーミックコンタクトと

を備えている、モノリシック集積回路。

#### 【請求項 1 0】

前記バッファ層は、少なくとも  $0.1 \mu\text{m}$  の厚さを有し、前記第 1 および第 2 のチャネル領域のそれぞれは、 $0.2 \sim 1.5 \mu\text{m}$  の厚さを有し、前記ソース、ソース / ドレイン、およびドレイン領域のそれぞれは、少なくとも  $0.1 \mu\text{m}$  の厚さを有し、前記第 1 および第 2 のゲート領域のそれぞれは、 $0.2 \sim 1.5 \mu\text{m}$  以上の厚さを有する、請求項 9 に記載の集積回路。

#### 【請求項 1 1】

前記バッファ層は、 $1 \times 10^{15} \sim 1 \times 10^{17} \text{ cm}^{-3}$  のドーパント濃度を有し、前記第 1 および第 2 のチャネル領域のそれぞれは、 $5 \times 10^{15} \sim 2 \times 10^{17} \text{ cm}^{-3}$  のドーパント濃度を有し、前記ソース、ソース / ドレイン、およびドレイン領域のそれぞれは、 $5 \times 10^{18} \text{ cm}^{-3}$  よりも大きいドーパント濃度を有し、前記第 1 および第 2 のゲート領域のそれぞれは、 $5 \times 10^{18} \text{ cm}^{-3}$  よりも大きいドーパント濃度を有する、請求項 9 に記載の集積回路。

#### 【請求項 1 2】

前記基板は、半絶縁基板である、請求項 9 に記載の集積回路。

#### 【請求項 1 3】

前記第 2 のチャネル領域は、前記第 1 のチャネル領域よりも大きい厚さを有する、請求項 9 に記載の集積回路。

#### 【請求項 1 4】

前記第 2 のゲート接触と前記ソース / ドレイン接触との間の電気接続をさらに備えている、請求項 9 に記載の集積回路。

#### 【請求項 1 5】

前記第 2 のゲート領域と前記ソース領域との間の電気接続をさらに備えている、請求項 9 に記載の集積回路。

#### 【請求項 1 6】

前記ドレイン領域は、前記第 2 のゲート領域からラテラルに間隔を置かれ、前記第 2 のチャネル領域の前記トップ部分にラテラルドリフト領域を形成している、請求項 9 に記載の集積回路。

#### 【請求項 1 7】

前記バッファ層、ドレイン領域、ソース / ドレイン領域、ドリフト層、第 1 および第 2 のゲート領域、第 1 および第 2 のチャネル領域、およびソース領域のそれぞれの前記半導体材料は、少なくとも  $2 \text{ eV}$  の  $E_G$  を有する、請求項 9 に記載の集積回路。

#### 【請求項 1 8】

前記バッファ層、ドレイン領域、ソース / ドレイン領域、ドリフト層、第 1 および第 2 のゲート領域、第 1 および第 2 のチャネル領域、およびソース領域のそれぞれの前記半導体材料は、SiC または III-V 属窒素化合物半導体材料である、請求項 1 7 に記載の集積回路。

#### 【請求項 1 9】

第 1 のバーチカルチャネル JFET を含む集積回路であって、

該第1のバーチカルチャネルJFETは、

互いに対向する第1および第2の表面を有する基板と、

該基板の該第1の表面上の、n型半導体材料のドレイン層と、

前記ドレイン層上にあり、該ドレイン層と同一でない広がりを有するn型半導体材料のドリフト層であり、該ドレイン層の部分は露出しており、該ドリフト層は、該ドレイン層よりも低い導電性を有する、ドリフト層と、

該ドリフト層上のn型半導体材料のチャネル領域と該チャネル領域上のn型半導体のソース領域とを含む1つ以上の隆起した領域であって、該ソース領域の該材料は、該チャネル領域の導電性よりも高い導電性を有する、1つ以上の隆起した領域と、

該1つ以上の隆起した領域と隣接し、該ドリフト層および該チャネル領域と整流ジャンクションを形成する、該ドリフト層上のp型半導体材料のゲート領域と、

該ゲート領域および該ソース領域上および該ドレイン層の露出した部分上のオームックコンタクトと

を備えている、第1のバーチカルチャネルJFETと、

該第1のバーチカルチャネルJFETから隔たっている第2のバーチカルチャネルJFETであって、

該第2のバーチカルチャネルJFETは、

互いに対向する第1および第2の主要表面を有するn型半導体材料の基板と、

該基板の該第1の主要表面上のn型半導体材料のドレイン層と、

該ドレイン層上のn型半導体材料のドリフト層であって、該ドリフト層は、該ドレイン層よりも低い導電性を有する、ドリフト層と、

該ドリフト層上のn型半導体材料のチャネル領域と該チャネル領域上のn型半導体のソース領域とを含む1つ以上の隆起した領域であって、該ソース領域の該材料は、該チャネル領域の導電性よりも高い導電性を有する、1つ以上の隆起した領域と、

該1つ以上の隆起した領域と隣接し、該ドリフト層および該チャネル領域と整流ジャンクションを形成する、該ドリフト層上のp型半導体材料のゲート領域と、

該ゲートおよびソース領域上および該基板の該第2の主要表面上のオームックコンタクトと

を備えている、第2のバーチカルチャネルJFETと、

該第1のバーチカルチャネルJFETの該ドレインオームックコンタクトと該第2のバーチカルチャネルJFETの該ソースオームックコンタクトとの間の第1の電気接続と、

該第1のバーチカルチャネルJFETの該ソースオームックコンタクトと該第2のバーチカルチャネルJFETの該ゲートオームックコンタクトとの間の第2の電気接続と

を備えている、集積回路。

#### 【請求項20】

ディスクリートラテラルチャネルJFETであって、

該ディスクリートラテラルチャネルJFETは、

互いに対向する第1および第2の主要表面を有する基板と、

該基板の該第1の主要表面上の、p型半導体材料のバッファ層と、

それぞれが該バッファ層上で間隔を置いた関係にあるn型半導体材料の、ディスクリートソースおよびドレイン領域と、

該ソースおよびドレイン領域の間の該バッファ層上の、該ソースおよびドレイン領域のそれぞれと電気的に通信する、n型半導体材料のチャネル領域と、

該チャネル領域上の、該チャネル領域と整流ジャンクションを形成しているp型半導体材料のゲート領域と、

該ソース、ゲート、およびドレイン領域上のオームックコンタクトと

を備えている、ディスクリートラテラルチャネルJFETと、

ディスクリートバーチカルチャネルJFETであって、

該ディスクリートバーチカルチャネルJFETは、

互いに対向する第1および第2の主要表面を有するn型半導体材料の基板と、

該基板の該第1の主要表面上の、n型半導体材料のドレイン層と、  
該ドレイン層上のn型半導体材料のドリフト層であって、該ドリフト層は、該ドレイン層よりも低い導電性を有する、ドリフト層と、

該ドリフト層上のn型半導体材料のチャネル領域と該チャネル領域上のn型半導体のソース領域とをそれぞれが含む1つ以上の隔たっている隆起した領域であって、該ソース領域の該材料は、該チャネル領域の導電性よりも高い導電性を有する、1つ以上の隔たっている隆起した領域と、

該1つ以上の隆起した領域と隣接し、該ドリフト層および該チャネル領域と整流ジャンクションを形成している、該ドリフト層上のp型半導体材料のゲート領域と、

該ゲートおよびソース領域上、および該基板の該第2の主要表面上のオーミックコンタクトと

を備えている、ディスクリートバーチカルチャネルJFETと、

該ラテラルチャネルJFETの該ドレインオーミックコンタクトと該バーチカルチャネルJFETの該ソースオーミックコンタクトとの間の第1電気接続と、

該ラテラルチャネルJFETの該ソースオーミックコンタクトと該バーチカルチャネルJFETの該ゲートオーミックコンタクトとの間の第2電気接続と  
を備えている、集積回路。

#### 【請求項21】

互いに対向する第1および第2の主要表面を有する基板と、  
該基板の該第1の主要表面上の、p型半導体材料のバッファ層と、  
該バッファ層上のn型半導体材料のチャネル層と、  
該チャネル層上で間隔を置いた関係にある、n型半導体材料の隔たっている該ソース領域および該ドレイン領域と、

該ソース領域と該ドレイン領域との間の該チャネル層上の、該ソース領域および該ドレイン領域のそれぞれから間隔を置いたn型半導体材料のソース/ドレイン領域と、

該ソース領域と該ソース/ドレイン領域との間の該チャネル層内で形成され、該チャネル層と整流ジャンクションを形成しているp型半導体材料の第1ゲート領域と、

該ソース/ドレイン領域と該ドレイン領域との間の該チャネル層内で形成され、該チャネル層と整流ジャンクションを形成しているp型半導体材料の第2のゲート領域と、

該ソース領域、該第1および第2のゲート領域、該ソース/ドレイン領域、および該ドレイン領域上のオーミックコンタクトと

を備えている、モノリシックラテラルチャネルジャンクション電界効果型トランジスタ(JFET)。

#### 【請求項22】

ディスクリートラテラルチャネルJFETを含む集積回路であって、  
該ディスクリートラテラルチャネルJFETは、  
互いに対向する第1および第2の主要表面を有する基板と、  
該基板の該第1の表面上の、p型半導体材料のバッファ層と、  
該バッファ層上のn型半導体材料のチャネル層と、  
該チャネル層上で間隔を置いた関係にある、n型半導体材料の隔たっているソースおよびドレイン領域と、

該ソース領域と該ドレイン領域との間の該チャネル層内で形成され、該チャネル層と整流ジャンクションを形成しているp型半導体材料のゲート領域と、

該ソース領域、該ゲート領域、および該ドレイン領域上のオーミックコンタクトと  
を備えている、ディスクリートラテラルJFETと、

ディスクリートバーチカルチャネルJFETであって、

該ディスクリートバーチカルチャネルJFETは、

互いに対向する第1および第2の主要表面を有するn型半導体材料の基板と、  
該基板の該第1の主要表面上の、n型半導体材料のドレイン層と、

該ドレイン層上のn型半導体材料のドリフト層であって、該ドリフト層は、該ドレイン

層よりも低い導電性を有する、ドリフト層と、

該ドリフト層上のn型半導体材料のチャネル領域と該チャネル領域上のn型半導体のソース領域とをそれぞれが含む1つ以上の隔たっている隆起した領域であって、該ソース領域の該材料は、該チャネル領域の導電性よりも高い導電性を有する、1つ以上の隔たっている隆起した領域と、

該1つ以上の隆起した領域と隣接し、該ドリフト層および該チャネル領域と整流ジャンクションを形成している、該ドリフト層上のp型半導体材料のゲート領域と、

該ゲートおよびソース領域上および、該基板の該第2の主要表面上のオーミックコンタクトと

を備えている、ディスクリートバーチカルチャネルJFETと、

該ラテラルチャネルJFETの該ソースオーミックコンタクトと該バーチカルチャネルJFETの該ゲートオーミックコンタクトとの間の第1電気接続と、

該ラテラルチャネルJFETの該ドレインオーミックコンタクトと該バーチカルチャネルJFETの該ソースオーミックコンタクトとの間の第2電気接続と

を備えている、集積回路。

#### 【請求項23】

ラテラルジャンクション電界効果型トランジスタおよびバーチカルジャンクション電界効果型トランジスタを備えているモノリシック集積回路であって、

該ラテラルジャンクション電界効果型トランジスタは、

ドリフト層の第1の主要表面の部分に形成されるp型半導体材料のバッファ層と、

該バッファ層上にあり、該バッファ層と同一でない広がりを有するn型半導体材料のチャネル層であり、該バッファ層の部分は露出している、チャネル層と、

該チャネル層上で間隔を置いた関係にある、n型半導体材料の隔たっているソース領域およびドレイン領域と、

該ソース領域と該ドレイン領域との間の該チャネル層内で形成され、該チャネル層と整流ジャンクションを形成しているp型半導体材料のゲート領域と、

該ソース領域、該ゲート領域、該ドレイン領域、および該バッファ層の該露出した部分上のオーミックコンタクトと

を備え、

該バーチカルジャンクション電界効果型トランジスタは、

該ドリフト層の該第1の主要表面上の、該バッファ層からラテラルに間隔を置かれたn型半導体材料のチャネル層と、

該チャネル層上で間隔を置いた関係にある、n型半導体材料の1つ以上の隔たっているソース領域と、

該チャネル層に形成され、該1つ以上の隆起した領域と隣接し、該チャネル領域と整流ジャンクションを形成する、p型半導体材料のゲート領域と、

該ゲートおよびソース領域上のオーミックコンタクトと

を備え、

該ドリフト層は、基板の第1の主要表面上にあるn型半導体材料のドレイン層上にあり、電気接続は、該基板の該第1の主要表面と互いに対向する該基板の第2の主要表面上にある

モノリシック集積回路。

#### 【請求項24】

ラテラルジャンクション電界効果型トランジスタおよびバーチカルジャンクション電界効果型トランジスタを備えているモノリシック集積回路であって、

該ラテラルジャンクション電界効果型トランジスタは、

ドリフト層の第1の主要表面の部分に形成されるp型半導体材料のバッファ層と、

該バッファ層上にあり、該バッファ層と同一でない広がりを有するn型半導体材料のチャネル層であり、該バッファ層の部分は露出している、チャネル層と、

隔たっているソース領域およびドレイン領域であって、該ソース領域および該ドレイン

領域のそれぞれは、該チャネル層上で間隔を置いた関係にある n 型半導体材料である、隔たっているソース領域およびドレイン領域と、

該ソース領域と該ドレイン領域との間の該チャネル層上の、該チャネル層と金属半導体整流ジャンクションを形成している金属層と、

該ソース領域、該ドレイン領域、および該バッファ層の該露出した部分上のオーミックコンタクトと

を備え、

該バーチカルジャンクション電界効果型トランジスタは、

該ドリフト層の該第 1 の主要表面上の、該バッファ層からラテラルに間隔を置かれた 1 つ以上の隆起した領域であって、該隆起した領域のそれぞれは、

該ドリフト層の該第 1 の主要表面上の、該ラテラルジャンクション電界効果型トランジスタの該バッファ層から間隔を置いた n 型半導体材料のチャネル層と、

該チャネル領域上の n 型半導体材料のソース領域と

を備える、隆起した領域と、

該ドリフト層上で該 1 つ以上の隆起した領域に隣接し、該ドリフト層および該チャネル領域と金属半導体整流ジャンクションを形成している金属層と、

該ソース領域上のオーミックコンタクトと

を備え、

該ドリフト層は、基板の第 1 の主要表面上にある n 型半導体材料の層上にあり、電気接続は、該基板の該第 1 の主要表面と互いに対向する該基板の第 2 の主要表面上にある、モノリシック集積回路。

#### 【請求項 25】

n 型半導体材料の層上に第 1 のマスクを配置することであって、n 型半導体材料の該層は、p 型半導体材料の第 1 の層上にあり、p 型半導体材料の該第 1 の層は、基板上にあることと、

該第 1 のマスクにおける開口部を介して、n 型半導体材料の該層を選択的にエッチングし、エッチングされる領域と該エッチングされる領域に隣接する側壁を有する隆起した領域とを形成することと、

該第 1 のマスクを除去することと、

n 型半導体材料の該層上に第 2 のマスクを配置することであって、該第 2 のマスクは、該エッチングされる領域の一部分と該隆起した領域の一部分とをマスキングすることと、

該マスクにおける開口部を介して、n 型半導体材料の該層に n 型のドーパントをインプラントし、該エッチングされる領域の上に第 1 のインプラントされない領域を形成し、該隆起した領域の上に第 2 のインプラントされない領域を形成し、n 型半導体材料の該層に n 型のインプラントされる領域を形成することと、

該第 2 のマスクを除去することと、

n 型半導体材料の該エッチングおよびインプラントされる層上に p 型半導体材料の第 2 の層をエピタキシャルに成長させることと、

p 型半導体材料の該第 2 の層上に第 3 のマスクを配置することであって、該第 3 のマスクは、該第 1 のインプラントされない領域の上の p 型半導体材料の該第 2 の層の一部分と、該第 2 のインプラントされない領域の上の p 型半導体材料の該第 2 の層の一部分とをマスキングすることと、

該第 3 のマスクを用いて、p 型半導体材料の該第 2 の層を介して選択的にエッチングし、インプラントされる領域を n 型半導体材料の下部の層において露出させ、それによって p 型半導体材料の隆起した特徴を形成することと、

該第 3 のマスクを除去することと、

n 型半導体材料の該層における該隆起した特徴上にオーミックコンタクトを形成することと

を含む、方法。

**【請求項 2 6】**

n型半導体材料の第1の層上に第1のマスクを配置することであって、該第1の層は、p型半導体材料の層であり、該p型半導体材料の層は、基板上にある、ことと、

該第1のマスクにおける開口部を介して、n型半導体材料の該第1の層を選択的にエッチングし、エッチングされる領域と隆起した領域とを形成することと、

該第1のマスクを除去することと、

n型半導体材料の該エッチングおよびインプラントされる層上にn型半導体材料の第2の層をエピタキシャルに成長させることと、

n型半導体材料の該第2の層上に第2のマスクを配置し、その結果、該第2のマスクにおける開口部が、n型半導体材料の該層の該エッチングされる領域の上に配置され、かつn型半導体材料の該層の該隆起した領域の上に配置されることと、

該第2のマスクを用いて、n型半導体材料の該第2の層を介して選択的にエッチングし、n型半導体材料の下部の第1の層を露出させ、n型半導体材料の隆起した特徴を形成することと、

該第2のマスクにおける開口部を介して、n型半導体材料の該第1の層にp型のドーパントを選択的にインプラントし、p型のインプラントされる領域を形成することと、

該第2のマスクを除去することと、

n型半導体材料の該隆起した特徴の露出された表面および該p型のインプラントされる領域の上にオーミックコンタクトを形成することと

を含む、方法。

**【請求項 2 7】**

n型半導体材料の第1の層上に第1のマスクを配置することであって、該第1の層は、n型半導体材料の第2の層上にあり、該第2の層は基板上にある、ことと、

該第1のマスクを用いて、p型のドーパントを該第1の層において選択的にインプラントし、該第1の層においてインプラントされない領域に隣接したp型のインプラントされる領域を形成することと、

該第1のマスクを除去することと、

該第1の層上にn型半導体材料の第3の層をエピタキシャルに成長させることと、

該第3の層上にn型半導体材料の第4の層をエピタキシャルに成長させることと、

該第4の層上に第2のマスクを配置することと、

該第4の層を介して、選択的にエッチングし、該第2のマスクにおける開口部を介して下部の第3の層を露出させ、それによって、該第1の層の該p型のインプラントされる領域の上にn型半導体材料の隆起した特徴を形成し、かつ該第1の層のインプラントされない領域の上にn型半導体材料の1つ以上の隆起した特徴を形成することと、

該第2のマスクにおける開口部を介して該第3の層にp型のドーパントをインプラントし、n型半導体材料の該隆起した特徴の間で、n型半導体材料の該隆起した特徴に隣接して、該第3の層においてp型のインプラントされる領域を形成することと、

該第2のマスクを除去することと、

第3のマスクを配置することであって、該第3のマスクは、該第1の層のp型のインプラントされる領域の上で、該隆起した特徴と該隆起した特徴の間のエリアとをマスキングし、該第3のマスクは、該第1の層のインプラントされない領域とそれに隣接するエリアとの上で、該1つ以上の隆起した特徴をマスキングすることと、

該第3のマスクを用いて、該第3の層を介して選択的にエッチングし、下部の第1の層のp型のインプラントされる領域とインプラントされない領域とを露出させ、それによって、第1および第2の隆起した構造を形成することであって、該第1の隆起した構造は、該第1の層のp型のインプラントされる領域との上に、該隆起した特徴を含み、該第2の隆起した構造は、該第1の層のインプラントされない領域と、それに隣接する該第3の層のp型のインプラントされる領域との上に、該1つ以上の隆起した特徴を含む、ことと、

該第3のマスクを除去することと、

第4のマスクを配置することであって、該第4のマスクは、該第1および第2の隆起した構造と該第1の隆起した構造に隣接するp型のインプラントされる第1の層の領域とをカバーすることと、

該第1および第2の隆起した構造の間で、該第1および第2の隆起した構造に隣接して、n型半導体材料の該第1の層において、該p型のインプラントされる領域を介して、該第4のマスクを用いて、選択的にエッチングすることと、

該第4のマスクを除去することと、

n型半導体材料の該隆起した特徴の露出された構造の上と、露出されたp型のインプラントされる領域の上とに、オーミックコンタクトを形成することとを含む、方法。

#### 【請求項28】

n型半導体材料の第1の層上に第1のマスクを配置することであって、該第1の層は、n型半導体材料の第2の層上にあり、該第2の層は基板上にある、ことと、

該第1のマスクを用いて、n型半導体材料の該第1の層にp型のドーパントを選択的にインプラントし、該第1の層においてインプラントされない領域に隣接するp型のインプラントされる領域を形成することと、

該第1のマスクを除去することと、

該第1の層上にn型半導体材料の第3の層をエピタキシャルに成長させることと、

該第3の層上にn型半導体材料の第4の層をエピタキシャルに成長させることと、

該第4の層上に第2のマスクを配置することと、

該第4の層を介して選択的にエッチングし、該第2のマスクにおける開口部を介して下部の第3の層を露出させ、それによって、該第1の層のp型のインプラントされる領域の上にn型半導体材料の隆起した特徴を形成し、かつ該第1の層のインプラントされない領域の上にn型半導体材料の1つ以上の隆起した特徴を形成することと、

該第2のマスクを除去することと、

第3のマスクを配置することであって、該第3のマスクは、該第1の層のp型のインプラントされる領域の上で、該隆起した特徴と該隆起した特徴の間のエリアとをマスキングし、該第3のマスクは、該第1の層のインプラントされない領域の上で、該隆起した特徴をマスキングすることと、

該第3のマスクを用いて、該第3の層を介して選択的にエッチングし、下部の第1の層のp型のインプラントされる領域とインプラントされない領域とを露出させ、それによつて、第1および第2の隆起した構造を形成することであって、該第1の隆起した構造は、該第1の層の該p型のインプラントされる領域とそれらの間の該第3の層の領域との上の隆起した特徴を含み、該第2の隆起した構造は、該第1の層のインプラントされない領域の上の隆起した特徴を含み、該第2の隆起した構造は側壁を有する、ことと、

該第3のマスクを除去することと、

n型半導体材料の該隆起した特徴の露出された表面上と、該第1の層の露出されたp型のインプラントされる領域上とに、オーミックコンタクトを形成することと、

該p型のインプラントされる領域の上の隆起した特徴の間の該第3の層上と、該第2の隆起した構造に隣接する該第1の層のインプラントされない部分上と、該第2の隆起した構造の該側壁上の該第3の層の材料上とに、ショットキーコンタクトを形成することとを含む、方法。