

POLSKA
RZECZPOSPOLITA
LUDOWA



URZĄD
PATENTOWY
PRL

OPIS PATENTOWY PATENTU TYMCZASOWEGO

114588

Patent tymczasowy dodatkowy
do patentu nr _____

Zgłoszono: 01.07.78 (P. 208098)

Pierwszeństwo: _____

Zgłoszenie ogłoszono: 07.05.79

Opis patentowy opublikowano: 30.04.1982

Int. Cl².

H03K 4/00

CZYTELNIA

Urzędu Patentowego
P. O. 01. Warszawa - Łódź - Katowice

Twórca wynalazku: Edward Hryniewicz

Uprawniony z patentu tymczasowego: Politechnika Śląska im. Wincentego Pstrowskiego,
Gliwice (Polska)

Układ generatora funkcji

Przedmiotem wynalazku jest układ generatora funkcji, zbudowany w oparciu o programowane dzielniki częstotliwości wytwarzający napięcie o przebiegach trójkątnym, sinusoidalnym i prostokątnym.

Znany generator funkcji, zrealizowany w technice analogowej, składa się z generatora napięcia o przebiegu trójkątnym, komparatora wytwarzającego przebieg prostokątny oraz z przekształtnika funkcyjnego trójkąt – sinus, który przekształca przebieg trójkątny na sinusoidalny. Generator ten jest mało odporny na wpływ temperatury i starzenie się elementów a jakość przebiegu sinusoidalnego jest silnie zależna od dokładności wykonania przekształtnika.

Inny znany generator, zrealizowany w technice cyfrowej, wykorzystuje pamięć stałą, w której zapamiętane są dyskretne wartości generowanej funkcji. Oprócz pamięci generator zawiera licznik adresowy wybierający kolejno poszczególne komórki pamięci, przetwornik cyfrowo-analogowy przetwarzający odczytywane z pamięci liczby na napięcie oraz generator zegarowy. Rozwiązanie to wymaga użycia jednej pamięci stałej na jeden przebieg wyjściowy lub jednej pamięci o dużej pojemności co komplikuje układ sterowania.

Układ generatora funkcji według wynalazku wytwarza liczby o przebiegu trójkątnym, sinusoidalnym i prostokątnym, napięcie uzyskuje się po przetworzeniu tych liczb w przetworniku cyfrowo-analogowym. W części generującej liczbę o przebiegu sinusoidalnym przedstawioną w postaci znak – moduł, układ zawiera pierwszy programowany dzielnik częstotliwości sterowany liczbą N którego wyjście połączone jest z wejściem zliczania w przód pierwszego licznika rewersyjnego. Wejście zliczania wstecz tego licznika połączone jest z wyjściem trzeciego programowanego dzielnika częstotliwości, który sterowany jest z wyjść licznika zliczającego w przód. Wejście tego licznika połączone jest z wyjściem drugiego programowanego dzielnika częstotliwości, którego wejścia programujące sterowane są z wyjść pierwszego licznika rewersyjnego. Do wyjść tego licznika dołączony jest także dekodery, który na swoim wyjściu wypracowuje impuls w momencie gdy stan licznika równy jest zero. Ma to miejsce po każdym półokresie przebiegu sinusoidalnego liczby wytworzonej w liczniku rewersyjnym.

Impuls ten doprowadzony jest do wejść zerujących licznika zliczającego w przód i programowanych dzielników częstotliwości. Dzięki temu każda połówka przebiegu sinusoidalnego generowana jest w identycznych warunkach.

Dodatkowo wyjście z dekodera zera dołączone jest do wejścia zegarowego przerzutnika. Sygnał wyjściowy z tego przerzutnika, jest wyjściowym sygnałem prostokątnym z generatora funkcji oraz stanowi znak liczby generowanej w pierwszym liczniku rewersyjnym, a także wykorzystywany jest do zmiany kierunku zliczania drugiego licznika rewersyjnego. Na wejście zegarowe tego licznika doprowadzony jest zegarowy przebieg prostokątny. Przebieg zegarowy doprowadza się także do programowanych dzielników częstotliwości.

W wyniku tego, że zmiana kierunku zliczania drugiego licznika rewersyjnego następuje co pół okresu liczba reprezentująca stan tego licznika będzie miała przebieg trójkątny.

Układ według wynalazku jest układem cyfrowym odpornym na wpływy temperatury i łatwym do uruchamiania.

Wynalazek pokazano w przykładzie wykonania na rysunku, który przedstawia schemat blokowy układu.

Pierwszy programowany dzielnik częstotliwości PDCz1 sterowany liczbą programującą N połączony jest z wejściem zliczania w przód $t+$ pierwszego licznika rewersyjnego LR1, którego wejście zliczania wstecz $t-$ dołączone jest do wyjścia trzeciego programowanego dzielnika częstotliwości PDCz3. Dzielnik ten ma wejścia programujące dołączone do wyjść licznika L zliczającego w przód. Wejście t tego licznika połączone jest z wyjściem drugiego programowanego dzielnika częstotliwości PDCz2, który ma wejście programujące połączone z wyjściami z licznika rewersyjnego LR1. Wyjścia z licznika LR1 połączone są także z wejściami dekodera DZ stanu zero. Wyjście z dekodera DZ połączone jest z wejściami zerującymi programowanych dzielników częstotliwości i licznika L, a także z wejściem zegarowym przerzutnika P i wejściem kierunku zliczania drugiego licznika rewersyjnego LR2.

Do wejścia zliczającego t tego licznika doprowadzony jest sygnał zegarowy f_0 . Ten sam sygnał doprowadzony jest do programowanych dzielników częstotliwości, przy czym impulsy o fazie A doprowadzone są do dzielników PDCz 1 i PDCz 2, a w fazie B do dzielnika PDCz 3. Jest to konieczne ze względu na własności licznika rewersyjnego LR1. Wyjście z licznika LR1 stanowi moduł liczby N_s zmieniającej się sinusoidalnie. Znak tej liczby uzyskuje się z wyjścia przerzutnika P. Wyjściem z licznika LR2 jest liczba N_t , która ma przebieg trójkątny.

Liczba N programująca programowany dzielnik częstotliwości PDCz 1, przy równej liczbie stopni liczników LR 1 i L, nie powinna być większa niż połowa pojemności tych liczników.

Zastrzeżenie patentowe

Układ generatora funkcji, znamienny tym, że w części generującej liczbę o przebiegu sinusoidalnym, w kodzie znak – moduł, zawiera pierwszy programowany dzielnik częstotliwości (PDCz 1) sterowany liczbą (N), z wyjściem dołączonym do wejścia zliczania w przód ($t+$) pierwszego licznika rewersyjnego (LR1), którego wejście zliczania wstecz ($t-$) połączone jest z wyjściem trzeciego programowanego dzielnika częstotliwości (PDCz 3), który sterowany jest stanem licznika (L) zliczającego w przód, a wejście (t) tego licznika połączone jest z wyjściem drugiego programowanego dzielnika częstotliwości (PDCz 2) sterowanego stanem pierwszego licznika rewersyjnego (LR1), przy czym stan ten dekodowany jest także w dekodерze zera (DZ) wytwarzającym na swoim wyjściu, połączonym z wejściem zerującym (C) programowanych dzielników częstotliwości i licznika (L) zliczającego w przód, impuls zerujący te elementy po każdym półokresie przebiegu sinusoidalnego, dodatkowo wyjście detektora zera (DZ) dołączone jest do wejścia zegarowego przerzutnika (P), którego wyjście (Q), wytwarzające znak liczby generowanej w pierwszym liczniku rewersyjnym (LR1), a jednocześnie stanowiące wyjście z generatora funkcji dla przebiegu prostokątnego, dołączone jest do wejścia kierunku zliczania drugiego licznika rewersyjnego (LR2), przy czym do wejścia zliczającego (t) tego licznika doprowadzony jest przebieg zegarowy o częstotliwości (f_0), ten sam, który doprowadzany jest do programowanych dzielników częstotliwości.

