

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4242926号
(P4242926)

(45) 発行日 平成21年3月25日 (2009. 3. 25)

(24) 登録日 平成21年1月9日 (2009. 1. 9)

(51) Int. Cl.

F I

H O 1 L 21/336 (2006. 01)

H O 1 L 29/78 6 1 6 A

H O 1 L 29/786 (2006. 01)

請求項の数 9 (全 13 頁)

(21) 出願番号	特願平7-526201	(73) 特許権者	ティーピーオー ホンコン ホールディング グ リミテッド
(86) (22) 出願日	平成7年3月21日 (1995. 3. 21)		香港 シャティン サイエンス パーク
(65) 公表番号	特表平8-511380		イースト アヴェニュー フィリップス
(43) 公表日	平成8年11月26日 (1996. 11. 26)		エレクトロニクス ビルディング 5 フ ロア 2
(86) 国際出願番号	PCT/IB1995/000191	(74) 代理人	弁理士 杉村 興作
(87) 国際公開番号	W01995/028001	(74) 代理人	弁理士 藤谷 史朗
(87) 国際公開日	平成7年10月19日 (1995. 10. 19)	(74) 代理人	弁理士 来間 清志
審査請求日	平成14年3月18日 (2002. 3. 18)	(74) 代理人	弁理士 澤田 達也
(31) 優先権主張番号	9406900. 2		
(32) 優先日	平成6年4月7日 (1994. 4. 7)		
(33) 優先権主張国	英国 (GB)		

最終頁に続く

(54) 【発明の名称】 薄膜電界効果トランジスタを具える電子デバイスの製造方法

(57) 【特許請求の範囲】

【請求項 1】

ソース領域とドレイン領域の間に位置する、半導体膜の第 1 区域内のチャネル領域、該チャネル領域とドレイン領域の間に位置する第 2 区域および前記チャネル領域とソース領域の間に位置する第 3 区域と、

前記チャネル領域に結合され、前記ソース領域とドレイン領域との間の電流通路を流れる電流を制御するゲートと、

前記ドレイン領域および前記ソース領域よりも低い不純物濃度を有し、チャネル領域がドレイン領域およびソース領域のそれぞれから横方向において分離されている第 2 および第 3 区域の前記電流通路内に形成された電界緩和領域と

を有する薄膜電界効果トランジスタを具える電子デバイスを製造するに際し、不純物イオンを前記半導体膜の表面部分に注入し、そして、前記ソース領域とドレイン領域との間の前記注入した表面部分をエッチングにより取り除いたところの電流通路に、前記半導体膜の第 2 および第 3 区域が設けられ、前記半導体膜の厚さよりも長い距離にわたって、前記半導体膜の第 2 および第 3 区域内の中へそれぞれ前記ドレイン領域および前記ソース領域の不純物濃度を横方向に拡散させることによって、それぞれ第 2 および第 3 区域に前記電界緩和領域を形成するため、ある程度十分なエネルギービームで、前記ドレイン領域および前記第 2 区域と前記ソース領域および前記第 3 区域とを加熱することによって、横方向不純物拡散工程を行うことを特徴とする薄膜電界効果トランジスタを具える電子デバイスの製造方法。

10

20

【請求項 2】

請求項 1 に記載の方法において、前記エッチングの後、ゲートを前記半導体膜の第 1 区域上の絶縁層上に形成することを特徴とする薄膜電界効果トランジスタを具える電子デバイスの製造方法。

【請求項 3】

ソース領域とドレイン領域の間に位置する、半導体膜の第 1 区域内のチャネル領域、該チャネル領域とドレイン領域の間に位置する第 2 区域および前記チャネル領域とソース領域の間に位置する第 3 区域と、

前記チャネル領域に結合され、前記ソース領域とドレイン領域との間の電流通路を流れる電流を制御するゲートと、

前記ドレイン領域および前記ソース領域よりも低い不純物濃度を有し、チャネル領域がドレイン領域およびソース領域のそれぞれから横方向において分離されている第 2 および第 3 区域の前記電流通路内に形成された電界緩和領域と

を有する薄膜電界効果トランジスタを具える電子デバイスを製造するに際し、

ゲート層を含む注入マスクを前記半導体膜の第 1、第 2 および第 3 の区域に形成し、その後不純物イオンを半導体膜に注入してドレイン領域およびソース領域中に不純物を添加すると共に、前記注入マスクを用いて第 1、第 2 および第 3 の区域をマスクし、前記半導体膜の第 2 および第 3 区域からそれぞれ前記ゲート層をエッチングした後のゲート層によりゲートを形成する工程を、エネルギービームによる横方向拡散工程の前又は後のいずれかに行うことを特徴とする薄膜電界効果トランジスタを具える電子デバイスの製造方法。

【請求項 4】

請求項 3 に記載の方法において、前記注入マスクがゲート層上のレジスト層を含み、前記ゲートを、エネルギービームによる横方向拡散工程の前に、レジスト層の端部の下側から前記ゲート層をエッチングすることにより形成することを特徴とする薄膜電界効果トランジスタを具える電子デバイスの製造方法。

【請求項 5】

請求項 1 から 4 までのいずれか 1 項に記載の方法において、前記エネルギービームがドレイン領域においてドレイン領域の厚さ以下の吸収深さを有することを特徴とする薄膜電界効果トランジスタを具える電子デバイスの製造方法。

【請求項 6】

請求項 5 に記載の方法において、前記エネルギービームがパルス型のエキシマレーザから発生した紫外波長を含むことを特徴とする薄膜電界効果トランジスタを具える電子デバイスの製造方法。

【請求項 7】

請求項 1 から 6 までのいずれか 1 項に記載の方法において、前記エネルギービームによる横方向拡散工程の後、ドレイン領域及び電界緩和領域の不純物が前記半導体膜の厚さまで拡散していることを特徴とする薄膜電界効果トランジスタを具える電子デバイスの製造方法。

【請求項 8】

請求項 1 から 6 までのいずれか 1 項に記載の方法において、前記ドレイン領域の不純物を、前記電界緩和領域がチャネル領域とドレイン領域との間の第 2 区域の全長にわたって延在するように拡散させることを特徴とする薄膜電界効果トランジスタを具える電子デバイスの製造方法。

【請求項 9】

ソース領域とドレイン領域との間の半導体膜の第 1 区域内のチャネル領域と、該チャネル領域に結合され、前記ソース領域とドレイン領域との間の電流通路を流れる電流を制御するゲートと、前記ドレイン領域および前記ソース領域よりも低い不純物濃度を有し、チャネル領域がドレイン領域から横方向において分離されている区域の前記電流通路内に形成された電界緩和領域とを有する薄膜電界効果トランジスタを具える電子デバイスにおいて

、

不純物イオンを前記半導体膜の表面部分に注入し、そして、前記ソース領域とドレイン領域との間の前記注入した表面部分をエッチングにより取り除き、前記電界緩和領域が、半導体膜の第2区域の少なくとも一部および第3区域の少なくとも一部に沿って延在し、この第2区域がチャンネル領域をドレイン領域から横方向において分離し、この第3区域がチャンネル領域をソース領域から横方向において分離し、前記電界緩和領域の不純物濃度が、チャンネル領域から、半導体膜の第2区域の電流通路に沿って、ドレイン領域まで前記半導体膜の厚さよりも長い距離にわたって漸次増大し、かつ、チャンネル領域から、半導体膜の第3区域の電流通路に沿って、ソース領域まで前記半導体膜の厚さよりも長い距離にわたって漸次増大することを特徴とする薄膜電界効果トランジスタを具える電子デバイス。

【発明の詳細な説明】

本発明は、ソース領域とドレイン領域の間の半導体膜の第1の領域のチャンネル領域と、チャンネル領域に結合され、前記ソース領域とドレイン領域との間の電流通路を流れる電流を制御するゲートと、ゲートドレイン領域の不純物濃度よりも低い不純物を有し、チャンネル領域がドレイン領域から横方向において分離されている区域に形成された電界緩和領域とを有する薄膜電界効果トランジスタを具える電子デバイスの製造方法に関するものである。本発明は、このTFTを具える電子デバイスにも関するものである。このデバイスは例えばアクティブマトリックス液晶表示装置又は他のフラットパネル表示装置、或いは例えば薄膜データ記憶装置やイメージセンサのようなTFTを有する他の形式の面積電子デバイスとすることができる。

現在、面積の電子装置の用途のためにガラス及び他の安価な絶縁性基板上に形成したTFTを有する薄膜回路の開発が注目されている。この非晶質または多結晶の半導体膜を用いて製造されるTFTは、米国特許出願第5130829号明細書に記載されているように、例えばフラットパネル表示装置のマトリクスセルのスイッチング素子を構成することができる。尚、この米国特許出願の内容の大部分は本願発明の内容として援用する。現在の開発は、例えばこのようなマトリクスセル用の集積化された駆動回路としてのTFT（しばしば多結晶シリコンが用いられている）の製造及び回路の集積化が含まれる。不幸なことに、このTFT、特に低温プロセスで形成された多結晶シリコンを用いて製造されたTFTのトランジスタ特性に不安定な要素が生じてしまう。例えば、多結晶シリコン中のバイアス誘導状態の生成、ホットキャリアの生成及びキャリヤトラップ等の不安定なメカニズムが生じている。トランジスタ特性の劣化（例えば、オフ状態のリーク電流、閾値及びオン状態電流）はこのような回路のTFTの使用に強い制約を課することになる。

公開された欧州特許出願EP-A第520560号には、電子装置のTFTの不安定な事項を低減する方法が開示されている。薄膜電界効果トランジスタはソース領域とドレイン領域との間の半導体膜の第1の区域にチャンネル領域を有している。このトランジスタはチャンネル領域に結合されソース領域とドレイン領域との間の電流通路を流れる電流を制御するためのゲートを有している。また、ドレイン領域の不純物濃度よりも低い不純物濃度の電界緩和領域が電流通路のチャンネル領域をドレイン領域から横方向において分離する区域に形成されている。この本願人による欧州特許出願公開第520560号の開示内容全体は本願の内容として援用する。

欧州特許出願公開第520560号に開示されている製造方法では、ドレイン領域は、チャンネル領域を形成する半導体膜の表面上の中間の半導体層上に高不純物濃度の半導体層を形成することにより形成されている。中間層は高不純物濃度層よりも低い濃度の不純物が添加されている。高不純物濃度層の一部は中間の低不純物濃度層から除去され（チャンネル領域の幅に対応する区域に亘って、典型的には1 μ m以上の長さに亘って）、ドレイン領域をチャンネル領域から分離してドレインとオーバーラップしていない中間層の区域が形成されている。この中間層の非オーバーラップ区域はゲートにより変調されない、電解緩和領域を形成している。最終的なデバイス構造体は、TFTの不安定さを低減するのに高い有用性を有している。

しかしながら、この既知の製造方法では2回のエッチング工程の終点を決定するのに、すなわち中間の低不純物濃度層から高不純物濃度のドレイン層をエッチング除去する際の停

10

20

30

40

50

止時及び半導体膜から中間の低不純物濃度層をエッチングにより除去する際の停止時を決定する際相当な注意が必要である。これらの終点は、通常予め計算した時間について各エッチング処理を行なうことにより設定されている。

本発明の目的は、より簡単で、より簡単に制御し得るドレイン緩和領域を有するTFTの製造方法を提供すること、並びにより有益な特性を有するドレイン電界緩和領域を含むTFTデバイス構造体を提供することにある。

本発明の一概念によれば、ソース領域とドレイン領域の間の半導体膜の第1の領域のチャネル領域と、チャネル領域に結合され、前記ソース領域とドレイン領域との間の電流通路を流れる電流を制御するゲートと、ゲートドレイン領域の不純物濃度よりも低い不純物を有し、チャネル領域がドレイン領域から横方向において分離されている区域に形成された電界緩和領域とを有する薄膜電界効果トランジスタを具える電子デバイスを製造するに際し、前記電流通路のチャネル領域がドレイン領域から横方向に分離されている位置に前記半導体膜の第2の区域を形成し、ドレイン領域及び前記第2の区域をエネルギービームで加熱することにより不純物の横方向拡散処理を行い、ドレイン領域の不純物を前記半導体膜の厚さより長い距離にわたって前記第2の区域まで拡散させることにより前記電界緩和領域形成することを特徴とする薄膜トランジスタを具える電子デバイスの製造方法を提供する。

一層簡単な製造方法は、電界緩和領域を形成するためにレーザービーム（又は他のエネルギービーム）を用い、半導体膜の第2の区域のドレイン領域の不純物を横方向拡散させることにより得られる。この電界緩和領域は、2回のエッチング処理を予め計算した時間に亘って行なうことなくより制御し得る方法で得ることができる。さらに、半導体膜中で横方向拡散させることにより電界緩和領域に沿って有益なドーピングプロファイルが得られる。従って、チャネル領域付近の横方向に拡散した低不純物濃度プロファイルは、電流通路に沿って徐々に増大し、この結果チャネル領域とドレイン領域との間の分離領域に高電界が形成されるのが防止される。ドレイン領域付近において横方向拡散した不純物の濃度はドレイン領域の高不純物濃度に近づくので、電界緩和領域を含むことにより起因するドレイン直列抵抗の増大が減少する。

本発明の別の概念によれば、ソース領域とドレイン領域の間の半導体膜の第1の領域のチャネル領域と、チャネル領域に結合され、前記ソース領域とドレイン領域との間の電流通路を流れる電流を制御するゲートと、ゲートドレイン領域の不純物濃度よりも低い不純物を有し、チャネル領域がドレイン領域から横方向において分離されている区域に形成された電界緩和領域とを有する薄膜電界効果トランジスタを具える電子デバイスにおいて、前記電界緩和領域が半導体膜の第2の区域の少なくとも一部に沿って延在し、この第2の区域がチャネル領域をドレイン領域から横方向において分離し、電界緩和領域の不純物が半導体膜の第2の区域の電流通路に沿ってドレイン領域まで前記半導体膜の厚さよりも長い距離にわたってドレイン領域からの拡散プロファイルに対応して漸次増大していることを特徴とする電子デバイスを提供する。

ドレイン領域及び半導体膜の第1の区域は種々の方法で規定して半導体膜の第1の区域（チャネル領域）をドレイン領域から分離することができる。ドレイン領域の不純物は堆積又は注入により与えることができる。ドレイン領域の横方向の範囲はエッチング又はマスキングにより規定することができる。

ドレイン領域の不純物は、基板上に半導体膜を堆積する前に、基板表面上に堆積及び局在化（例えばエッチングにより）された高不純物濃度層から形成することもできる。高不純物濃度の半導体材料と下側の材料（通常、堆積された金属膜の接続部材を有する絶縁材料）との間で選択性を有するエッチング処理を用いることもできる。この場合、エネルギービームによる加熱工程は、下側の高不純物濃度添加層の不純物が基板上的半導体膜の上方及び横方向の両方に拡散するように行なうことができる。従って、例えばエネルギービームにより半導体膜の一部を急速に一次的に溶融した場合、その溶融深さは半導体膜の厚さに亘って下側の高不純物濃度層まで延在する。

ドレイン領域は半導体膜の表面に堆積され又は注入された高不純物濃度層で構成すること

10

20

30

40

50

ができる。一般に、トランジスタのチャネル領域を構成する半導体膜は不純物がほとんど添加させていない真性導電型とする。中間の不純物濃度の中間層からド레인層をエッチングする場合及び中間の不純物濃度の中間層を真性半導体層からエッチング除去する場合に比べて真性半導体膜から高不純物濃度ド레인層をエッチングする際の終点制御は、一層容易になる。エッチングは半導体膜の第1及び第2の区域の両方について行ない、その後ゲートを半導体膜の第1の区域の真性半導体層上に形成することができる。一方、ゲートは、チャネル領域用の半導体膜を堆積する前に又はド레인領域用の高不純物濃度層を堆積する前に装置基板上に形成することができる。これら全ての場合において、ゲートは、他の領域との関係において半導体膜の第2の区域の電界緩和領域が変調されないように配置する。ただし、電界緩和領域の真性なチャネル領域と隣接する低不純物濃度の端部とゲートとの間が僅かにオーバーラップさせることもできる。この場合、低不純物濃度のオーバーラップした部分は、ゲートにより変調されるチャネル領域の一部を有効に形成する。別の形態として、ド레인領域の不純物はイオン注入により与えることもでき、この場合半導体膜の第1及び第2の区域をマスクする注入マスクを用いる。この注入マスクはTFTの所望のゲートよりも広くする。注入マスクは、半導体層の第2の区域の上側のゲート層をエッチングすることによりゲートが形成されるゲート層で構成することができる。このエッチングは、エネルギービームにする横方向拡散の前又は後のいずれかにおいて行なうことができる。このエネルギービームによる加熱処理（注入され不純物を半導体膜の第2の区域に横方向拡散させる）は、半導体膜のド레인領域の注入された不純物を活性化するようにも自然に作用する。ゲート層に対してゲートを規定するための容易でセルフアラインメントされたプロセスを行なうため、注入マスクはゲート層上に形成したレジスト層を含むことができ、ゲートは、ド레인領域をエネルギービームで加熱する前にレジスト区域を用いてゲート層をエッチングすることにより形成することができる。

これに関連して、薄膜電界効果トランジスタのソース領域及びド레인領域について不純物を注入し、半導体結晶膜の注入ダメージについてレーザアニールを行ない、半導体膜中のn形又はp形の注入不純物を活性化させることもできる。ゲート層上のレジスト層は注入マスクとして作用し、このゲート層はレーザアニール中に存在させることができる。この場合、イオン注入が斜めの角度で行なわれると、半導体膜のレーザビームに大してマスクの縁部の陰になった微小な区域（典型的には、 $0.2 \sim 0.5 \mu\text{m}$ の長さ）にアニールされない注入ダメージ部分が生じてしまう。このようなアニールされなかった区域がトランジスタの電流通路中に生ずると、トランジスタのオン電流を顕著に低下させるおそれがある。この課題は、特開平5-82552号及び特開平5-182983号公報に記載されている別の処理工程を行なうことにより解消することができ、これら公報の内容は本願の内容として援用する。これら特開平5-8552号及び5-182983号公報の処理工程は（a）レーザアニール工程の前にフォトレジスト層の存在下でゲート層をエッチングする工程と、（b）レーザアニール処理の前にフォトレジスト層を除去しこの区域をレーザアニール工程中でレーザパルス照射する工程を含む。このようにして、前にマスクされた区域の注入不純物がレーザアニールにより活性化される。一方、本発明とは異なり、特開平5-82552号及び5-182983号公報のレーザ処理の期間は、活性化した不純物がある距離に亘って横方向拡散させてド레인領域から電界緩和領域を形成するには不十分である。

本発明では、エネルギービームを用いる加熱処理の強度及び時間は、ド레인領域の不純物を典型的に少なくとも $1 \mu\text{m}$ の距離に亘って横方向拡散させて薄膜トランジスタの電界緩和領域を形成するのに十分なものとする。従って、電界緩和領域の長さは、典型的には $1 \mu\text{m}$ 程度、例えば約 $1 \mu\text{m}$ から数 μm の長さとなる。多くのTFTの場合、電界緩和領域の長さ（つまり、不純物が横方向に拡散する距離）は、半導体膜の厚さ以上の大きさ程度することができる。一般に、多くのTFTの半導体膜の厚さは薄いので（電界緩和領域について横方向拡散する所望の範囲に比べて）、少なくともエネルギービームを用いる横方向拡散工程の後、ド레인領域及び電界緩和領域の不純物は通常半導体膜の厚さに亘って延在する。従って、ド레인領域及び電界緩和領域の深さは、半導体膜の厚さによって

10

20

30

40

50

決定され、電界緩和領域の長さは横方向拡散により決定される。この状態において、縦方向のドーピングプロファイルは、ドレイン電界緩和領域の所定の断面において半導体膜の厚さに亘って極めて均一になる。この結果、半導体膜の全厚さに亘って電界緩和領域及びドレイン領域の電流通路が均一に形成されるので、ドレイン直列抵抗を低減させることができる。さらに、前述したように、ドレイン領域から不純物を横方向拡散させることにより、電界緩和領域の電流通路に沿って不純物濃度が徐々に変化する有益なドーパントプロファイルが得られる。

ドレイン領域の不純物は、電界緩和領域がチャンネル領域とドレイン領域との間の第2の区域（分離区域）の全長を占めるように横方向に拡散させることができる。この形態において、電界緩和領域を含むことに起因するドレイン抵抗の増加は最小のものとすることができる。一方、横方向拡散は、チャンネル領域とドレイン領域との間の分離区域よりも短い距離とすることもできる。この場合、半導体膜の不純物が添加されない領域がチャンネル領域と電界緩和領域との間に形成され、この不純物が添加されない領域は、TFTを高電圧で駆動する際有益な作用を果たす。

エネルギービームはドレイン領域においてドレイン領域の厚さ以下の吸収深さを有することができる。この場合、ドレイン領域及び半導体膜中での縦方向の溶融プロファイルを制御することができ、この結果基板を過剰加熱することが防止される。エネルギービームをパルス型のエキシマレーザから発生した紫外波長光とすると、この目的を達成するための正確な制御を行なうことができる。一方、加熱源として、例えば高強度ランプ（例えば、紫外線ランプ）を用いるフラッシュ露光又は高パワー電子ビームのような他のエネルギービームを用いることもできる。

本発明の上述した構成及び他の構成並びにその作用効果を添付図面を参照して説明する。図1～図4は本発明による方法による順次の製造工程におけるTFT構造体の断面図である。

図5及び図6は本発明の変形例による順次の製造工程における別のTFT構造体の断面図である。

図7～図11は本発明による別の方法で製造された別のTFT構造体の断面図である。

全ての図面は線図的なものであり正しいスケール通りに表示されていない。これら図面の一部の寸法は図面を明瞭にするため拡大され又は縮小されて表示されている。同一の参照符号は別の実施例においても対応し又は類似する部材を表すために用いられている。

図1～4、図5及び6、図7～11に示す実施例により製造されたTFTは、例えば米国特許出願第5130829号に記載されているフラットパネル表示装置、大面積イメージセンサ又はデータ記憶装置のような大面積電子装置の一部を構成する。この装置は基板10を有しこの基板の上に例えばTFTスイッチングトランジスタとTFT駆動回路のマトリックスのような薄膜回路を形成する。フラットパネル表示装置の場合、基板10は表示装置のバックプレートとすることができる。基板10は少なくとも上側表面と隣接する部分は電氣的絶縁性とする。基板10はガラス又は別の低コストの絶縁材料で構成することができる。特別の実施例においては、絶縁材料をガラス基材上に形成した酸化シリコンの上側層で構成することができる。多くの典型的な場合では、基板10は700以下の温度に対して耐久性を有し、中程度の品質及び価格のガラスの場合例えば約625まで耐久性を有し、低品質ガラス又はプラスチックの場合約200の耐久性を有している。多数の個別のTFTが装置基板上に並んで形成されると共に基板10上に延在する薄膜導体により相互接続される。

図4は図1～4の製造方法を実施することにより得られるTFTを示す。図6は図5及び6の製造方法を実施することにより得られるTFTを示す。図11は図7～11の製造方法を実施することにより得られるTFTを示す。これらのトランジスタは、TFTのソース領域13とドレイン領域12との間の半導体膜20の第1の領域1にチャンネル領域21を有する。ゲート16を誘電体層15をはさんでチャンネル領域21に結合してソース領域とドレイン領域との間の電流通路を流れる電流を制御する。ドレイン領域の不純物濃度よりも低い不純物濃度の電界緩和領域22を区域2の電流通路に形成し、ここでチャンネル領

域 2 1 をドレイン領域 1 2 から分離スル。ゲート 1 6 がチャネル領域を変調して T F T を流れる電流を制御する。ただし、ゲートは電界緩和領域 2 2 を変調するものではない。電界緩和領域 2 2 の長さは定型的な場合 $1\ \mu\text{m}$ 又はそれ以上とし、その幅はチャネル領域 2 1 及びドレイン領域 1 2 の幅に対応する。

本発明では、半導体膜 2 0 の第 2 の区域は、チャネル領域 2 1 をドレイン領域 1 2 から分離する区域において電流通路の一部を構成する。電界緩和領域 2 2 は半導体膜 2 0 の第 2 の区域に沿って延在する。この電界緩和領域 2 2 の不純物濃度は、第 2 の領域のドレイン領域に至る電流通路に沿って半導体膜の厚さ以上の距離にわたりドレイン領域 1 2 から不純物拡散プロファイルに対応するように漸次増大する。図 3 を参照されたい。電界緩和領域 2 2 は、ドレイン領域をエネルギービーム 4 0 で加熱する際ドレイン領域の不純物を半導体膜 2 0 の第 2 の領域に $1\ \mu\text{m}$ 以上の距離にわたって拡散うさせることにより本発明に基づいて形成する。図 3 a、図 5 及び図 1 0 参照。

図 4、6 及び 1 1 の典型的な特有の実施例においては、半導体膜 2 0 は約 $60\ \text{nm} \sim 0.1\ \mu\text{m}$ の範囲の厚さを有するほぼ真性な多結晶シリコンとすることができる。このチャネル領域 2 1 を形成する真性材料の区域 1 の長さは所望のトランジスタ特性に応じて約 $3\ \mu\text{m} \sim 20\ \mu\text{m}$ とする。この半導体膜 2 0 の不純物添加区域 2 の電界緩和領域 2 2 は、チャネル領域付近の約 $10^{17}\ \text{cm}^{-3}$ からドレイン領域付近の $10^{19}\ \text{cm}^{-3}$ の不純物（リン）濃度を有し、この不純物濃度の増加は領域 2 に沿って約 $1\ \mu\text{m} \sim 5\ \mu\text{m}$ の距離とする。ドレイン領域はより高く均一な不純物濃度例えば 5×10^{19} 又はそれ以上を有している。図 1 ~ 1 1 の実施例において、少なくともエネルギービーム 4 0 により加熱した後ドレイン領域及び電界緩和領域 2 2 の両方の不純物濃度は半導体膜 2 0 の厚さ全体にわたっている。ゲート 1 6 の長さはチャネル領域の長さに直接関係し、例えば約 $5\ \mu\text{m} \sim 25\ \mu\text{m}$ とすることができる。図 4 及び 6 の実施例においては、ゲート 1 6 を位置決めするために個別のマスキアライメントが必要であり、通常ゲート 1 6 と不純物添加領域 2 2 とを僅かにオーバーラップさせ（例えば約 $1\ \mu\text{m}$ ）ゲート 1 6 のチャネル領域 2 1 全体の変調を確実にする。不純物添加領域 2 2 のオーバーラップした端部部分ゲートにより変調され、従って変調を受けない領域 2 の電界緩和領域 2 2 の一部として機能しない。図 1 1 の実施例においては、セルフアラインマスキ処理を用いてゲートを形成し、従ってゲート 1 6 と不純物添加領域との顕著なオーバーラップは形成されていない。

図 4、6 及び 1 1 の実施例において、電界緩和領域 2 2 と同様な低不純物濃度領域 2 3 を半導体膜 2 0 の区域 3 に形成する。この区域 3 はソース領域 1 3 をチャネル領域 2 1 から分離する。図 4、6 及び 1 1 の T F T はソース領域 1 3 とドレイン領域 1 2 に対して対称である。

図 1 ~ 4 の実施例についてより詳細に説明する。基板 1 0 上にシリコンの結晶膜 2 0 を堆積して基板 1 0 上の形成すべき T F T のチャネル領域 2 1 を形成する。尚、図 4 において 1 個の T F T を示す。このシリコン膜は減圧化学気相堆積（L C V D）プロセス又はプラズマ化学気相堆積（P E C V D）により堆積することができる。L C V D の場合約 620 の堆積温度とし、P E C V D の場合 350 の堆積温度とすることにより基板上の多結晶シリコン膜が形成される。より低い温度の場合（L C V D の場合約 550 以下、P E C V D の場合 200 と 300 との間の温度）、非晶質シリコン材料が堆積する。この非晶質シリコン材料は、加熱炉で 600 に加熱することにより又はレーザビームで加熱することにより既知の方法で多結晶シリコンに結晶化することができる。このレーザビームを用いる非晶質シリコン膜の結晶化は図 3 a に示す横方向拡散添加工程で行うことができ、及び / 又は非晶質シリコンを堆積した後直ちに前工程で行うことができる。極めて安価なプロセス（蒸着又はスパッタ堆積）シリコン材料を堆積し次に加熱工程で一層良好な品質の材料に結晶化することができる。

結晶化の加熱工程は T F T の他の領域（即ち、ソース領域 1 3、ドレイン領域 1 2 又はゲート領域 1 6）を形成する前に行うことができるので、堆積因子及び / 又は加熱因子を最適化する自由度が増大し、個々の電子装置を製造するための受け入れ得るプロセスコストでシリコン膜について所望の結晶性品質を得ることができる。それにもかかわらず、得ら

10

20

30

40

50

れた多結晶シリコン膜 20 は依然として格子欠陥材料であり、一般にエネルギーバンドギャップ中の高密度のトラッピング状態により真性導電型である。これらのトラッピング状態によりこの材料の粒界及び粒内に結晶欠陥が存在する。

図 1 に示す構造形態において、ソース領域 13 及びドレイン領域 12 用の高不純物濃度（例えば、リン）のシリコン電極層 12, 13, 14 がシリコン膜 20 の上側表面上に堆積されている。この層 12, 13, 14 はシリコン膜 20 上に既知の方法で例えばプラズマ-エンハンド化学気相堆積により堆積することができる。図 1 の形態において、高不純物濃度層をシリコン膜 20 の全表面上にブランケット層として形成する。この層の厚さはシリコン膜 20 の厚さの約半分、例えば 50 nm とすることができる。

図 1 に示すように、レジストマスク 35 を高不純物濃度層 12, 13, 14 上に形成し、その後露光された部分 14 をシリコン膜 20 の区域 1, 2 及び 3 から除去する。プラズマエッチングプロセスを用いる。シリコン膜 20 のエッチングにより露出した部分がチャネル領域 21 として所望の厚さにされると、このエッチングプロセスは終了する。エッチングの終点は予め計算した時間に亘ってエッチングすることにより決定できる。一方、例えばプラズマからの光放射を観測することにより又は残留ガス分析により、高不純物濃度層 14 から不純物が添加されていない（真性）膜 20 へのエッチング遷移を検出することも可能である。

この構造体のソース領域 13 及びドレイン領域 12 は十分に長い時間に亘ってエネルギービーム 40 により加熱して横方向拡散を行ない、図 3 a 及び 3 b に示すように、電界緩和領域 22 及び 23 を形成する。好ましくは、ビーム 40 はエキシマレーザから発生した紫外波長のパルスレーザビームとする。従って、例えばパルス形の KrF レーザからの 240 nm 波長光を用いることができ、又は、XeCl レーザからの 308 nm の波長光を用いることができる。これらの紫外光の層 12, 13 における吸収深さは層 12, 13 の厚さ以下である。紫外波長光の場合、その吸収深さは典型的に約 6 nm (60) である。パルス期間は数 10 ns 程度、例えば約 50 ns とすることができる。パルス当たり 200 ~ 500 mJ/cm² の範囲で入射レーザのエネルギーを変化させることにより、シリコン材料が溶融する深さは約 10 nm (100) から 100 nm (1000) まで変化する。一時的に溶融する期間はパルス周波数により決定される繰り返し速度を利用してパルス当たりの入射レーザのエネルギーにより制御することができる。生ずる拡散期間は一般に溶融期間より僅かに長い、ほぼ同一である。長い距離に亘る横方向の不純物拡散を得るため（例えば、ドレイン領域 13 から 1 ~ 5 μm の範囲）、短いレーザパルスに対して長い全照射時間が必要であり、例えば数 100 パルスの多重照射を利用する。オーバーラップしたパルス照射によるゆっくりした走査を用いることができる。このようにして、加熱工程による拡散特性は横方向のドーピングプロファイルを制御することができる。この目的のものとしてサンタクララに所在する XMR 社から市販されている ELA 9100 エキシマレーザアニーリングシステムがある。この装置は、より一般的なガウシアン強度分布に好適な矩形の強度分布を有するパルスが発生する XeCl (308 nm) レーザを有している。パルス幅は 45 ns で、最大パルス繰り返しレートは 300 Hz である。パルスエネルギーは 500 J/cm² であり、ビームサイズは 3 × 3 mm から 65 × 65 mm 及び 3 × 65 mm まで変化させることができる。

図 3 b は図 3 a の薄膜構造体 12, 13, 20 を B - B 面で切って示す不純物プロファイルの一例を示す。横方向の拡散距離 (1 ~ 5 nm) はシリコン膜 20 の厚さ (例えば、1 μm) よりも大きいので、B - B 面における図 3 b の不純物プロファイルは、膜の区域 1, 2, 3 の対向する面間で膜 20 の全厚さに亘って生じている。図 3 b から明らかなように、不純物濃度は、ソース及びドレイン領域付近の 10¹⁹ cm⁻³ 以上のレベルからチャネル領域付近の約 10¹⁷ cm⁻³ まで徐々に低下している。

次に、絶縁層 25 をシリコン薄膜構造体 12, 13, 20 上に堆積してゲート絶縁膜 15 を形成する。次に、フォトリソグラフィ工程及びエッチング工程を行なって絶縁層 25 にコンタクト窓を形成し、その後金属膜を堆積し、フォトリソグラフィにより規定し、ゲート 16、ソースコンタクト 33、ドレインコンタクト 32 及び TFF の回路を相互接続す

10

20

30

40

50

る導体トラックパターンを形成する。最終的に得られた構造体を図4に示す。

図5及び6は同様なTFTであるが真性膜20から不純物添加層22を除去する必要性が回避された製造方法の変形を示す。本例では、高不純物濃度層12, 13, 14を基板10上に直接形成する。次に、同様にマスクしたエッチング工程を行ない、局部的なソース及びドレイン領域13及び12を規定し、その後真性半導体膜20を堆積する。この場合、真性半導体膜20はチャンネル領域21として微細に決定された厚さを有するように堆積することができ、これによりTFTにおけるリーク電流及び光感応性が低減される。

レーザビーム40を用いる加熱工程(図5)において、ソース領域及びドレイン領域からの不純物が(a)膜20の厚さに亘って拡散して膜20の上側の表面にソース領域及びドレイン領域が形成されると共に、(b)横方向に区域3及び2にも拡散して低不純物濃度領域23及び22が形成される。この場合、溶融深さは一時的に半導体膜20を経てソース及びドレイン領域13及び12まで延在するようになる。このビーム40を用いる加熱工程は膜20を結晶化するかわち膜20の結晶品質を改良するようにも作用する。

次に、絶縁膜25及び金属膜を堆積し、フォトリソグラフィにより規定してゲート16、ソースコンタクト33、ドレインコンタクト32及びTFT回路を相互接続する導体トラックのパターンを形成する。この製造方法の変形例として、絶縁層15を、レーザビーム40による横方向拡散工程を行なう前に膜20上に形成することができる。適当なシリコン材料の半導体膜20がすでに形成されている場合、ゲート16は膜20上の絶縁層15上に存在させることができる。一般に、金属層又は他の導体層(ゲート16を形成するために用いる層のような)は下側の薄膜構造体をエキシマレーザビーム40からマスクすることができ

る。勿論、ビーム40を用いる横方向拡散工程中にレーザビーム40からチャンネル領域21をマスクすることは一般にあまり望ましいことではない。従って、チャンネル領域21がそのようにマスクされた場合(図5の変形例又は後で説明する図10におけるゲート16により)、ビーム40により形成される溶融ゾーンは一般にチャンネル領域21まで拡大せず、この結果領域21と22との間の界面における半導体膜20に大きな温度勾配が形成される。この大きな温度勾配による結果として、電界緩和領域22を形成するための不純物の横方向拡散は、全ての領域21, 22及び12がビームが照射された全体に亘って溶融する場合よりもゆるやかに進行する。従って、ゲート16の存在のもとでレーザ処理を行なう場合、横方向拡散により電界緩和領域を形成するためには一般により高強度のビームをより長い期間に亘って照射する必要がある。

図7の実施例について詳細に説明する。この製造方法について図示された特有の実施例において、レーザビーム40を用いる横方向拡散工程の前に、絶縁されたゲート構造25, 26を膜20上に形成し、セルフアライメントプロセスを利用して絶縁されたゲート15, 16を規定する。

図7の装置基板上に、多結晶シリコンの半導体膜20を形成して、図1と同様な方法でTFTのチャンネル領域21を形成する。次に、絶縁膜25をシリコン膜20上に堆積し、この絶縁膜25上にゲート層26を堆積する。フォトリソグラフィ工程及びエッチング工程を用いて、注入マスク25, 26, 33をシリコン膜20上に形成する。この注入マスクは、半導体膜20の第1、第2及び第3の区域上の絶縁層25上にゲート層26を形成するためのものである。図7~11の実施例において、ゲート層26及び絶縁層25をエッチングする際に規定するために用いたフォトレジスト層36は注入マスクの一部としてゲート層26上に残存させる。不純物イオン42(例えば、リン又はヒ素)を半導体膜20中に注入してソース及びドレイン領域13及び12に不純物を注入し、注入マスク25, 26, 36を用いて膜20の領域1, 2, 3をマスクする。

TFTのゲート16は、ゲート層26を膜20の第2及び第3の区域上から除去することにより形成する。エッチングによる除去は、電界緩和領域22の所望の長さにはほぼ対応する距離(1~5µmの範囲)に亘って行なう。このエッチングは、レジスト36をマスクとして用いるセルフアライメントとして行なうことができる。従って、ゲート16は、フォトレジスト層36のエッジ部のもとでゲート層26をエッチングすることにより形成さ

10

20

30

40

50

れる。レジスト36は除去され、薄膜構造体をレーザービーム40により加熱して注入された不純物を区域3及び2まで横方向に拡散させ、これにより低濃度不純物領域23及び22を形成する。好ましくは、ゲート層26がレジスト36の下側までエッチングされた距離にほぼ正確に対応する距離に亘って不純物を横方向に拡散させる。加熱により注入された不純物を活性化してソース領域13及びドレイン領域12を形成する。一方、横方向拡散を所望の範囲に亘って活性化させるためのレーザー加熱処理の時間期間（各領域に照射されるパルスの全数により決定される）は、注入された不純物を活性化させるのに必要な時間期間よりも長くする。

薄膜構造体に絶縁層を形成し、この絶縁層にソース13、ゲート16及びドレイン12用のコンタクト窓をフォトリソグラフィ工程及びエッチング工程により形成する。次に、金属膜を堆積し、フォトリソグラフィにより規定してTF Tのコンタクト33, 34及び32並びに相互接続部を形成する。得られた構造体を図11に示す。

図4、6及び11の各TF Tは横方向拡散によるドレイン電界緩和領域23を有し、このドレイン電界緩和領域の結果としてトランジスタ特性の劣化が顕著に改善される。劣化の目安はTF Tの動作寿命中のTF Tの飽和ON電流の低下から得ることができる。通常のパラメータ τ はON電流（0.5Vのドレイン電圧、20Vのゲート電圧で測定する。）が20Vのドレイン電圧で動作した後30パーセント変化する時間として規定される。6 μ m長のチャネル領域21及び0.15 μ mの厚さのゲート絶縁層15を有するTF Tについて比較を行う。これらのTF Tは2~3 μ mの非変調長を有する電界緩和領域をふくんでいる。半導体膜20を円柱状の多結晶材料として有するTF Tの場合、電界緩和領域22を有しない場合 τ は1年（ 4×10^5 分）以下であり、この電界緩和領域22を含む場合相当増大する（2乗増大する、計算によれば、約 4×10^7 分、すなわち75年となる）。非晶質の半導体膜20をその後に結晶化した同様なTF Tの場合、電界緩和領域を有しない場合約10日又はそれ以下であり、電界緩和領域を設けることにより約2乗増大した。チャネル領域21の長さを2倍又は3倍にすることにより τ を増大させることが可能であるが、例えば1~3 μ mの長さの電界緩和領域22を設けたものよりも τ は改善されない（しかも、TF Tの大きさがより増大してしまう）。

本発明の範囲内において多くの変更や変形が可能である。例えば、図1~4の実施例において高濃度不純物添加層12, 13, 14を堆積させる代わりに、真性膜20の上側表面部分に不純物イオンを注入することにより形成することができる。この不純物が注入された表面部分14は、部分12および13をレーザービーム40により加熱する前に、区域1, 2及び3からエッチングにより除去する。ビーム40により加熱することは、注入された不純物を半導体膜20の第2及び第3の区域2および3に横方向拡散させて領域23および22を形成するように作用する。この加熱処理は、ソース領域およびドレイン領域13及び12を形成するため、注入された不純物の活性化も行なう。一方、所望の範囲に亘る横方向拡散を行なうためのレーザー加熱処理の時間（各領域に照射される全パルス数）は、注入された不純物を単に活性化するのに必要な時間よりも長い。

図1~11の実施例において、電界緩和領域22はチャネル領域21とドレイン領域との間に形成され、同様な低不純物濃度領域23がチャネル領域とソース領域13との間に形成されている。図4, 6及び11の実施例において、この低不純物濃度領域23の長さ方向の少なくとも大部分はゲート16により変調されないので、ソース領域13からの電流通路に低不純物濃度領域23を含むことによりTF Tのソース抵抗が増大してしまう。このソース抵抗の増大は、ゲート16が低不純物濃度領域23の大部分とオーバーラップしドレイン側の電界緩和領域22の少なくとも大部分とオーバーラップしないようにゲート16を形成することにより解消することができる。変形例として、領域23を形成せず、又は、領域23を小さくし又はソース領域22とチャネル領域21まで横方向に延在させる。半導体膜20がすでに結晶化されている場合、横方向拡散領域23がソース領域13から形成されないようにソース領域13及びチャネル領域21をレーザービーム40による直接加熱からマスクする。この場合、ドレイン領域12及び区域2だけがレーザービーム40により加熱されて横方向拡散領域22が形成される。別の変形例として、ソース領域13は

10

20

30

40

50

、ドレイン領域 12 を形成するために用いるドーピング工程とは別の不純物添加工程においてチャンネル領域 21 と隣接して形成することができ、この別の不純物添加工程はレーザービーム 40 によるドレイン領域 12 の加熱処理の後に行なうことができる。

図 1 ~ 11 の実施例において、ドレイン領域 12 の不純物は、チャンネル領域 21 とドレイン領域 12 との間の第 2 の区域 2 の全長に亘って電界緩和領域 22 が形成されるように横方向に拡散している。一方、特に高電圧デバイスの場合、電界緩和領域 22 とチャンネル領域 21 との間に微小なギャップを形成することが有益である。このギャップは半導体膜 21 の真性材料で構成することができ、またゲート 16 により変調されない。一方、この場合ドレイン直列抵抗が大幅に増大するおそれがある。この場合、電界プレートすなわち第 2 のゲートをこの真性ギャップに容量結合してドレイン直列抵抗の増大を低減することができる。

10

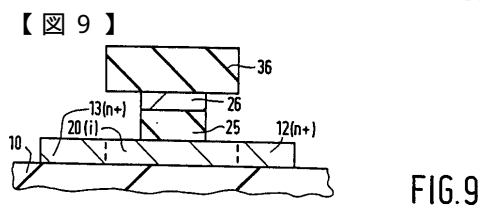
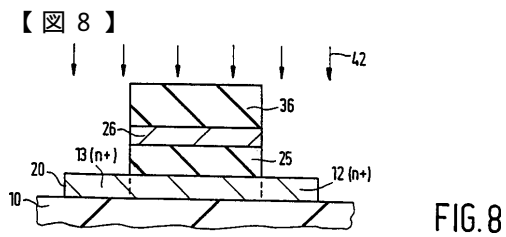
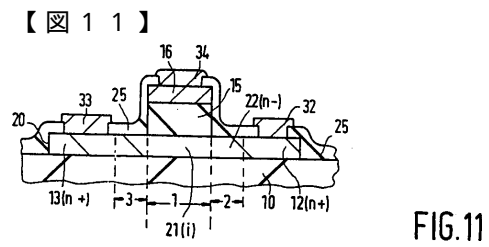
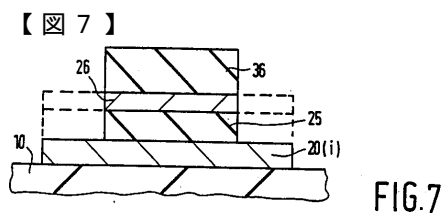
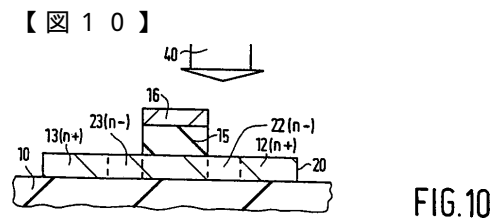
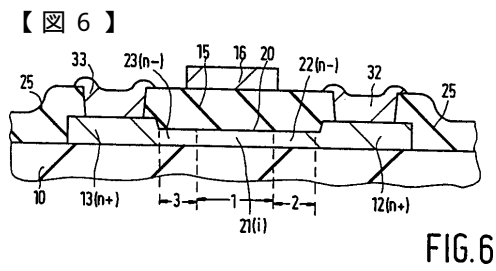
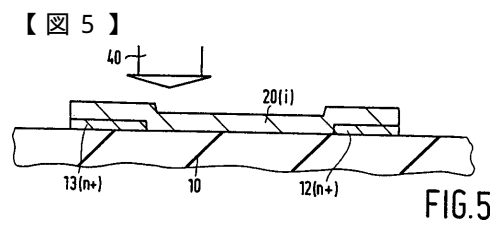
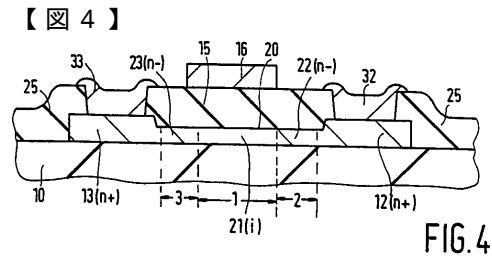
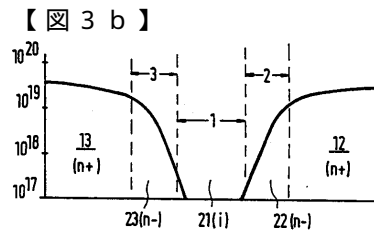
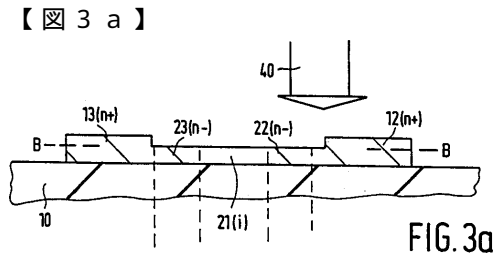
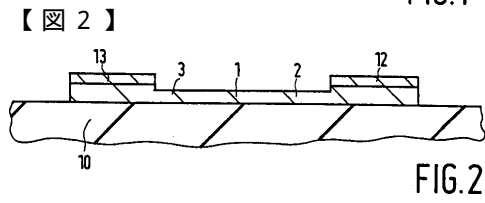
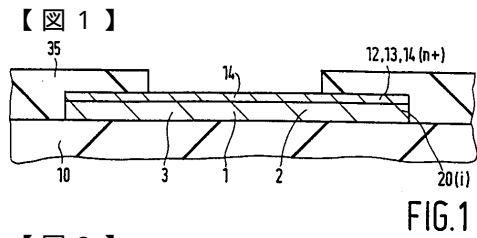
図 1 ~ 11 の実施例において、ゲート 16 は半導体膜 20 の基板 10 とは反対側の上側面に形成されている。しかしながら、本発明による T F T は、ゲート絶縁層 15 を堆積する前に基板 10 上に形成したゲートを有することができ、半導体膜 20 を堆積する。次に、ソース領域 13、ドレイン領域 12 及び電界緩和領域 22 を、膜 20 に不純物を添加しレーザービーム 40 により加熱することにより形成することができる。

N チャンネル T F T の製造工程について図示した。一方、本発明は P 形の高濃度の不純物が添加されたソース領域 13 及びドレイン領域 12 並びにドレイン領域 12 からの横方向拡散により形成された低不純物濃度の P 形の電界緩和領域 22 を有する P チャンネルのデバイスの製造にも用いることができる。この実施例において、半導体膜 20 は多結晶シリコンで構成する。一方、本発明では、T F T は非晶質シリコン又は別の無秩序半導体材料例えばカドミウムセレイド又はサルファイドの半導体膜 20 に形成することも可能である。パルス型のレーザービーム 40 は横方向性拡散用のエネルギー源として特に好適であり正確に制御することができる。一方、別のエネルギービームとして、例えば薄膜構造体 12, 13, 20 について所定のフラッシュ露光を行なうように動作する高輝度紫外線ランプを用いることができる。

20

開示内容から明らかなように当業者にとって種々の変形や変更が可能である。この変形及び変更には、T F T 及び他の半導体装置並びにこれらの部材を構成する電子デバイスの設計、製造及び利用において既に既知の他の構成及び等価な構成が含まれ、これらは開示された構成の代わりに又は共に用いることができる。

30



フロントページの続き

(74)代理人

弁理士 岩佐 義幸

(74)代理人

弁理士 藤原 英治

(72)発明者 ヤング ナイジェル デヴィッド

イギリス国 サリー アールエッチ 1 ジーエルユー レッドヒル ミードヴェイル サマセット
ロード 23

(72)発明者 エアーズ ジョン リチャード アラン

イギリス国 サリー アールエッチ 2 9エッチ 4 レイゲイト ナットリー レイン 97

審査官 河本 充雄

(56)参考文献 特開平 02 - 291138 (JP, A)

特開昭 58 - 142566 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L 29/786

H01L 21/336