

公告本

297953

申請日期	85.6.3
案號	85106612
類別	別: CI ⁶ 14012 ²⁷ / ₁₄₈

A4
C4

297953

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中文	具備高電荷轉移效率之電荷耦合元件
	英文	CHARGE COUPLED DEVICE WITH HIGH CHARGE TRANSFER EFFICIENCY
二、發明 創作人	姓名	中柴康隆
	國籍	日本
	住、居所	東京都港區芝五丁目7番1號 日本電氣株式會社內
三、申請人	姓名 (名稱)	日本電氣股份有限公司 (日本電氣株式會社)
	國籍	日本
	住、居所 (事務所)	東京都港區芝五丁目7番1號
	代表人 姓名	金子尚志

裝

訂

線

經濟部中央標準局員工消費合作社印製

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6
B6

本案已向：

日本 國(地區) 申請專利，申請日期： 案號： ，有 無主張優先權
 1995年 5月31日 特願平7-133151號

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

五、發明說明()

發明背景

發明領域

本發明係有關一種電荷耦合元件。

相關技術說明

習用技術之電荷耦合元件包括一個具半導體區域之半導體基片、許多非活性屏障電極、以及配置於非活性屏障電極間之許多第一電極和許多第二電極。同時，一懸浮擴散區域提供為一輸出部分(參照：JP-A-6-314706)，此將於稍後加以解釋。

然而，於上述習用技術之電荷耦合元件中，懸浮擴散區域之寬度比半導體區域之寬度要小，以加強信號偵測之靈敏度。此外，為了在信號流之方向上獲得全額之信號電荷，最外層第一電極之一做得很長。結果，降低了沿信號流之方向上之電荷轉移效率。

發明概述

本發明的目的係提供一種具備高電荷轉移效率之電荷耦合元件。

根據本發明之電荷耦合元件包括一個具半導體區域之半導體基片、許多非活性屏障電極、以及配置於非活性屏障電極間之許多第一電極和許多第二電極，最外層非活性屏障電極之一與其它非活性屏障電極間呈電性隔離。當一第一電壓施加於最外層非活性屏障電極而不同於第一電壓之第二電壓施加於其它非活性屏障電極時，便清楚地確定了信號電荷轉移之方向。

五、發明說明 (>)

圖式簡述

輔以所附圖表並與習用技術比較，藉下列描述將可以更清楚地了解本發明，其中：

圖 1A 所展示的係習用技術之電荷耦合元件之截面圖；

圖 1B 係圖 1A 之元件之平面圖；

圖 2A 和圖 2B 係施加於圖 1A 和 1B 元件之電壓之定時圖；

圖 3A、3B 和 3C 係解釋圖 1A 和 1B 之元件作業之電位圖；

圖 4A 和圖 4B 係圖 3A 之電位圖之放大圖；

圖 5A 係根據本發明實施例之電荷耦合元件之截面圖；

圖 5B 係圖 5A 之元件之平面圖；

圖 6A 和圖 6B 係施加於圖 5A 和 5B 元件之電壓之定時圖；

圖 7A、7B 和 7C 係解釋圖 5A 和 5B 中之元件作業之電位圖；

圖 8A、8B 和 8C 係圖 7A 電位圖之放大圖；

圖 9 所展示的係修飾過之圖 5A 元件之截面圖；

圖 10 所展示的係另一個修飾過之圖 5A 元件之截面圖；

以及

圖 11A 和圖 11B 係施加於圖 10 之元件之電壓之定時圖。

較佳具體實施例說明

在描述較佳實施例之前，將參照圖 1A、1B、2A、2B、3A、3B、3C、4A 和 4B 解釋習用技術之電荷耦合元件。

圖 1A 所展示的係習用技術之電荷耦合元件之截面圖。圖 1B 是圖 1A 所示之平面圖。請注請圖 1A 之截面圖係取沿圖 1B 中 A-A 直線之截面圖示(參照：JP-A-6-314706)。

於圖 1A 是 P-型半導體基片 1 上形成 N-型半導體區域

五、發明說明()

2-1, 2-2, ... 和 N-型半導體區域 3-1, 3-2, ... 於其間, 同時, 一 N+-型半導體區域 4 係形成為懸浮擴散區域於半導體基片 1 上, 且緊臨最外層 N-型半導體區域 2-1。此外, 一 N-型半導體區域 5、用於接受參考電壓 V_R 之一 N+-型半導體區域 6、以及扮演絕緣區域之接地 P+-型半導體區域 7 形成於半導體基片 1 上。注意懸浮擴散式之半導體區域 4 係與產生輸出電壓 V_{out} 之電源跟隨器 8 連接。

如圖 1A 和圖 1B 所示, 用於接受恆定電壓 V_M 之電極 E0 係經由一絕緣層膜 (未標示於圖上) 形成於一半之各 N-型半導體區域 2-1, 2-2, ... 上。同時, 用於接受脈衝電壓 ϕ_1 電極 E1 係經由一絕緣層膜 (未標示於圖上) 形成於一半之各 N-型半導體區域 2-1, 2-3, ... 及 N-型半導體區域 3-1, 3-3, ... 上。而且, 用於接受脈衝電壓 ϕ_2 之電極 E1 係經由一絕緣層膜 (未標示於圖上) 形成於一半之各 N-型半導體區域 2-2, 2-4, ... 及 N-型半導體區域 3-2, 3-4, ... 上。而用於接受復位電壓 ϕ_R 之電極 E3 係經由一絕緣層膜 (未標示於圖上) 形成於 N+-型半導體區域 4 上。

圖 1A 與圖 1B 所示之埋藏通道之電荷耦合元件之作業, 將參照圖 2A、2B、3A、3B 與 3C 加以描述。

脈衝電壓 ϕ_1 , ϕ_2 是依圖 2A 之所示而改變以執行雙相作業。在此一例中, V_H 係脈衝電壓 ϕ_1 , ϕ_2 之高準位值, V_L 係脈衝電壓 ϕ_1 , ϕ_2 之低準位值。同時, 施加於電極 E0 之電壓 V_M 係介於 V_H 和 V_L 之間, 而電極 E0 所扮演係非活性屏障電極。

五、發明說明(4)

再者，施加於電極 E3 之復位電極 ϕR 係依圖 2B 之所示而改變。也就是說，在每一個雙相作業中 N+-型半導體區域 4 之電位係與 N+-型半導體區域 6 之電位相同。

首先，在狀態 I 中，脈衝電壓 $\phi 1$ ， $\phi 2$ 分別係 VH 和 VL，而元件內之電位係如圖 3A 中所示。也就是說，由脈衝電壓 $\phi 1$ ， $\phi 2$ 於區域 3-2, 2-2, 3-1, 及 2-1 內所導致之電位阱在信號流之方向上較深。結果，信號電荷 Q1 會儲存在 N-型半導體區域 2-1 之電位阱內。同樣地，信號電荷 Q2 會儲存在 N-型半導體區域 2-3 之電位阱內。

接著，控制進入狀態 II，其中脈衝電壓 $\phi 1$ ， $\phi 2$ 分別係 VL 與 VH，而元件內之電位係如圖 3B 之所示。也就是說，於區域 3-1, 2-1, 和 4 內之電位阱在信號流之方向中較深。結果，信號電荷 Q1 會從 N-型半導體區域 2-1 之電位阱內轉移到 N-型半導體區域 4 之電位阱內。同樣地，信號電荷 Q2 會從 N-型半導體區域 2-3 之電位阱內轉移到 N-型半導體區域 2-2 之電位阱內，而信號電荷 Q3 會從 N-型半導體區域 2-5 (未標示於圖上) 之電位阱內轉移到 N-型半導體區域 2-4 之電位阱內。在此狀態中，由電源跟隨器 8 執行 N+-型半導體區域 (懸浮擴散區域) 4 之信號電荷 Q1 之阻抗轉換而產生輸出電壓 V_{out} ，可表示為：

$$V_{out} = Q1 / C \cdot G$$

其中 C 係懸浮擴散區域 4 之電容，而 G 係電源跟隨器 8 之增益。

接著，控制進入狀態 III，其中復位電壓 ϕR 係高準位

五、發明說明 (5)

值，N+-型半導體區域4之電位亦與N+-型半導體區域6之電位相同，以製備如圖3C中所示之下一信號電荷之偵測。

持續重複以上程序以便產生信號電荷為輸出電壓 V_{out} 。

於上述習用技術之埋藏通道之電荷耦合元件中，N+-型半導體區域(懸浮擴散區域)4之寬度 W' 比半導體區域3-1, 2-2, 3-2, 2-3, 3-3, ...之寬度 W 要小，以加強信號偵測之靈敏度。然而，在此例中，為了在信號流之方向中獲得全額之信號電荷，在N-型半導體區域2-1之灰影電位阱S1之最大電荷儲存量必須與在N-型半導體區域2-2之灰影電位阱S2之最大電荷儲存量相等，也就是說，灰影電位阱S1的面積應該與灰影電位阱S2之面積相同。結果，灰影電位阱S1之長度 L_{10} 比灰影電位阱S2之長度 L_{20} 還長，因此，最外層電極E1之長度 L_1 比最外層電極E2之長度 L_2 還長，也就是說， $L_1 > L_2$ 。這會降低信號流方向中之電荷轉移效率。

特別地，如圖4A所示，當信號電荷A之量很小時，大的N-型半導體區域之灰影電位阱S1的長度 L_{10} ，會降低信號流方向中之電荷轉移效率。注意，如圖4B之所示，即使除了儲存在電極E1(L_1)之下電位阱之信號電荷B尚有額外之信號電荷C，也可能有一半信號電荷C會以與信號流相反之方向轉移，而不利於對加強信號流方向之電荷轉移效率之貢獻。

圖5A所示係根據本發明實施例之電荷耦合元件之截面

五、發明說明 (b)

圖。而圖 5B 則是圖 5A 所展示之電荷耦合元件之平面圖。圖 5A 係沿圖 5B 中 A-A 線之截面圖示。在圖 5A 和圖 5B 中，如同圖 1A 和圖 1B 所示的電極 E0 之最外層的電極 E0' 與其它電極 E0 係電性隔離，且有一個與電壓 VM 不同之電壓 VM' 加在電極 E0' 上。同時，圖 1A 與圖 1B 所示之最外層 N-型半導體區域 2-1，被 N-型半導體區域 2'-1 所取代，而其長度較圖 1A 和 1B 所示之最外層 N-型半導體區域 2-1 之長度 L1 還小，因此，圖 1A 和圖 1B 所示之最外層電極 E1 被電極 E1' 所取代，而其長度 L1' 較電極 E1 的長度 L1 還小。例如電極 E1' 的長度 L1' 為 $L1' \cong L2$ 。

如圖 1A 和圖 1B 中，電極 E0' 亦扮演一非活性屏障電極之角色。然而，如圖 6A 所示，施加於電極 E0' 上之電壓 VM' 較施加於電極 E0 之電壓 VM 高，使得電極 E0' 之下區域 2'-1 中之電位阱會比電極 E0 之下區域 2-2, 2-3, ... 中之電位阱還深。

圖 5A 與 5B 中所示元件之轉移作業，係藉著如圖 6A 與 6B 所示改變脈衝電壓 $\phi 1$, $\phi 2$ 與復位電壓 ϕR 來執行。

首先，在狀態 I 中，脈衝電壓 $\phi 1$, $\phi 2$ 分別係 VH 和 VL，而元件內之電位係如圖 7A 所示。也就是說，由脈衝電壓 $\phi 1$, $\phi 2$ 於區域 3-2, 2-2, 3-1, 和 2'-1 內所導致之電位阱在信號流之方向中較深。結果，信號電荷 Q1 會儲存在 N-型半導體區域 2-1 之電位阱內。同樣地，信號電荷 Q2 會儲存在 N-型半導體區域 2-3 之電位阱之中。

接著，控制進入狀態 II，其中脈衝電壓 $\phi 1$, $\phi 2$ 分別

五、發明說明(7)

係VL與VH，而元件內之電位係如圖7B所示。也就是說，於區域3-1, 2'-1, 和4內之電位阱在信號流之方向中較深。結果，信號電荷Q1會從N-型半導體區域2'-1之電位阱內轉移到N-型半導體區域4之電位阱內。於此例子中，因為可以減小電極E1'之長度L1'而加強電荷轉移效率，此點將於稍後加以解釋。同樣地，信號電荷Q2會從N-型半導體區域2-3之電位阱內轉移到N-型半導體區域2-2之電位阱內，而信號電荷Q3會從N-型半導體區域2-5(未標示於圖上)之電位阱內轉移到N-型半導體區域2-4之電位阱內。於此狀態中，由電源跟隨器8執行N+-型半導體區域(懸浮擴散區域)4之信號電荷Q1之阻抗轉換而產生輸出電壓Vout。

接著，控制進入狀態III，其中復位電壓 ϕ_R 係高準位值，N+-型半導體區域4之電位亦與N+-型半導體區域6之電位相同，以製備如圖7C中所示之下一信號電荷之偵測。

持續重複以上程序以便產生信號電荷為輸出電壓Vout。

特別地，如圖8A所示，當信號電荷A之量很小時，電極E1下方N-型半導體區域2'-1電位阱之小長度L10'，會加強信號流方向中之電荷轉移效率。另一方面，如圖8B所示，當除了儲存在電極E1'(L1')下方電位阱中之大信號電荷B，在區域2'-1尚有額外信號電荷C，則由於電極E0'下方之電位阱較電極E0下方之電位阱還深之故，所有信號電荷C會沿信號流方向轉移，而加強信號流方

五、發明說明(8)

向之電荷轉移效率。

在圖 5A 中，區域 2'-1, 2-2, 2-3, 2-4, ... 係標示為 N，區域 3-1, 3-2, 3-3, ... 係標示為 N-。注意，若區域 2'-1, 2-2, 2-3, 2-4, ... 標示為 N+，則區域 3-1, 3-2, 3-3, ... 便可標示為 N。也就是說，若區域 2'-1, 2-2, 2-3, 2-4, ... 之 N-型雜質濃度比區域 3-1, 3-2, 3-3, ... 之 N-型雜質濃度高，可確定信號流之方向。

同時，如圖 9 中所示，本發明也可應用於表面通道之電荷耦合元件。於此例中，區域 2'-1, 2-2, 2-3, 2-4, ... 和區域 3-1, 3-2, 3-3, ... 係均為 P-型。此外，區域 2'-1, 2-2, 2-3, 2-4, ... 之 P-型雜質濃度比區域 3-1, 3-2, 3-3, ... 之 P-型雜質濃度還低，可確定信號流之方向。

此外，如圖 10 中所示，本發明也可以應用於 P-型埋藏通道之電荷耦合元件，其中導電性的極性係相反的，因而轉移的係電洞。於此例中，脈衝電壓 $\phi 1$ ， $\phi 2$ 和復位電壓 ϕR 係藉如圖 11A 和圖 11B 之所示而改變。

如上述，根據本發明因為信號流之方向可以清楚地確定，且能減小最外層電極之長度，故可提高電荷之轉移效率。

四、中文發明摘要(發明之名稱:

具備高電荷轉移效率之電荷耦合元件

一種電荷耦合元件，包括：一個具有半導體區域(2'-1, 2-2, ... 和 3-1, 3-2, ...)之半導體基片(1)、許多非活性屏障電極(E0', E0)、許多第一電極(E1', E1)、許多配置於非活性屏障電極間之第二電極(E2)、一最外層非活性屏障電極(E0')之一與其它非活性屏障電極(E0)係呈電性隔離。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

英文發明摘要(發明之名稱: CHARGE COUPLED DEVICE WITH HIGH CHARGE)
TRANSFER EFFICIENCY

In a charge coupled device including a semiconductor substrate (1) having a semiconductor region (2'-1, 2-2, ... , 3-1, 3-2, ...), a plurality of nonactive barrier electrodes (E0', E0), a plurality of first electrodes (E1', E1) and a plurality of second electrodes (E2) arranged between the nonactive barrier electrodes, an outermost one (E0') of the nonactive barrier electrodes is electrically isolated from the others (E0) of the nonactive barrier electrodes.

六、申請專利範圍

1. 一種電荷耦合元件，包括：一半導體基片(1)；
許多形成於該半導體基片上之第一半導體區域(2'-1, 2-2, ...);
許多形成於該半導體基片上之第二半導體區域(3-1, 3-2, ...), 各該半導體區域配置於相鄰該第一半導體區域之間；
形成於該半導體基片上之第三半導體區域(4)，且緊鄰最外層該第一半導體區域(2'-1)之一；
許多第一電極(E0', E0)，各形成於該第一半導體區域之一第一部分上方；以及
許多第二電極(E1', E1)，各形成於該第一半導體區域之一與該第二半導體區域之一之一第二部分上方；
一最外層之該第一電極(E0')與其它該第一電極呈電性隔離。
2. 如申請專利範圍第1項之元件，其中一第一電壓(VM')施加於該最外層之一第一電極(E0')，且一不同於該第一電壓之第二電壓(VM)施加於其它之該第一電極，使得該最外層一第一電極下方之該第一半導體區域之電位阱比其它該第一電極下方之該第一半導體區域之電位阱深。
3. 如申請專利範圍第1項之元件，其中該第一、第二以及第三半導體區域之導電形式係與該半導體基片之導電形式相反。
4. 如申請專利範圍第1項之元件，其中該第一與第二半

六、申請專利範圍

導體區域之導電形式係與該半導體基片之導電形式相同，以及該第三半導體區域之導電形式係與該半導體基片之導電形式相反。

5. 如申請專利範圍第1項之元件，其中每兩個該第二電極係由兩相反相位電壓來作業。

6. 一種電荷耦合元件，包括：一個具有半導體區域(2'-1, 2-2, ... 和 3-1, 3-2, ...)之半導體基片(1)；

形成於該半導體區域上方之許多非活性屏障電極(E0', E0)；

形成於該半導體區域上方之許多第一電極(E1', E1)，各該第一電極配置於兩個該非活性屏障電極之間；

形成於該半導體區域上於許多第二電極(E2)，各該第二電極配置於兩個該非活性屏障電極之間與兩個該第一電極之間；

一最外層之該非活性屏障電極(E0')與其它該非活性屏障電極呈電性隔離。

7. 如申請專利範圍第6項之元件，其中一第一電壓(VM')

施加於該最外層之一非活性屏障電極(E0')，且一不同於該第一電壓之第二電壓(VM)施加於其它之該非活性屏障電極，使得該最外層一非活性屏障電極下方之該第一半導體區域之電位阱比其它該非活性屏障電極下方之該第一半導體區域之電位阱深。

8. 如申請專利範圍第6項之元件，其中該半導體區域之導電形式係與該半導體基片之導電形式相反。

六、申請專利範圍

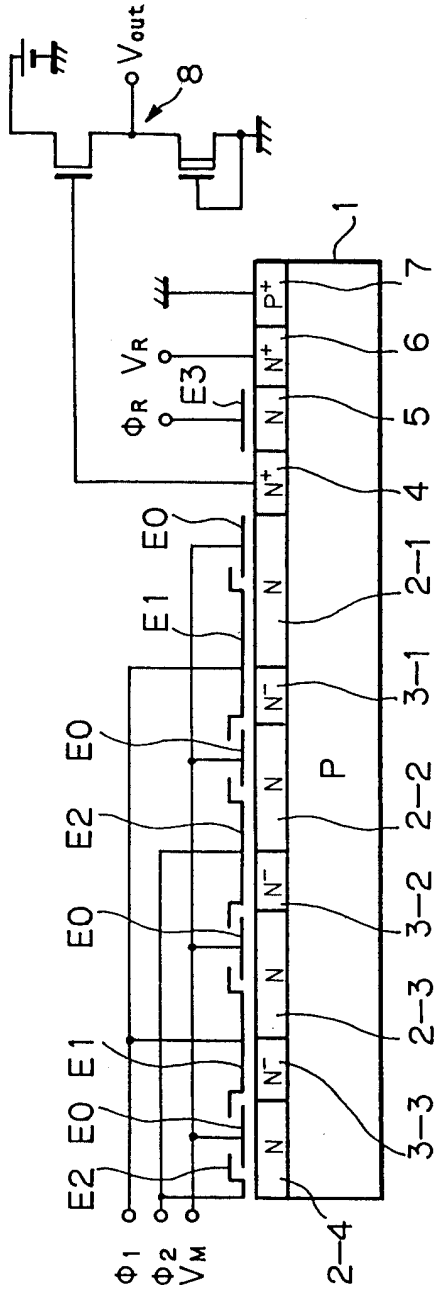
9. 如申請專利範圍第6項之元件，其中該半導體區域之導電形式係與該半導體基片之導電形式相同。
10. 如申請專利範圍第6項之元件，其中該第一與第二電極係由兩相反相位電壓來作業。

(請先閱讀背面之注意事項再填寫本頁)

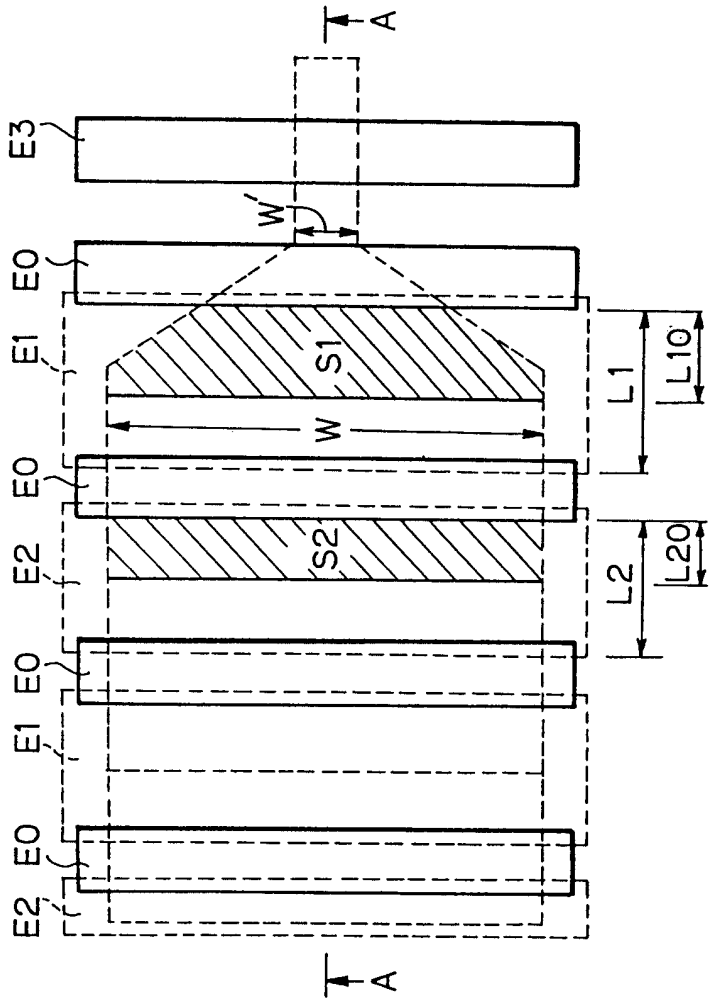
裝

訂

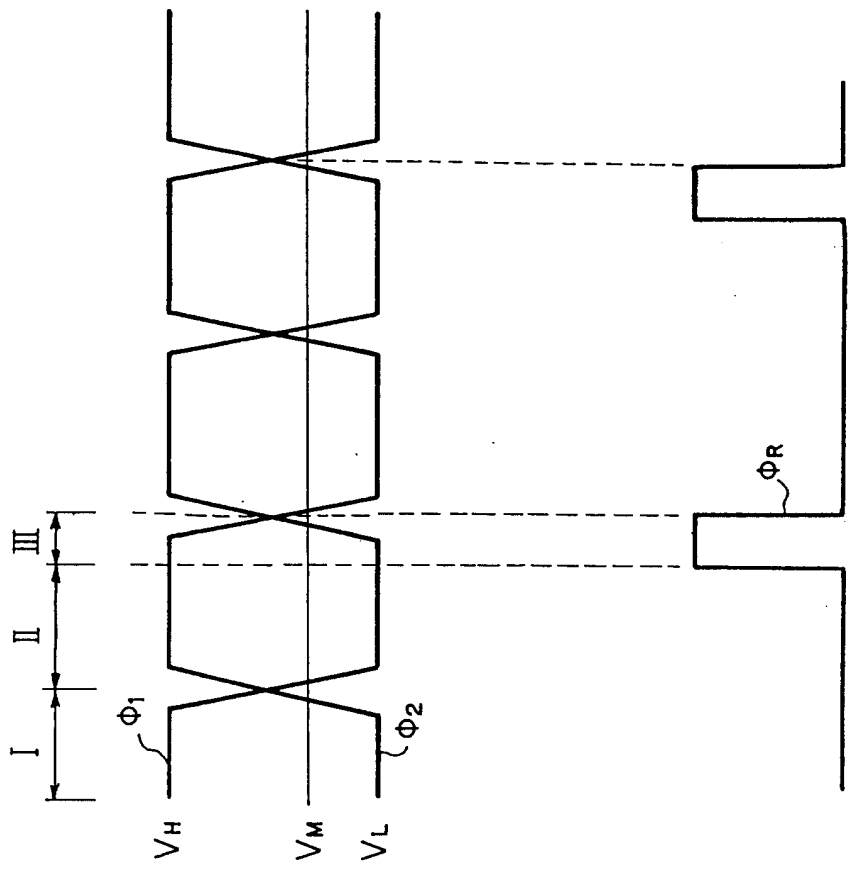
線



第1圖A

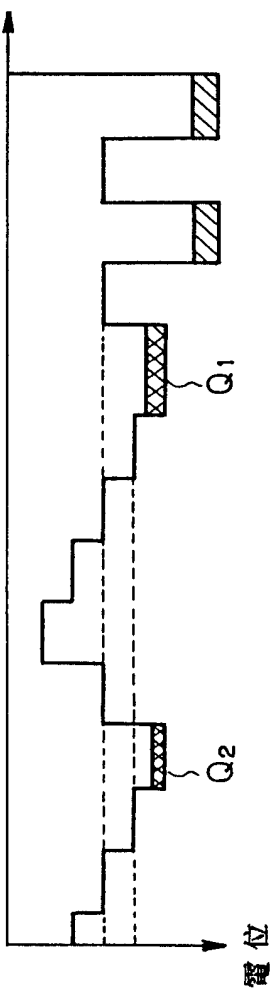
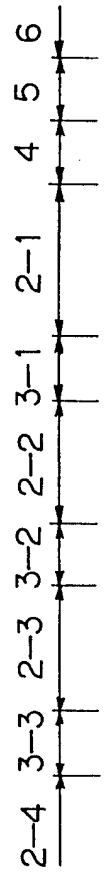


第1圖B

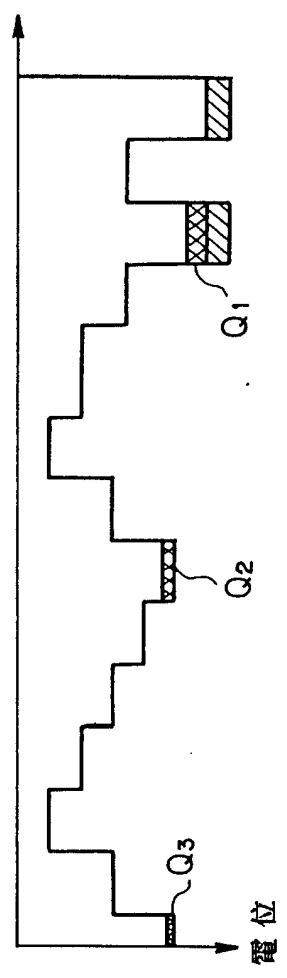


第2圖A

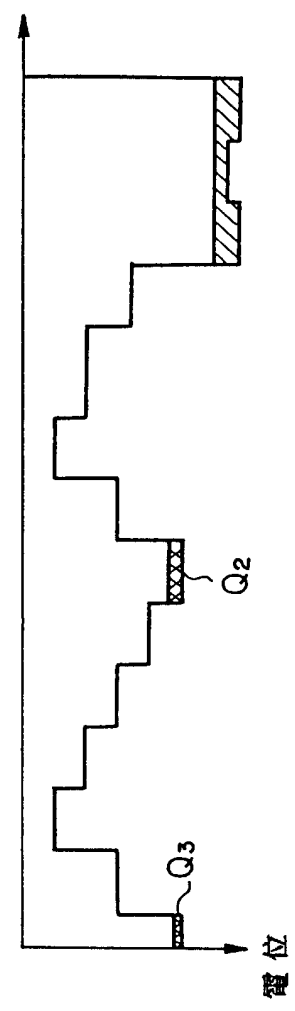
第2圖B



第3圖A

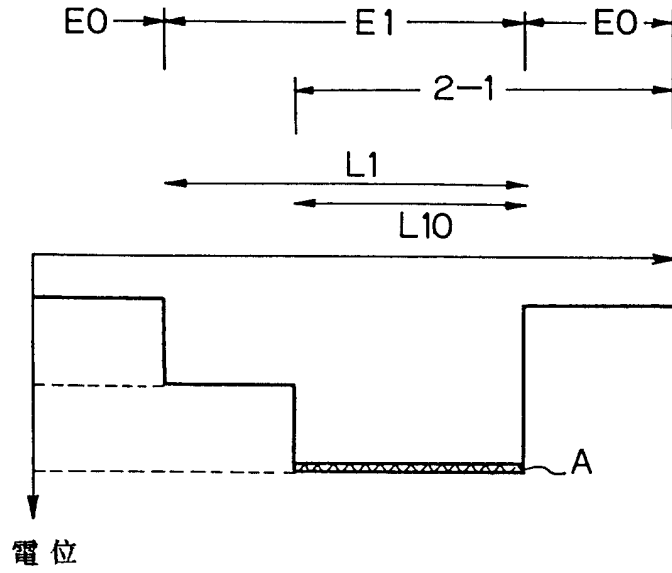


第3圖B

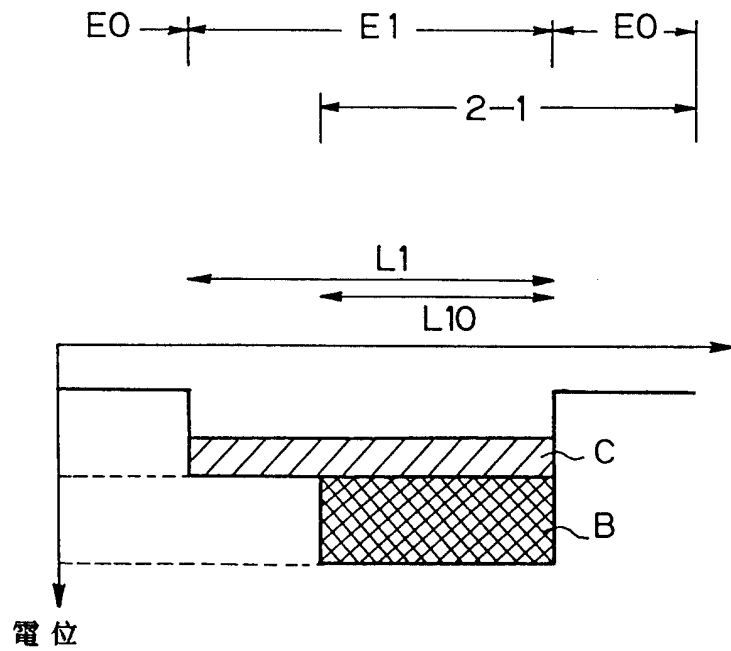


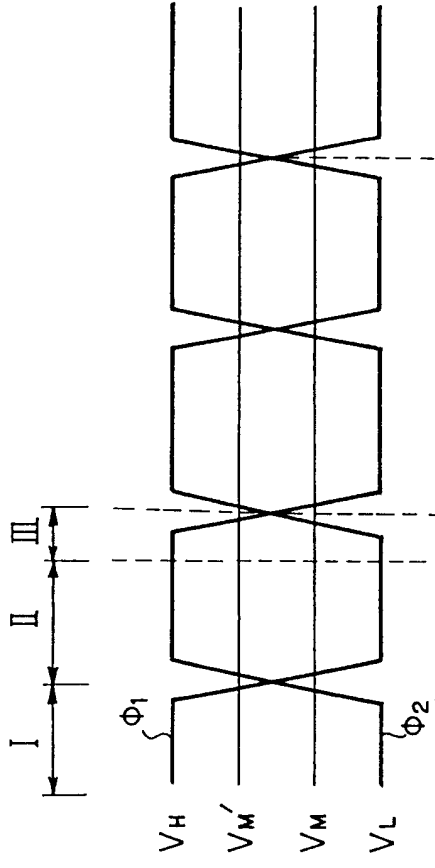
第3圖C

第4圖A

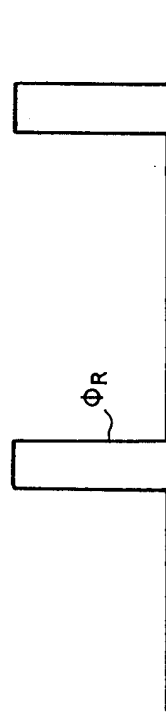


第4圖B

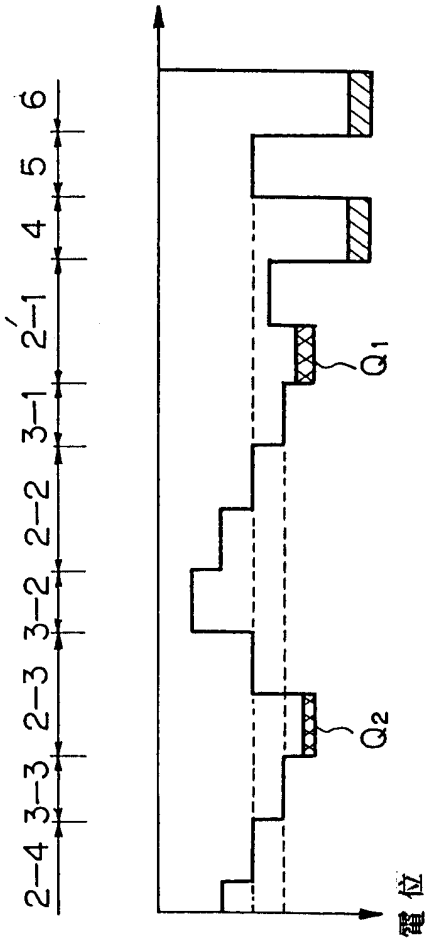




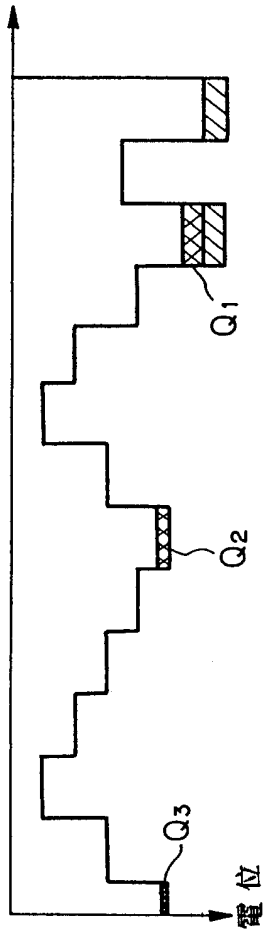
第6圖A



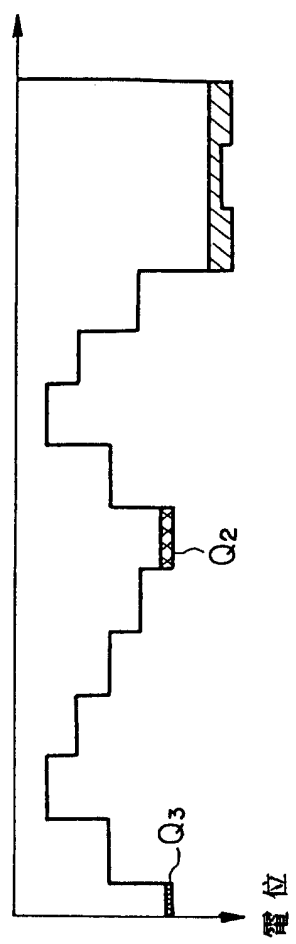
第6圖B



第7圖A

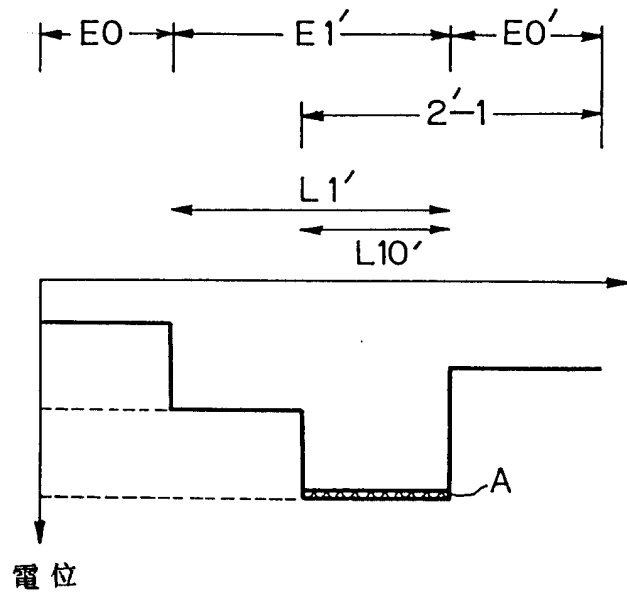


第7圖B

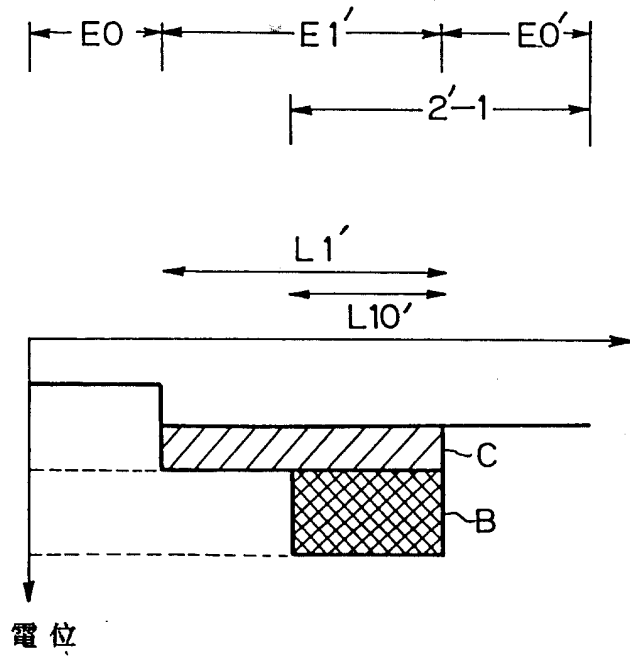


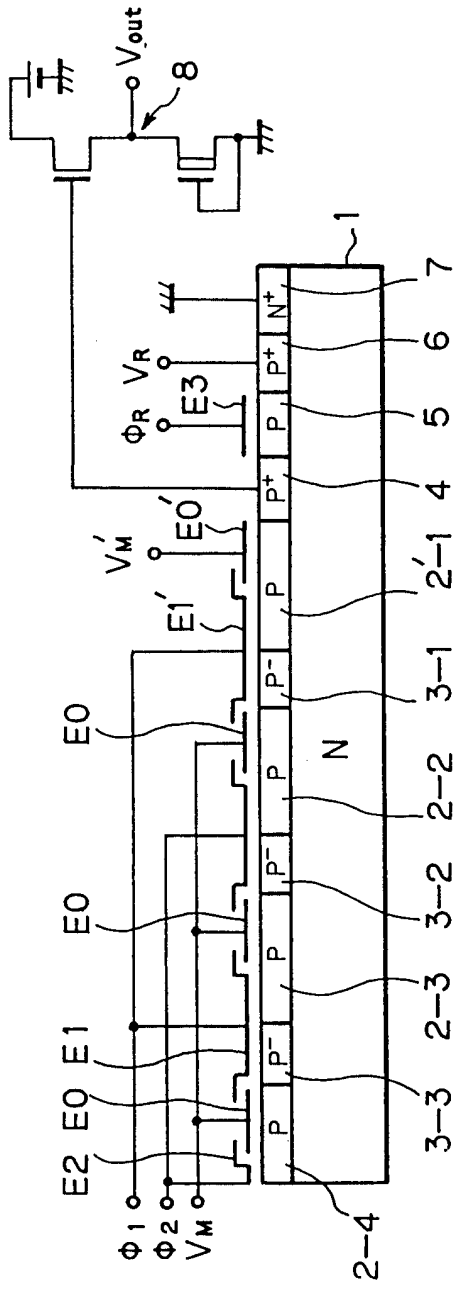
第7圖C

第8圖A

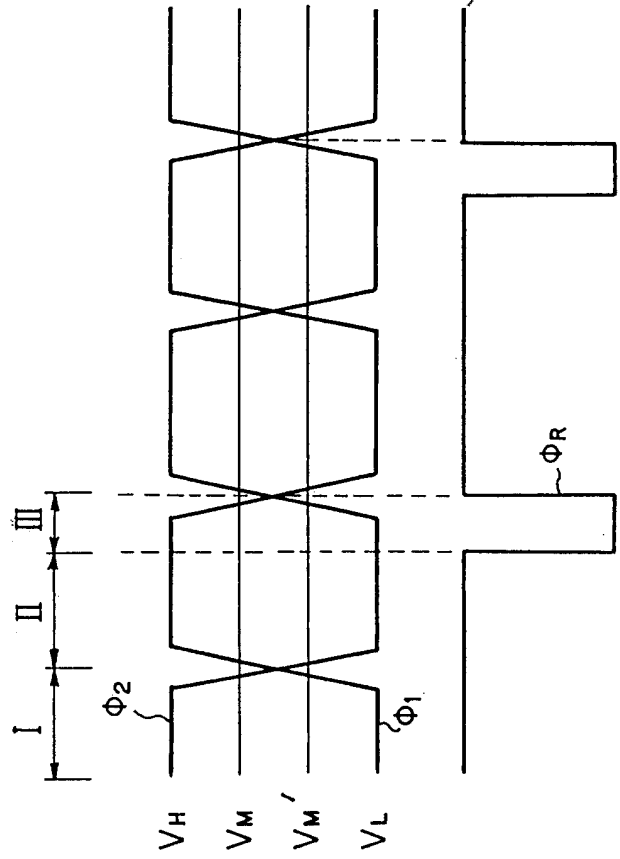


第8圖B





第10圖



第11圖A

第11圖B