



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

204827

(11)

(B1)

(51) Int. Cl.³
G 06 F 7/38

/22/ Přihlášeno 17 10 79
/21/ /PV 7047-79/

(40) Zveřejněno 31 07 80

(45) Vydáno 15 06 82

(75)

Autor vynálezu

SMÍŠEK JIŘÍ ing., PRAHA

(54) Zapojení procesoru orientované na dvě vnitřní sběrnice

1

Předmětem vynálezu je zapojení procesoru orientované na dvě vnitřní sběrnice se zápisníkovou pamětí, s instrukčním registrem, s čítačem instrukcí, s aritmetickologickou sekcí, s adresním registrem, s datovým přijímačem a s adresním vysílačem.

Standardní soubor instrukcí vyžaduje od struktury procesoru schopnost realizovat operace zanášení konstanty do buňky zápisníkové paměti nebo operační paměti, logické a aritmetické operace jak s operandy v zápisníkové paměti, tak i s operandy v operační paměti, skokové operace a operace typu rotace a aritmetický posuv. Navíc se vyžaduje, aby operace byly realizovány i pro verzi s poloviční délkou operandů při zachování operační rychlosti počítače. Dosud známá zapojení procesorů řeší tento požadavek za cenu zvýšených materiálových nákladů.

Tuto nevýhodu odstraňuje zapojení procesoru orientované na dvě vnitřní sběrnice podle vynálezu, jehož podstatou je, že adresní registr je upraven jako posuvný registr, který je vstupem zapojen na první vnitřní sběrnici a výstupem je spojen se vstupem adresního vysílače a se čtvrtým vstupem přepínače, jehož výstup je spojen s druhou vnitřní sběrnici.

Výhoda tohoto zapojení spočívá v tom, že registr používaný při vnějších operacích k adresaci operandu v operační paměti vykonává při vnitřních dvouoperandových instrukcích úlohu datového registru pro uložení jednoho operandu před zpracováním v aritmetickologické sekci. Rovněž se tento registr uplatňuje při rotacích a aritme-

2

tických posuvech o jedno nebo o více binárních míst. Tím odpadá nutnost realizovat zvláštní posuvný datový registr a vzniká tak materiálová úspora, zejména při větších šířkách operandů.

Na výkrese je zapojení podle vynálezu, kde je uvedeno propojení společně s označením jednotlivých bloků.

První vnitřní sběrnice 1 je spojena s výstupem 21 zápisníkové paměti 2, s výstupem 31 instrukčního registru 3, s výstupem 41 datového přijímače 4, se vstupem 70 adresního registru 7, s druhým vstupem 91 a se třetím vstupem 92 přepínače 9. Druhá vnitřní sběrnice 10 je spojena s výstupem 94 přepínače 9, se vstupem 110 čítače instrukcí 11, se vstupem 150 datového registru 15 a se vstupem 160 bloku konstant 16, jehož výstup 161 je spojen s druhým vstupem 121 aritmetickologické sekce 12.

Výstup 151 datového registru 15 je zapojen na první vstup 120 aritmetickologické sekce 12. Výstup 111 čítače instrukcí 11 je zapojen na první vstup 90 přepínače 9. Výstup 71 adresního registru 7 je spojen se čtvrtým vstupem 93 přepínače 9 a se vstupem 80 adresního vysílače 8. Výstup 122 aritmetickologické sekce 12 je spojen se vstupem 130 oddělovací jednotky 13, jejíž negovaný výstup 131 je spojen se vstupem 20 zápisníkové paměti 2 a přímý výstup 132 je spojen s datovou sběrnici 5.

Datová sběrnice 5 je dále spojena se vstupem 40 datového přijímače 4, s datovým vstupem 140 operační paměti 14 a se vstupem 30 instrukčního registru 3. Adresní sběrnice 6 je spojena s adresním vstupem 141 ope-

rační paměti 14 a s výstupem 81 adresního vysílače 8.

Funkce zapojení je následující: Instrukce zanášení konstanty probíhá tak, že příslušné bity instrukce zapsané z operační paměti 14 do instrukčního registru 3 se ovládacím signálem 32 vyšlou na první vnitřní sběrnici 1, která je přes druhý vstup 91 přepínače 9 propojena s druhou vnitřní sběrnici 10. Přes blok konstant 16 a druhý vstup 121 aritmetickologické sekce 12 se šíří konstanta přes oddělovací jednotku 13 na vstup 20 zápisníkové paměti 2, kam se запиše ovládacím signálem 22 z řadiče procesoru. Operace s obsahem dvou buněk zápisníkové paměti 2 probíhá tak, že operand z první buňky se запиše do adresního registru 7 v jednom taktu řadiče a v následujícím taktu se operand z druhé buňky, která je zároveň určená pro uložení výsledku, přesune přes druhý vstup 91 přepínače 9 na vstup 150 datového registru 15, kde se uloží.

Ve třetím taktu řadiče se obsah adresního registru 7 přesune přes čtvrtý vstup 93 přepínače 9 a přes blok konstant 16 na druhý vstup 121 aritmetickologické sekce 12. Výsledek operace projde přes oddělovací jednotku 13 na vstup 20 zápisníkové paměti 2, kam se запиše ovládacím signálem 22 do druhé buňky. Operace s obsahem jedné buňky zápisníkové paměti 2 proběhne tak, že v jednom taktu řadiče se přesune operand přes druhý vstup 91 přepínače 9 a přes datový registr 15 na první vstup 120 aritmetickologické sekce 12 a výsledek projde přes oddělovací jednotku 13 na vstup 20 zápisníkové paměti 2, kam se запиše ovládacím signálem 22 do stejné buňky.

Operace přehození slabik operandu probíhá podobně s tím rozdílem, že operand projde přes třetí vstup 92 přepínače 9, kde dojde k záměně pozic obou slabik. Operace přesun operandu z operační paměti 14 do zápisníkové paměti 2 probíhá tak, že v prvním taktu řadiče se adresa daného operandu uloží do adresního registru 7 a v následujícím taktu se ovládacím signálem 82 vyšle na adresní sběrnici 6 přes adresní vysílač 8.

V témže taktu se ovládacím signálem 42 z řadiče procesoru otevře datový přijímač 4 a adresovaný operand se sejme z datové sběrnice 5 na druhý vstup 91 přepínače 9 a dále přes blok konstant 16, druhý vstup 121 aritmetickologické sekce 12 a oddělovací jednotku 13 na vstup 20 zápisníkové paměti 2, kam se запиše ovládacím signálem 22 na buňku uložení. V případě, že adresa operandu je lichá, prochází operand přes třetí vstup 92 přepínače 9, kde dojde k záměně pozic obou slabik.

Operace s obsahem jedné buňky zápisníkové paměti 2 a jedné buňky operační paměti 14 proběhne následovně: V prvním taktu řadiče se запиše adresa uložená v definované buňce zápisníkové paměti 2 do adresního registru 7.

V druhém taktu se přes adresní vysílač 8 adresuje operand, který se přes vstup 40 datového přijímače 4 sejme na první vnitřní sběrnici 1 a dále přes druhý vstup 91 přepínače 9 na vstup 150 datového registru 15, kam se uloží zapisovacím signálem 152 z řadiče. Ve třetím taktu se druhý operand, uložený v buňce zápisníkové paměti 2, přesune přes druhý vstup 92 přepínače 9 a přes blok konstant 16 na druhý vstup 121 aritmetickologické sekce 12.

Výsledek operace se pak запиše buď do buňky zápisníkové paměti 2 nebo do buňky operační paměti 14. V případě, že adresa operandu v operační paměti 14 je lichá, prochází operand z výstupu 41 datového přijímače 4 nebo z výstupu 21 zápisníkové paměti 2 na třetí vstup 92 přepínače 9, kde dojde k záměně pozic obou slabik operandu.

Operace inkrementace a dekrementace probíhá tak, že operand buď ze zápisníkové paměti 2 nebo z operační paměti 14 prochází přes datový registr 15 na první vstup 120 aritmetickologické sekce 12. Současně je na výstupu 161 bloku konstant 16 nastavena nula, respektive jednička podle toho, zda probíhá operace inkrement o jedničku, respektive o dvojku. Výsledek se pak zapisuje buď do buňky zápisníkové paměti 2 nebo do buňky operační paměti 14. Operace skoku probíhá tak, že cílová adresa uložená v jednotlivých bitech instrukčního registru 3, nebo operandu v zápisníkové paměti 2, popřípadě operační paměti 14 se objeví na první vnitřní sběrnici 1 a přes druhý vstup 91 přepínače 9 se přesune na vstup 110 čítače instrukcí 11, kam se uloží.

Přitom ukládání probíhá tak, že nejméně významný bit čítače instrukcí 11 se nastavuje na nulovou hodnotu. Při operaci skok do podprogramu nebo při přerušení se obsah čítače instrukcí 11 v podobě návratové adresy přesouvá přes vstup 90 přepínače 9 na druhou vnitřní sběrnici 10 a dále přes datový registr 15, první vstup 120 aritmetickologické sekce 12 a oddělovací jednotku 13 na datovou sběrnici 5.

Odtud se запиše do operační paměti 14 na buňku, která je adresována přes adresní vysílač 8 obsahem ukazovátka zásobníku v adresním registru 7. Operace rotace nebo aritmetický posuv probíhá tak, že operand uložený v buňce zápisníkové paměti 2 se přesune v prvním taktu řadiče do adresního registru 7, který je upraven jako posuvný.

V dalším taktu se provede posuv bitů operandu o daný počet binárních míst a výsledný operand se přesune přes čtvrtý vstup 93 přepínače 9 na druhou vnitřní sběrnici 10, přes blok konstant 16 na druhý vstup 121 aritmetickologické sekce 12 a dále přes oddělovací jednotku 13 na vstup 20 zápisníkové paměti 2, kam se запиše ovládacím signálem 22.

Možnost použití uvedeného zapojení je v procesorech malých počítačů nebo v mikroprocesorech.

PŘEDMĚT VYNÁLEZU

1. Zapojení procesoru orientované na dvě vnitřní sběrnice se zápisníkovou pamětí, s instrukčním registrem, s čítačem instrukcí, s aritmetickologickou sekcí, s adresním registrem, s datovým přijímačem a s adresním vysílačem vyznačující se tím, že adresní registr /7/ je upraven jako posuvný registr, který je vstupem /70/ zapojen na první vnitřní sběrnici /1/ a výstupem /71/ je spojen se vstupem /80/ adresního vysílače /8/ a se čtvrtým vstupem /93/ přepínače

/9/, jehož výstup /94/ je spojen s druhou vnitřní sběrnici /10/.

2. Zapojení podle bodu 1, vyznačující se tím, že na první vnitřní sběrnici /1/ je dále zapojen druhý vstup /91/ a třetí vstup /92/ přepínače /9/, výstup /21/ zápisníkové paměti /2/, výstup /31/ instrukčního registru /3/ a výstup /41/ datového přijímače /4/.

3. Zapojení podle bodu 1, vyznačující se tím, že na druhou vnitřní sběrnici /10/

je dále zapojen vstup /110/ čítače instrukcí /11/, jehož výstup /111/ je spojen s prvním vstupem /90/ přepínače /9/, vstup /150/ datového registru /15/, jehož výstup /151/ je spojen s prvním vstupem /120/ ari-

metickologické sekce /12/ a vstup /160/ bloku konstant /16/, jehož výstup /161/ je spojen s druhým vstupem /121/ aritmetickologické sekce /12/.

1 list výkresů

