

# 公告本

申請日期	87.6.26
案號	87110367
類別	H01L 21/02

A4  
C4

434809

(以上各欄由本局填註)

## 發明專利說明書

一、發明名稱	中文	於半導體元件中形成絕緣層的方法
	英文	METHOD FOR FORMING AN INSULATING LAYER IN SEMICONDUCTOR DEVICE
二、發明人	姓名	林再旭
	國籍	韓國
	住、居所	大韓民國慶尚南道師天市西浦面畏懼理91番地
三、申請人	姓名 (名稱)	韓商·LG半導體股份有限公司
	國籍	韓國
	住、居所 (事務所)	大韓民國忠清北道清州市興德區香亭洞1
	代表人姓名	具本俊

裝  
訂  
線

434809

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6  
B6

本案已向：

韓 國(地區) 申請專利，申請日期： 1997,12,26 案號： 97-74106

， 有 無主張優先權

有關微生物已寄存於： ， 寄存日期： ， 寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

## 五、發明說明(1)

本發明係有關於用以於半導體元件中形成一絕緣層的方法，更特別地，係有關於用於以 HSQ(氫矽倍半甲烷(hydrogen silsesquioxane))形成一由 SOG 層(玻璃上有矽(silicon on glass))製成之氧化矽層在一具有

5 半導體元件之晶圓上的方法，俾可防止位元線從以習知 APCVD(大氣壓力化學氣相沉積法)填注在該晶圓上之元件間之間隙時出現的孔洞跨接出來，其中，在該等元件之間

10 的間隙是在  $0.18\mu\text{m}$  之下，而 HSQ 係用於填注材料俾形成一穩定的內層介電材料。

10 本發明主要係關於元件藉著將間隙填注 SOG 改變成具有  $\text{Ar}^+$  之離子植入之高密度氧化矽以對抗用以打開接觸孔之熱處理和濕式蝕刻之化學藥品的穩定性。

通常，氧化矽係使用於由 CVD 或者積體電路之矽基體或多晶矽之開放部份的氧化/生長所形成的絕緣層。

15 然而，通常在平坦化製程中，氧化矽層係藉著把作為來源之氧化矽的塗佈材料在積體電路結構上流動來被形成。

像 HSQ(氫矽倍半甲烷)般之以矽烷氫化物為基底的塗佈材料，作為氧化矽的來源，係被使用於形成一氧化矽層在一積體電路結構上。

20 作為積體電路結構上之塗佈材料的矽烷氫化物或者 HSQ，稱為 H-樹脂， $\text{SiO}_2$  先驅業已被發現在要被塗佈的表面上係流動良好，包括階梯表面，並且提供高產量的  $\text{SiO}_2$ ，而且提供具有低碳含量的  $\text{SiO}_2$  層。該塗佈材料，在初始乾燥以移去施加該塗佈材料到該積體電路結構時所使用的溶劑

(請先閱讀背面之注意事項再填寫本頁)

表

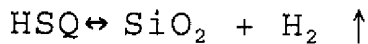
訂

## 五、發明說明(2)

之後，係藉著從大約 200°C 加熱到 1000°C 的溫度來被硬化以形成希望的 SiO<sub>2</sub> 陶層。

雖然使用如此的矽烷氫化物或者 HSQ 塗佈材料作為於積體電路結構上之 SiO<sub>2</sub> 層之形成的先驅係符合某些結果，然而，它並非沒有其之問題。在這方面，該材料為該乾燥塗佈材料至 SiO<sub>2</sub> 之不完全轉換的不完全硬化，在該塗佈材料被施加到一階梯表面上時業已被注意到。特別地，當該塗佈材料被施加到緊密分隔的階梯，或者在狹窄的渠溝時，在該渠溝之底部的塗佈材料不完全地硬化。亦要注意的是，即使在該等階梯係分隔得較遠時，在接近該階梯之角落之底部的塗佈材料係不完全硬化。

像 HSQ 般之 H-樹脂的硬化係一可逆轉反應，其可以由下面的方程式表示：



據此，形成希望之氧化矽產物之反應的完成係端視氫氣離開該塗佈材料的能力而定，藉此驅動上述方程式到完成氧化矽之形成的右邊。在形成於該基體之渠溝之最深部份或者在緊密分隔之階梯之間，以及在接近階梯之角落的塗佈材料，在陷入的氫氣上係具有氫氣可能通過之縮小的擴散角度或者縮小的體積，藉此導致該塗佈材料之該等部份的不完全硬化的結果。

因此，無法完全轉換所有 HSQ 塗佈材料到氧化矽會導致氫氣在後續的步驟期間從該塗佈材料釋放或者發射出來，包括係不希望有像氫般之還原氣體出現的步驟。再者，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

裝

## 五、發明說明(3)

HSQ 塗佈材料的該不完全硬化導致具有不同膨脹係數的材料出現在該積體電路結構上的結果，引致來自該完全硬化之氧化矽之具有不同蝕刻特性的材料和電位應力的結果。

藉著離子植入之習知技術之用於在半導體元件中形成由  
5 SOG 製成之絕緣層的方法係如下。

形成字線的多晶矽係被沉積於一已形成有元件的半導體基體上，而然後，一封頂層係藉著將氮化物沉積於該沉積多晶矽上來被形成。一字線係藉著蝕刻該沉積多晶矽和該封頂層的部份來被形成。要成為一側壁間隙壁的氮化物係  
10 藉由 LPCVD(低壓化學氣相沉積法)而然後 BPSG(硼磷矽玻璃)來被沉積於該字線上或者 USG 係藉由 APCVD 來被沉積以填注在字線間的空間，其中，如果 SOG(旋塗式玻璃)係取而代之被沉積的話，熱硬化係被施加來填注該空間。

在由該 APCVD 所形成的層業已以高溫回火進行回火來  
15 被硬化之後，一封頂層係藉著沉積氧化矽來被形成，其中，該封頂層若有需要係被平坦化 CMP(化學機械研磨法)。

第 1A 至 1F 圖顯示習知技術在半導體元件中形成絕緣層以填注在元件或者導線之階梯之間之空間的截面圖。

請參閱第 1A 圖所示，多晶矽 12 業已被沉積在一矽基  
20 體 11 上，然後，一氮化物層 13 係藉著 LPCVD 來被沉積於該沉積多晶矽 12 上。該氮化物層的字線圖型係由微影所定義。然後，一字線 12 係藉著將該沉積多晶矽 12 蝕刻來被形成。

請參閱第 1B 圖所示，一氮化物層 14 係藉著 LPCVD 來

## 五、發明說明(4)

被沉積，以形成該階梯式字線 12 的側壁間隙壁在該現出的矽基體 11 上、在保留於該字線 12 上之氮化物層 13 的側面上及側面處、和在該字線 12 的側面處。

請參閱第 1C 圖所示，該字線 12 的一側壁間隙壁 14 係藉著將該氮化物層 14 回蝕刻來被形成。

請參閱第 1D 圖所示，一緩衝氧化物 15 係藉著 LPCVD 來被形成於該矽基體 11 之現出的表面上、於該側壁間隙壁 14 和剩下之氮化物 13 的表面上。

請參閱第 1E 圖所示，一中間層 16 係藉著以 APCVD 將 BPSG 或者 USG 沉積至厚到足以將該等階梯之間之空間(間隙)填注來被形成於該緩衝氧化物 15 上。如果 SOG 係取而代之被施加的話，在該中間層 16 內部之剩下的溶劑係以熱硬化移除。該中間層 16 係以高溫回火硬化。

請參閱第 1F 圖所示，供平坦化用的封頂層 17 係以 LPCVD 形成於該中間層 16 上。一般來說，CMP 與 ILD(中間層介質)處理係同時進行的。

如果在該中間層 16 下面之階梯之間間隙係不足  $0.25\mu\text{m}$  的話，根據習知技術，孔洞由於半導體元件的結構限制而係無法避免的。

再者，由於該溶劑在旋塗式方法的間隙填注處理時並不完全藉著熱硬化移除，在接觸孔的清潔處理中，接觸橋係由於輕易以濕化學藥品蝕刻而出現。

據此，氧化物的特性必須被提升俾可彌補該等上述的問題。

## 五、發明說明(5)

據此，本發明係指向於用於形成絕緣層的方法，其實質上避免由於相關技術之限制和缺點所引起的一個或者多個問題。

5 本發明之其中一個目的是為提供一 SOG 層，其具有對抗在開啟接觸孔和熱處理時之濕式蝕刻化學藥品的元件穩定性以及藉著 SOG 層之提升的特性防止由於結構限制所引起的孔洞。

10 換句話說，本發明藉著使用間隙為極細微之 HSQ 基底之非有機材料來控制由於間隙填注之孔洞所引起之爆裂的產生。

本發明透過當在該等階梯之間之剩餘在線間的溶劑被完全移除時對後面之清潔處理之濕式化學藥品的阻抗來提供穩定的處理。

再者，本發明提供因為離子植入之輕易的深度控制。

15 本發明之其他特徵和優點將會被展現於下面的描述而部份將會由該描述而變得明顯，或者可以藉由本發明的實施來學習到。本發明之目的和其他優點將會藉由特別於該描述和其之申請專利範圍與附圖所指出的結構來被實現和達成。

20 為了達成所實施和廣泛地描述之本發明的這些和其他優點，本發明包括形成一由氫矽倍半甲烷製成的 SOG(旋塗式玻璃)層於一半導體基體上、將離子植入至該 SOG 層、及使該離子植入 SOG 層硬化。

更特別地，本發明包括如下之步驟：以一由氫矽倍半甲

(請先閱讀背面之注意事項再填寫本頁)

表

訂

## 五、發明說明 (b)

烷製成的 SOG (旋塗式玻璃) 層塗佈一具有元件形成於其上之半導體基體的不平坦表面、把係從任何能夠被離子化之原子所得到的離子植入至該 SOG 層、將該業已植入離子的 SOG 層回火俾可在一室中硬化、及形成一封頂層以供該業已回火之 SOG 層的平坦化用。

必須要了解的是，上面大致上的描述和下面詳細的描述是為代表性與說明而且係傾向於提供如所主張之本發明的進一步說明。

該等附圖，其係被包括俾提供本發明之進一步了解而且係被併合及構成本申請案的一部份，描繪本發明的實施例並且係與該描述一起作用來說明本發明的原理。

在該等圖式中：

第 1A 至 1F 圖顯示習知技術在半導體元件中形成絕緣層於一晶圓上俾可填注在元件或者導線之階梯之間之空間的橫截面圖；

第 2A 至 2G 圖顯示形成一由 HSQ 製成之 SOG 絕緣層的橫截面圖；及

第 3A 至 3C 圖顯示在離子植入與高溫硬化時化學黏結的結構。

現在請詳細地參考本發明的較佳實施例，其之例子係被描繪於該等附圖中。

通常，在製造半導體元件時，二氧化矽係被使用於絕緣在它們之間的元件或者層，在其中，氧化物係藉著將多晶矽或者積體電路之矽基體的暴露部份氧化或者以 CVD 沉積

## 五、發明說明(7)

該氧化物來形成。

然而，就平坦化而言，通常該液態來源材料係在積體電路的結構上流動以形成一二氧化矽層。

5 於該半導體積體電路上的二氧化矽層係從作為塗佈材料之像 HSQ 般之由氫化矽烷製成的來源材料形成。使用薄膜陶瓷二氧化矽塗層作為電子元件之保護和介電層在習知技術中係已知的。如此所形成的塗層提供底層基體良好的環境保護並有效禁止導電。

10 雖然有它們的功效，這些習知方法就 HSQ 樹脂的氧化和硬化而言係需要使用(溫度 X 時間)的高熱預算。如此之高熱預算在很多因它們會損害或者破壞該基體之對溫度敏感的應用上係不可接受的。例如，美國專利第 4,756,977 號一案描述 HSQ 樹脂衍生二氧化矽塗層在包括電子元件之各種基體上的使用。

15 氫化矽烷樹脂，有時亦被稱為 HSQ 或者 H-樹脂，在完全冷凝和水解時，具有公式  $(H/SiO_{3/2})_n$ ，其中，n 大致上為大約 10-1000。典型的 H-樹脂，當不是完全冷凝或者水解時，可以具有公式  $Hsi(OH)_x(OR)_yO_{z/2}$ ，在其中， $x=0-2$ ， $y=0-2$ ， $z=1-3$ ， $x+y+z=3$  而且該聚合體之所有單元之 y 的平均值係大於 0。每個 R 是為獨立地一個 1-6 碳有機群組，其在經由氧原子黏結至矽時，形成一可水解代替物。該等氫化矽烷或者 HSQ 二氧化矽先驅物和它們作為塗佈材料的使用係在 Balance 等人之美國專利第 20 5,145,723 號一案中有更完全的討論。

## 五、發明說明( 8 )

作為與本發明相關的習知技術，美國專利第 5,429,990 號一案描述以離子植入的 SOG 平坦化而美國專利第 5,456,952 號一案則進行 HSQ 被使用作為二氧化矽之先驅物的硬化處理。

5 本發明在半導體元件中透過離子植入形成 SOG 層的方法包含如下之步驟：以一作為絕緣中間層之由以 HSQ 為基底的樹脂塗佈一具有元件之矽基體的不平坦表面、以能夠被離子化的原子將離子植入至該 SOG 層內、在一室中將該離子植入 SOG 層回火以硬化、及形成一封頂層於該回火  
10 SOG 層上以獲得平坦化。

第 2A 至 2G 圖顯示形成一由 HSQ 製成之 SOG 絕緣層的橫截面圖而第 3A 至 3C 圖則顯示在離子植入與高溫硬化時化學黏結的結構。

請參閱第 2A 圖所示，形成一字線的多晶矽 22 被沉積  
15 於一形成有半導體元件的矽基體 21 上。一氮化物層 23 或者一二氧化矽層 23 係藉由 LPCVD 形成於該沉積的多晶矽 22 上。一字線 22 係藉著以照相和蝕刻處理將該氮化物層 23 和該沉積之多晶矽 22 的某部份移除來被形成。

請參閱第 2B 圖所示，一緩衝二氧化矽層 24 被形成於  
20 該暴露之基體 21 的表面上，在該剩下之氮化物層 23 上和該剩下之氮化物層 23 的側面處及字線 22 的側面處。

請參閱第 2C 圖所示，該緩衝二氧化矽層 24 係以具有良好流動特性之以 HSG 為基底的 SOG 塗佈，其中，該塗層 SOG 25 填注該等在階梯狀字線 22 之間間隙並且係自該

## 五、發明說明(9)

半導體基體 21 的表面起形成足以覆蓋該等階梯之 0.05 - 5 $\mu$ m 的厚度。

請參閱對應於第 2C 圖且顯示分子中之化學黏結的第 3A 圖，塗佈於該緩衝二氧化矽 24 上之以 HSQ 為基底之 SOG 的矽原子係具有分別與一氧原子和一氫原子的共價鍵，而且亦具有與兩個係與兩個相鄰之其他矽原子共享之氧原子的兩個共價鍵，其中，該 SOG 之化學方程式為  $[\text{HSiO}_{3/2}]_n$ 。如果該 SOG 係由 FTIR 分析的話，該 Si-H 鍵峰出現到該 Si-O 鍵峰的左邊。

10 在第 2D 圖中，於該 SOG 層 26 中之分子之間的鍵由於用以塗佈的 SOG 層 25 係以離子植入而變成激發狀態，其中，能夠被離子化之所有的原子係可利用作植入，而且劑量係在  $1\text{E}01 \text{ cm}^{-2}$  之上且能量係在其之 100E $\nu$  之上。例如，該 Ar 離子植入係在大約 250KeV 之能量和 3E15 之劑量的條件下執行。

15 請參閱對應於第 2D 圖並且係顯示在 Ar 離子植入上之化學黏結之轉移狀態的第 3B 圖，每個在氫原子與每個矽原子之間的鍵由於離子植入而振奮。因此，該等氫原子係很可能彼此耦合來形成氫分子。然後，已遺失其之氫原子的矽原子變成追逐狀態，如在第 3B 圖中之右邊部份處所顯示一般。即使該 Si-H 鍵峰在 FTIR 分析時出現在該 Si-O 鍵峰的左邊，該峰的大小係比第 3A 圖的小，顯示在矽與氫之間的鍵業已被破壞。

20 在第 2E 圖中，隨著該離子植入之 SOG 層的密度已降低

## 五、發明說明(10)

，硬化的 SOG 層 27 係藉著在加熱室中於大約攝氏 750 度下回火來被形成，其中，回火的大氣為空氣、氮氣、氧氣或者 0.1-900 sccm 的水蒸氣而且在該室中的壓力為 0.01-1000 Torr。

5 請參閱顯示業已於第 2E 圖中以高溫回火之 SOG 層之化學方程式的第 3C 圖，經由熱硬化所激發的氫原子變成氫分子，離開該 SOG 層。然後，該 SOG 層係以氧原子代替，變成一純二氧化矽層，藉此該 Si-H 鍵峰在 FTIR 分析中不見了。

10 請參閱第 2F 圖所示，由二氧化矽製成的一封頂層 28 係由 CVD 形成於該純二氧化矽層 27 上。

請參閱第 2G 圖所示，若有需要，一良好平坦化的氧化物 28 係藉由 CMP 形成。

因此，本發明藉著利用在其中之間隙係極小之以 HSQ 為基底的無機材料來控制由於間隙填注時之孔洞所引起之爆裂的產生、透過當在該等階梯之間之剩餘在線間的溶劑被完全移除時對後面之清潔處理之濕式化學藥品的阻抗來提供穩定的處理、而且亦提供因為離子植入之輕易的深度控制。

20 對於熟知此項技術的人仕來說，很明顯的是在本發明之用於形成絕緣層的方法上，各種改變和變化可以在沒有離開本發明之精神或者範圍下達成。因此，本發明係傾向於涵蓋屬於申請專利範圍與其之等效物之範圍內之本發明的改變和變化。

## 五、發明說明(\\)

元件標號對照表

11	矽基體	12	多晶矽	
13	氮化物層	12	字線	
14	氮化物層	15	緩衝氮化物	
5	16	中間層	21	矽基體
22	多晶矽	23	氮化物層	
24	緩衝二氧化矽層	25	SOG層	
26	SOG層	27	SOG層	

(請先閱讀背面之注意事項再填寫本頁)

表

訂

## 四、中文發明摘要(發明之名稱:於半導體元件中形成絕緣層的方法)

本發明有關於在半導體元件中形成絕緣層的方法，其係關於元件藉著將間隙填注 SOG 改變成具有 Ar<sup>+</sup>之離子植入之高密度氧化矽以對抗用以打開接觸孔之熱處理和濕式蝕刻之化學藥品的穩定性。本發明包括如下之步驟：以一由氫矽倍半甲烷製成的 SOG(旋塗式玻璃)層塗佈一半導體基體的不平坦表面，其中，該半導體基體具有元件形成於其上；將離子植入至該 SOG 層內，其中，該等離子係自所有類型之能夠被離子化的原子得到；在一室中將該 SOG 層回火俾作硬化，其中，該 SOG 層業已以該等離子植入；及形成供該 SOG 層之平坦化用的一封頂層，其中，該 SOG 層業已被回火。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

## 英文發明摘要(發明之名稱: METHOD FOR FORMING AN INSULATING LAYER IN SEMICONDUCTOR DEVICE)

The present invention relates to method of forming an insulating layer in semiconductor device concerning the stability of the devices against both thermal treatment and chemical in wet etching for opening contact holes by means of changing the gap-filling SOG into Silicon oxide of high density with ion implantation of Ar<sup>+</sup>.

The present invention includes the steps of coating the uneven surface of a semiconductor substrate with an SOG(spin-on-glass) layer of hydrogen silsesquioxane wherein the semiconductor substrate has devices formed thereof, implanting ions into the SOG layer wherein the ions being attained from all kind of atoms which can be ionized, annealing the SOG layer for densification in a chamber wherein the SOG layer has been implanted with the ions, and forming a capping layer for planarization of the SOG layer wherein the SOG layer has been annealed.

訂

線

## 六、申請專利範圍

第087110367號專利申請案申請專利範圍修正本

修正日期：89年9月

1. 一種在半導體元件中形成絕緣層的方法，其包含下列步驟：

形成一由氫矽倍半甲烷製成的SOG(旋塗式玻璃)層於一半導體基體上；

在能量於100eV之上且劑量於 $1E01$  離子/cm<sup>2</sup>以上的條件下，將離子植入至該SOG層內；及

使該經離子植入的SOG層硬化。

2. 如申請專利範圍第1項之在半導體元件中形成絕緣層的方法，其中該SOG層係被使用作為一絕緣中間層。
3. 如申請專利範圍第1項之在半導體元件中形成絕緣層的方法，其中該SOG層係被形成到0.05 - 5  $\mu\text{m}$ 的厚度。
4. 如申請專利範圍第1項之在半導體元件中形成絕緣層的方法，其中所有類型之能夠被離子化的原子均可被使用於該植入的步驟中。
5. 如申請專利範圍第1項之在半導體元件中形成絕緣層的方法，其中該硬化的步驟包含一回火步驟。
6. 如申請專利範圍第6項之在半導體元件中形成絕緣層的方法，其中該回火步驟係於0.01-1000 Torr之壓力下進行。
7. 如申請專利範圍第1項之在半導體元件中形成絕緣層的方法，其中該回火步驟係在400-1400°C的溫度下進

(請先閱讀背面之注意事項再填寫本頁)

訂  
線

## 六、申請專利範圍

行。

8. 如申請專利範圍第1項之在半導體元件中形成絕緣層的方法，其中該回火步驟係在空氣、氮氣、氧氣或者水蒸汽的大氣中進行，而且該大氣的量係在0.1-900 sccm之間。

9. 一種在半導體元件中形成絕緣層的方法，其包含下列步驟：

以一由氫矽倍半甲烷製成的SOG層塗佈一半導體的不平坦表面，其中該半導體基體具有電氣元件被形成於其上；

在能量於100eV之上且劑量於 $1E01$  離子/cm<sup>2</sup>之上的條件下，將離子植入至該SOG層內，其中該等離子係擇自可被離子化的原子；

藉由回火該經離子植入的SOG層俾硬化該經離子植入的SOG層；以及

形成一平坦化的封頂層於該經硬化之SOG層之上。

10. 如申請專利範圍第9項之在半導體元件中形成絕緣層的方法，其中該SOG層被形成到0.05 - 5  $\mu\text{m}$ 的厚度。

11. 如申請專利範圍第9項之在半導體元件中形成絕緣層的方法，其中該等離子係從Ar製成。

12. 如申請專利範圍第9項之在半導體元件中形成絕緣層的方法，其中該回火的步驟係在400-1400°C的溫度中，0.01-1000 Torr的壓力下和在空氣、氮氣、氧氣

(請先閱讀背面之注意事項再填寫本頁)

訂 線

## 六、申請專利範圍

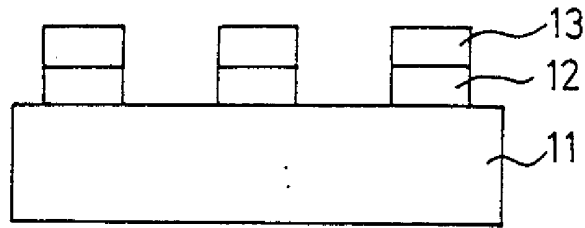
或水蒸氣的大氣下於該室中進行。

13. 如申請專利範圍第9項之在半導體元件中形成絕緣層的方法，其中該封頂層係藉著以CVD沉積二氧化矽來被形成。

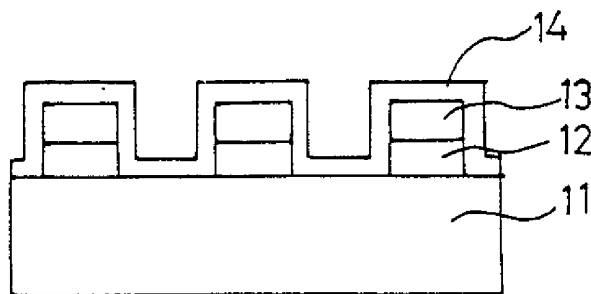
(請先閱讀背面之注意事項再填寫本頁)

訂 線

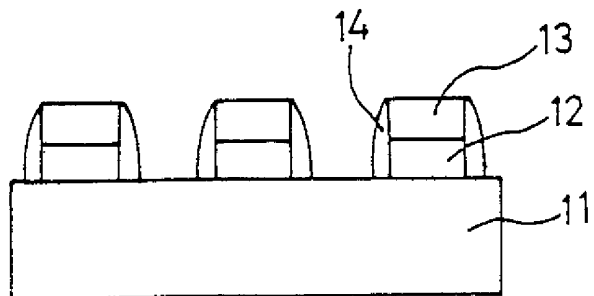
第1A圖



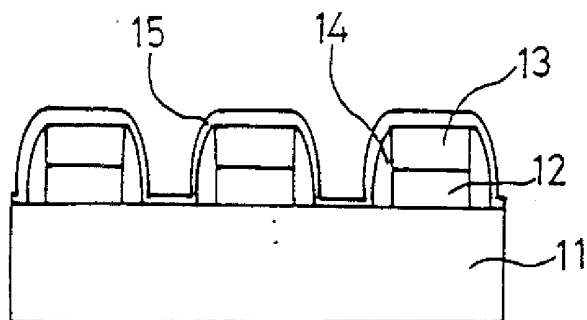
第1B圖



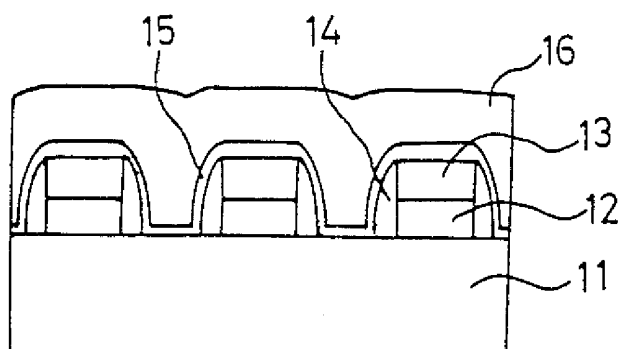
第1C圖



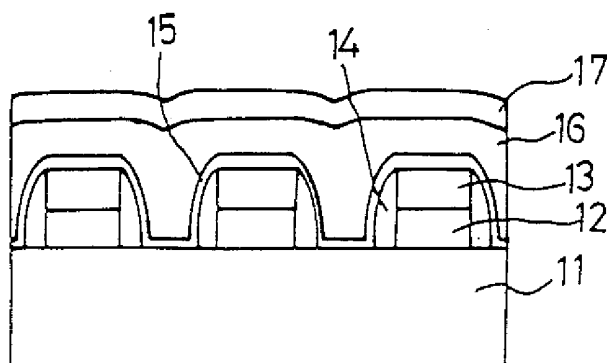
第 1D 圖



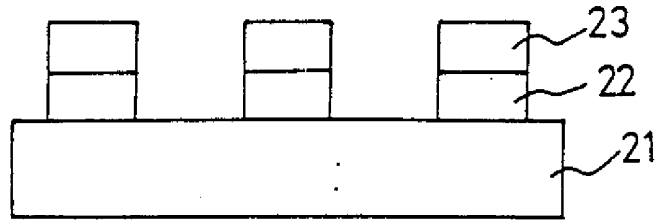
第 1E 圖



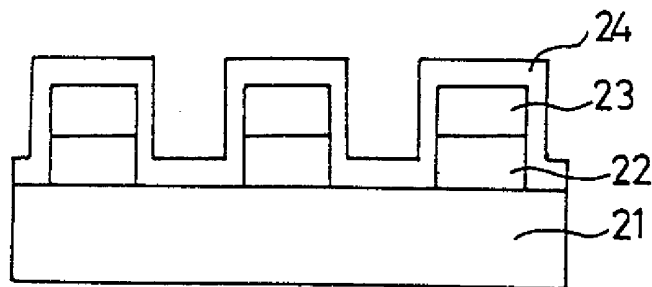
第 1F 圖



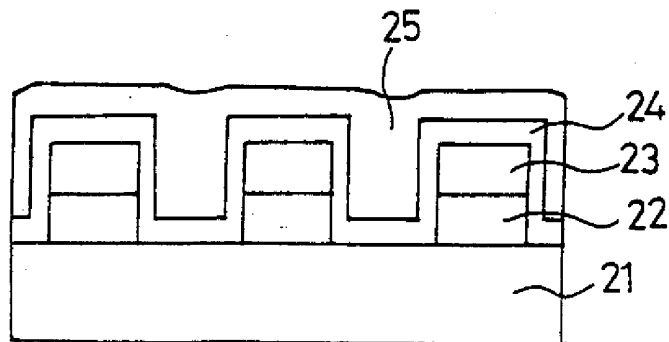
第2A圖



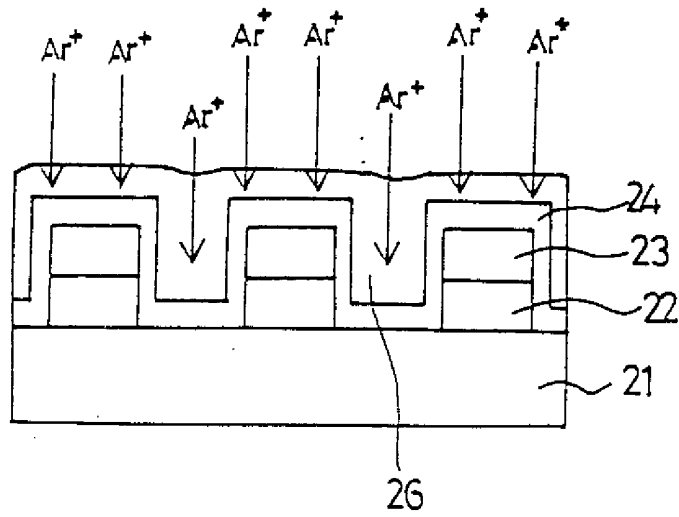
第2B圖



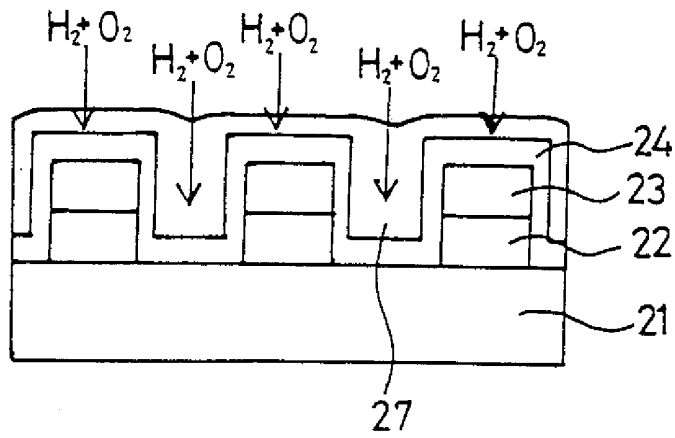
第2C圖



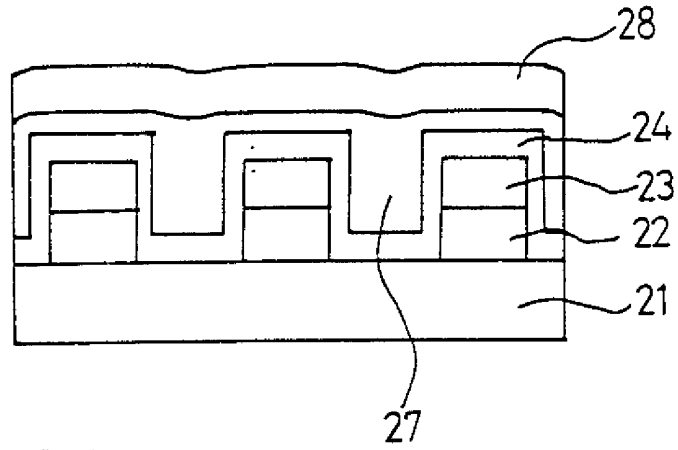
第2D圖



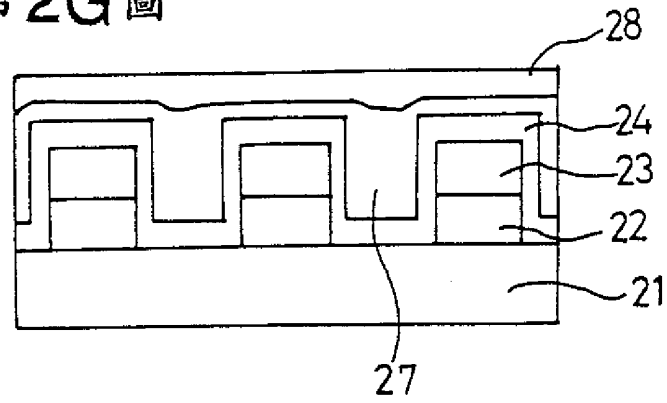
第2E圖



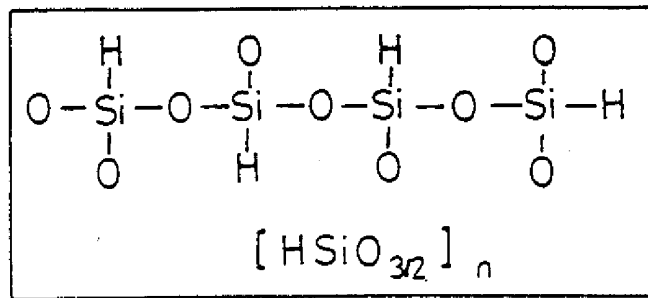
第 2F 圖



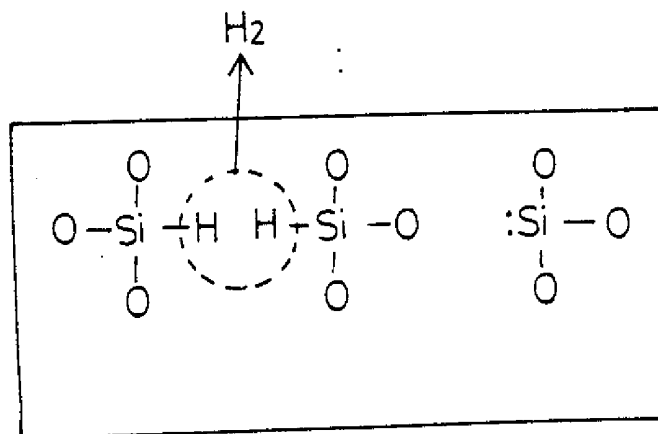
第 2G 圖



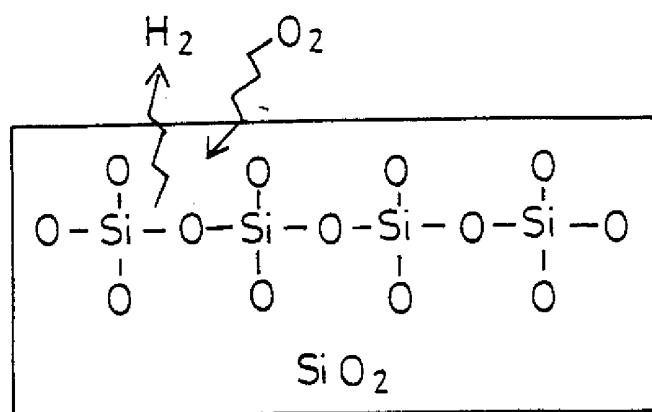
第 3A 圖



第 3B 圖



第 3C 圖



## 六、申請專利範圍

第087110367號專利申請案申請專利範圍修正本

修正日期：89年9月

1. 一種在半導體元件中形成絕緣層的方法，其包含下列步驟：

形成一由氫矽倍半甲烷製成的SOG(旋塗式玻璃)層於一半導體基體上；

在能量於100eV之上且劑量於 $1E01$  離子/cm<sup>2</sup>以上的條件下，將離子植入至該SOG層內；及

使該經離子植入的SOG層硬化。

2. 如申請專利範圍第1項之在半導體元件中形成絕緣層的方法，其中該SOG層係被使用作為一絕緣中間層。
3. 如申請專利範圍第1項之在半導體元件中形成絕緣層的方法，其中該SOG層係被形成到0.05 - 5  $\mu\text{m}$ 的厚度。
4. 如申請專利範圍第1項之在半導體元件中形成絕緣層的方法，其中所有類型之能夠被離子化的原子均可被使用於該植入的步驟中。
5. 如申請專利範圍第1項之在半導體元件中形成絕緣層的方法，其中該硬化的步驟包含一回火步驟。
6. 如申請專利範圍第6項之在半導體元件中形成絕緣層的方法，其中該回火步驟係於0.01-1000 Torr之壓力下進行。
7. 如申請專利範圍第1項之在半導體元件中形成絕緣層的方法，其中該回火步驟係在400-1400°C的溫度下進

(請先閱讀背面之注意事項再填寫本頁)

訂  
線