(19)中華民國智慧財產局
(12)發明說明書公開本 (11)公開編號：TW 201310895 A1
(43)公開日： 中華民國 102 (2013) 年 03 月 01 日

(21)申請案號：101109630 (22)申請日： 中華民國 101 (2012) 年 03 月 21 日
(51)Int. Cl.： *H03F1/26 (2006.01)*
(30)優先權：2011/08/29 美國 13/220,650
(71)申請人：聯發科技股份有限公司 (中華民國) MEDIATEK INC. (TW)
新竹市新竹科學工業園區篤行一路 1 號
國立清華大學 (中華民國) NATIONAL TSING HUA UNIVERSITY (TW)
新竹市光復路 2 段 101 號
(72)發明人：李進府 LI, CHIN FU (TW) ；柯冠鴻 KE, GUAN HONG (TW) ；周士傑 CHOU, SHIH CHIEH (TW) ；黃柏鈞 HUANG, PO CHIUN (TW)
(74)代理人：吳豐任；戴俊彥
申請實體審查：有 申請專利範圍項數：16 項 圖式數：5 共 26 頁

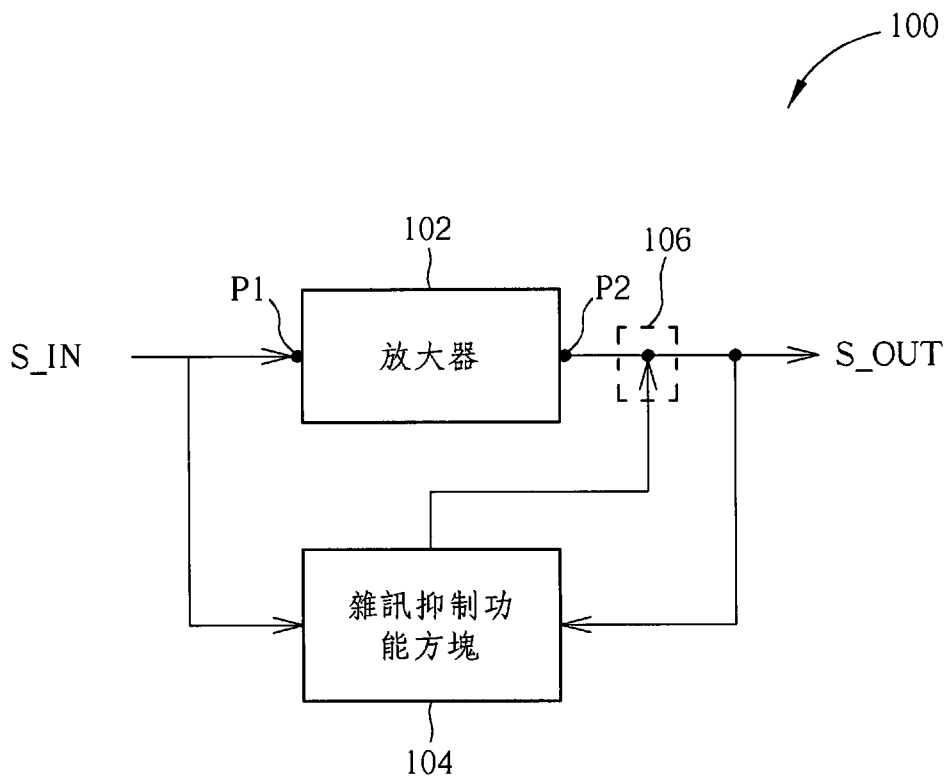
(54)名稱

放大電路以及應用於放大器的雜訊抑制方法

AMPLIFIER CIRCUIT AND NOISE SUPPRESSION METHOD FOR AMPLIFIER

(57)摘要

本發明提供一種放大電路，該放大電路包含放大器及雜訊抑制功能區塊。該放大器係用以於輸入埠接收輸入訊號，以及依據該輸入訊號來於輸出埠產生輸出訊號。該雜訊抑制功能區塊係耦接於該放大器之該輸入埠與該輸出埠之間，用來接收該輸入訊號及該輸出訊號，並依據所接收之該輸入訊號及該輸出訊號來對該放大器所產生的該輸出訊號執行雜訊抑制。



100：放大電路
102：放大器
104：雜訊抑制功能區塊
106：連接點
P1：輸入埠
P2：輸出埠

(19)中華民國智慧財產局
(12)發明說明書公開本 (11)公開編號：TW 201310895 A1
(43)公開日： 中華民國 102 (2013) 年 03 月 01 日

(21)申請案號：101109630 (22)申請日： 中華民國 101 (2012) 年 03 月 21 日
(51)Int. Cl.： *H03F1/26 (2006.01)*
(30)優先權：2011/08/29 美國 13/220,650
(71)申請人：聯發科技股份有限公司 (中華民國) MEDIATEK INC. (TW)
新竹市新竹科學工業園區篤行一路 1 號
國立清華大學 (中華民國) NATIONAL TSING HUA UNIVERSITY (TW)
新竹市光復路 2 段 101 號
(72)發明人：李進府 LI, CHIN FU (TW) ；柯冠鴻 KE, GUAN HONG (TW) ；周士傑 CHOU, SHIH CHIEH (TW) ；黃柏鈞 HUANG, PO CHIUN (TW)
(74)代理人：吳豐任；戴俊彥
申請實體審查：有 申請專利範圍項數：16 項 圖式數：5 共 26 頁

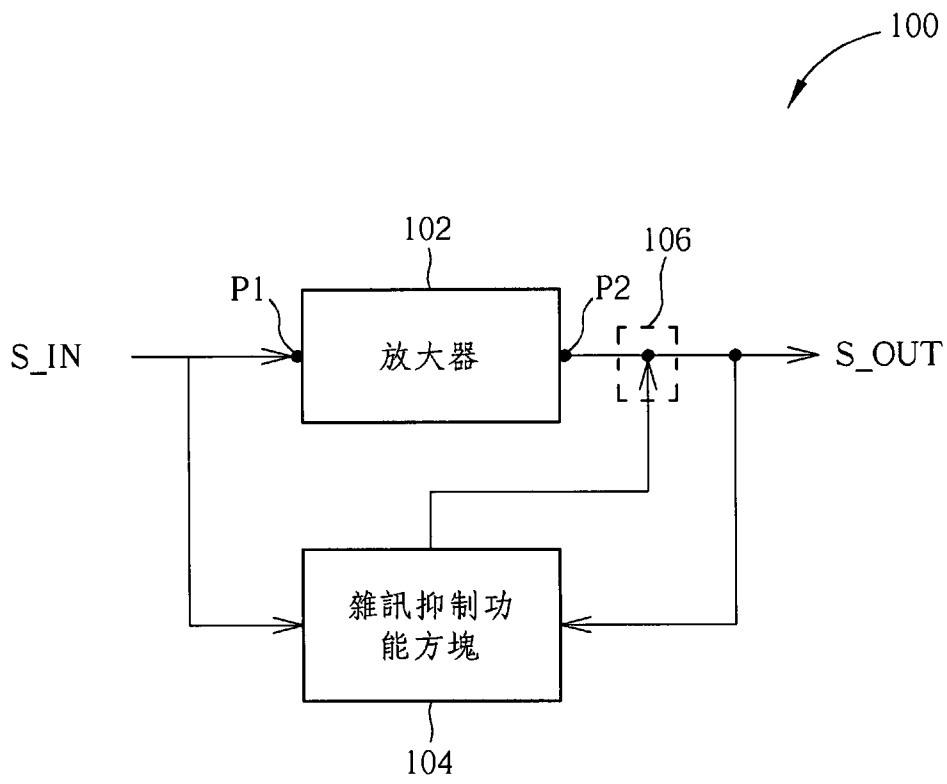
(54)名稱

放大電路以及應用於放大器的雜訊抑制方法

AMPLIFIER CIRCUIT AND NOISE SUPPRESSION METHOD FOR AMPLIFIER

(57)摘要

本發明提供一種放大電路，該放大電路包含放大器及雜訊抑制功能區塊。該放大器係用以於輸入埠接收輸入訊號，以及依據該輸入訊號來於輸出埠產生輸出訊號。該雜訊抑制功能區塊係耦接於該放大器之該輸入埠與該輸出埠之間，用來接收該輸入訊號及該輸出訊號，並依據所接收之該輸入訊號及該輸出訊號來對該放大器所產生的該輸出訊號執行雜訊抑制。



100：放大電路
102：放大器
104：雜訊抑制功能區塊
106：連接點
P1：輸入埠
P2：輸出埠

201310895

發明專利說明書

（本說明書格式、順序，請勿任意更動，※記號部分請勿填寫）

※申請案號：101108630

※申請日：101. 3. 21　※IPC 分類：H03F 1/26

一、發明名稱：（中文/英文）

放大電路以及應用於放大器的雜訊抑制方法/AMPLIFIER CIRCUIT AND NOISE SUPPRESSION METHOD FOR AMPLIFIER

二、中文發明摘要：

本發明提供一種放大電路，該放大電路包含放大器及雜訊抑制功能區塊。該放大器係用以於輸入埠接收輸入訊號，以及依據該輸入訊號來於輸出埠產生輸出訊號。該雜訊抑制功能區塊係耦接於該放大器之該輸入埠與該輸出埠之間，用來接收該輸入訊號及該輸出訊號，並依據所接收之該輸入訊號及該輸出訊號來對該放大器所產生的該輸出訊號執行雜訊抑制。

三、英文發明摘要：

An amplifier circuit includes an amplifier and a noise suppression block. The amplifier is arranged for receiving an input signal at an input port and generating an output signal at an output port according to the input signal. The noise suppression block is coupled between the input port and the output port of the amplifier, and arranged for receiving the input signal and the output signal and applying noise suppression to the output signal generated from the amplifier according to the received input signal and the received output signal.

四、指定代表圖：

(一)本案指定代表圖為：第（1）圖。

(二)本代表圖之元件符號簡單說明:

100	放大電路
102	放大器
104	雜訊抑制功能區塊
106	連接點
P1	輸入埠
P2	輸出埠

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

六、發明說明：

【發明所屬之技術領域】

本發明係關於雜訊抑制，尤指一種具有雜訊抑制之放大電路以及其相關的雜訊抑制方法。

【先前技術】

於通訊系統中，發射器（transmitter）與接收器（receiver）會將資訊傳遞至通訊媒介（communication medium）（例如空氣）以及自通訊媒介接收資訊。一般來說，接收端會面臨到許多發射端不會遇到或者於發射端已大幅減輕的問題，主要的原因在於通訊頻道（communication channel）本身不良的通訊環境（hostile nature）可能會導致接收器之輸入係為於偵測範圍內訊號強度最低的訊號（minimum detectable signal）。為了確保可靠的資訊傳輸品質，接收器必須具備對如此微弱的欲接收之訊號（wanted signal）進行處理的能力，而接收器偵測微弱的欲接收之訊號的能力主要受限於在其輸入訊號之中不想要的干擾雜訊（unwanted noise）。既然干擾雜訊係為在接收微弱的欲接收之訊號時的主要障礙，故低雜訊技術對於接收器的設計來說是非常重要的。

更具體地說，對於實作於接收器之中的放大器（amplifier）來說，需要藉由雜訊抑制技術（noise suppression technique）以減少位於放大器輸出的干擾雜訊。然而，習知的放大器通常要在多方的設

計考量（例如，增益（gain）、雜訊指數（noise figure）、阻抗匹配（impedance matching）、功率以及線性度（linearity））之間取得平衡，因此，需要一種可確保達到改善雜訊干擾且不太會對放大器之增益及線性度造成影響的創新低功率雜訊抑制設計。

【發明內容】

有鑒於此，本發明提供具有雜訊抑制之放大電路以及其相關的雜訊抑制方法。

依據本發明實施例，其揭示一種放大電路。該放大電路包含一放大器以及一雜訊抑制功能區塊。該放大器係用以於一輸入埠接收一輸入訊號，以及依據該輸入訊號來於一輸出埠產生一輸出訊號。該雜訊抑制功能區塊係耦接於該放大器之該輸入埠與該輸出埠之間，用以接收該輸入訊號及該輸出訊號，以及依據所接收之該輸入訊號及該輸出訊號來對產生自該放大器的該輸出訊號執行雜訊抑制。

依據本發明實施例，其揭示一種應用於一放大器的雜訊抑制方法。應用於該放大器的該雜訊抑制方法包含：接收一輸入訊號，其中該輸入訊號係饋入至該放大器之一輸入埠；接收一輸出訊號，其中該輸出訊號係依據該輸入訊號而產生自該放大器之一輸出埠；以及依據所接收之該輸入訊號及該輸出訊號來對產生自該放大器的該輸出訊號執行雜訊抑制。

本發明所揭示之放大電路及應用於放大器的雜訊抑制方法可減少干擾雜訊。

【實施方式】

在說明書及後續的申請專利範圍當中使用了某些詞彙來指稱特定的元件。所屬領域中具有通常知識者應可理解，製造商可能會用不同的名詞來稱呼同樣的元件。本說明書及後續的申請專利範圍並不以名稱的差異來作為區別元件的方式，而是以元件在功能上的差異來作為區別的基準。在通篇說明書及後續的請求項當中所提及的「包含」係為一開放式的用語，故應解釋成「包含但不限定於」。此外，「耦接」一詞在此係包含任何直接及間接的電氣連接手段。因此，若文中描述一第一裝置電性連接於一第二裝置，則代表該第一裝置可直接連接於該第二裝置，或透過其他裝置或連接手段間接地連接至該第二裝置。

請參閱第 1 圖，第 1 圖係為本發明一般化的放大電路之一實施例的功能方塊示意圖。放大電路 100 包含一放大器 102 以及一雜訊抑制功能區塊（noise suppression block）104。放大器 102 係用以於一輸入埠 P1 接收一輸入訊號 S_IN，以及依據輸入訊號 S_IN 來於一輸出埠 P2 產生一輸出訊號 S_OUT。由第 1 圖可知，雜訊抑制功能區塊 104 係耦接於放大器 102 之輸入埠 P1 與輸出埠 P2 之間，因此，雜訊抑制功能區塊 104 係用以接收輸入訊號 S_IN 及輸出訊號

S_OUT，以及依據所接收之輸入訊號 S_IN 及輸出訊號 S_OUT 來對放大器 102 所產生的輸出訊號 S_OUT 執行雜訊抑制。更具體地說，會於一連接點（interconnection）106 產生雜訊抑制功能區塊 104 之一輸出，其中連接點 106 可作為一合併單元（combining unit）（例如，一加法器（adder）），以將放大器 102 及雜訊抑制功能區塊 104 之複數個輸出進行合併。由於輸入訊號 S_IN 至少具有一原始欲接收之訊號分量（original wanted signal component），以及輸出訊號 S_OUT 具有一經放大後的欲接收之訊號分量及一不想要的干擾雜訊分量，故雜訊抑制功能區塊 104 可參照所接收之輸入訊號 S_IN 及輸出訊號 S_OUT 來擷取該干擾雜訊分量，並依據所擷取之該干擾雜訊分量來提供所要的雜訊抑制處理。因此，放大器 102 可設計為藉由犧牲本身雜訊抑制性能來實現想要的增益及線性度，而放大器 102 之雜訊抑制性能則是透過伴隨的雜訊抑制功能區塊 104 來獲得提升，其中雜訊抑制功能區塊 104 對放大器 102 之增益及線性度僅會造成相當微小的影響，甚至不會造成任何影響。本發明所揭示之雜訊抑制技術的進一步說明係詳述如下。

第 2 圖係為本發明放大電路之一實作範例的示意圖。放大電路 200 係基於第 1 圖所示之電路架構，故包含一放大器 202 以及一雜訊抑制功能區塊 204。放大器 202 係依據於其輸入埠 P1 所接收之一輸入訊號 S_IN 來於其輸出埠 P2 產生一輸出訊號 S_OUT，其中輸出訊號 S_OUT 會被傳遞至由一負載電阻 R_L 所表示的下一級電路。雜訊抑制功能區塊 204 包含一合併電路（combing circuit）206 以及一

輸出電路 208。於此實施例中，合併電路 206 係用以將分別得自於所接收之輸入訊號 S_IN 及輸出訊號 S_OUT 的複數個訊號 S1 及 S2 進行合併以產生一合併訊號（combined signal）S3。輸出電路 208 係耦接於合併電路 206 與放大器 202 之輸出埠 P2 之間，用以依據合併訊號 S3 來產生一雜訊抑制訊號（noise suppression signal）S4，以及將雜訊抑制訊號 S4 加到輸出訊號 S_OUT 中，以對輸出訊號 S_OUT 執行雜訊抑制。由於放大器 202 具有一負增益（negative gain）-A1，故包含在輸入訊號 S_IN 之中的欲接收之訊號分量與包含在輸出訊號 S_OUT 之中的欲接收之訊號分量彼此會有相反的正負符號（sign），換言之，包含在輸入訊號 S_IN 之中的欲接收之訊號分量與包含在輸出訊號 S_OUT 之中的欲接收之訊號分量彼此互為反相位（out of phase）。因此，合併電路 206 經由適當的設計之後，可擷取出干擾雜訊分量以決定出加到輸出訊號 S_OUT 的雜訊抑制訊號 S4，更具體地說，同時包含在輸入訊號 S_IN 及輸出訊號 S_OUT 之中的欲接收之訊號分量會比位於合併訊號 S3 之中的欲接收之訊號分量來得強，如此一來，由於欲接收之訊號分量已被減弱，故合併訊號 S3 幾乎是由干擾雜訊分量所組成，也就是說，合併訊號 S3 可視為一經訊號衰減且擷取出雜訊之訊號（signal-attenuated and noise-extracted signal）。於一較佳實施例中，合併訊號可為一經訊號抑制且擷取出雜訊之訊號（signal-nulled and noise-extracted signal），亦即，合併訊號 S3 完全不會包含有欲接收之訊號分量。

由第 2 圖可知，輸出電路 208 具有一負增益-A2，因此，所擷取

之干擾雜訊分量會自放大器 202 所產生之輸出訊號 S_OUT 扣除，進而抑制位於輸出訊號 S_OUT 之中的雜訊分量。理想上，在雜訊抑制功能區塊 204 經由適當的設計之後，位於輸出訊號 S_OUT 之中的雜訊分量可完全被雜訊抑制訊號 S4 所消弭。

由第 2 圖可知，為了取得合併訊號 S3（例如，經訊號衰減且擷取出雜訊之訊號或經訊號抑制且擷取出雜訊之訊號），可利用一第一衰減單元（attenuation unit）212、一第二衰減單元 214 及一合併單元 216 的組合來實作出合併電路 206。第一衰減單元 212 係利用一第一衰減因子（attenuation factor）β1 來衰減所接收之輸入訊號 S_IN，並據以產生一第一衰減訊號（attenuated signal）S1。第二衰減單元 214 係利用一第二衰減因子 β2 來衰減所接收之輸出訊號 S_OUT 並據以產生一第二衰減訊號 S2。舉例來說，第一衰減單元 212 及第二衰減單元 214 均可僅以一被動元件（passive element）來實作出，例如，一電容性元件（capacitive element）、一電感性元件（inductive element）或是一電阻性元件（resistive element）。

合併單元 216 可僅以第一衰減單元 212 及第二衰減單元 214 之間的一連接點 N 來實作出，換言之，合併單元 216 係耦接於第一衰減單元 212 及第二衰減單元 214，且用以將第一衰減訊號 S1 及第二衰減訊號 S2 進行合併，並據以產生合併訊號 S3。舉例來說，第一衰減因子 β1 及第二衰減因子 β2 可參照放大器 202 之增益值來加以設定。由於包含在輸入訊號 S_IN 之中的欲接收之訊號分量與包含

在輸出訊號 S_OUT 之中的欲接收之訊號分量會因為放大器 202 具有負增益-A1 的緣故而具有相反的正負符號，故可利用將第二衰減因子 β2 設定為大於第一衰減因子 β1（例如，第二衰減因子 β2 係設定為第一衰減因子 β1 的 A1 倍），以減少/抑制位於第一衰減單元 212 及第二衰減單元 214 之間的連接點 N 的欲接收之訊號分量。

請參閱第 3 圖，第 3 圖係為位於第 2 圖所示之放大電路 200 之中的欲接收之訊號分量以及干擾雜訊分量的波形圖（waveform diagram）。為求簡單且清楚的說明，第 3 圖所示之輸入訊號 S_IN 不具有干擾雜訊分量。在適當地設定第一衰減因子 β1 及第二衰減因子 β2 之後，相較於所接收之輸入訊號 S_IN 來說，第一衰減訊號 S1 係具有一衰減訊號分量，以及第二衰減訊號 S2 係具有一衰減訊號分量及一衰減雜訊分量，使得第二衰減訊號 S2 中的衰減訊號分量可減少或消弭第一衰減訊號 S1 中的衰減訊號分量。於第 3 圖中，S1、S2、S3 及 S4 之訊號分別用 S_1、S_2、S_3、S_4 來表示。於第 3 圖所示之範例中，由於第一衰減訊號 S1 之衰減訊號分量與第二衰減訊號 S2 之衰減訊號分量彼此強度相同但正負符號相反，因而抵消欲接收之訊號分量，因此，由第 3 圖可知，僅有該衰減雜訊分量仍會存在於合併訊號 S3 之中。由於輸出電路 208 係具有負增益-A2，故合併訊號 S3 之衰減雜訊分量會被放大，更具體地說，輸出電路 208 得以對實際上施加於輸出訊號 S_OUT 的雜訊抑制操作進行調整。於第 3 圖所示之範例中，由於雜訊抑制訊號 S4 之經放大後的干擾雜訊分量與輸出訊號 S_OUT 之原始干擾雜訊分量彼此強度相同但正負符號

相反，因而產生僅包含欲接收之訊號分量的去除雜訊之輸出訊號（noise-cancelled output signal）S_OUT'。

如上所述，第 3 圖所示之輸入訊號 S_IN 不具有干擾雜訊分量，然而，以上僅供說明之需，並非用來作為本發明之限制。由於放大器 102 實際上可採用多種放大器架構，故放大器 102 所產生的雜訊分量以及位於輸出訊號 S_OUT 的雜訊分量可能會回授（feed back）至放大器 102 之輸入埠 P1，舉例來說，存在於輸入訊號 S_IN 中的回授雜訊分量(feedback noise component)與存在於輸出訊號 S_OUT 之原始雜訊分量可具有相同的正負符號（亦即，存在於輸入訊號 S_IN 之回授雜訊分量與存在於輸出訊號 S_OUT 之原始雜訊分量係為同相（in-phase））。在輸入訊號 S_IN 同時具有欲接收之訊號分量以及干擾雜訊分量的情形下，雖然合併訊號 S3 之雜訊分量可能會具有較高的訊號強度，仍可利用雜訊抑制功能區塊 204 來達到取得一個經訊號衰減且擷取出雜訊之訊號或一個經訊號抑制且擷取出雜訊之訊號的相同目的。簡言之，第 3 圖所示之範例僅供說明之需，並非用來作為本發明之限制，只要是藉由本發明所揭示之雜訊抑制技術來減少位於輸出訊號 S_OUT 的雜訊分量，均遵循本發明的發明精神。

由第 2 圖可知，放大電路 200 可具有一單端架構（single-ended topology），然而，於一設計變化中，本發明所揭示之雜訊抑制技術亦可應用於具有差動架構（differential topology）的放大電路，也就

是說，放大電路之放大器可視實際設計需求/考量而為一單端放大器（single-ended amplifier）或是一差動放大器（differential amplifier），此外，上述之放大器 102/202 可以是任何實作於無線通訊裝置（wireless communication apparatus）的放大器。舉例來說，放大器 102/202 可為一射頻低雜訊放大器（radio-frequency low-noise amplifier，RF LNA）或一基頻放大器（baseband amplifier）（例如，一基頻可變增益放大器（baseband variable gain amplifier））。

請參閱第 4 圖，第 4 圖係為本發明放大電路之一第一實施例的電路圖。放大電路 400 所採用之放大器架構係基於第 1 圖/第 2 圖所示之放大器架構，故包含一單端射頻低雜訊放大器（single-ended RF LNA）402 以及一雜訊抑制功能區塊 404。單端射頻低雜訊放大器 402 包含耦接於複數個參考電壓 V_{DD} 及 GND 之間的複數個電晶體（transistor）MP 及 MN，以及耦接於一輸入埠 P1 與一輸出埠 P2 之間的一回授電阻 R_F。由於熟習技藝者應可輕易地了解單端射頻低雜訊放大器 402 的運作細節，故進一步的說明在此便不再贅述。於此實作範例中，雜訊抑制功能區塊 404 包含一輸出電路(其是由一電晶體 M_{FB} 來加以實作)以及一合併電路 406(其是由複數個電容 C_1 及 C_2 以及位於複數個電容 C_1 及 C_2 之間的連接點 N 來加以實作)。由於熟習技藝者在閱讀關於第 1 圖及第 2 圖所示之放大電路的說明之後，應可輕易地了解雜訊抑制功能區塊 404 的運作細節，故進一步的說明在此便不再贅述。

請參閱第 5 圖，第 5 圖係為本發明放大電路之一第二實施例的電路圖。放大電路 500 所採用之放大器架構係基於第 1 圖/第 2 圖所示之放大器架構，故包含一差動基頻放大器（differential baseband amplifier）502 以及一雜訊抑制模組（noise suppression module）504。差動基頻放大器 502 具有包含一正極輸入端（positive input node）P_{11} 及一負極輸入端（negative input node）P_{12} 的一輸入埠，其中該輸入埠係用以接收一輸入訊號（其係為包含一正極輸入 S_IN+及一負極輸入 S_IN-的一差動訊號對（differential signal pair））。另外，差動基頻放大器 502 亦具有包含一正極輸出端（positive output node）P_{21} 及一負極輸出端（negative output node）P_{22} 的一輸出埠，其中該輸出埠係用以輸出一輸出訊號（其係為包含一正極輸出 S_OUT+及一負極輸出 S_OUT-的一差動訊號對）。由第 5 圖可知，差動基頻放大器 502 包含複數個電晶體 M1～M8 以及複數個電阻 R1～R3，其中複數個電晶體 M5 及 M6 是被一控制電壓（control voltage）V_C 所控制、複數個電晶體 M7 及 M8 是由一偏壓電壓（bias voltage）V_{bias1} 所偏壓，以及複數個電晶體 M1 及 M2 是由一共模回授電壓（common-mode feedback voltage）V_{cmfb} 所控制。由於熟習技藝者應可輕易地了解差動基頻放大器 502 的運作細節，故進一步的說明在此便不再贅述。

於此實作範例中，雜訊抑制模組 504 係包含複數個雜訊抑制功能區塊 506_1 及 506_2，以及由一電晶體 M_{deg} 所實作出的一選擇性/非必要（optional）的退化電阻（degeneration resistor），其中電晶體

M_{deg}是由一偏壓電壓 V_{bias2}所偏壓。由第 5 圖可知，雜訊抑制功能區塊 506_1 係包含一輸出電路(其是由一電晶體M_{FB_1}所實作)以及一合併電路 508_1(其是由複數個電容 C_{11}及 C_{21}以及位於複數個電容 C_{11}及 C_{21}之間的連接點 N+所實作)，此外，雜訊抑制功能區塊 506_2 係包含一輸出電路(其是由一電晶體 M_{FB_2}所實作)以及一合併電路 508_2(其是由複數個電容 C_{12}及 C_{22}以及位於複數個電容 C_{12}及 C_{22}之間的連接點 N-所實作)。由於熟習技藝者在閱讀關於第 1 圖及第 2 圖所示之放大電路的說明之後，應可輕易地了解複數個雜訊抑制功能區塊 506_1 及 506_2 的運作細節，故進一步的說明在此便不再贅述。

綜合上述，本發明所揭示之放大電路所採用的雜訊抑制方法可包含以下步驟：接收一輸入訊號，其中該輸入訊號係饋入至該放大器之一輸入埠；接收一輸出訊號，其中該輸出訊號係依據該輸入訊號而產生自該放大器之一輸出埠；以及依據所接收之該輸入訊號及該輸出訊號來對產生自該放大器的該輸出訊號執行雜訊抑制。由於熟習技藝者在閱讀關於第 1 圖及第 2 圖所示之放大電路的說明之後，應可輕易地了解以上每一步驟的操作細節，故進一步的說明在此便不再贅述。

以上所述僅為本發明之較佳實施例，凡依本發明申請專利範圍所做之均等變化與修飾，皆應屬本發明之涵蓋範圍。

【圖式簡單說明】

第 1 圖為本發明一般化的放大電路之一實施例的功能方塊示意圖。

第 2 圖為本發明放大電路之一實作範例的示意圖。

第 3 圖為位於第 2 圖所示之放大電路之中的欲接收之訊號分量以及干擾雜訊分量的波形圖。

第 4 圖為本發明放大電路之一第一實施例的電路圖。

第 5 圖為本發明放大電路之一第二實施例的電路圖。

【主要元件符號說明】

100、200、400、500	放大電路
102、202、402、502	放大器
104、204、404、506_1、506_2	雜訊抑制功能區塊
106、N、N+、N-	連接點
206、406、508_1、508_2	合併電路
208	輸出電路
212	第一衰減單元
214	第二衰減單元
216	合併單元
504	雜訊抑制模組
C_1、C_2、 C_{11}、 C_{21}、C_{12}、C_{22}	電容
MP、MN、M_{FB}、M1～M8、M_{FB_1}、M_{FB_2}、M_{deg}	電晶體

P1	輸入埠
P2	輸出埠
P_{11}、P_{12}	輸入端
P_{21}、P_{22}	輸出端
R_L、R_F、R1、R2、R3	電阻

七、申請專利範圍：

1. 一種放大電路，包含：

一放大器，用以於一輸入埠接收一輸入訊號，以及依據該輸入訊號來於一輸出埠產生一輸出訊號；以及

一雜訊抑制功能區塊，耦接於該放大器之該輸入埠與該輸出埠之間，用以接收該輸入訊號及該輸出訊號，以及依據所接收之該輸入訊號及該輸出訊號，來對該放大器所產生之該輸出訊號執行雜訊抑制。

2. 如申請專利範圍第 1 項所述之放大電路，其中該雜訊抑制功能區塊包含：

一合併電路，用以將得自於所接收之該輸入訊號及該輸出訊號的複數個訊號進行合併，以產生一合併訊號；以及

一輸出電路，耦接於該放大器之該輸出埠與該合併電路之間，用以依據該合併訊號來產生一雜訊抑制訊號，以及將該雜訊抑制訊號加到該輸出訊號以執行雜訊抑制。

3. 如申請專利範圍第 2 項所述之放大電路，其中包含在所接收之該輸入訊號及該輸出訊號之中的每一訊號中的一欲接收之訊號分量會比位於該合併訊號之中的一欲接收之訊號分量強。

4. 如申請專利範圍第 2 項所述之放大電路，其中該合併訊號係為一經訊號抑制且擷取出雜訊之訊號。

5. 如申請專利範圍第 2 項所述之放大電路，其中該合併電路包含：

一第一衰減單元，用以衰減所接收之該輸入訊號並據以產生一第一衰減訊號；

一第二衰減單元，用以衰減所接收之該輸出訊號並據以產生一第二衰減訊號；以及

一合併單元，耦接於該第一衰減單元及該第二衰減單元，用以將該第一衰減訊號及該第二衰減訊號進行合併，並據以產生該合併訊號。

6. 如申請專利範圍第 5 項所述之放大電路，其中該第一衰減單元及該第二衰減單元均為被動元件。

7. 如申請專利範圍第 2 項所述之放大電路，其中該輸出電路具有一負增益。

8. 如申請專利範圍第 1 項所述之放大電路，其中該放大器係為一射頻低雜訊放大器、一基頻放大器、一單端放大器或者一差動放大器。

9. 一種應用於放大器的雜訊抑制方法，包含：

接收一輸入訊號，其中該輸入訊號係饋入至該放大器之一輸入埠；

接收一輸出訊號，其中該輸出訊號係依據該輸入訊號而產生自該放大器之一輸出埠；以及

依據所接收之該輸入訊號及該輸出訊號，來對該放大器所產生之該輸出訊號執行雜訊抑制。

10. 如申請專利範圍第 9 項所述之應用於放大器的雜訊抑制方法，其中對該放大器所產生之該輸出訊號執行雜訊抑制的步驟包含：

將得自於所接收之該輸入訊號及該輸出訊號的複數個訊號進行合併，以產生一合併訊號；

依據該合併訊號來產生一雜訊抑制訊號；以及

將該雜訊抑制訊號加到該輸出訊號以執行雜訊抑制。

11. 如申請專利範圍第 10 項所述之應用於放大器的雜訊抑制方法，其中包含在所接收之該輸入訊號及該輸出訊號之中的每一訊號中的一欲接收之訊號分量係比位於該合併訊號之中的一欲接收之訊號分量強。

12. 如申請專利範圍第 10 項所述之應用於放大器的雜訊抑制方法，其中該合併訊號係為一經訊號抑制且擷取出雜訊之訊號。

13. 如申請專利範圍第 10 項所述之應用於放大器的雜訊抑制方法，其中產生該雜訊抑制訊號的步驟包含：

衰減所接收之該輸入訊號以產生一第一衰減訊號；

衰減所接收之該輸出訊號以產生一第二衰減訊號；以及

將該第一衰減訊號及該第二衰減訊號進行合併以產生該合併訊號。

14. 如申請專利範圍第 13 項所述之應用於放大器的雜訊抑制方法，其中產生該第一衰減訊號的步驟包含：

利用一被動元件來衰減所接收之該輸入訊號；以及

產生該第二衰減訊號的步驟包含：

利用另一被動元件來衰減所接收之該輸出訊號。

15. 如申請專利範圍第 10 項所述之應用於放大器的雜訊抑制方法，其中產生該雜訊抑制訊號的步驟包含：

對該合併訊號執行一負增益操作以產生該雜訊抑制訊號。

16. 如申請專利範圍第 9 項所述之應用於放大器的雜訊抑制方法，其中該放大器係為一射頻低雜訊放大器、一基頻放大器、一單端放大器或者一差動放大器。

八、圖式：

衰減所接收之該輸出訊號以產生一第二衰減訊號；以及

將該第一衰減訊號及該第二衰減訊號進行合併以產生該合併訊號。

14. 如申請專利範圍第 13 項所述之應用於放大器的雜訊抑制方法，其中產生該第一衰減訊號的步驟包含：

利用一被動元件來衰減所接收之該輸入訊號；以及

產生該第二衰減訊號的步驟包含：

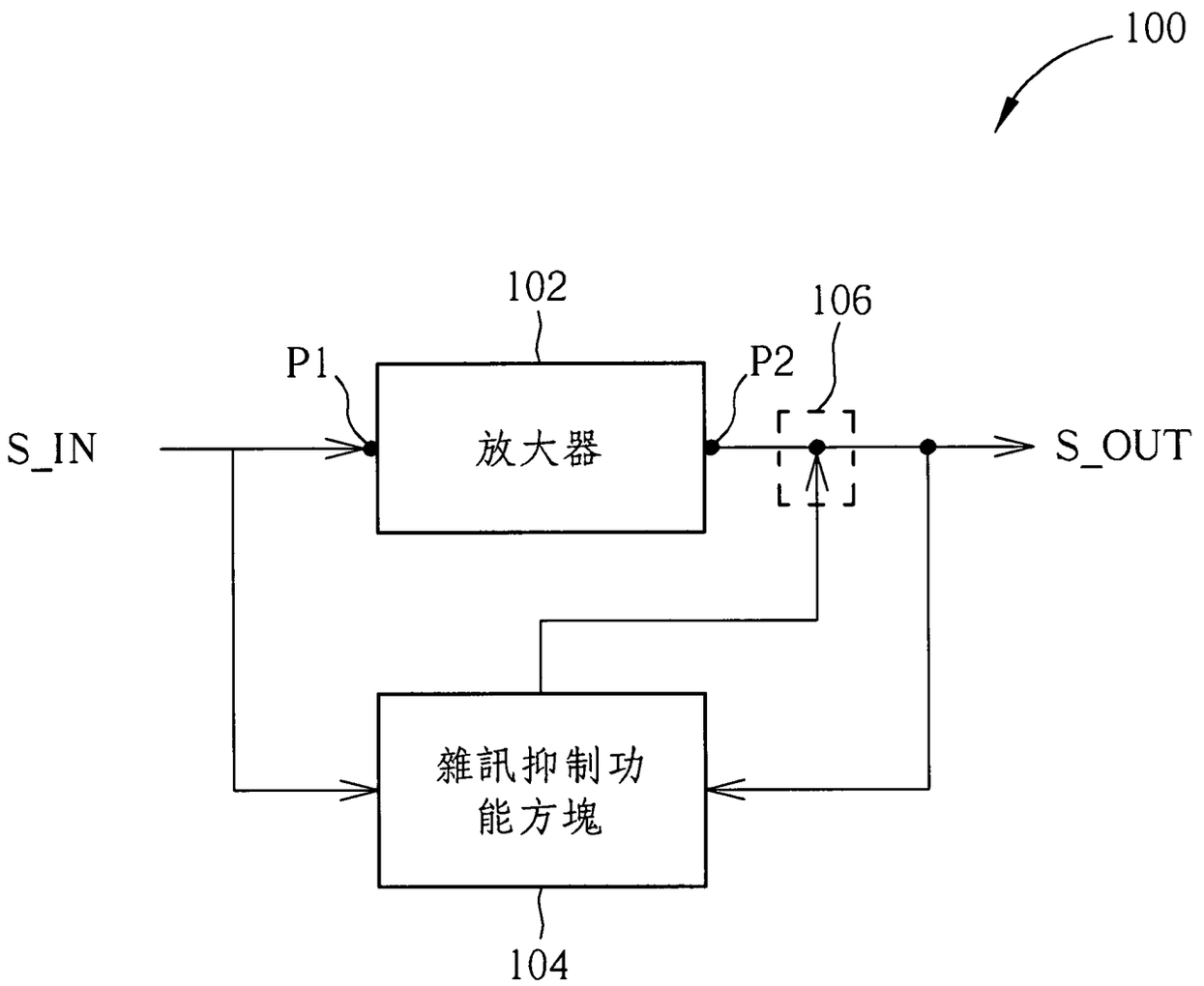
利用另一被動元件來衰減所接收之該輸出訊號。

15. 如申請專利範圍第 10 項所述之應用於放大器的雜訊抑制方法，其中產生該雜訊抑制訊號的步驟包含：

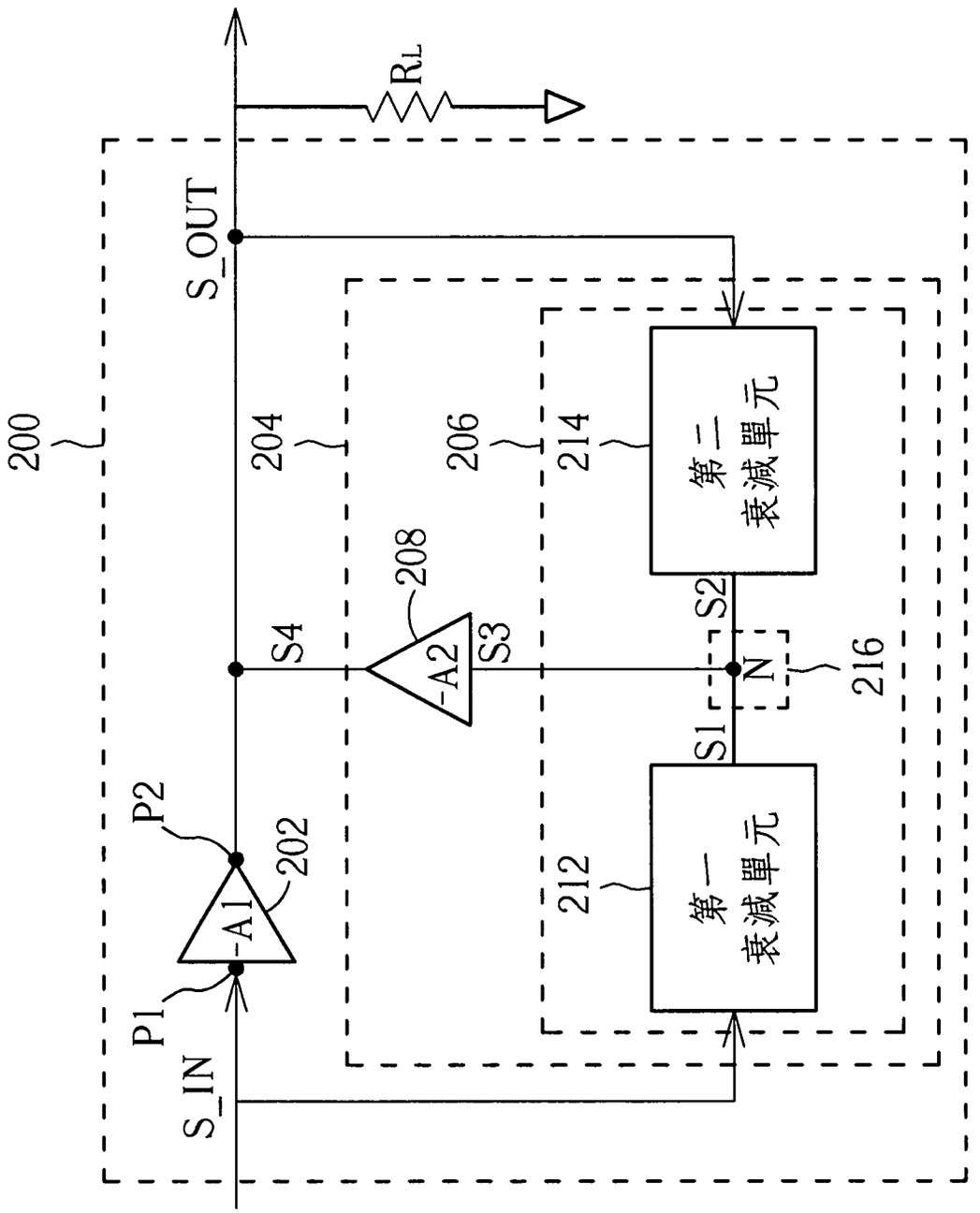
對該合併訊號執行一負增益操作以產生該雜訊抑制訊號。

16. 如申請專利範圍第 9 項所述之應用於放大器的雜訊抑制方法，其中該放大器係為一射頻低雜訊放大器、一基頻放大器、一單端放大器或者一差動放大器。

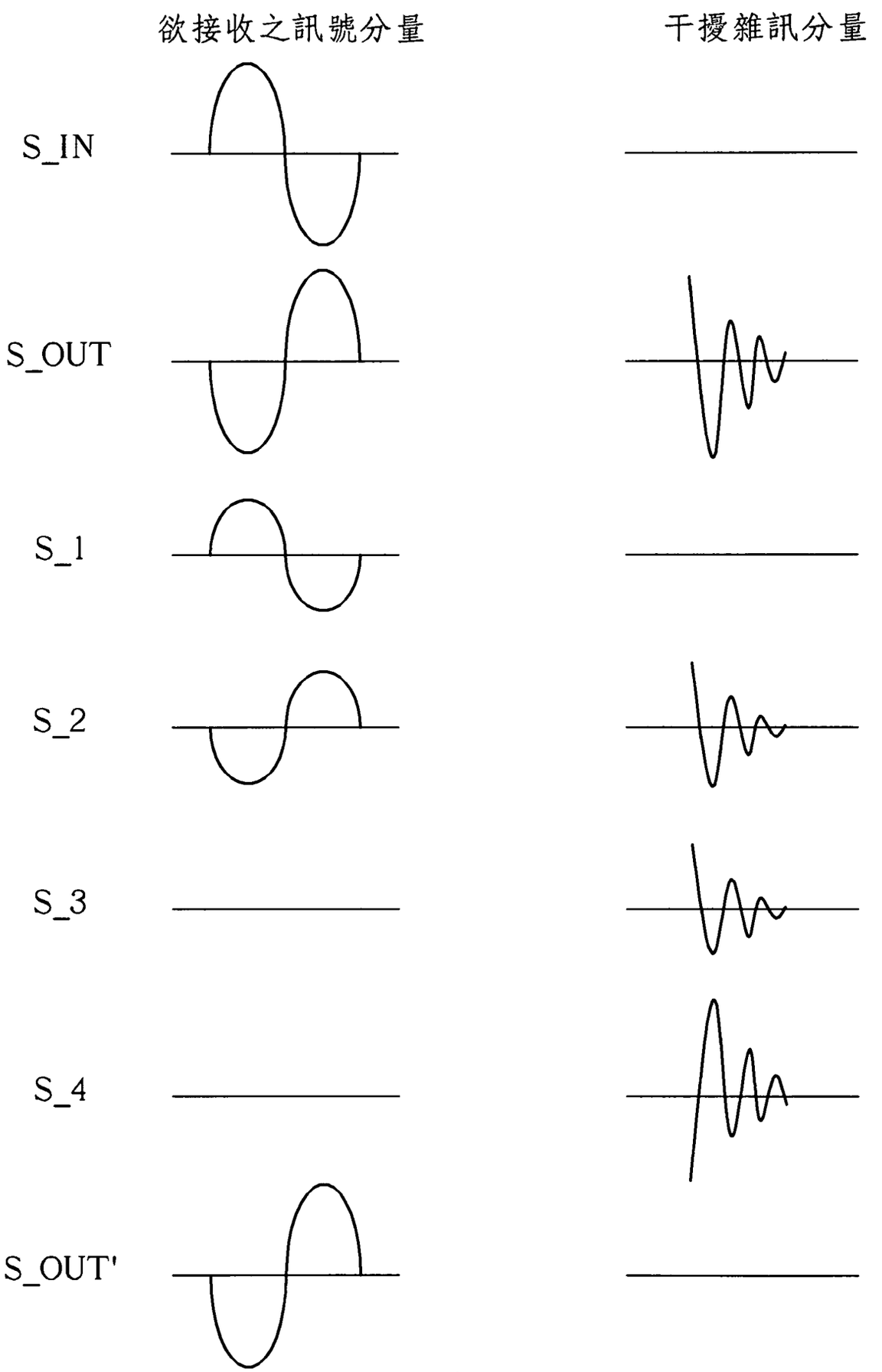
八、圖式：



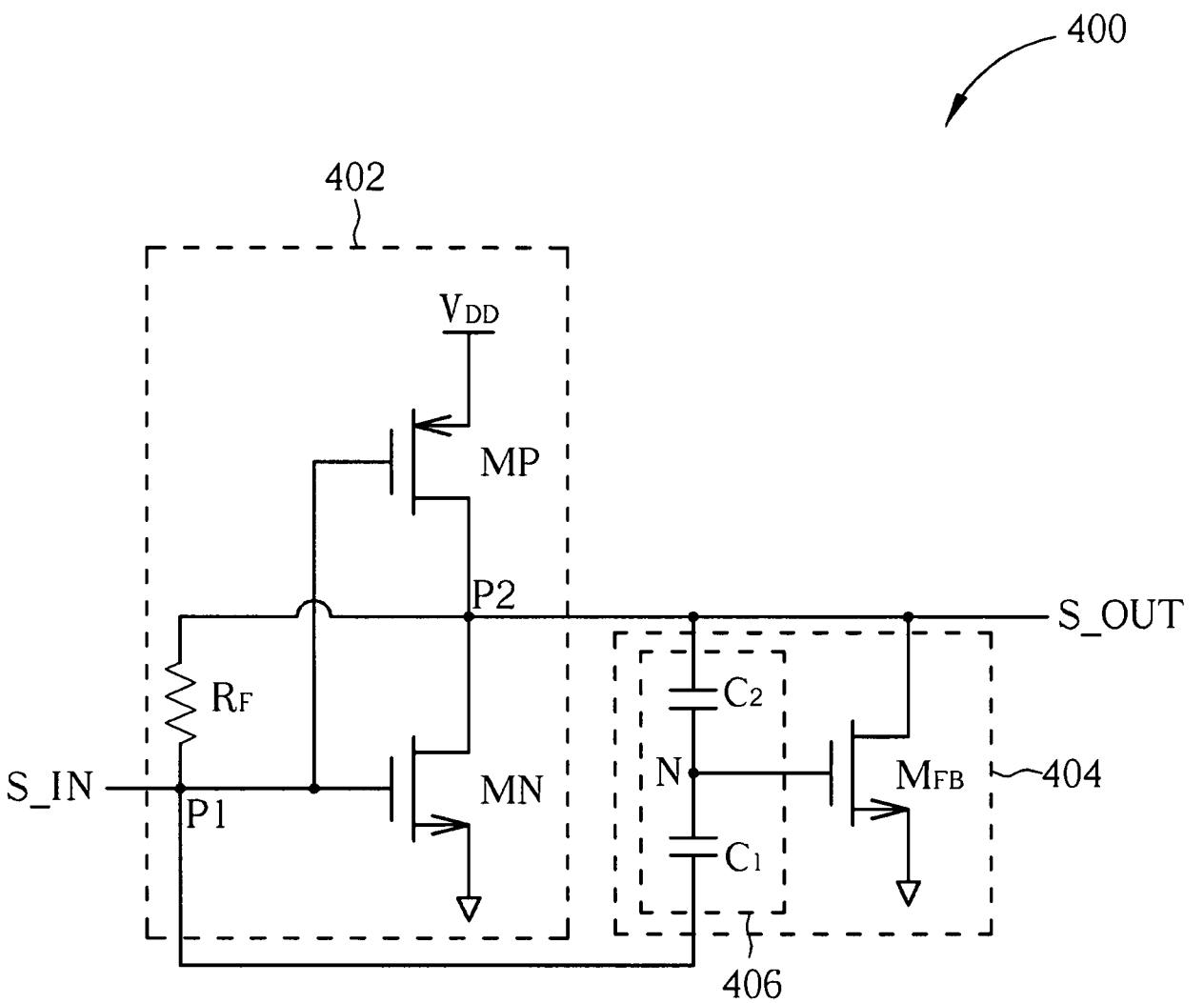
第1圖


200
S_OUT
R_L
204
206
214
第二
衰減單元
208
S4
-A2
S3
S2
N
216
S1
212
第一
衰減單元
P2
202
-A1
P1
S_IN

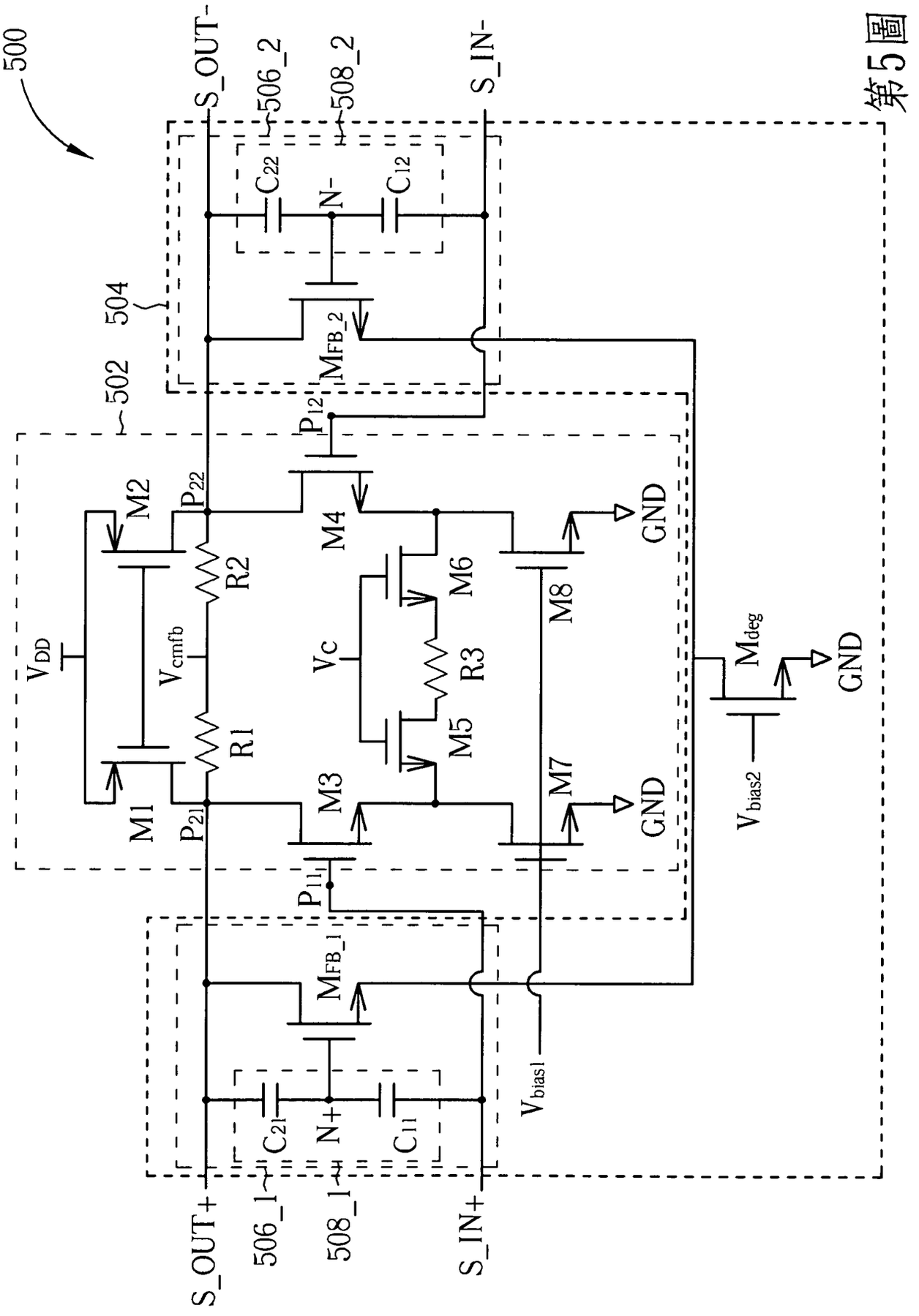
第2圖



第3圖



第4圖


500
S_OUT-
506_2
508_2
S_IN-
C22
N-
C12
504
502
MFB_2
P12
M2
P22
M4
R2
M6
M8
GND
VDD
Vcmfb
Vc
R3
Mdeg
R1
M5
M1
P21
M3
M7
GND
GND
P11
MFB_1
Vbias2
Vbias1
C21
N+
C11
S_OUT+
506_1
508_1
S_IN+

第5圖