

# 發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：94129708

※ 申請日期：94.8.30

※IPC 分類：H01L 21/336 (2006.01)

## 一、發明名稱：(中文/英文)

一浮動閘極記憶胞之程式化及清除的結構及其製造方法

PROGRAMMING AND ERASING STRUCTURE FOR A FLOATING  
GATE MEMORY CELL AND METHOD OF MAKING

## 二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

美商飛思卡爾半導體公司

FREESCALE SEMICONDUCTOR, INC.

代表人：(中文/英文)

珍妮佛 B 伍艾梅特

WUAMETT, JENNIFER B.

住居所或營業所地址：(中文/英文)

美國德州奧斯丁市西帕莫路7700號

7700 WEST PARMER LANE, AUSTIN, TEXAS 78729, U.S.A.

國籍：(中文/英文)

美國 U.S.A.

## 三、發明人：(共 2 人)

姓名：(中文/英文)

1.高里珊卡 L 琴戴羅爾

CHINDALORE, GOWRISHANKAR L.

2.克雷格 T 史威特

SWIFT, CRAIG T.

國籍：(中文/英文)

1.印度 INDIA

2.美國 U.S.A.

#### 四、聲明事項：

☐ 主張專利法第二十二條第二項☐第一款或☐第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家(地區)申請專利：

【格式請依：受理國家(地區)、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. 美國；2004年09月17日；10/944,244

2.

☐ 無主張專利法第二十七條第一項國際優先權：

1.

2.

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

## 五、中文發明摘要：

一浮動閘極記憶胞(10)具有一浮動閘極，其中有兩層浮動閘極層(18、22)。頂層(22)會被蝕刻以於該頂層(22)中提供一輪廓，同時保持下層(18)不變。控制閘極(38)會遵循浮動閘極(22)的輪廓，以提高其間的電容。浮動閘極的該等雙層(18、22)可利用一超薄的蝕刻阻止層(20)來進行多晶矽隔離。此蝕刻阻止層(20)厚到足以於多晶矽蝕刻期間提供蝕刻阻止效果，但較佳的係，卻有薄到足以達到電透通效果。電子能夠輕易地於該等雙層(22、18)間移動。因此，對頂層(22)所進行的蝕刻並不會延伸到下層(18)之中，而第一層(18)與第二層(22)則具有可讓一浮動閘極成為連續導電層的目的之電效應。

## 六、英文發明摘要：

## 七、指定代表圖：

(一)本案指定代表圖為：第( 8 )圖。

(二)本代表圖之元件符號簡單說明：

|    |       |
|----|-------|
| 10 | 裝置結構  |
| 12 | 基板    |
| 14 | 隔離區   |
| 16 | 隧道介電質 |
| 18 | 閘極層   |
| 20 | 蝕刻阻止層 |
| 22 | 浮動閘極層 |
| 30 | 開口    |
| 32 | 開口    |
| 34 | 開口    |
| 36 | 介電層   |
| 38 | 控制閘極層 |

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

## 九、發明說明：

### 【發明所屬之技術領域】

本發明係關於半導體裝置，更明確地說，係關於用於浮動閘極記憶胞的半導體裝置結構。

### 【先前技術】

一浮動閘極記憶體其中一項樂見的特徵為於控制閘極與浮動閘極間具有超大量的電容耦合。此會造成於程式化與清除一特定控制閘極偏壓期間會有更多的電壓從該控制閘極傳輸至該浮動閘極。因此，浮動閘極至控制閘極電容越大便會造成僅需要較低的電壓即可達成程式化與清除目的及/或改良程式化與清除的速度。另一項樂見的特徵係，浮動閘極至控制閘極電容具有很低的變動。倘若此電容發生變化的話，那麼已清除狀態的臨界電壓範圍便會提高。已清除臨界電壓的分布範圍越寬，便可能會因為漏電的關係，而造成難以讀取已清除位元及程式化已清除位元。提高控制閘極至浮動閘極電容同時最小化其變動的其中一項技術係蝕入隔離區上的浮動閘極。此技術確實會略提高電容，不過，本發明卻希望進一步改善。此方式的缺點係當技術縮小至較小維度時，其難以跟著縮小。

因此，需要一種裝置結構來改善程式化與清除作業及/或降低程式化與清除的電壓。

### 【發明內容】

於其中一項觀點中，一浮動閘極記憶胞具有一浮動閘極，其中有兩層浮動閘極層。頂層會被蝕刻以於該頂層中

提供一輪廓，同時保持下層不變。控制閘極會遵循浮動閘極的輪廓，以提高該控制閘極與該浮動閘極之間的電容。浮動閘極的該等雙層可利用一超薄的蝕刻阻止層來進行多晶矽隔離。此蝕刻阻止層厚到足以於多晶矽蝕刻期間提供蝕刻阻止效果，但卻又薄到足以達到電耦合效果。因為該蝕刻阻止層非常薄膜電晶體，所以電子能夠於該等雙層之間移動。因此，對頂層所進行的蝕刻並不會延伸到下層之中，而第一層與第二層則具有可讓一浮動閘極成為連續導電層的目的之電效應。參考圖式及下文說明可更瞭解本發明。

### 【實施方式】

圖1中所示者為一裝置結構10，其包括一基板12；一隔離區14；一隧道介電質16；以及一浮動閘極層18，較佳的係由多晶矽所製成。此為一習知結構，不過，浮動閘極層18的相對厚度小於習知的多晶矽浮動閘極層的厚度。本範例中的較佳厚度約為500埃，小於習知浮動閘極層。基板12較佳的係一整塊矽基板，不過亦可為SOI基板及/或一異於矽的半導體材料。隔離區14係利用常見的技術所製成，其會形成一溝槽，然後再利用介電質來填補，該介電質較佳的係氧化物，不過，亦可為其它介電材料，如氮化物。

圖2中所示者係於浮動閘極層18之上形成一蝕刻阻止層20之後的裝置結構10，蝕刻阻止層20較佳的係氧化物。層20較佳的係約15埃的已成長氧化物。層20亦可被沉積且可能係其它材料，舉例來說，氮化物。

圖3中所示者係於形成一浮動閘極層22之後的裝置結構10，浮動閘極層22較佳的係矽。其厚度較佳的係約和浮動閘極層18相同。

圖4中所示者係於隔離區14之上形成一已圖案化光阻層26之後的裝置結構10，層26具有開口30與32。該些開口30與32係位於隔離區14的相反側處。

圖5中所示者係透過開口30與32來蝕刻層22、20、以及18之後的裝置結構10。此蝕刻會先蝕穿層22，該層較佳的係多晶矽。化學性質改變後，接著便會蝕穿層20。接著，該蝕刻化學性質會回復至蝕穿層22所使用的性質。此會將開口30與32延伸通過浮動閘極層18與22以及蝕刻阻止層20。

圖6中所示者係形成一已圖案化光阻層33之後的裝置結構10，層33具有一於開口30與32間的開口34。於此剖面圖之中，開口34實質上係位於複數個隔離區14的中心處。

圖7中所示者係透過開口34蝕穿停止在層20上方的層22之後的裝置結構10。蝕刻化學性質改變同樣會造成開口34延伸通過層20。倘若希望將開口34定義成次微影蝕刻特徵圖形的話，那麼便不使用已圖案化的光阻33，取而代之的係可先圖案化一由氮化物製成的硬遮罩，然後利用一側護壁分隔體來部份填充該開口。利用側護壁分隔體來部份填充一開口以製造較小開口的技術係本技藝中已瞭解者。

圖8中所示者係形成一介電層36及一控制閘極層38之後的裝置結構10。介電層36較佳的係一習知的三層介電氧化物-氮化物-氧化物層，其厚度約125至150埃。介電層36的功

能係充當該浮動閘極記憶胞的控制閘極與浮動閘極間的層間介電質。控制閘極38較佳的係一多晶矽層，其厚度約1000至2000埃。於形成此控制閘極層38之後，其便會被蝕刻以形成一實際的控制閘極。此用來形成一實際控制閘極的蝕刻作業並不會改變圖8中所示的剖面。因此，圖8的生成結構便係一可當作一浮動閘極記憶胞(其亦為一非揮發性記憶胞)之浮動電晶體的最終結構。

此裝置結構顯示出，控制閘極38於靠近開口34中之浮動閘極層22的表面積增加，而與開口30與32中之浮動閘極層18與22鄰接的表面積則保持不變。層22此剩餘部份的側護壁不僅會提高電容，且會提供可重複的高電容。層22的厚度非常容易控制。層20非常地薄，因此電子非常容易通過該結構。此氧化物和作為閘極介電質的氧化物並不具相同品質，因此電子不會被阻隔，尤其是在常用到的程式化電壓與清除電壓處。即使是最高品質的氧化物仍然會有15埃的漏電。因此，利用高於具有薄閘極氧化物之電晶體中所用者還高的電壓，便會有大量的電子流過該氧化物。因此，在程式化作業期間累積於浮動閘極層22中的電子便可自由地抵達浮動閘極層18，且為達此目的，層20可視為電透通層。為進一步強化，可於圖5與6間的製程中形成一個以上的開口，如開口34。較多的開口(如開口34)相當有利，因為可進一步提高控制閘極至浮動閘極層電容。

圖9中所示者係一裝置結構50，其包括一和基板12雷同的基板52、一和溝槽14雷同的溝槽54、一和隧道介電質16雷

同的隧道介電質 58、以及一位於隧道介電質 58 之上和浮動閘極層 18 雷同的浮動閘極層 60。圖 9 所示的係一習知結構，不過，浮動閘極層 60 的厚度小於習知結構的厚度。浮動閘極層 60 的厚度較佳的係約 500 埃。於裝置結構 50 中，隔離區 54 包圍且延伸於浮動閘極層 60 之上。

圖 10 中所示者係於浮動閘極層 60 之上形成一和蝕刻阻止層 20 雷同的蝕刻阻止層 62，且於蝕刻阻止層 62 之上形成一和浮動閘極層 22 雷同的浮動閘極層 64 之後的裝置結構 50。圖中的蝕刻阻止層 62 係位於隔離區 54 的側護壁上且延伸於隔離區 54 之上。當長成一氧化物時，蝕刻阻止層不可能於溝槽 54 上看見，而圖中所示的情況則係沉積蝕刻阻止層 62，如沉積氮化物。

圖 11 中所示者係於形成一已圖案化的光阻部份 66 及利用已圖案化的光阻部份 66 作為遮罩來蝕刻浮動閘極層 64 之後的裝置結構 50。此作法會於浮動閘極層 64 的剩餘部份與溝槽 54 之間留下開口 67 與 68。於圖 10 至圖 11 的製程中，除了受到光阻 66 保護者以外，層 64 會被全部移除。

圖 12 中所示者係於移除不在已圖案化的光阻部份 66 下方的部份蝕刻阻止層 62，移除已圖案化的光阻部份 66，於浮動閘極層 60 之上、層 64 的剩餘部份上、以及溝槽 54 的裸露部份上形成和層 36 雷同的介電層 69，以及於介電層 69 之上形成和控制閘極層 38 雷同的控制閘極層 70 之後的裝置結構 50。蝕穿層 70、69、64、62、以及 60 的後續作業會形成和圖 8 之結構雷同的浮動閘極記憶胞結構。因此，圖 12 的裝置

結構係該記憶胞的生成裝置結構。此圖顯示出，因為於形成控制閘極層70以前先蝕刻層64的關係，所以，控制閘極層70於靠近浮動閘極層64附近具有較大的表面。層64此剩餘部份的側護壁不僅會提高電容，且會提供可重複的高電容。層64的厚度非常容易控制。

圖13中所示者係圖11之裝置結構50在圖10後面所形成的替代裝置結構71。裝置結構71和圖11之裝置結構50的不同處係藉由於圖10的浮動閘極層64上實施各向異性蝕刻而從隔離區54之側護壁上的浮動閘極層64中形成側護壁分隔體72與73。於層64的蝕刻期間便會自然形成側護壁分隔體72與73。於圖13的裝置結構71的情況中，當蝕刻至層62之後而在該些側護壁分隔體72與73已經被移除前便會停止對層64的蝕刻。於圖11的裝置結構50的情況中，此蝕刻則會繼續進行，致使該等側護壁分隔體被移除。

圖14中所示者係於側護壁分隔體72與73及浮動閘極層64的剩餘部份上形成和介電層36雷同的介電層76以及於介電層76上形成和控制閘極層38雷同的控制閘極層74之後的裝置結構71。於此剖面圖中，圖14顯示一完成後的記憶體裝置。於此情況中，側護壁分隔體72與73會成為該記憶體裝置的浮動閘極層部份。該些側護壁分隔體的垂直維度大於水平維度，所以，它們的存在具有提高控制閘極至浮動閘極層電容的優點。潛在缺點係，難以控制該些側護壁分隔體的垂直維度，因此控制閘極至浮動閘極層電容的變動可能會增加。

圖 15 中所示者為一裝置結構 100，其包括：一和基板 12 雷同的基板 112、一和隔離區 114 雷同的隔離區 114、一和閘極介電層 16 雷同的閘極介電層 116、一和浮動閘極層 18 雷同的浮動閘極層 118、一和蝕刻阻止層 120 雷同的薄蝕刻阻止層 120、以及一位於蝕刻阻止層 120 之上的犧牲層 122。犧牲層 122 可能係氧化物或氮化物或其它材料，不過，其材料係相對於蝕刻阻止層 120 之材料為可選擇性被蝕刻以外的材料。本範例中的犧牲層的厚度約和浮動閘極層 118 相同。亦可採用其它厚度。

圖 16 中所示者係於犧牲層 122 上形成一已圖案化的光阻部份 123 之後的裝置結構 100，而於圖中所示的維度中，該已圖案化的光阻部份 123 實質上係介於隔離區 114 間的中央處。

圖 17 中所示者係利用已圖案化的光阻部份 123 作為遮罩來蝕刻犧牲層 122 之後的裝置結構 100。此蝕刻會因蝕刻阻止層 120 而停止。

圖 18 中所示者係於移除光阻部份 124 且形成一保形的浮動閘極層 124 (其較佳的係的多晶矽) 之後的裝置結構 100。浮動閘極層 124 的厚度約和浮動閘極層 118 相同。

圖 19 中所示者係進行各向異性蝕刻於犧牲層 122 剩餘部份側護壁上的浮動閘極層 124 中形成側護壁分隔體 126 與 128 之後的裝置結構 100。

圖 20 中所示者係於移除犧牲層 122 剩餘部份後讓側護壁分隔體 126 與 128 自由佇立於蝕刻阻止層 120 之上的裝置結

構100。側護壁分隔體126與128的寬度大部份取決於浮動閘極層124的厚度，必要時可變更。浮動閘極層124應該足夠厚俾使側護壁分隔體126與128能夠反覆地自由佇立。

圖21中所示者係於形成一已圖案化的光阻層129之後的裝置結構100，該已圖案化的光阻層129在隔離區114上有開口且蝕穿蝕刻阻止層120與浮動閘極層118。

圖22中所示者係於移除已圖案化的光阻層129，於蝕刻阻止層120上及隔離區114的開口中形成和介電層36雷同的介電層130以及於介電層130上形成和控制層38雷同的控制閘極層132之後的裝置結構100。圖22的剖面圖描繪一完成後的浮動閘極記憶胞結構。側護壁分隔體126與128構成該記憶胞之浮動閘極材料的一部份，從而提供一種提高控制閘極至浮動閘極層電容的結構，同時還於該隔離區上方區域中之浮動閘極層的該等側護壁中保有高容。倘若微影蝕刻能力允許的話，藉由移除隔離區114間蝕刻阻止層120上一部份以上的浮動閘極層123便可形成和側護壁分隔體126與128相同的額外側護壁分隔體。

圖23中所示者為一裝置結構140，其具有：一和基板12雷同的基板142、一和隔離區14雷同的隔離區144、一和閘極介電層16雷同的閘極介電層146、一和浮動閘極層18雷同的浮動閘極層148、以及一位於浮動閘極層148之上的犧牲層150。犧牲層150較佳的係氧化物，不過亦可能為另一種材料，如氮化物。犧牲層150可相對於浮動閘極層148來選擇性蝕刻。於浮動閘極層148為多晶矽的較佳情況中，氧化

物或氮化物均可作為犧牲層 150。犧牲層的厚度較佳的係約和浮動閘極層 148 相同。

圖 24 中所示者係於形成一已圖案化的光阻部份 152 且利用已圖案化的光阻部份 152 作為遮罩蝕穿犧牲層 150 以於隔離區 144 間留下一部份犧牲層 150 之後的裝置結構 140。於圖 24 之剖面圖中所示的維度中，犧牲層 150 的剩餘部份實質上係介於內部隔離區之間。

圖 25 中所示者係於移除已圖案化的光阻部份 152 且於浮動閘極層 148 與犧牲層 150 剩餘部份之上形成一浮動閘極層 154 之後的裝置結構 140。於浮動閘極層 154 為多晶矽的較佳情況中，浮動閘極層 154 為保形，俾使該部份的浮動閘極層 154 高於犧牲層 150 的剩餘部份。

圖 26 中所示者係於套用化學機械研磨 (CMP) 製程之後的裝置結構 140，圖中留下的浮動閘極層 154 的頂表面和與犧牲層 150 剩餘部份的頂表面齊平。依此方式所實施的 CMP 製程會露出犧牲層 150 剩餘部份的頂表面。

圖 27 中所示者係於移除犧牲層 150 剩餘部份之後的裝置結構 140。此會於浮動閘極層 154 中留下一開口 155。於此剖面圖所示的方向中，開口 155 實質上係位於隔離區 144 之間的中央。

圖 28 中所示者係於形成一已圖案化的光阻層 156 之後的裝置結構 140，該已圖案化的光阻層 156 在隔離區 144 上有開口且會於該些開口中蝕穿浮動閘極層 154 與浮動閘極層 148。

圖 29 中所示者係於隔離區 144 上的該等開口中及開口 155 中形成介電層 158 且形成控制閘極層 160 之後的裝置結構 140。介電層 158 和介電層 36 雷同。圖 29 的剖面圖顯示一完成後的記憶體裝置，因為開口 155 的關係，其具有高控制閘極至浮動閘極層電容，同時於隔離區 144 上的開口中保有高電容。

圖 30 中所示者為一裝置結構 170，其包括：一和基板 12 雷同的基板 172、一和隔離區 54 雷同的隔離區 174、一和閘極介電層 58 雷同的閘極介電層 176、一和浮動閘極層 60 雷同的浮動閘極層 178、一位於浮動閘極層 178 之上的犧牲層 180、以及一位於犧牲層 180 之上的已圖案化的光阻部份 182。光阻部份 182 係介於隔離區 174 之間，且實質上位於此剖面圖的中央。犧牲層 180 較佳的係氧化物，不過亦可能為另一種材料，如氮化物。犧牲層 180 應該能夠相對於浮動閘極層 178 被選擇性蝕刻。

圖 31 中所示者係於利用光阻部份 182 作為遮罩蝕刻犧牲層 180 且於隔離區 174、浮動閘極層 178、以及犧牲層 180 剩餘部份上形成浮動閘極 184 之後的裝置結構 170。較佳的係，浮動閘極層 184 為以保形方式來沉積的多晶矽，不過圖中所示者則為平面。這係因為犧牲層 180 剩餘部份與隔離區 174 的側邊的近接性具有讓保形沉積層呈現平面狀的效果。倘若該近接性較大的話，那麼浮動閘極層 184 便可能出現保形，只要其非常厚便不會發生問題。較佳的係，其厚度和犧牲層 180 剩餘部份的高度相同。

圖 32 中所示者係於套用 CMP 製程之後的裝置結構 170。此會造成非常平坦的表面，致使浮動閘極層 184 的高度和犧牲層 180 剩餘部份的高度相同，且與隔離區 174 的頂表面齊平。此會露出犧牲層 180 剩餘部份的頂表面。

圖 33 中所示者係於移除犧牲層 180 剩餘部份以形成一開口 186 且於浮動閘極層 184 上形成一和介電層 36 雷同的介電層 188 且於介電層 188 上形成一和控制閘極層 38 雷同的控制閘極層 190 之後的裝置結構 170。本剖面圖中繪製的係一完整的記憶胞。因為控制閘極 190 位於開口 186 中，所以，該記憶胞具有高電容。

圖 33 的開口 186 與圖 29 的開口 155 中的側護壁實質上為垂直，其有利於利用該開口來提高電容。開口 186 與 155 所造成的開口 186 與 155 中該等側護壁的斜度於頂端處大於底部處，由於利用控制閘極填補開口 186 與 155 的關係會有較小的附加電容。

在以上說明書中，已參考特定具體實施例而說明本發明。然而，熟習此項技術者應瞭解可進行各種修改而不脫離如以下申請專利範圍所提出的本發明之範疇。舉例來說，雖然本文已說明特定材料與厚度，不過該些材料與厚度均可改變。另外，於許多情況中，本文中用來提高電容的特徵圖形數量在該等隔離區中可能會較多。因此，說明書及附圖應視為解說意義而非限制意義，並且希望所有此類修改均在本發明之範疇內。

關於特定具體實施例的優勢、其他優點及問題解決方案

已參照具體實施例如上所述。但是，優勢、優點、問題解決方案及產生或彰顯任何優勢、優點或解決方案的任何元件，均不應視為任何或所有申請專利範圍的關鍵、必要項或基本功能或元件。本文中所使用的術語「包括」、「包含」或其任何其他變化，都是用來涵蓋非專有內含項，使得包括元件清單的程序、方法、物品或裝置，不僅包括這些元件，而且還包括未明確列出或此類程序、方法、物品或裝置原有的其他元件。

### 【圖式簡單說明】

本發明將透過附圖來加以解說，但並不受限於附圖，其中相同的元件符號代表相同的元件，且其中：

圖1為根據本發明第一具體實施例用於製造一裝置結構的處理中一階段處該裝置結構的剖面圖；

圖2為圖1中所示者後面的一處理階段處該圖1裝置結構的剖面圖；

圖3為圖2中所示者後面的一處理階段處該圖2裝置結構的剖面圖；

圖4為圖3中所示者後面的一處理階段處該圖3裝置結構的剖面圖；

圖5為圖4中所示者後面的一處理階段處該圖4裝置結構的剖面圖；

圖6為圖5中所示者後面的一處理階段處該圖5裝置結構的剖面圖；

圖7為圖6中所示者後面的一處理階段處該圖6裝置結構

的剖面圖；

圖 8 為圖 7 中所示者後面的一處理階段處該圖 7 裝置結構的剖面圖；

圖 9 為本發明第二具體實施例中於一處理階段處之裝置結構的剖面圖；

圖 10 為圖 9 中所示者後面的一處理階段處該圖 9 裝置結構的剖面圖；

圖 11 為圖 10 中所示者後面的一處理階段處該圖 10 裝置結構的剖面圖；

圖 12 為圖 11 中所示者後面的一處理階段處該圖 11 裝置結構的剖面圖；

圖 13 為圖 10 中所示者後面的一處理階段處該圖 10 裝置結構的剖面圖，其為本發明的第三具體實施例；

圖 14 為圖 13 中所示者後面的一處理階段處該圖 13 裝置結構的剖面圖；

圖 15 為本發明第四具體實施例中於一處理階段處之裝置結構的剖面圖；

圖 16 為圖 15 中所示者後面的一處理階段處該圖 15 裝置結構的剖面圖；

圖 17 為圖 16 中所示者後面的一處理階段處該圖 16 裝置結構的剖面圖；

圖 18 為圖 17 中所示者後面的一處理階段處該圖 17 裝置結構的剖面圖；

圖 19 為圖 18 中所示者後面的一處理階段處該圖 18 裝置結構

構的剖面圖；

圖 20 為圖 19 中所示者後面的一處理階段處該圖 19 裝置結構的剖面圖；

圖 21 為圖 20 中所示者後面的一處理階段處該圖 20 裝置結構的剖面圖；

圖 22 為圖 21 中所示者後面的一處理階段處該圖 21 裝置結構的剖面圖；

圖 23 為本發明第五具體實施例中於一處理階段處之裝置結構的剖面圖；

圖 24 為圖 23 中所示者後面的一處理階段處該圖 23 裝置結構的剖面圖；

圖 25 為圖 24 中所示者後面的一處理階段處該圖 24 裝置結構的剖面圖；

圖 26 為圖 25 中所示者後面的一處理階段處該圖 25 裝置結構的剖面圖；

圖 27 為圖 26 中所示者後面的一處理階段處該圖 26 裝置結構的剖面圖；

圖 28 為圖 27 中所示者後面的一處理階段處該圖 27 裝置結構的剖面圖；

圖 29 為圖 28 中所示者後面的一處理階段處該圖 28 裝置結構的剖面圖；

圖 30 為本發明第六具體實施例中於一處理階段處之裝置結構的剖面圖；

圖 31 為圖 30 中所示者後面的一處理階段處該圖 30 裝置結

構的剖面圖；

圖 32 為圖 31 中所示者後面的一處理階段處該圖 31 裝置結構的剖面圖；以及

圖 33 為圖 32 中所示者後面的一處理階段處該圖 32 裝置結構的剖面圖。

熟習此項技術者可以瞭解，為了簡化及清楚起見，圖中的元件不一定按比例繪製。例如，為了有助於改進對本發明之具體實施例的瞭解，圖式中的元件之某些可相對於其他元件而加以誇大。

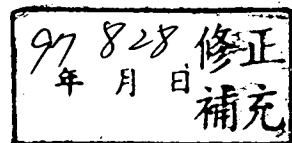
#### 【主要元件符號說明】

|    |       |
|----|-------|
| 10 | 裝置結構  |
| 12 | 基板    |
| 14 | 隔離區   |
| 16 | 隧道介電質 |
| 18 | 閘極層   |
| 20 | 蝕刻阻止層 |
| 22 | 浮動閘極層 |
| 26 | 光阻層   |
| 30 | 開口    |
| 32 | 開口    |
| 33 | 光阻層   |
| 34 | 開口    |
| 36 | 介電層   |
| 38 | 控制閘極層 |

|     |        |
|-----|--------|
| 50  | 裝置結構   |
| 52  | 基板     |
| 54  | 隔離區    |
| 58  | 閘極介電層  |
| 60  | 浮動閘極層  |
| 62  | 蝕刻阻止層  |
| 64  | 閘極層    |
| 66  | 光阻部份   |
| 67  | 開口     |
| 68  | 開口     |
| 69  | 介電層    |
| 70  | 控制閘極層  |
| 71  | 裝置結構   |
| 72  | 側護壁分隔體 |
| 73  | 側護壁分隔體 |
| 74  | 控制閘極層  |
| 76  | 介電層    |
| 100 | 裝置結構   |
| 112 | 基板     |
| 114 | 隔離區    |
| 116 | 閘極介電層  |
| 118 | 閘極層    |
| 120 | 蝕刻阻止層  |
| 122 | 犧牲層    |

|     |        |
|-----|--------|
| 123 | 光阻部份   |
| 124 | 浮動閘極層  |
| 126 | 側護壁分隔體 |
| 128 | 側護壁分隔體 |
| 129 | 光阻層    |
| 130 | 介電層    |
| 132 | 控制閘極層  |
| 140 | 裝置結構   |
| 142 | 基板     |
| 144 | 隔離區    |
| 146 | 閘極介電層  |
| 148 | 閘極層    |
| 150 | 犧牲層    |
| 152 | 光阻部份   |
| 154 | 浮動閘極層  |
| 155 | 開口     |
| 156 | 光阻層    |
| 158 | 介電層    |
| 170 | 裝置結構   |
| 172 | 基板     |
| 174 | 隔離區    |
| 176 | 閘極介電層  |
| 178 | 閘極層    |
| 180 | 犧牲層    |

|     |       |
|-----|-------|
| 182 | 光阻部份  |
| 184 | 浮動閘極層 |
| 188 | 介電層   |
| 190 | 控制閘極層 |



## 十、申請專利範圍：

1. 一種形成一浮動閘極裝置的方法，該方法包括：
  - 提供一半導體基板；
  - 在該半導體基板上形成一閘極介電層；
  - 於該閘極介電層上形成一第一浮動閘極層；
  - 於該第一浮動閘極層上形成一蝕刻停止層；
  - 於該第一浮動閘極層及該蝕刻停止層上形成一第二浮動閘極層；
  - 於該第二浮動閘極層上形成一已圖案化的遮罩層；
  - 利用該已圖案化的遮罩層來移除該第二浮動閘極層的一部份；
  - 移除該蝕刻停止層的一部份；
  - 在該移除步驟後於該第二浮動閘極層與該第一浮動閘極層上形成一層間介電層；以及
  - 於該層間介電層上形成一控制閘極層。
2. 如請求項1之方法，其中該蝕刻阻止層的厚度範圍介於約15至20埃。
3. 如請求項1之方法，其中該蝕刻阻止層在該等第一與第二浮動閘極層間實質上係電透通。
4. 如請求項1之方法，其中該蝕刻阻止層包括氮化物或氧化物中其中一者。
5. 一種浮動閘極裝置，其包括：
  - 一基板；
  - 一位於該基板上的閘極介電質；

一位於該閘極介電質上的第一浮動閘極；

一位於該第一浮動閘極上的第二浮動閘極，其中該第二浮動閘極於該第一浮動閘極上包含複數個分離部份；

一介於該第二浮動閘極之該等複數個分離部份中每一者與該第一浮動閘極間的蝕刻阻止層；

一層間介電質，位於該第二浮動閘極之該等分離部份與該第一浮動閘極之上；以及

一位於該層間介電質上的控制閘極。

6. 如請求項5之浮動閘極裝置，其中該基板進一步包括複數個隔離區，且其中該第二浮動閘極的該等複數個分離部份係介於隔離區之間。
7. 如請求項6之浮動閘極裝置，其中該第二浮動閘極的該等複數個分離部份的至少其中一者係位於一隔離區的一側護壁旁邊。
8. 如請求項5之浮動閘極裝置，其中該蝕刻阻止層於該第二浮動閘極之該等複數個分離部份中每一者與該第一浮動閘極之間實質上為電透通。
9. 如請求項5之浮動閘極裝置，其中該蝕刻阻止層的厚度範圍介於約15至20埃。

十一、圖式：

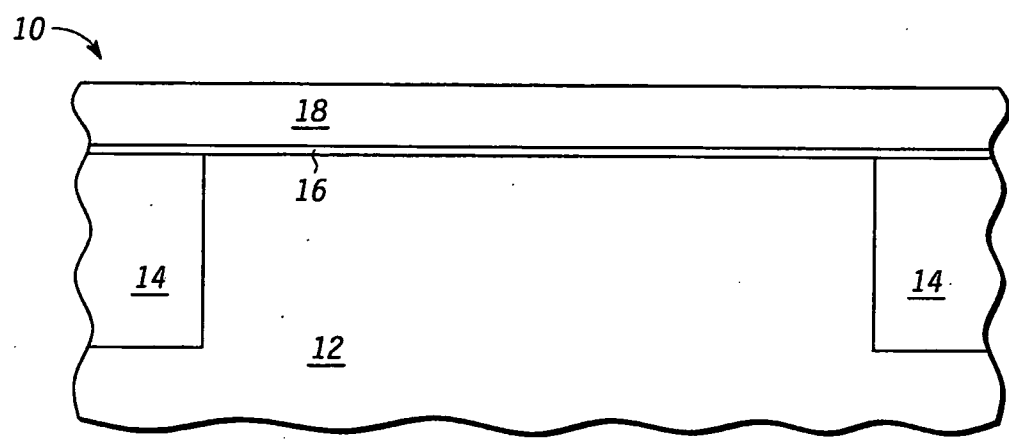


圖 1

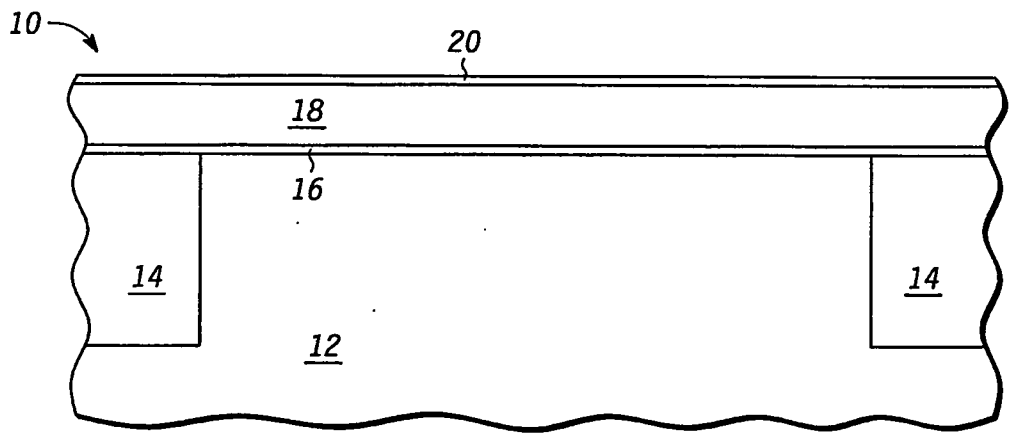


圖 2

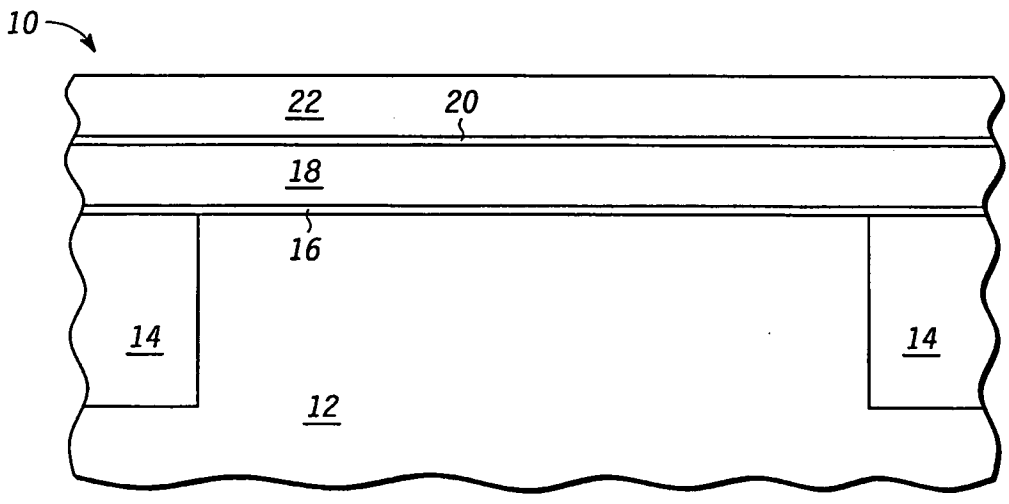


圖 3

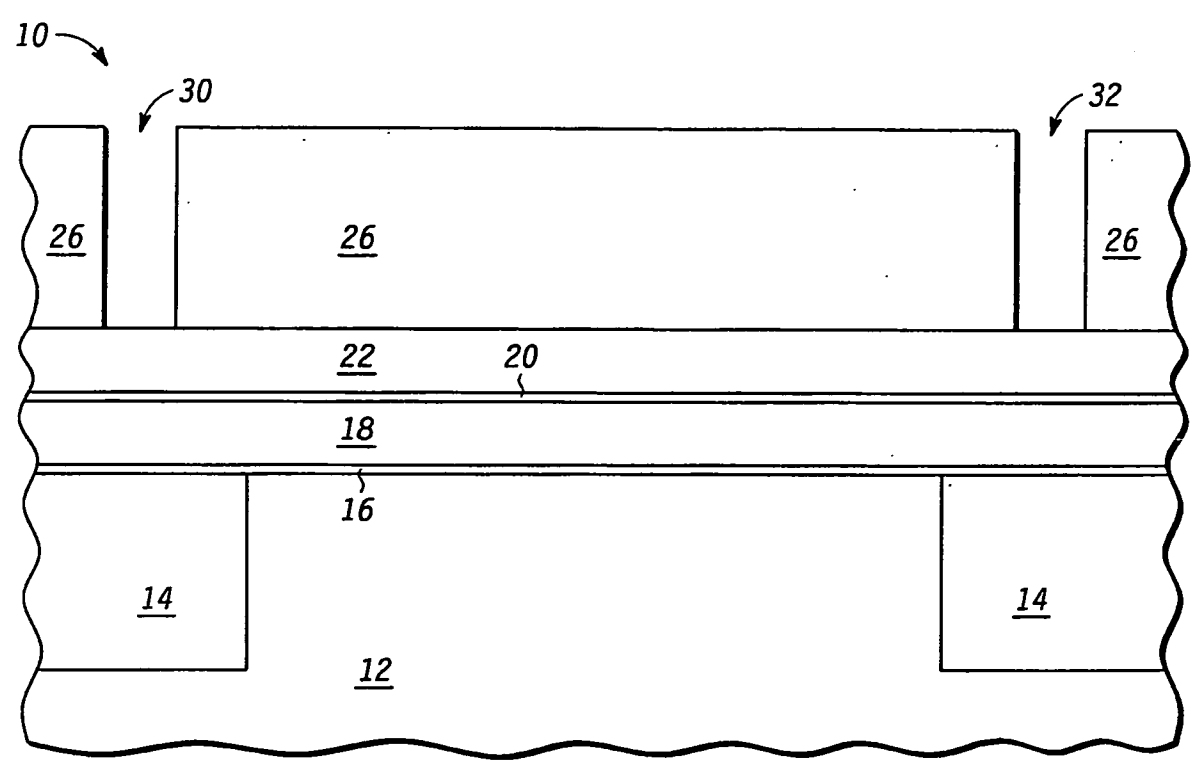


圖 4

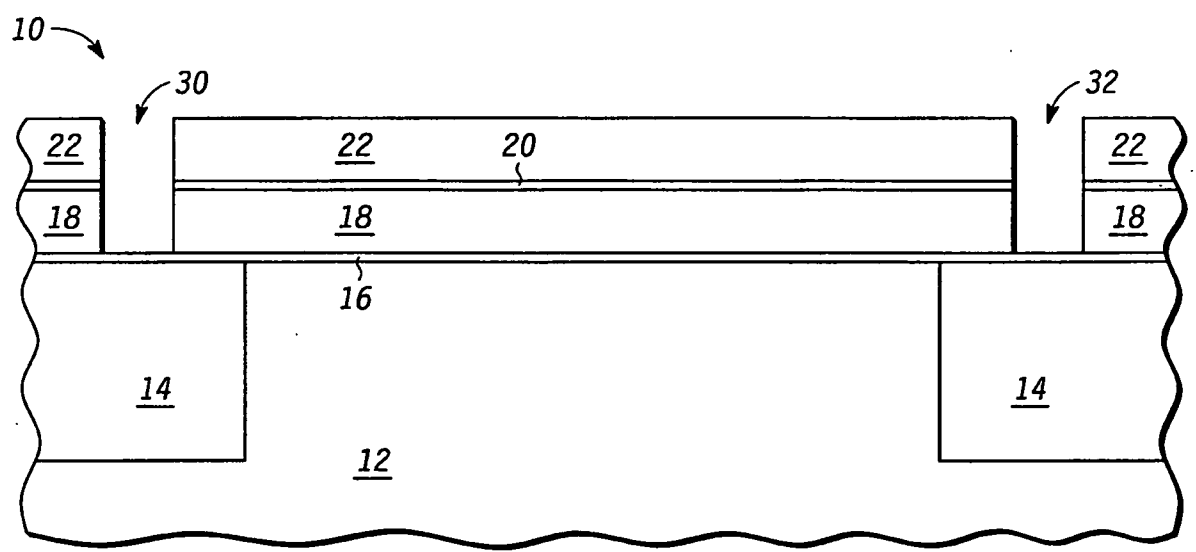


圖 5

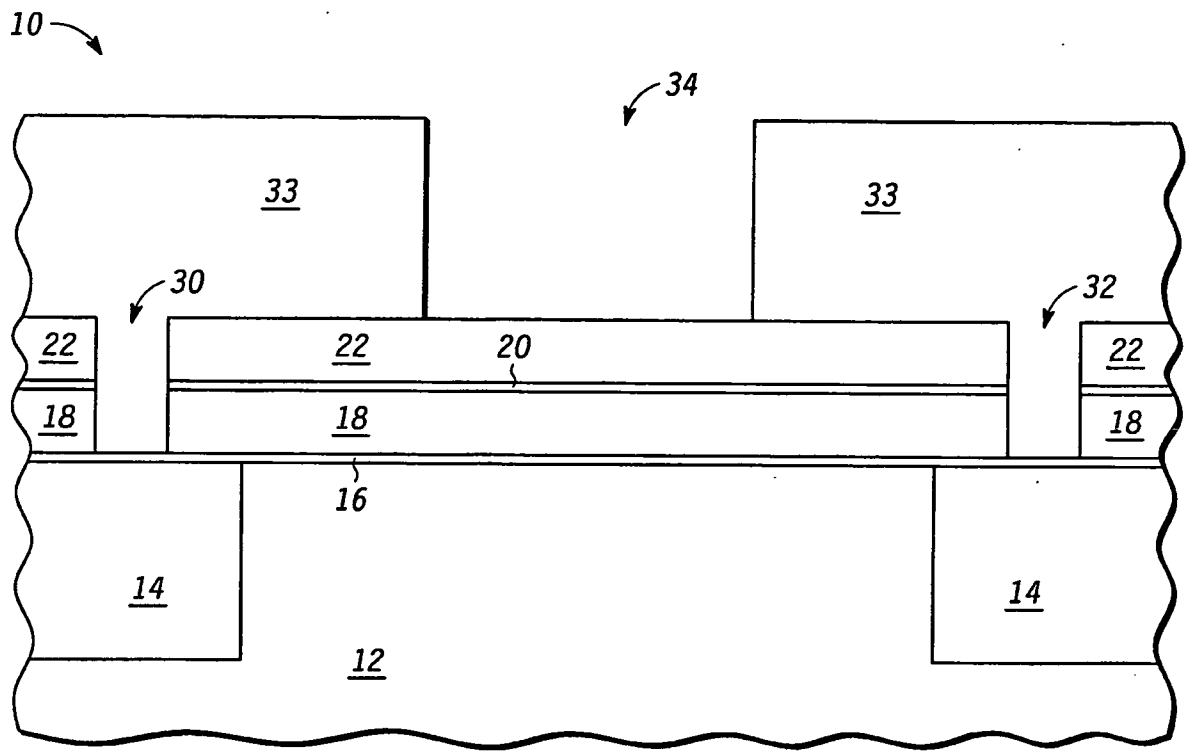


圖 6

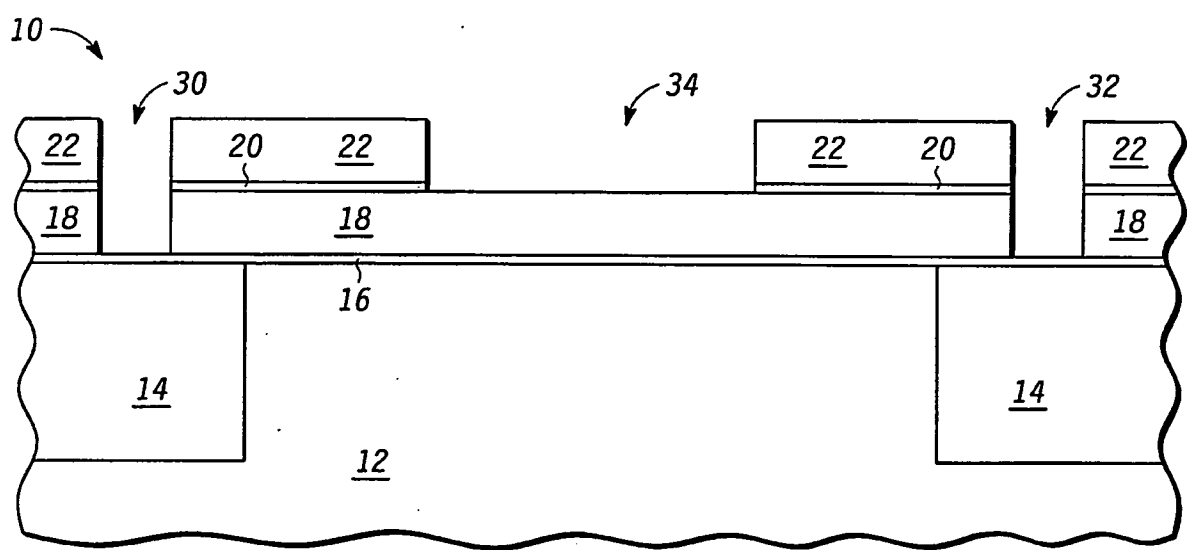


圖 7

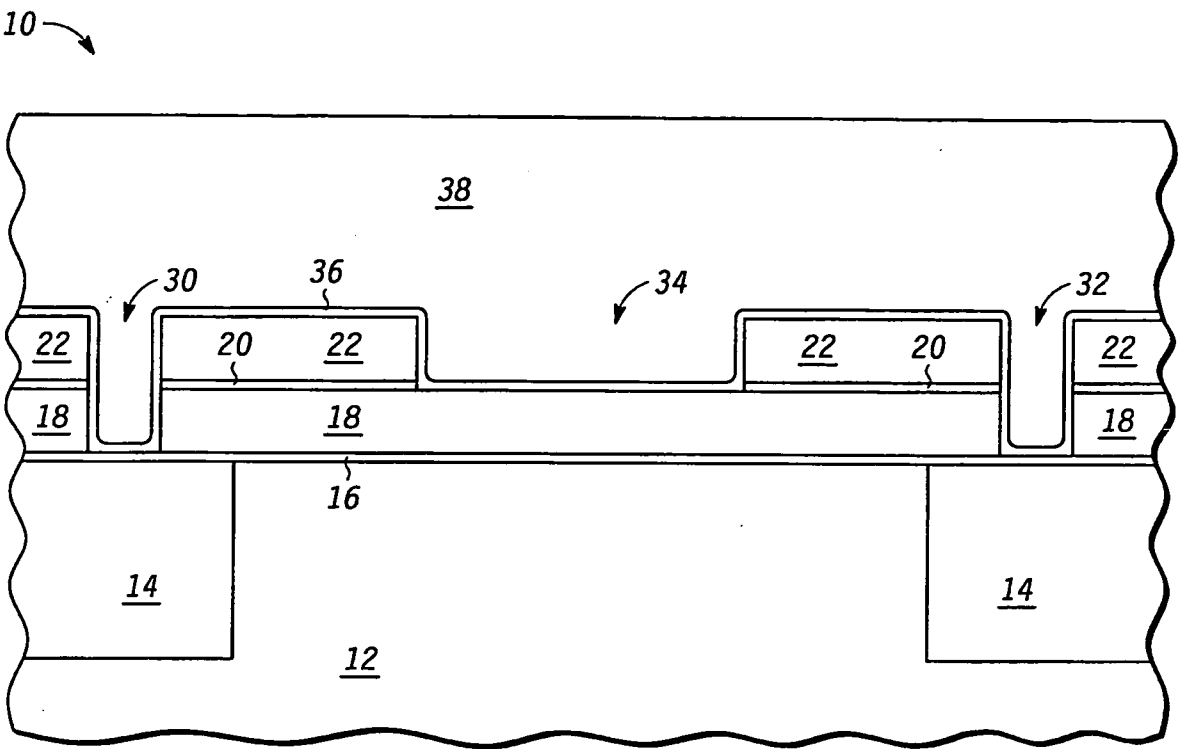


圖 8

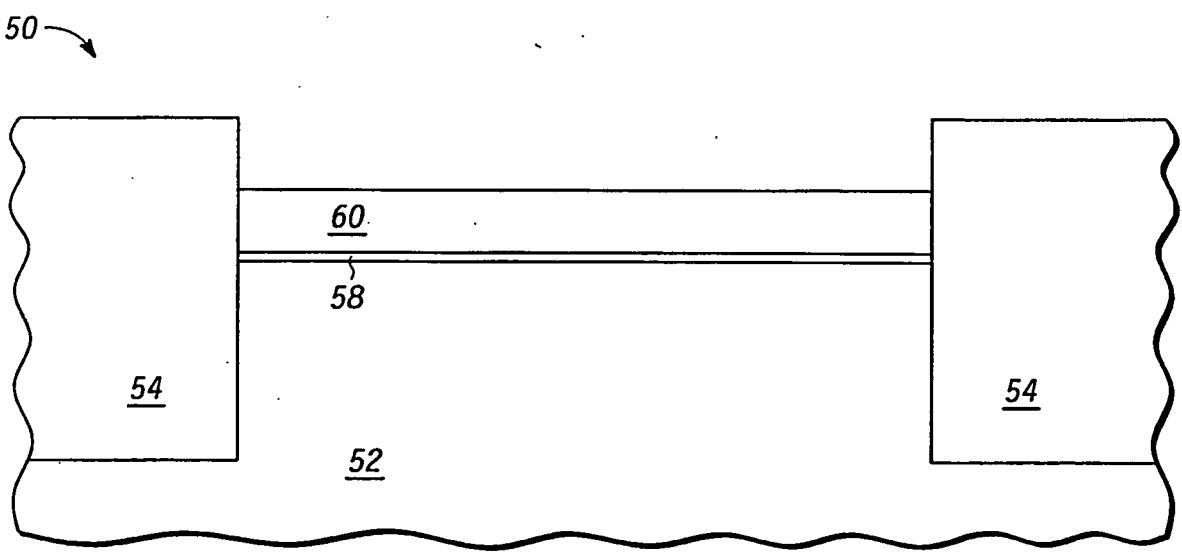


圖 9

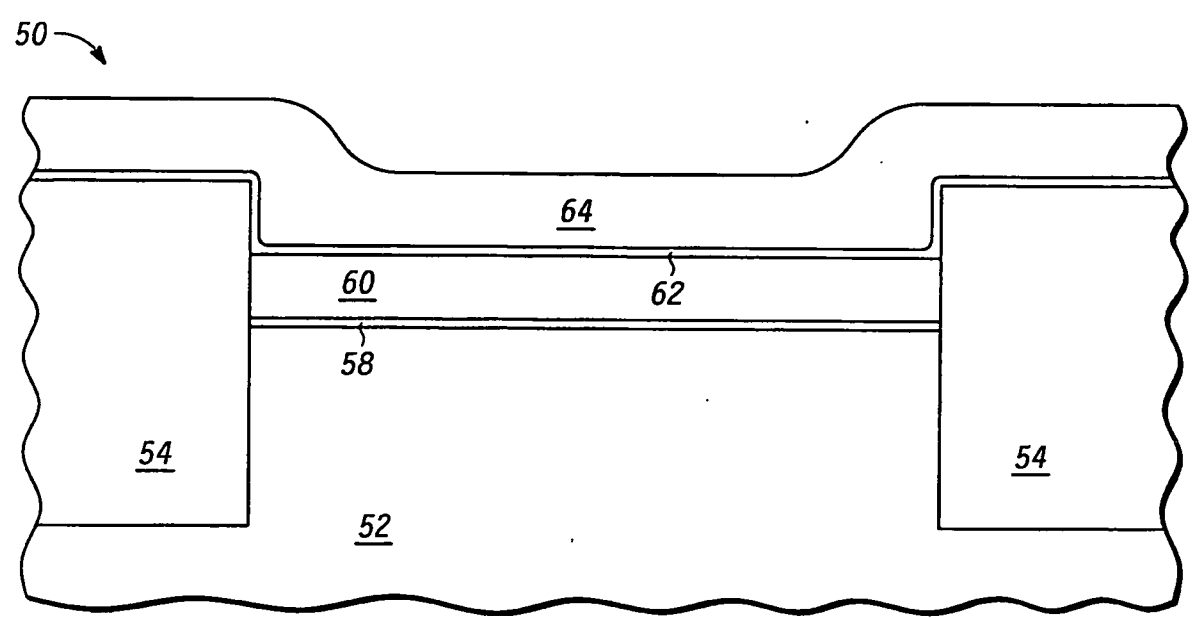


圖 10

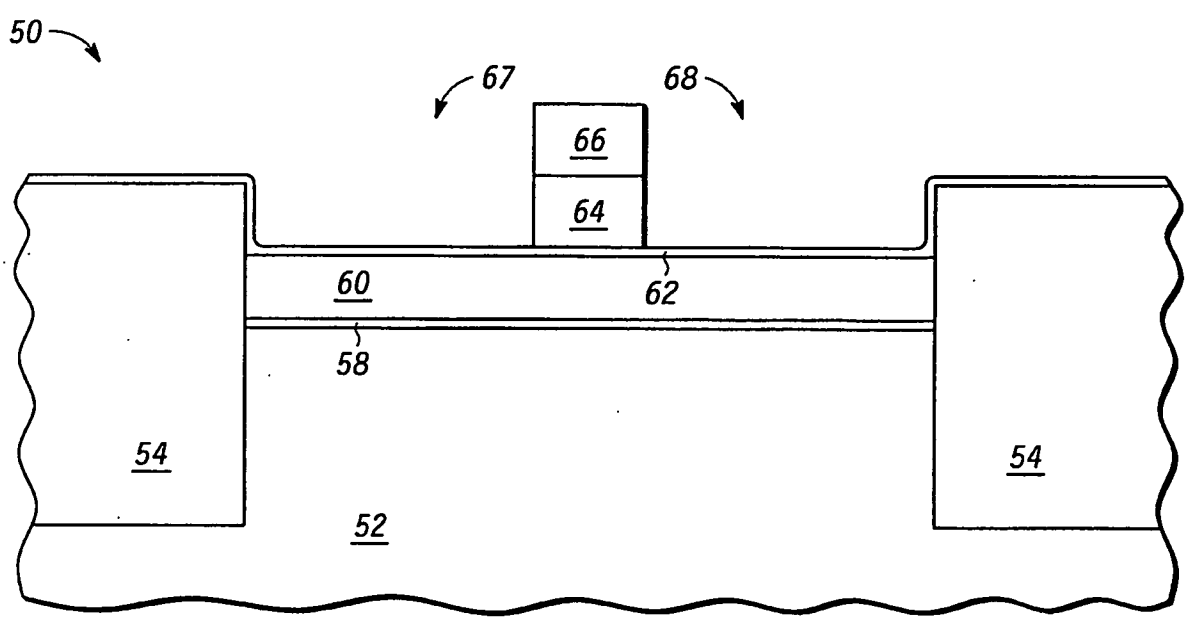


圖 11

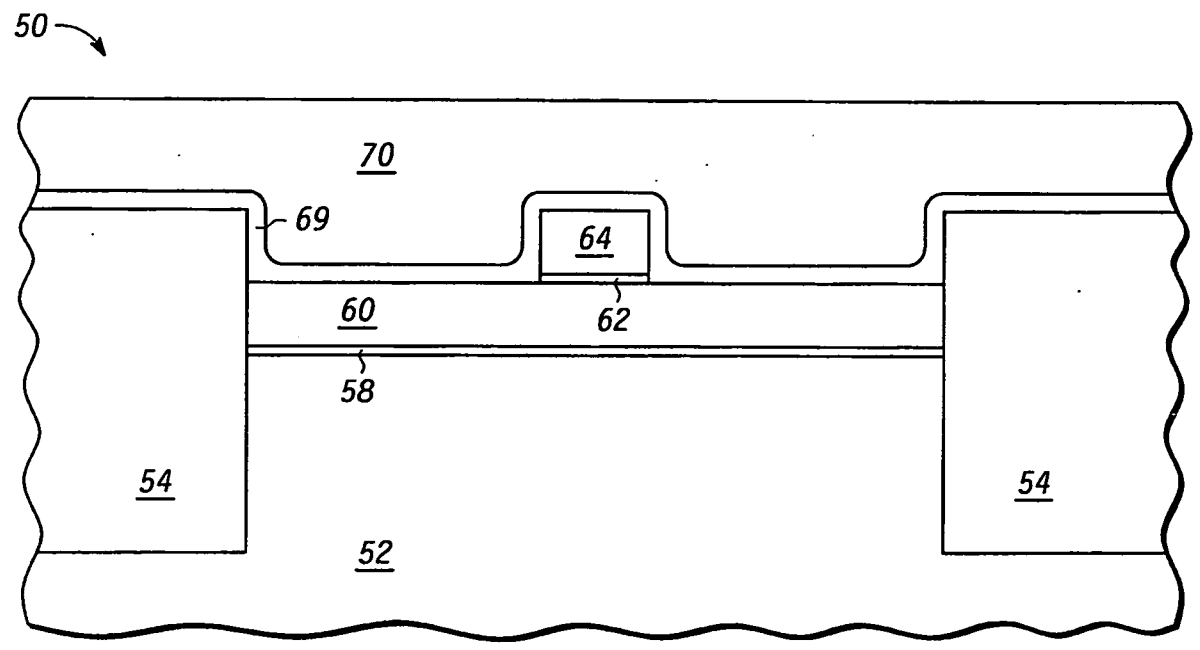


圖 12

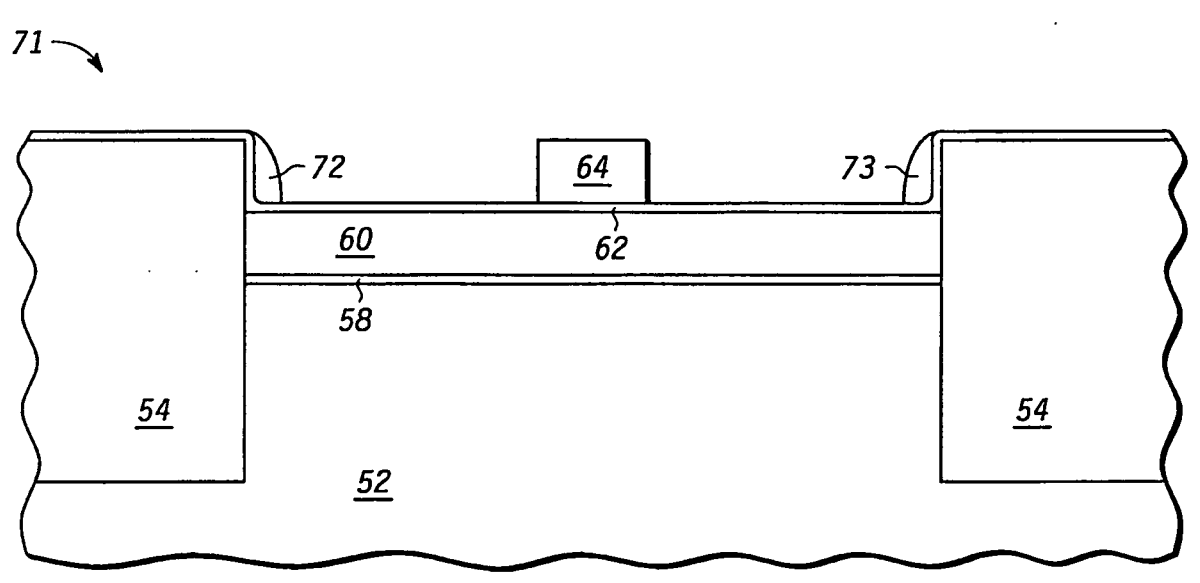


圖 13

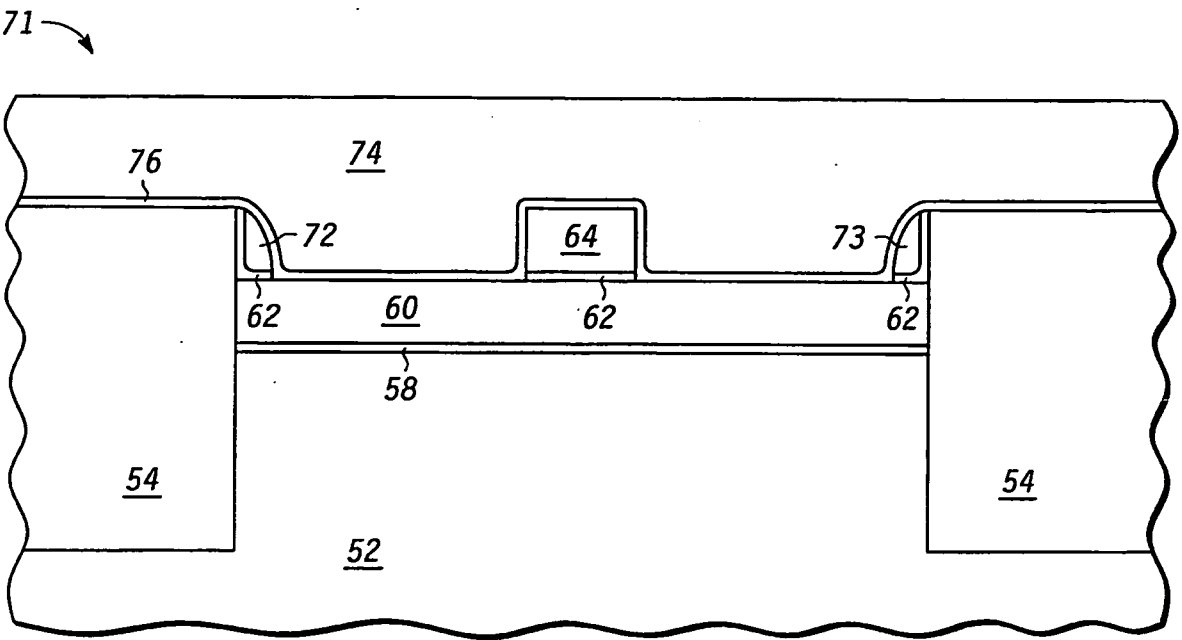


圖 14

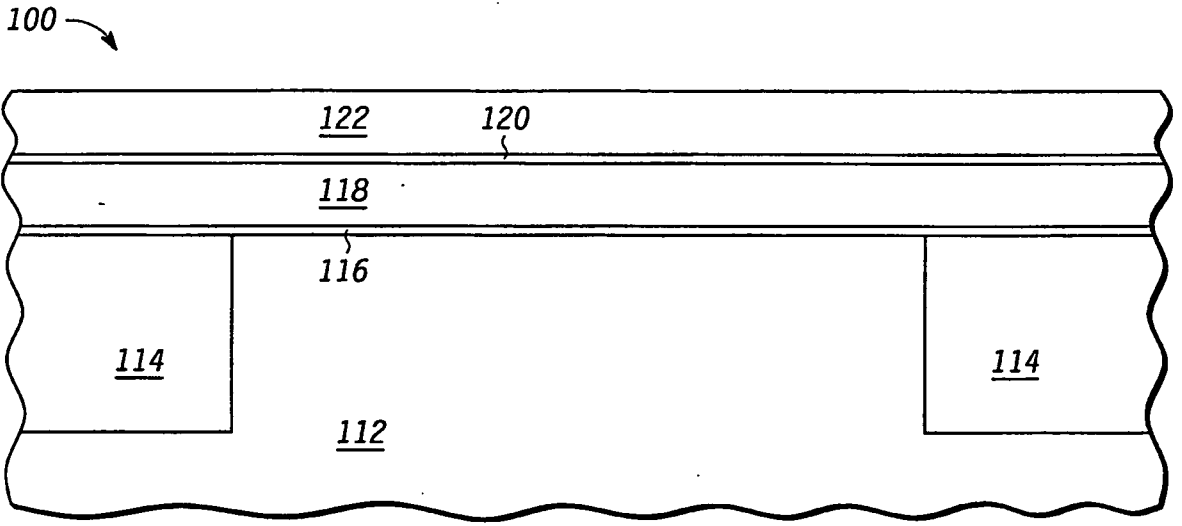


圖 15

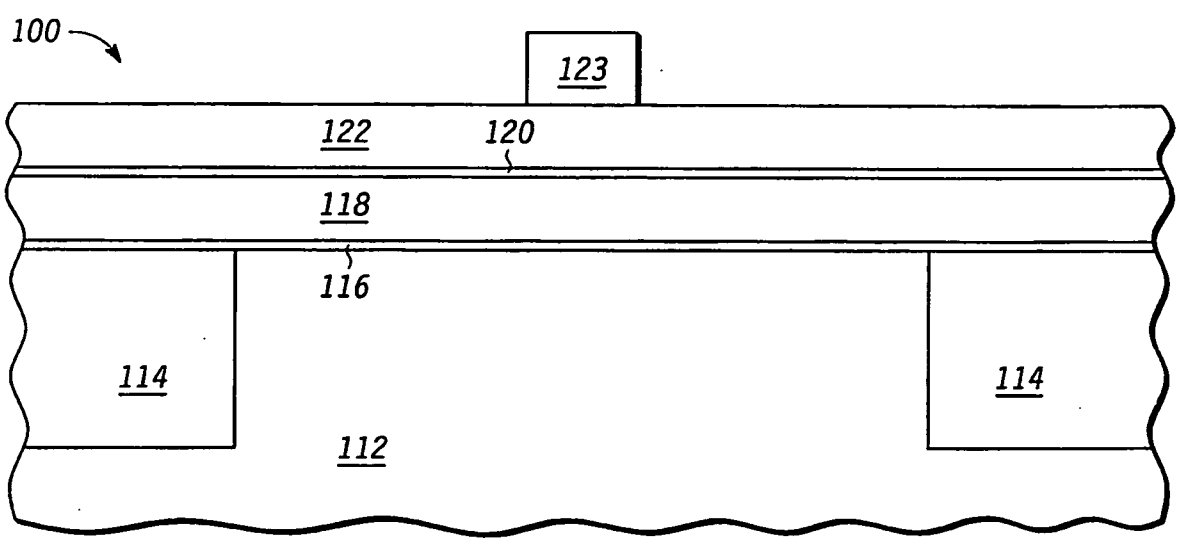


圖 16

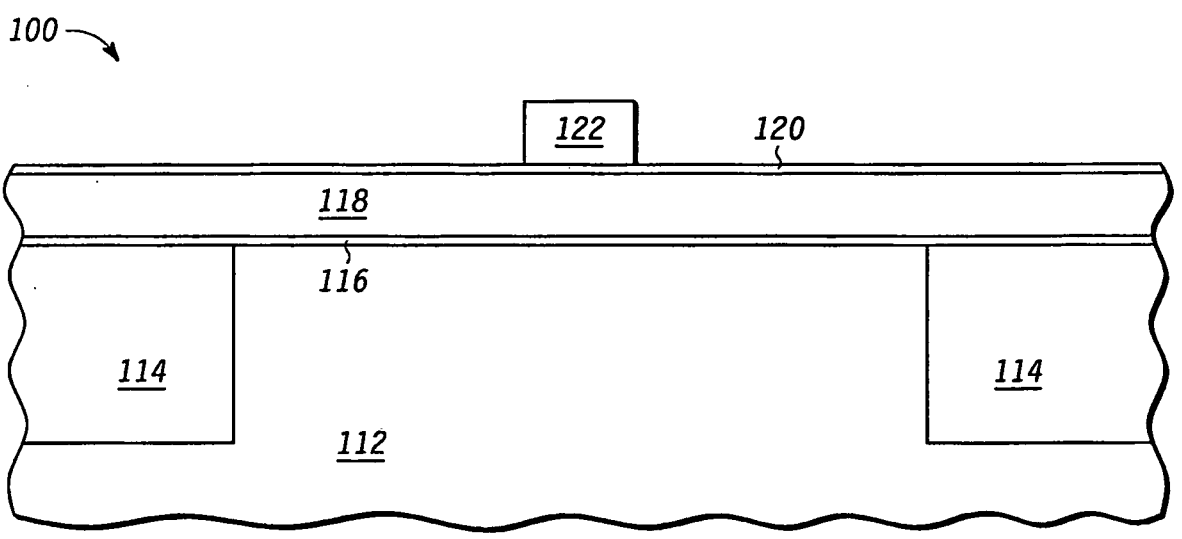


圖 17

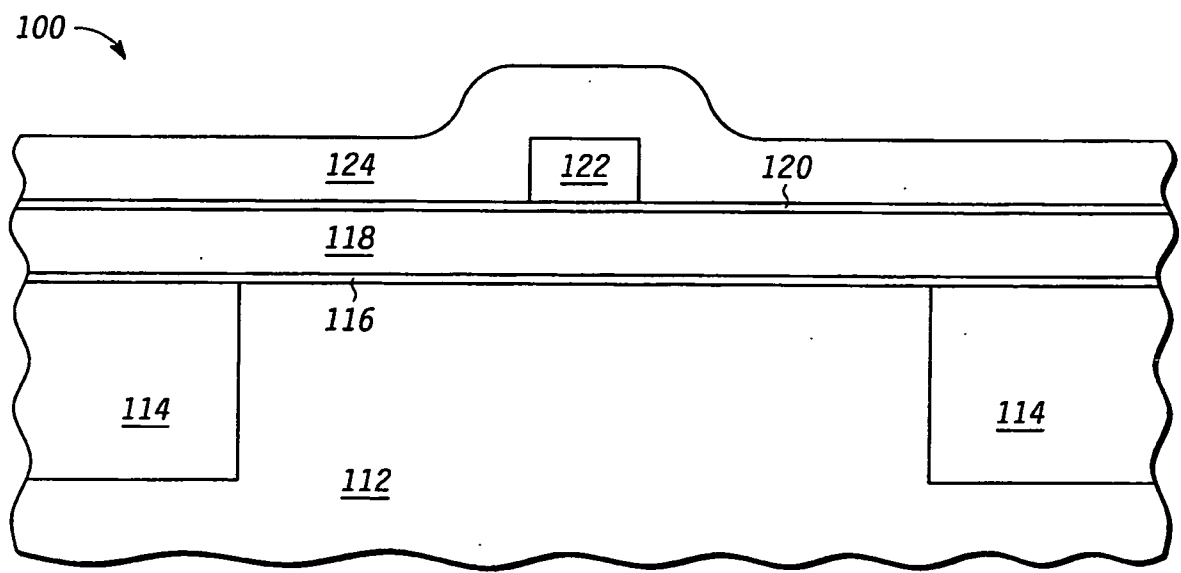


圖 18

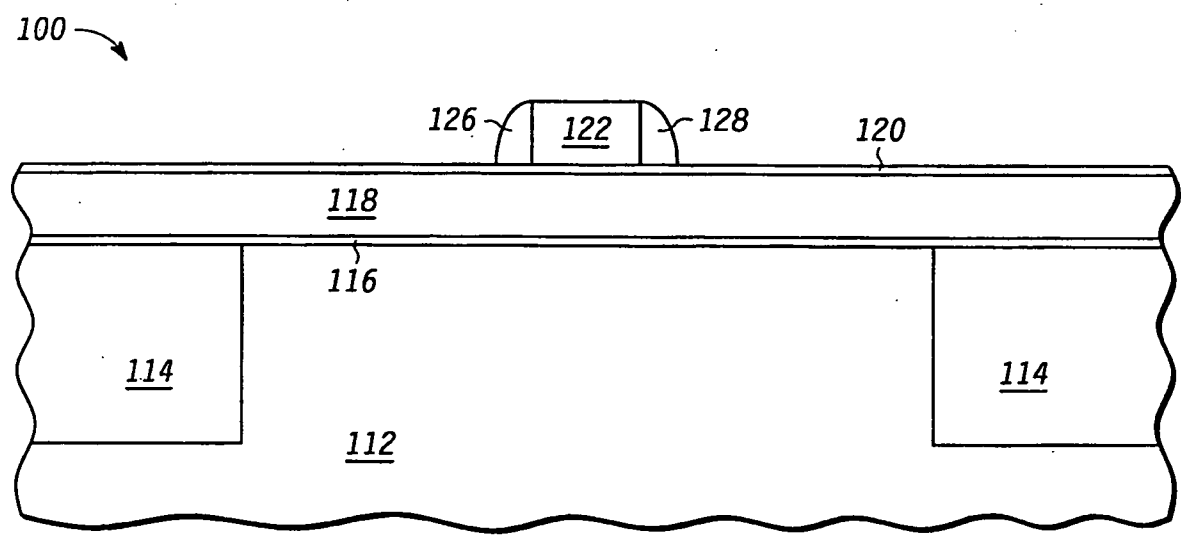


圖 19

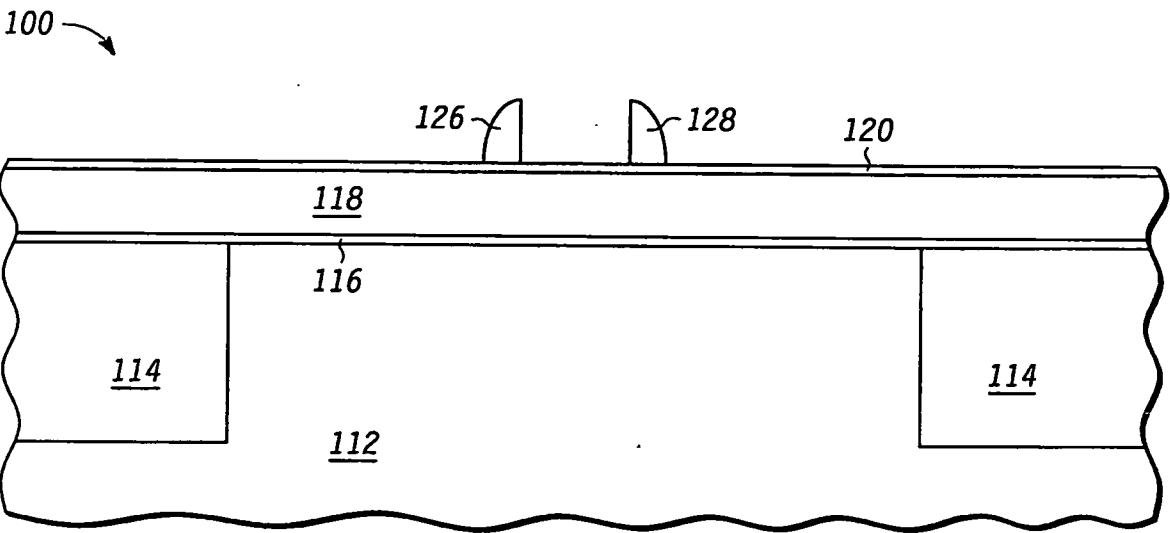


圖 20

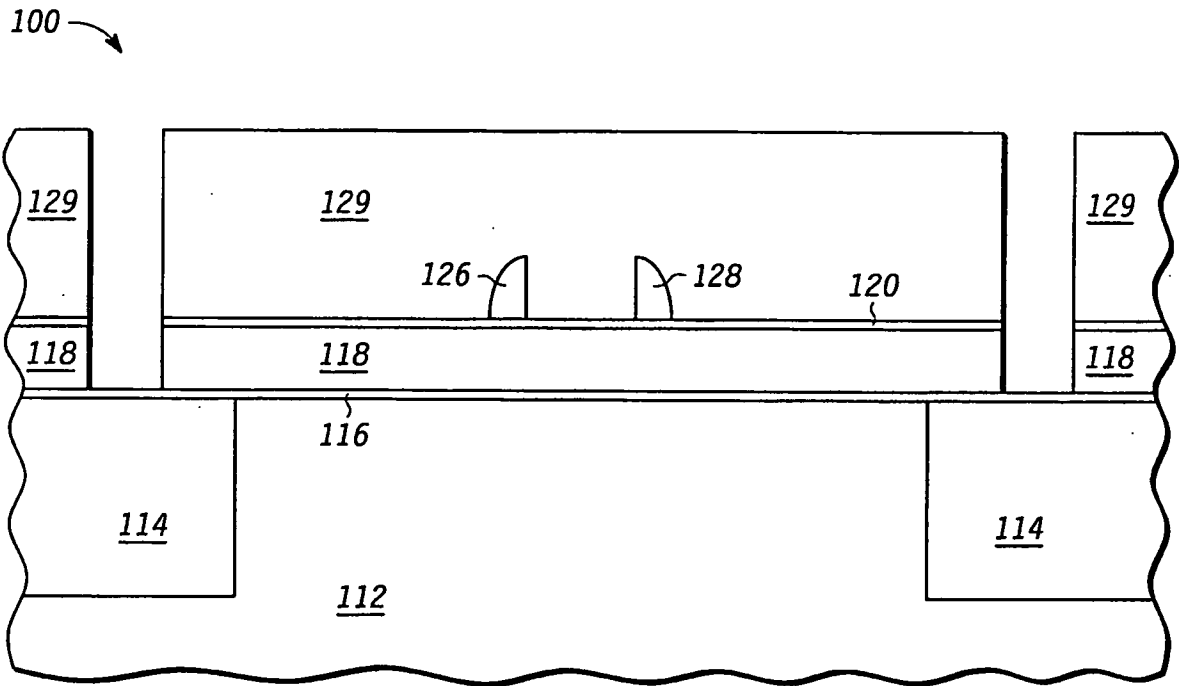


圖 21

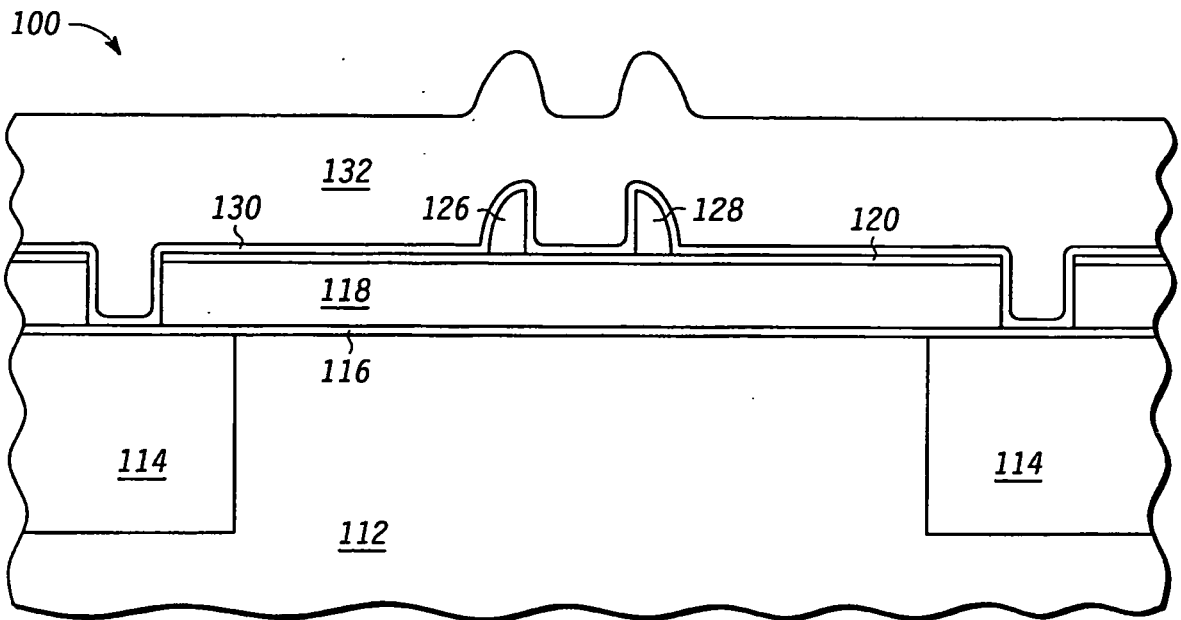


圖 22

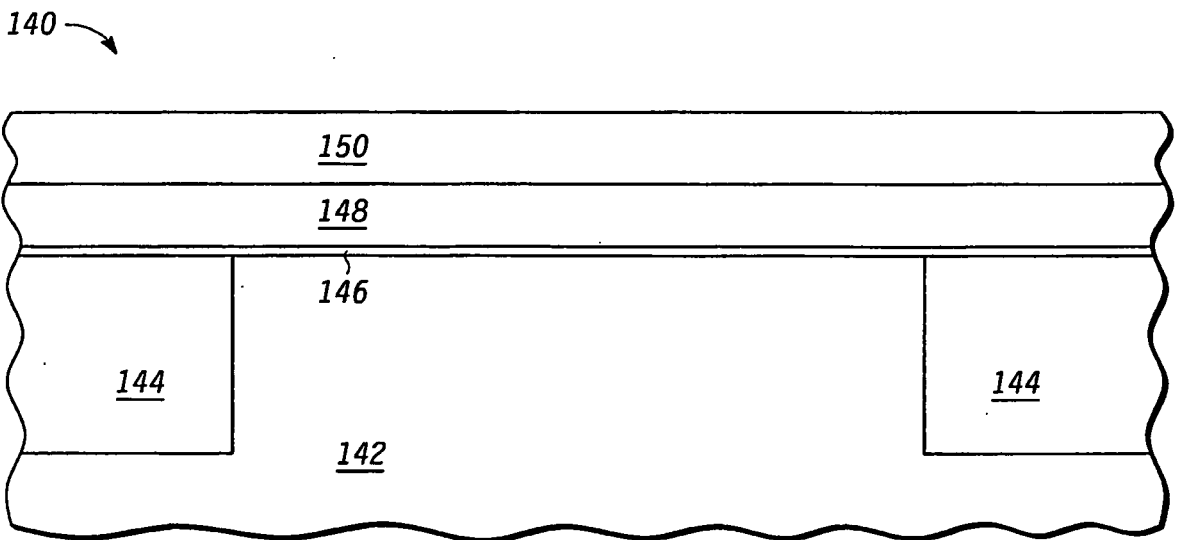


圖 23

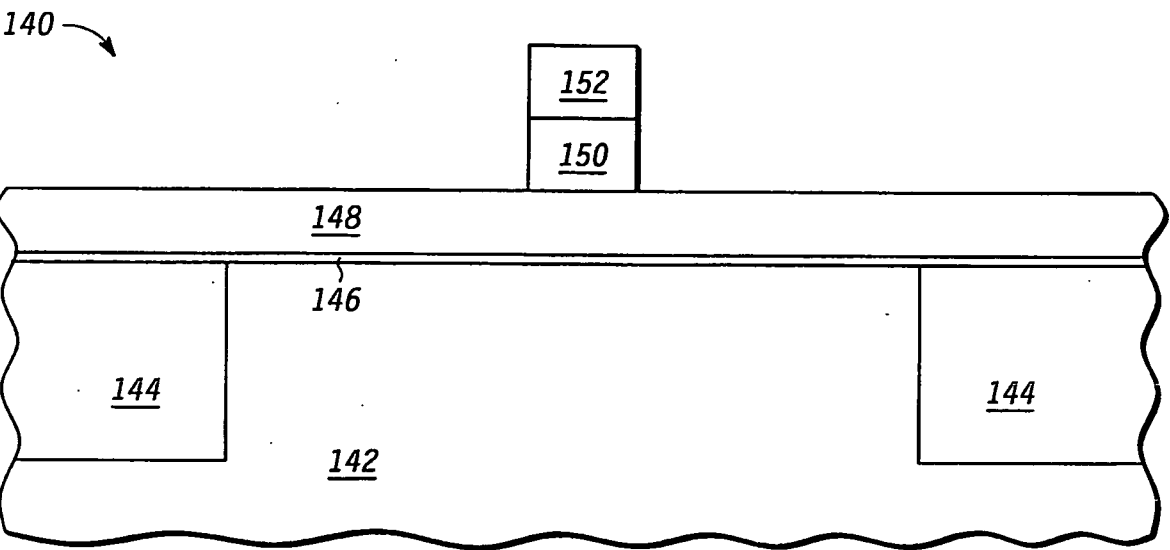


圖 24

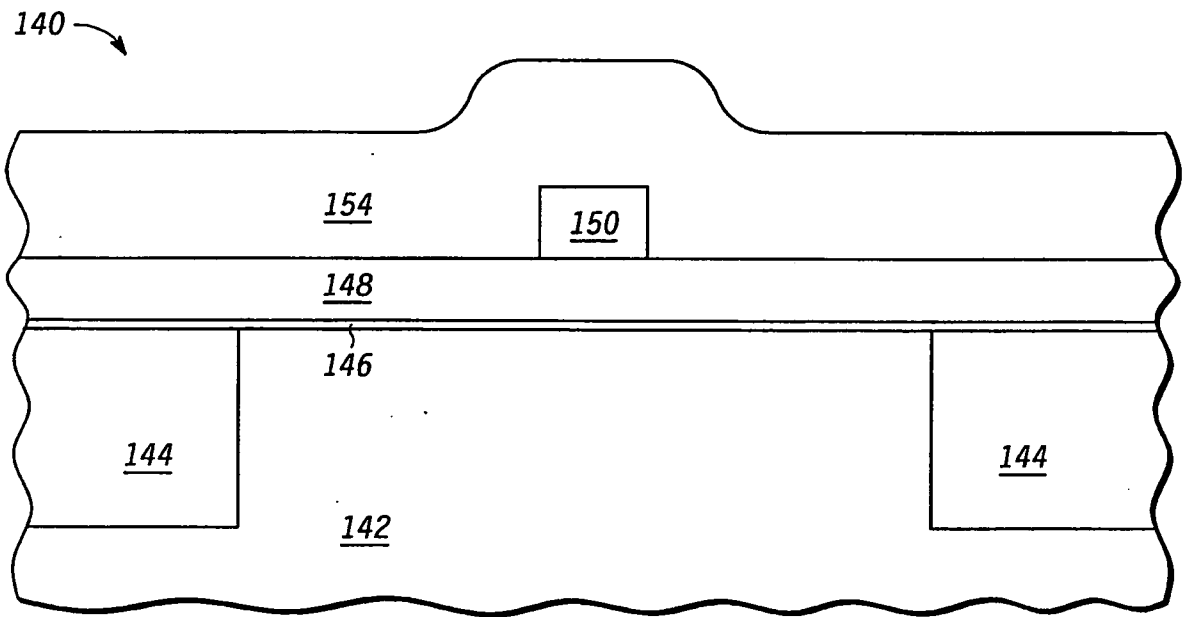


圖 25

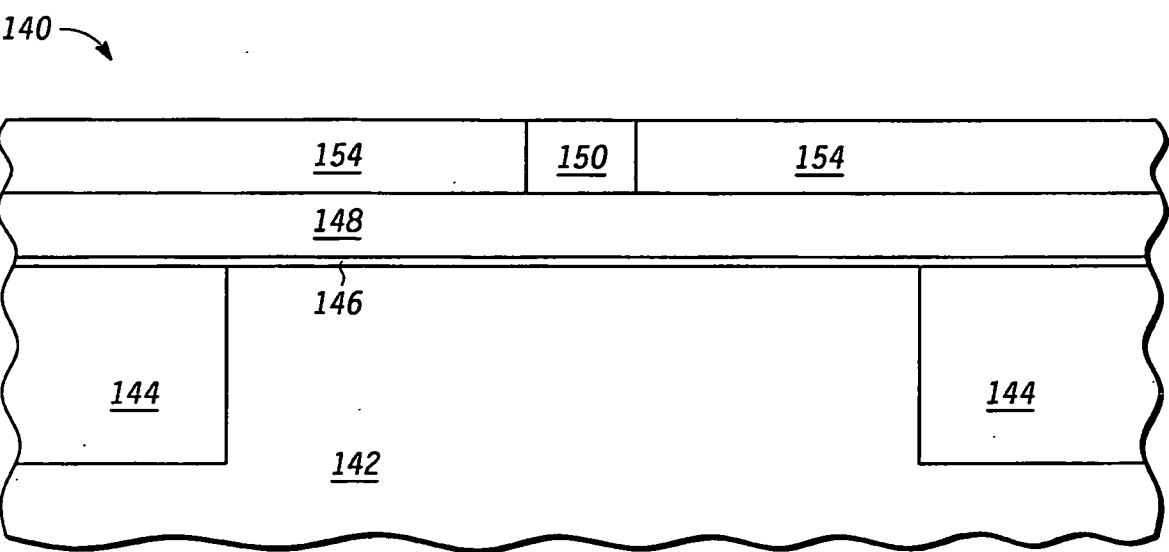


圖 26

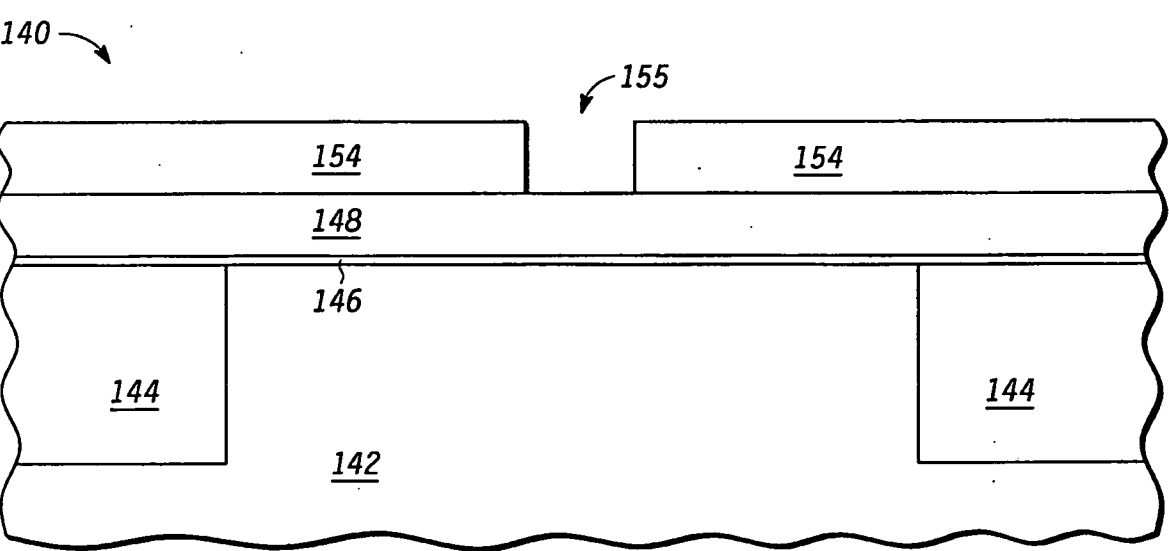


圖 27

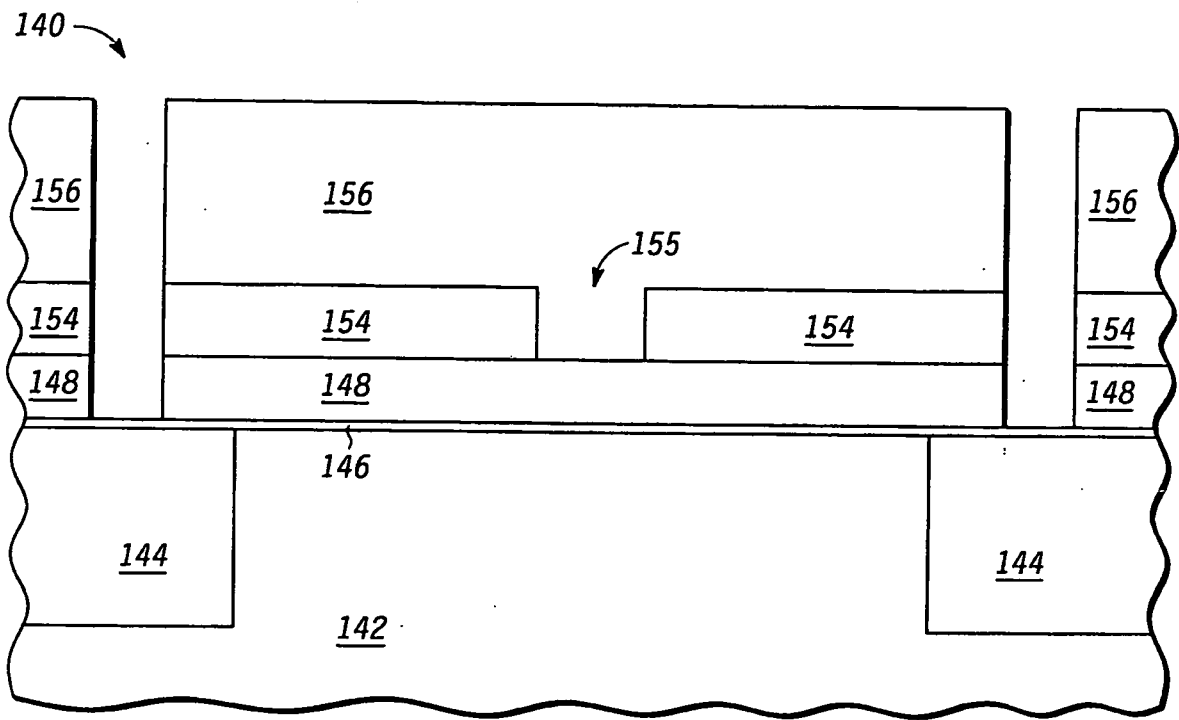


圖 28

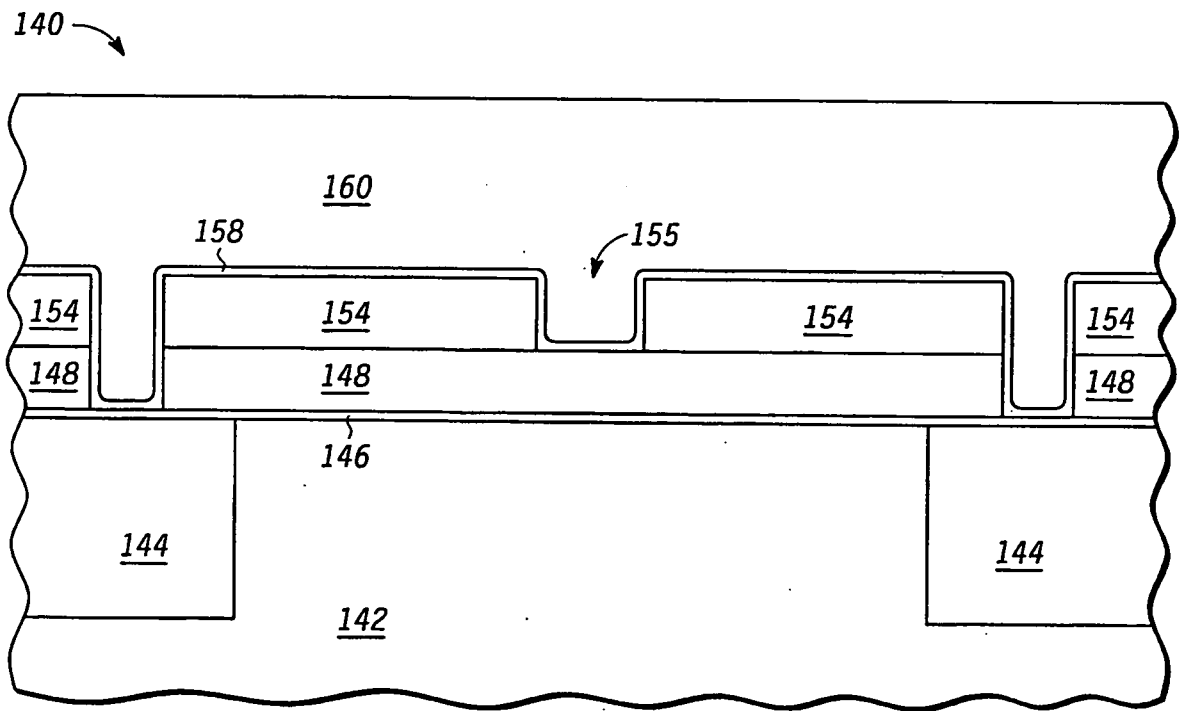


圖 29

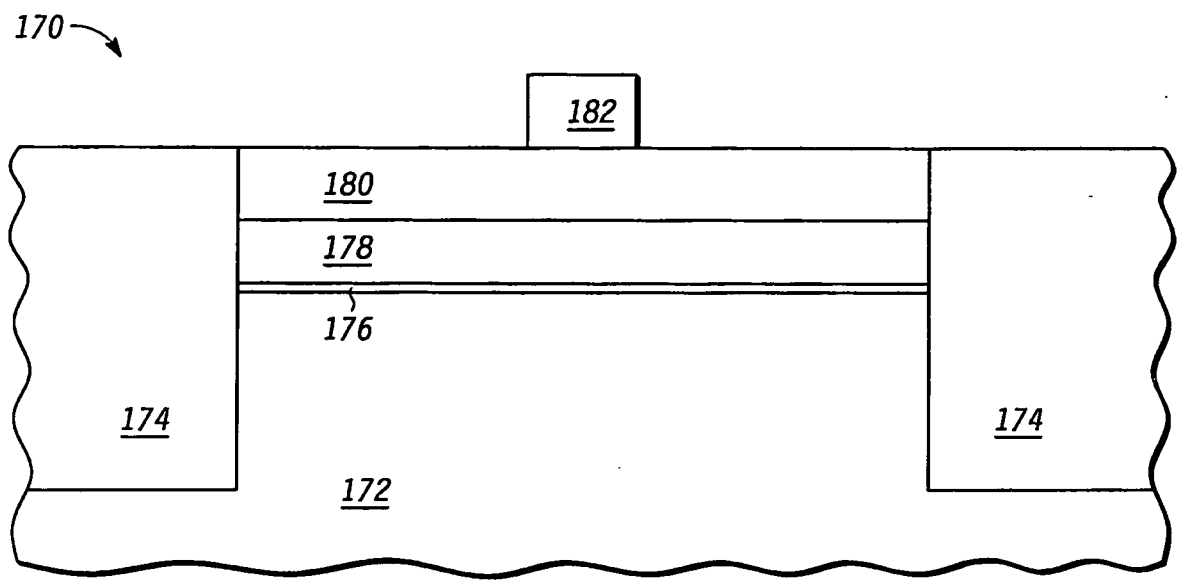


圖 30

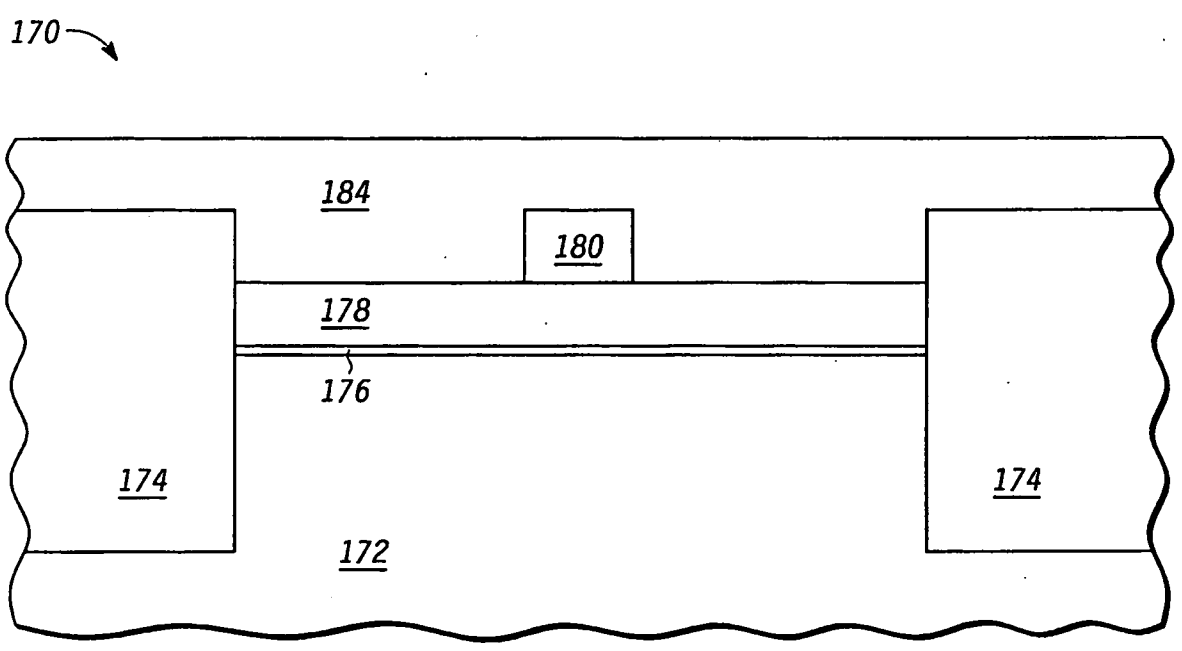


圖 31

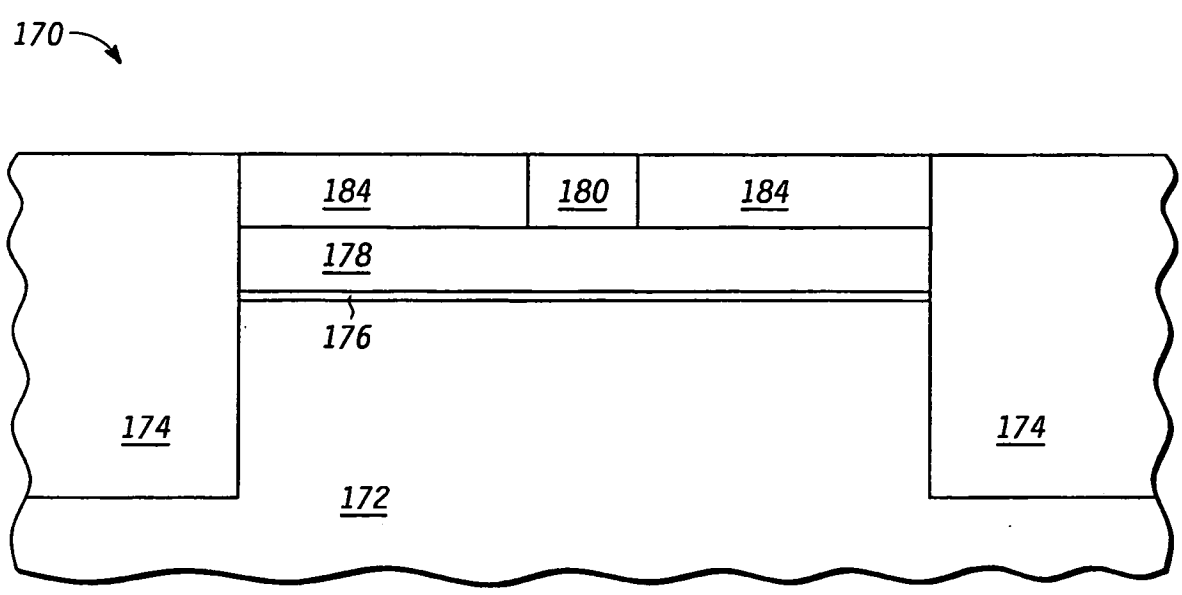


圖 32

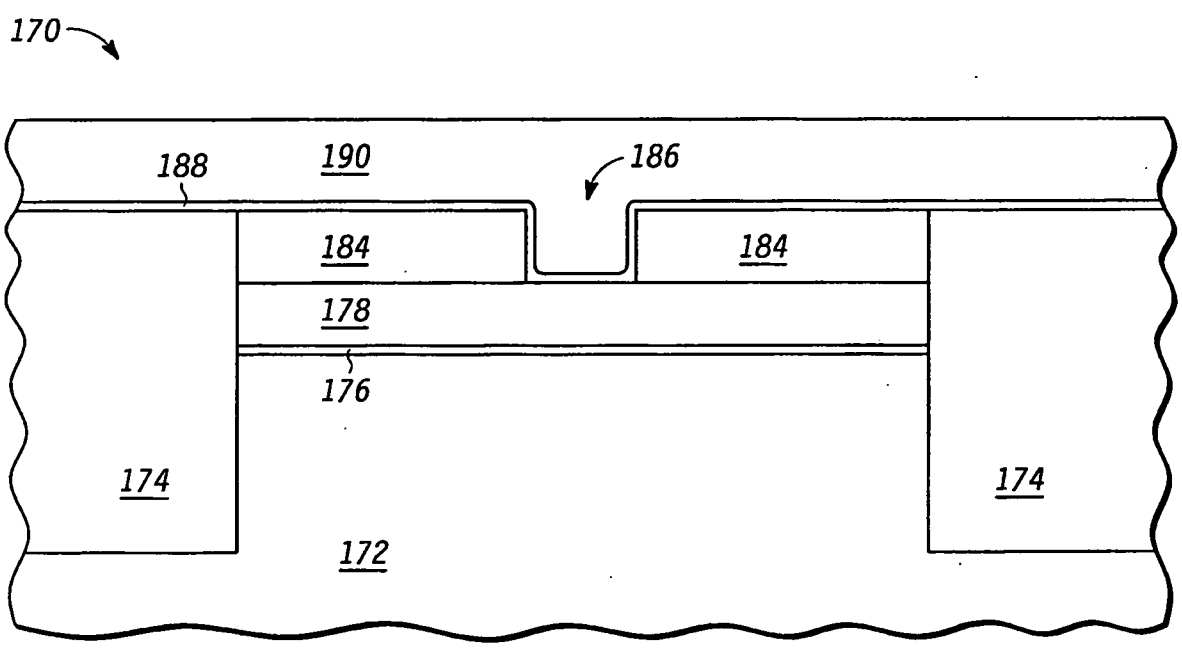


圖 33