

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 6 部門第 3 区分
 【発行日】平成23年11月17日 (2011.11.17)

【公開番号】特開2010-86497(P2010-86497A)
 【公開日】平成22年4月15日 (2010.4.15)
 【年通号数】公開・登録公報2010-015
 【出願番号】特願2008-258039(P2008-258039)
 【国際特許分類】

G 0 6 T 1/20 (2006.01)

G 0 6 F 12/02 (2006.01)

【 F I 】

G 0 6 T 1/20 B

G 0 6 F 12/02 5 5 0 C

【手続補正書】
 【提出日】平成23年9月29日 (2011.9.29)
 【手続補正 1】
 【補正対象書類名】特許請求の範囲
 【補正対象項目名】全文
 【補正方法】変更
 【補正の内容】
 【特許請求の範囲】
 【請求項 1】

画像処理装置とメモリとを有するデータプロセッサであって、

前記画像処理装置は、演算対象とするデータを前記メモリから読み出して入力するための入力回路と、入力回路によって入力したデータを一時的に保持するバッファメモリと、前記バッファメモリから出力されたデータの演算処理を行なう演算回路と、前記演算回路による演算結果を前記メモリ又は前記バッファメモリに書き戻すための出力回路と、制御回路と、を有し、

前記バッファメモリは記憶領域として論理上直列な記憶ラインを複数有し、前記制御回路で指定された前記記憶ラインに入力データを書き込み書き込まれたデータの読出しが可能とされ、

前記演算回路は前記バッファメモリから読み出された複数の前記記憶ラインのデータを前記制御回路で指定された処理内容に従って並列に演算可能であり、

前記制御回路は、前記バッファメモリの複数の記憶ライン分に相当する第 1 の記憶領域のデータに対して順次データ処理単位毎に前記演算回路に第 1 の演算を繰り返し実行させ、繰り返し実行された第 1 の演算による演算家結果が前記バッファメモリの複数の記憶ライン分に相当する第 2 の記憶領域の記憶ラインに格納されたとき、第 1 の記憶領域で最も先にデータ記憶が行われた記憶ラインに対してデータ入換えを行ってから、再び前記第 1 の演算を繰り返し実行させる制御を行う、データプロセッサ。

【請求項 2】

前記制御部は、前記第 2 の記憶領域の記憶ラインに必要な演算結果が揃ったとき、第 2 の記憶領域のデータに対して順次データ処理単位毎に前記演算回路に第 2 の演算を繰り返し実行させ、繰り返し実行された第 2 の演算による演算家結果を前記バッファメモリの第 3 の記憶領域の記憶ラインに格納させる制御を行う、請求項 1 記載のデータプロセッサ。

【請求項 3】

前記制御部は、前記第 3 の記憶領域の記憶ラインに必要な演算結果が揃ったとき、第 3 の記憶領域のデータに対して前記演算回路に第 3 の演算を繰り返し実行させ、繰り返し実行された第 3 の演算による演算家結果を前記バッファメモリの第 4 の記憶領域の記憶ライ

ンに格納させる制御を行う、請求項 2 記載のデータプロセッサ。

【請求項 4】

前記制御回路は、前記第 4 の記憶領域の記憶ラインに必要な演算結果が揃ったとき、前記出力回路に指示を与えて当該演算結果を前記メモリに書き込む制御を行う、請求項 3 記載のデータプロセッサ。

【請求項 5】

前記第 1 の演算は、複数記憶ラインの画像データに対して $m \times n$ 画素単位のデータをデータ処理単位とする平滑化のためのコンボリューション演算である、請求項 4 記載のデータプロセッサ。

【請求項 6】

前記第 2 の演算は、前記コンボリューション演算された複数記憶ラインの画像データに対して $i \times j$ 画素単位もデータをデータ処理単位とする輪郭強調のためのフィルタ演算である、請求項 5 記載のデータプロセッサ。

【請求項 7】

前記第 3 の演算は、前記前記フィルタ演算された画像データを 2 値化する演算である、請求項 6 記載のデータプロセッサ。

【請求項 8】

前記第 1 の演算は、複数記憶ラインの画像データに対して $m \times n$ 画素単位のデータをデータ処理単位とする平滑化のためのコンボリューション演算である、請求項 3 記載のデータプロセッサ。

【請求項 9】

前記第 2 の演算は、前記コンボリューション演算された複数記憶ラインの画像データに対して $i \times j$ 画素単位もデータをデータ処理単位とする輪郭強調のためのフィルタ演算である、請求項 8 記載のデータプロセッサ。

【請求項 10】

前記第 3 の演算は、前記前記フィルタ演算された画像データを 2 値化する演算である、請求項 9 記載のデータプロセッサ。

【請求項 11】

前記制御部は、前記第 3 の記憶領域の記憶ラインに必要な演算結果が揃ったとき、第 3 の記憶領域のデータに対して前記演算回路に第 3 の演算を繰り返し実行させ、繰り返し実行された第 3 の演算による演算結果を前記出力回路に外部へ出力させる制御を行う、請求項 2 記載のデータプロセッサ。

【請求項 12】

前記制御回路は、マイクロコントローラ、制御レジスタ、及び同期化制御回路を有し、前記マイクロコントローラはプログラムを実行して前記制御レジスタに制御データを書き込む制御を行い、

前記同期化制御回路は前記入力回路及び前記演算回路の動作状態に従って前記前記制御レジスタの書き込み制御を行い、

前記制御レジスタは書き込まれた制御データに従って前記入力回路、前記バッファ回路、前記演算回路及び前記出力回路に制御信号を出力する、請求項 1 乃至 4 および 11 の何れか 1 項記載のデータプロセッサ。

【請求項 13】

前記制御レジスタは、入力回路からデータを取り込む記憶ラインを指定するための制御情報、出力回路からデータを取り込む記憶ラインを指定するための制御情報、データを取り込む記憶ラインの本数を指定する制御情報、データを出力する記憶ラインを指定するための制御情報、及びデータを出力する記憶ラインの本数を指定する制御情報が設定される、請求項 12 記載のデータプロセッサ。

【請求項 14】

演算対象とするデータを外部から読み出して入力するための入力回路と、入力回路によって入力したデータを一時的に保持するバッファメモリと、前記バッファメモリから出力

されたデータの演算処理を行なう演算回路と、前記演算回路による演算結果を外部又は前記バッファメモリに書き戻すための出力回路と、制御回路と、を有し、

前記バッファメモリは記憶領域として論理上直列な記憶ラインを複数有し、前記制御回路で指定された前記記憶ラインに入力データを書き込み書き込まれたデータの読出しが可能とされ、

前記演算回路はバッファから出力された単数又は複数の前記記憶ラインのデータを前記制御回路により指定された処理内容で演算処理単位毎に繰り返し演算し、

前記制御回路は、指定した記憶ラインのデータを記憶ライン単位で前記バッファメモリから前記演算回路に出力させる、画像処理装置。

【請求項 15】

前記制御回路は、外部から入力されるデータを書き込む単数又は複数の前記記憶ラインを指示し、演算回路による演算結果を書き戻す前記記憶ラインを指示する、請求項 14 記載の画像処理装置。

【請求項 16】

画像処理装置と、前記画像処理装置の制御及びメモリのアクセス制御を行う中央処理装置とを有するデータプロセッサであって、

前記画像処理装置は、演算対象とするデータを前記メモリから読み出して入力するための入力回路と、入力回路によって入力したデータを一時的に保持するバッファメモリと、前記バッファメモリから出力されたデータの演算処理を行なう演算回路と、前記演算回路による演算結果を前記メモリ又は前記バッファメモリに書き戻すための出力回路と、制御回路と、を有し、

前記バッファメモリは記憶領域として論理上直列な記憶ラインを複数有し、指定された前記記憶ラインに入力データを書き込み書き込まれたデータの読出しが可能とされ、

前記演算回路はバッファから出力された単数又は複数の前記記憶ラインのデータを指定された処理内容で演算処理単位毎に繰り返し演算し、

前記制御回路は、前記入力回路から入力されるデータを書き込む単数又は複数の前記記憶ラインを指示し、前記演算回路による演算処理内容を指示し、演算回路による演算結果を書き戻す前記記憶ラインを指示し、バッファメモリから演算回路にデータを供給する記憶ラインを指示する、データプロセッサ。

【請求項 17】

前記中央処理装置は画像処理装置の演算動作中に、画像処理装置による演算結果を前記メモリから参照する、請求項 16 記載のデータプロセッサ。