

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.
G06F 1/10 (2006.01)



[12] 发明专利说明书

专利号 ZL 200680019385.X

[45] 授权公告日 2010年3月17日

[11] 授权公告号 CN 100594463C

[22] 申请日 2006.5.26

[21] 申请号 200680019385.X

[30] 优先权

[32] 2005.6.1 [33] US [31] 60/685,882

[86] 国际申请 PCT/DK2006/000290 2006.5.26

[87] 国际公布 WO2006/128459 英 2006.12.7

[85] 进入国家阶段日期 2007.11.30

[73] 专利权人 特克拉科技股份有限公司

地址 丹麦灵比

[72] 发明人 托比亚斯·比杰莱加尔德

[56] 参考文献

US6594772B1 2003.7.15

US2002/049936A1 2002.4.25

审查员 李小青

[74] 专利代理机构 中国国际贸易促进委员会专利
商标事务所

代理人 马浩

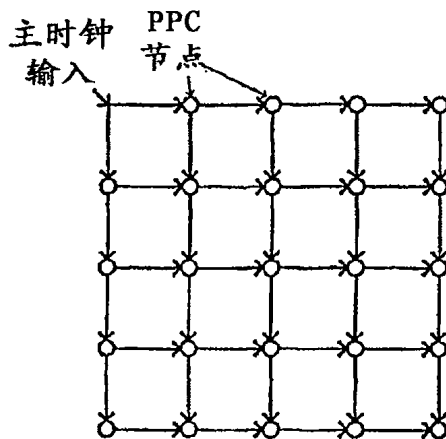
权利要求书 8 页 说明书 18 页 附图 2 页

[54] 发明名称

为多个电路、集成电路和节点提供定时信号的方法及设备

[57] 摘要

一种在多个电子或光学电路中提供或传输定时信号的方法，每个电路由一个节点馈给。这些节点之间相互转发定时信号，并且至少一个节点用来在从至少两个节点接收到定时信号之后才发送定时信号。通过这种方式，节点和电路之间时间偏差方向是已知的，电路之间的数据传输也变得更加容易。



1、一种为多个电路提供定时信号的方法，所述方法包括：
提供多个互连的节点，所述多个电路的每个电路连接到一个节点，每个节点：

从一个或多个其他节点接收定时信号，并且

被连接到至少一个其他节点和/或电路，并发送对应的定时信号至所述至少一个其他节点和/或电路，

为所述节点之一提供定时信号，

至少一个节点从两个或更多节点中的每个节点接收定时信号，在从所述两个或更多节点中的每个节点收到定时信号之前，不发送对应的定时信号至与其连接的所述至少一个其他节点和/或电路，

在拓扑上将所述多个互连的节点定位在由至少两个非平行的方向定义的多个维度中，以便从发送节点接收定时信号的所述节点在所述至少两个非平行的方向的至少一个方向上定位得比该发送节点远，从而定时偏差沿着所述至少两个非平行方向。

2、根据权利要求1的方法，其中多个节点接收来自两个或更多节点的定时信号，并且在从所述两个或更多节点中的每个节点收到定时信号之前，不发送对应的定时信号至所述至少一个其他节点。

3、根据权利要求1的方法，其中一个或多个节点，当从一个或多个其他节点接收到第一定时信号时，发送确认信号至所述一个或多个其他节点中的每个节点。

4、根据权利要求3的方法，其中在从对应第一定时信号的定时信号所发往的每个所述节点接收确认信号之前，所述一个或多个节点进一步地不发送从其他节点接收的后续定时信号。

5、根据权利要求3的方法，其中所述一个或多个节点在从向所述一个或多个节点发送定时信号的所有节点收到定时信号之前，不发送确认信号。

6、根据权利要求1的方法，其中至少一个节点接收定时信号，

所述定时信号是具有至少两个不同值的时间序列，以及所述至少一个节点将被反转以便较高和较低值在同一定时序列互换的接收到的定时信号，作为对应的定时信号发送到所述至少一个其他节点。

7、根据权利要求1的方法，所述方法还包括步骤：所述电路中的两个电路交换数据，数据的交换由所述多个电路的每一个电路从与其连接的节点接收的定时信号控制。

8、根据权利要求6或7的方法，交换数据的方法包括每个电路结合接收到的定时信号中的变化来发送或接收数据，所述变化是从两个或更多值中较低值到较高值的变化，或者是从较高值到较低值的变化。

9、根据权利要求8的方法，其中所述两个电路用来结合相同的变化来发送或接收数据，并连接到两个相邻的节点、或之间具有偶数个所述多个互连的节点存在的两个节点。

10、根据权利要求1的方法，其中定位步骤包括将所述多个互连的节点物理定位在预定区域内。

11、根据权利要求1的方法，其中所述多个互连的节点至少被定位在沿第一方向至少等距分布的多条线之一和沿不平行于第一方向的第二方向至少等距分布的多条线之一的交叉点的对应位置上。

12、一种制备集成电路的方法，所述方法包括：

1) 提供多个电路，

2) 提供时钟生成或者接收节点，

3) 提供多个中继节点，所述多个电路的每个电路连接到所述时钟生成或者接收节点和/或中继节点，每个中继节点用来接收来自一个或多个节点的信号，并且发送信号到与其连接的至少一个其他中继节点和/或电路，

4) 互连所述时钟生成或者接收节点和所述中继节点，以便来自所述时钟生成或者接收节点的信号导致一个信号被发送给所有中继节点和所有电路，

其中：

步骤 3) 包括提供所述多个中继节点的至少一个用来从至少两个中继节点接收信号, 以及不转发信号至与其连接的任何其他中继节点和/或电路, 直到从所述至少两个中继节点中的每个节点接收到信号, 步骤 3) 包括将所述时钟生成或者接收节点和所述多个中继节点拓扑定位在由两个非平行方向定义的多个维度中, 以使用来从发送节点接收定时信号的所述中继节点至少在所述两个非平行方向的至少一个方向上定位得比该发送节点远, 从而定时偏差沿着所述两个非平行方向, 以及

步骤 4) 中包含互连所述至少一个中继节点, 从而从所述至少两个中继节点接收信号。

13、根据权利要求 12 的方法, 其中步骤 3) 包括提供多个所述中继节点用来从两个或更多所述时钟生成或者接收节点和所述中继节点接收定时信号, 并且在从两个或更多所述时钟生成或者接收节点和所述多个中继节点中的每个节点接收到定时信号之前, 不发送对应的定时信号到所述至少一个其他中继节点, 相关的中继节点用来向所述至少一个其他中继节点发送信号。

14、根据权利要求 12 的方法, 其中步骤 3) 包括提供一个或多个节点, 用来当从一个或多个其他节点接收到第一定时信号时, 发送确认信号到所述一个或多个其他节点中的每个节点。

15、根据权利要求 14 的方法, 其中用来在从对应第一定时信号的定时信号所发往的每个所述节点接收确认信号之前, 所述一个或多个节点进一步不发送从其他节点接收的后续定时信号。

16、根据权利要求 14 的方法, 其中步骤 3) 包括提供一个或多个节点, 用来在从向所述一个或多个节点发送定时信号的所有节点接收定时信号之前, 不发送确认信号。

17、根据权利要求 12 的方法, 其中步骤 3) 包括提供至少一个节点, 用于:

接收定时信号, 所述定时信号是具有至少两个不同值的时间序列; 以及

将被反转以便较高和较低值在同一定时序列互换的接收到的定时信号，作为对应的定时信号发送到所述至少一个节点被用来向其发送信号的节点。

18、根据权利要求 12 的方法，所述方法进一步包括提供具有交换数据装置的两个电路，交换装置由所述两个电路从连接到所述两个电路的两个节点中的每个节点接收的定时信号控制。

19、根据权利要求 17 或 18 的方法，每个交换装置用来结合接收到的定时信号中的变化来发送或接收数据，所述变化是从两个或更多值中较低值到较高值的变化，或者是从较高值到较低值的变化。

20、根据权利要求 19 的方法，其中所述两个电路用来结合相同的变化来发送或接收数据，并连接到两个相邻的节点、或之间具有偶数个所述多个中继节点存在的两个节点。

21、根据权利要求 12 的方法，其中步骤 3) 中的定位步骤包括在多维中物理定位所述多个中继节点，以使用来从发送节点接收定时信号的所述多个中继节点中的节点在至少一个方向上定位得比所述发送节点远。

22、根据权利要求 12 的方法，其中步骤 1) 包括在表面上提供电路，以便相邻电路间存在预定距离，以及步骤 4) 包括用电气连接互连主要定位在电路之间的节点。

23、根据权利要求 12 的方法，其中步骤 3) 包括将所述多个中继节点至少定位在沿第一方向至少等距分布的多条线之一和沿不平行于第一方向的第二方向至少等距分布的多条线之一的交叉点的对应位置上。

24、一种为多个电路提供定时信号的设备，所述设备包括：

多个互连的节点，所述多个电路的每个电路连接到一个节点，每个节点：

用来从一个或多个其他节点接收定时信号，以及

被连接到至少一个其他节点和/或电路并且将对应的定时信号发送给所述至少一个其他节点和/或电路，

所述多个互连的节点被拓扑定位在由至少两个非平行方向定义的多维中，从发送节点接收定时信号的所述节点在所述至少两个非平行方向的至少一个方向上定位得比所述发送节点远，从而定时偏差沿着所述至少两个非平行方向，

为所述多个互连的节点之一提供定时信号的电路，

至少一个节点，用来从两个或更多节点中的每个节点接收定时信号，以及在从两个或更多节点中的每个节点接收到定时信号之前，不发送对应的定时信号至与其连接的所述至少一个其他节点和/或电路。

25、根据权利要求 24 的设备，其中所述多个互连的节点的多个节点中的每个节点用来从两个或多个节点接收定时信号，以及从两个或更多节点中的每个节点接收到定时信号之前，不发送对应的定时信号到所述至少一个其他节点和/或电路。

26、根据权利要求 24 的设备，其中所述多个互连的节点中的一个或多个节点用来当从一个或多个其他节点接收到第一定时信号时，发送确认信号至所述一个或多个其他节点中的每个节点。

27、根据权利要求 26 的设备，其中在从对应第一定时信号的定时信号所发往的每个所述节点收到确认信号之前，所述多个互连的节点中的一个或多个节点进一步用来不发送从其他节点接收的后续定时信号。

28、根据权利要求 26 的设备，其中在从向所述多个互连的节点中的所述一个或多个节点中的节点发送定时信号的所有节点收到定时信号之前，所述多个互连的节点中的一个或多个节点不发送确认信号。

29、根据权利要求 24 的设备，其中至少一个节点接收定时信号，所述定时信号是具有至少两个不同值的时间序列，以及所述至少一个节点将被反转以便较高和较低值在同一定时序列互换的接收到的定时信号，作为对应的定时信号发送到所述至少一个节点与其连接的其他节点。

30、根据权利要求 24 的设备，其中所述多个电路的两个电路包

括用于交换数据的装置，所述交换装置由所述两个电路从所述两个电路与之连接的两个节点中的每个节点接收的定时信号控制。

31、根据权利要求 29 或 30 的设备，其中交换装置用来结合接收到的定时信号中的变化来发送或接收数据，所述变化是从两个或更多值中较低值到较高值的变化，或者是从较高值到较低值的变化。

32、根据权利要求 31 的设备，其中所述两个电路用来结合相同的变化发送或接收数据，并连接到两个相邻节点、或之间具有偶数个所述多个互连的节点存在的两个节点。

33、根据权利要求 24 的设备，其中所述多个互连的节点物理定位在由至少两个非平行方向定义的预定区域内，并且用来从发送节点接收定时信号的所述多个互连的节点在至少一个方向上定位得比该发送节点远。

34、根据权利要求 24 的设备，其中所述多个互连的节点至少被提供在与沿第一方向至少等距分布的多条线之一和沿不平行于第一方向的第二方向至少等距分布的多条线之一的交叉点对应的位置上。

35、一种集成电路，包括：

1) 多个电路，

2) 时钟生成或接收节点，

3) 多个中继节点，所述多个电路的每个电路连接到一个节点，每个中继节点用来接收来自一个或者多个节点的信号，并且发送信号到与其连接的至少一个其他中继节点和/或电路，将所述时钟生成或者接收节点和所述中继节点拓扑定位在由两个非平行方向定义的多维中，以便用来从发送节点接收定时信号的所述时钟生成或者接收节点和所述中继节点在所述两个非平行方向的至少一个方向上定位得比该发送节点远，从而定时偏差沿着所述两个非平行方向，

4) 用于互连所述时钟生成或者接收节点和所述中继节点的互连元件，以便来自所述时钟生成或者接收节点的信号引起向所有中继节点和所有电路发送信号，

其中至少一个中继节点与所述多个中继节点的至少两个其他中

继节点互连，并且直到从所述多个中继节点的至少两个其他中继节点的每个节点接收到信号，所述至少一个中继节点才将信号转发到与其连接的所述多个中继节点的任何其他中继节点和/或电路。

36、根据权利要求 35 的电路，其中所述多个中继节点的多个节点用来从两个或更多节点接收定时信号，并且在从两个或更多节点中的每个节点接收到定时信号之前，不发送对应的定时信号到与其连接的所述至少一个其他节点。

37、根据权利要求 35 的电路，其中所述多个中继节点的一个或多个节点，用来当从一个或多个其他节点接收到第一定时信号时，发送确认信号到所述一个或多个其他节点中的每个节点。

38、根据权利要求 37 的电路，其中在从对应第一定时信号的定时信号所发往的每个所述节点收到确认信号之前，所述多个中继节点的一个或多个节点不发送从其他节点接收的后续定时信号。

39、根据权利要求 37 的电路，其中在从向所述多个中继节点的所述一个或多个节点的节点发送定时信号的所有节点收到定时信号之前，所述多个中继节点的一个或多个节点不发送确认信号。

40、根据权利要求 35 的电路，其中至少一个节点用来接收定时信号，所述定时信号是具有至少两个不同值的时间序列，以及所述至少一个节点把被反转以便较高和较低值在同一定时序列互换的接收到的定时信号，作为对应的定时信号发送到与其连接的其他节点。

41、根据权利要求 35 的电路，其中所述多个电路的两个电路包括交换数据的装置，所述交换装置由所述两个电路从连接至所述两个电路的两个所述节点中的每个节点接收的定时信号控制。

42、根据权利要求 40 或 41 的电路，其中交换装置用来结合接收到的定时信号中的变化来发送或接收数据，所述变化是从两个或更多值中较低值到较高值的变化，或者是从较高值到较低值的变化。

43、根据权利要求 42 的电路，其中所述多个电路的两个电路用来结合相同的变化来发送或接收数据，并连接到两个相邻的节点、或之间具有偶数个所述多个中继节点存在的两个节点。

44、根据权利要求 35 的电路，其中所述多个中继节点物理定位在一个预定区域内，从而从所述发送节点接收定时信号的所述节点在至少一个方向上被定位得比所述发送节点远。

45、根据权利要求 35 的电路，其中所述多个电路被定位在表面上，以便相邻电路间存在至少一个预定距离，以及其中所述互连装置主要定位在所述电路之间。

46、根据权利要求 35 的电路，其中所述多个中继节点至少被定位在与沿第一方向至少等距分布的多条线之一和沿不平行于第一方向的第二方向至少等距分布的多条线之一的交叉点对应的位置上。

为多个电路、集成电路和节点 提供定时信号的方法及设备

技术领域

本发明涉及均步 (mesochronous) 方式下的诸如大型同步系统的定时, 其中主时钟分布于整个系统, 以便系统中任一点的定时信号频率与主时钟频率相同或者是主时钟频率的分频, 不过系统中不同的位置有着不同的相位。

本发明特别适用于单片上的应用或电路的定时。

本发明还涉及全局通信网络的建立, 以及该网络中关于跨越时钟相位区域边界进行数据传输的定时可靠时钟。本发明并不仅仅局限于该网络, 还可用于实现一般的跨越时钟相位区域边界的定时可靠数据传输。

背景技术

严格意义上的全局同步越来越难在大型芯片上实施。用于最小化时间偏差的越来越复杂的时钟分配技术, 如分布式主动偏差控制, 在总的功率消费中占据着越来越大的比重, 在高端微处理器中所占的比重超过了 30%。已经有人提议使用驻波分配时钟。这有利于产生低偏差的高速时钟。然而, 时钟频率取决于片上元件的参数, 因为它是作为驻波在栅格结构中实施。可选地, 以性能为代价, 更大的偏差可被接受, 因为产生的定时余量在总循环时间中占据着越来越大的比例。最终, 如果全局范围同步时钟信号的实施问题未能解决, 将会由于保持时间违例而导致整个芯片无法工作。

同时, 物理上的难题以及设计复杂性的难题推动了模块化设计方法的产生。众所周知, 未来十亿晶体管片上系统设计的任务最好通过用共享的分段片区互连网络, 将经过单独检验的块全部插在一起实现。近年来, 已有涉及所谓片上网络 (NoC) 领域的研究。NoC 有利

于产生用于片上系统（SOC）的真正的模块的和可升级的设计方法。

将芯片功能性划分为子模块，或者内核，也实现了从时间上进行考虑的划分。全局异步局部同步（GALS）方法产生了进行异步通信的同步岛。GALS方法的缺陷包括跨越异步和同步域边界时数据和控制的亚稳性风险，以及提供定时可靠跨域传输的电路中的日常开支。

可选地，可以采用均步定时（mesochronous clocking）。均步定时系统在整个系统中使用单个时钟，但使用不同的相位。在一般形式下，关于在不同的时间相位域内核心时钟间的相位分配没什么可说的。因此，亚稳性（metastability）可能在数据从一个域传送到另一个域时发生。均步定时系统得益于支持现有的同步设计工具和技术，同时避免了严格的全局同步的缺陷：在全局时钟边沿的峰值电流得以避免，该峰值电流会导致地反弹和电压下降，依次引入时钟和数据中的抖动；同时，由于避免了减少全局时钟偏差的功率紧缺时钟树，时钟分布网络中的功率损耗大大降低。

避免亚稳性的方法有多种形式。同时，旨在抑制均步系统中时钟偏差的工作正在进行，如 El-Amawy 中“Clocking arbitrarily large computing structures under constant skew bound(持续的偏差范围下的时钟随机大型计算结构)”，IEEE Transactions on Parallel and Distributed Systems 4, 1993, 241-255 页。在这篇参考文献中，描述了相互作用的时钟生成节点的网络。该方法保证了局部偏差的上限。然而节点的相互作用包括了环回，且偏差的正或负号也并未得到保证，仅仅是绝对值得到了保证。因此在一个实际的系统中，仍然存在保持时间违例的可能。同时，节点的实际实施过程是复杂的，并导致了不容忽视的日常开支。

发明内容

本发明的第一方面涉及一种为多个电路提供定时信号的方法，所述方法包括：

提供多个互连的节点，每个电路连接到一个节点，每个节点从一

个或多个其他节点接收定时信号，并发送对应的定时信号至连接该节点的至少一个其他节点和/或电路，

为所述节点之一提供定时信号，

至少一个节点从两个或更多节点中的每个节点接收定时信号，在从所述两个或更多节点中的每个节点收到定时信号之前，不发送对应的定时信号至连接该节点的至少一个其他节点和/或电路。

在本文中，电路可以是电子电路或光学电路。电子电路或光学电路可以是尺寸如双稳态多谐振荡器电路或锁存器的小型电路、或是大型电路，如整个计算机、处理器、存储电路，或这些电路的一部分，如驱动器、I/O 单元，处理单元或类似的。

自然地，电路之间的定时关系在物理上分离或独立的电路之间是关联的，例如在并行计算机或网络中，在例如位于同一集成电路上的电路之间也是关联的。

定时信号的转移自然地可以是任何类型的信号传输，例如通过电缆、光缆、通过无线传输（光、微波、无线、声波或类似的）。

因此，电路同样可以以其他方式互联，而不是通过现有的节点，例如通过电网或数据线或用于数据通信的电子导体。

一般地，所述电路是数字电路，但是对模拟电路的定时也同样关注。数字电路的定时可用于电路的内部处理定时和/或用于电路间数据通信的定时。

在本文中，定时信号可以是任何类型随时间变化的信号，可由电路确定。一种类型的电子信号是方波或正弦波。然而，任何类型的信号可被使用。同样，完全不必要求各节点发送的定时信号是唯一的或属于同一类型。这将在下面详细解释。

节点接收一个定时信号，并输出一个对应的定时信号。在本文中，“对应”是指定时对应，含义是在节点接收到一个定时信号后输出的那个定时信号。如果在输出第一定时信号之前收到两个定时信号，正常地，将输出两个定时信号，第一定时信号对应于第一收到的定时信号，第二定时信号输出对应于第二收到的定时信号。

根据本发明,所述至少一个节点在从用于发送定时信号至所述至少一个节点的(多于一个)节点的每一个收到定时信号之前,不输出对应的定时信号。

在一种情况下,定时信号仅输出到与节点相连的电路,这就是说在所述电路和与节点相连的电路之间的定时或时钟偏差,其输出到达该节点(也许通过其它节点)的定时信号是已知的。已确保其他电路在该电路之前收到定时信号。

当定时信号输出同样或可选地发送到其他节点时,所具备的优点是电路之间定时信号的延迟表现很好。同时,这给出了偏差的公知方向,从而利于电路之间的定时可靠数据传送。

优选地,多个节点从两个或更多节点接收定时信号,在定时器已经从两个或更多节点(相连接以发送定时信号至该节点)中的每个节点收到定时信号之前,不把对应的定时信号发送到至少一个其他节点。如下面结合附图的描述,这实际上在整个网络节点的拓扑中提供了一种已知的定时偏差。

更加健壮的定时机制可以通过一个或更多节点从一个或更多其他节点接收到第一时间定时信号时,发送确认信号至所述一个或多个其他节点(发送定时信号至该节点)中的每个节点来得到。向发送的定时信号的节点发回确认信号首先确保了定时电路中的信号不会丢失。同时,特别是当一个或更多节点在收到对应于第一定时信号的定时信号所发往的每个节点发送的确认信号之前,不发送从其他节点接收的后续的定时信号时,定时信号不能互相到达(后面的定时信号不能追上前面那个),由此更好地确保了定时信号不会丢失。

在一个实施例中,节点无延迟地发送确认信号至发送节点。可选地,一个或更多节点在从发送定时信号至该节点的所有节点收到定时信号之前,不发送确认信号。

如上所示,不同类型的定时信号可被使用。当信号用于在电路间传输信号时,这种电路一般在数字定时信号的前向边沿或后向边沿发送数据,其中数字定时信号是一个随时间在两个或更多预定水平(例

如电压水平)之间变化的信号。

当两个电路的时钟有轻微的偏移时,随之而来的问题是偏移的偏差方向无法确定。因此,在定时信号的相同前沿或后沿发送和接收会引起问题。

该问题可以通过将其中一个电路在另外一沿发送/接收来解决,但是这需要每一对发送/接收电路独立地建立。

解决该问题的方法是反转其中一个电路的时钟信号,并且发送电路在前沿或后沿发送数据,而接收电路在相反的前沿或后沿接收数据。也就是说,两个电路不是在上升沿就是在下降沿发送/接收。这可以用于所有接收机/发射机对。

在本文中,信号反转可看作是时间变化信号以信号的平均值的镜像。一般地,实际中随时间的变化(也就是值增加或降低出现时)不太大,仅仅是时间上的一个或多个点的值。

因此,至少一个节点接收定时信号,所述定时信号是具有至少两个不同值的时间序列,所述至少一个节点把接收到的定时信号反转以便较高和较低值在同一定时序列互换,并作为对应的定时信号发送到其他节点。

在一个优选实施例中,该方法进一步包括步骤:两个电路交换数据,数据的交换由所述电路从两个节点中的每个节点接收的定时信号控制(电路一般由单个节点定时,两个电路一般由两个不同节点定时)。

在那种情况下,交换数据的方法优选地包括每个电路结合在收到的定时信号中的值变化来发送或接收数据。这有利于电路的生产。然后,该控制可以基于在两个或更多值中从较低值到较高值的变化(例如数字通信的两个状态),或从较高值到较低值的变化。

之后,时钟相位可以在两个通信链路之间反转。这可以确保两个电路连接到两个邻近的节点(馈给另一节点的一个节点正反转)或偶数个反转节点(和任何数目的非反转节点)之处存在于用定时信号馈送所述两个电路的节点之间的定时信号“链”中。然后,每个电路在

同样变化（低到高或高到低）发送/接收。

另外的优点可以通过节点及电路的定时信号的流向中看到。所述电路可能在拓扑上（地理上或数学上）相连或处于多维中，例如二维、三维或更多维。这种拓扑可以在例如并行计算机中看到。这种拓扑可以在节点网络中通过定位这些节点实现，在由至少两个非平行方向定义的预定真实或虚拟区域内的物理/地理或数学地（通过互连这些节点以提供正确的拓扑）定位，该方法包括至少在其中一个方向上，将用来从发送节点接收定时信号的节点定位在比发送节点远处。通过这种方式，时间偏差将沿着所述方向，并且时间信号的传输表现良好。

一种很容易理解的拓扑是节点至少基本上处于栅格中的位置，也就是说，沿第一方向至少基本上等距分布的多条线之一和沿不平行于第一方向的第二方向至少基本上等距分布的多条线之一的交叉点对应的位置上。这种情况下，定时信号从这种结构的一“角”流向对角。同样，链路延迟至少是相同的，由此定时偏差更容易确定和控制。

本发明的另一方面涉及一种制备集成电路的方法，该方法包括：

- 1) 在表面上提供多个电路，
- 2) 提供时钟生成或者接收节点，
- 3) 提供多个中继节点，每个电路连接到一个节点，每个中继节点接收来自一个或多个节点的信号，并且发送信号到与其连接的至少一个其他中继节点和/或电路，
- 4) 互连这些节点，以便来自接收/生成节点的信号引起向所有的中继节点和所有的电路发送信号，

其中：

步骤3) 包括提供至少一个中继节点作为用来从至少两个节点接收信号的节点，以及不转发信号至与其连接的任何其他中继节点和/或电路，直到从所述至少两个中继节点中的每个节点接收到信号，以及步骤4) 中包含互连所述至少一个中继节点，从而从所述至少两个中继节点接收信号。

如同在通常的芯片生产中，电路提供在一个芯片上或者其他表面

上。那些节点或者其中一部分节点被作为互连的电路的一部分，或者这些节点是独立的，就像被分包商提供的独立的 IP 一样。

时钟生成或者时钟接收节点是首先输出定时信号、并且所有其他节点通常需要(通过另外的节点)接收它所输出的定时信号的节点。生成/接收节点可以自身产生定时信号，或者它可以和其他节点关联，比如从时钟电路接收定时信号。

此外，所述至少一个节点不发送输出信号，直到接收到了所有和它互连并且发送信号给它的节点的信号。

优选地，如上所示，步骤 3) 包括提供了多个节点用来从两个或更多节点接收定时信号，并且在从所述两个或更多节点中的每个节点接收到定时信号之前，不发送相应的定时信号到所述至少一个其他节点。

同样，步骤 3) 优选地提供一个或多个这样的节点，当从一个或多个其他节点接收第一定时信号后，发送确认信号到所述一个或多个其他节点中的每个节点。然后，所述一个或多个节点收到从对应第一定时信号的定时信号所发往的每个节点发送的确认信号之前，不发送从其他节点接收的后续的定时信号。额外或可选地，步骤 3) 包括提供一个或多个节点，用来收到所有向所述节点发送定时信号的节点所发送的定时信号之前，不发送确认信号。

希望在电路之间数据传输，并且当步骤 3) 包括提供至少其中一个节点用来接收定时信号，所述定时信号是具有至少两个不同值的时间序列，以及将被反转以便较高和较低值在同一定时序列互换的接收到的定时信号，作为对应的定时信号发送到其他节点，则数据传输变得更容易。

如上所述，在一个优选实施例中，所述方法进一步包括提供两个(或更多)具有数据交换装置的电路，交换装置由所述电路从两个节点中的每个节点接收的定时信号控制。一般地，数据的传输由定时信号控制发送电路从一个节点收到定时信号时发送一部分数据，接收电路从一个节点收到定时信号时接收这部分数据，这两个节点一般是不

同的（引起现有技术中的保持和建立时间违例）。该部分数据可能如数字通信中单个比特一样小，或者“较宽总线”可被使用，一次有更多数据被传送。

然后，每个交换装置用来结合接收到的定时信号中的变化来发送或接收数据，所述变化是从两个或更多值中较低值到较高值的变化，或者是从较高值到较低值的变化。

在一个实施例中，所述两个电路用来结合相同变化（较低到较高，或较高到较低）来发送或接收数据，并连接到这些反转节点中两个相邻节点，或之间具有偶数个所述至少一个节点存在的两个节点。当零个或偶数个反转节点（两个节点中的一个节点馈给另一节点即是反转）存在于节点之中时，馈给每个接收/发送电路的所述两个节点的定时信号将被反转。

同样，如果步骤3)进一步包括：地理上或数学上在预定区域内定位节点，所述预定区域由至少两个非平行方向定义，以便用来从发送节点接收定时信号的所述节点，至少在其中一个方向上定位在比发送节点远处，则拓扑可被控制。

由于定时信号引起电路中产生噪声的事实，如果节点间的互连要在电路或邻近电路运行，步骤1)优选地包括在表面上提供电路，以便于相邻电路间存在预定距离，其中步骤4)包括设计到电路层上时，定位在电路之间节点主要用电气连接来互连。

一个简化拓扑是在步骤3)中包括至少将节点定位于沿第一方向等距分布的多条线之一和沿不平行于第一方向的第二方向等距分布的多条线之一的交叉点对应的位置上。

本发明的第三方面涉及为多个电路提供定时信号的设备，所述设备包括：

多个互连的节点，每个电路连接到一个节点，每个节点用来从一个或多个其他节点接收定时信号，以及将对应的定时信号发送给与其连接的至少一个其他节点和/或电路；

为所述节点之一提供定时信号的电路；

至少一个节点,用来从两个或更多节点中的每个节点接收定时信号,以及在从两个或更多节点中的每个节点接收到定时信号之前,不发送对应的定时信号至与其连接的至少一个其他节点和/或电路。

如前面所述,所述电路和节点可以是集成的或独立的部分或其他结构。因此,每个节点和/或电路可以是诸如网络元件、计算机、处理器、存储器或类似物的独立电路。其中一些节点/电路可以联合,以便例如从节点接收定时信号的节点和电路可以结合在一个元件中或处于一个集成电路中。最终,所有电路和节点组成同一集成电路的一部分。

一般地,节点自身可以是电路或电路的集合。同样,用来实施诸如接收、发送或选择信号的任务的节点或电路一般包括处理装置,例如处理器(硬件的或软件可编程的或任何处于中间的)、FPGA或类似的。同样,它包括存储器(RAM、ROM、硬盘、软盘、光盘、PROM、EPROM、EEPROM或类似物)和用于传输信号的设备(任何类型的通信总线、接口、串行或并行通信、电通信、光通信、无线通信、无线电通信)来完成所述任务。节点或电路可以是一个综合的网元,包括大量元件,也可以和单个门电路一样小,例如是双稳态多谐振荡器电路或锁存器。

如上所述,在该连接中,所述对应的定时信号优选地是由接收到定时信号(或来自每个输入的定时信号)触发的。

优选地,多个节点中的每个节点用来从两个或多个节点接收定时信号,以及从两个或更多节点中的每个节点接收到定时信号之前,不把对应的定时信号发送到与其连接的至少一个其他节点和/或电路。通过这种方式,系统的定时偏差将表现良好。

在一个优选实施例中,一个或多个节点用来当从一个或多个其他节点接收到第一时间定时信号时,发送确认信号至所述一个或多个其他节点中的每个节点。然后,所述一个或多个节点进一步地用来在从对应第一定时信号的定时信号所发往的每个节点收到确认信号之前,不发送从其他节点接收的后续定时信号。

附加地或可选地,所述一个或多个节点用来在收到所有向所述节点发送定时信号的节点所发送的定时信号之前,不发送确认信号。

如上所述,优选地所述至少一个节点接收定时信号,所述定时信号是具有至少两个不同值的时间序列,以及将被反转以便较高和较低值在同一定时序列互换的收到的定时信号,作为对应的定时信号发送到其他节点。

优选地,两个电路包括交换数据的装置,交换装置由所述电路从两个节点中的每个节点接收的定时信号控制。

然后,优选地,每个交换装置用来结合接收到的定时信号中的变化来发送或接收数据,所述变化是从两个或更多值中较低值到较高值的变化,或者是从较高值到较低值的变化。

在一个实施例中,所述两个电路用来结合相同的变化(较低到较高或较高到较低)发送或接收数据,并连接到两个相邻的节点,或之间具有偶数个所述至少一个节点的两个节点。

同样,系统的拓扑可由节点间的互联控制,所述节点在预定区域内的地理上或数学上定位,其中预定区域由至少两个非平行的方向定义,所述节点用来从发送节点接收定时信号,至少在其中一个方向上定位在比发送节点远处。

一个简单拓扑是所述节点至少基本上被定位沿第一方向至少基本上等距分布的多条线之一和沿不平行于第一方向的第二方向至少基本上等距分布的多条线之一的交叉点对应的位置上。

本发明的第四方面涉及一种集成电路,包括:

- 1) 多个电路,
- 2) 时钟生成或接收节点,
- 3) 多个中继节点,每个电路连接一个节点,每个中继节点用来接收来自一个或者多个节点的信号,并且发送信号到与其连接的至少一个其他中继节点和/或电路,
- 4) 用于互连节点的互连元件,以便来自接收/生成节点的信号引起向所有中继节点和所有电路发送信号,

其中至少一个中继节点与至少两个中继节点互连,并用来直到从至少两个中继节点的每个节点接收到信号,才将信号转发到与其连接的任何其他中继节点和/或电路。

如上所述,节点可结合到来自该节点的定时信号所馈给的电路中。可选地,节点可能完全独立于电路,例如节点由分包商作为独立IP提供。

优选地,步骤3)包括提供多个节点,用来从两个或更多节点接收定时信号,并且在从两个或更多节点中的每个节点接收到定时信号之前,不发送对应的定时信号到所述至少一个其他节点。

同样,优选地步骤3)包括提供一个或多个节点,用来当从一个或多个其他节点接收到第一定时信号时,发送确认信号到所述一个或多个其他节点中的每一个节点。

然后,所述一个或多个节点进一步地用来在收到每个节点发送的确认信号之前,不发送从其他节点接收的后续定时信号,其中发送确认信号的所述节点是第一定时信号对应的定时信号所发往的节点。

附加地或可选地,所述一个或多个节点用来在从所有向所述节点发送定时信号的节点收到定时信号之前,不发送确认信号。

电路之间诸如数据的传输是必要的,并且在下述情况下变得更加容易:至少一个节点用来接收定时信号,所述定时信号是具有至少两个不同值的时间序列,以及接收到的定时信号被反转以便较高和较低值在同一定时序列互换,作为对应的定时信号发送到其他节点。

优选地,两个所述电路包括交换数据的装置,交换装置由所述电路从两个节点中的每个节点接收的定时信号控制。

然后,优选地,每个交换装置用来结合接收到的定时信号中的变化来发送或接收数据,所述变化是从两个或更多值中较低值到较高值的变化,或者是从较高值到较低值的变化。

在一个实施例中,所述两个电路用来结合相同的变化(较低变为较高或较高变为较低)发送或接收数据,并连接到两个相邻的节点,或之间具有偶数个所述至少一个节点的两个节点。

当节点物理上分布在预定区域内时，拓扑可被控制，其中预定区域由两个非平行的方向定义，从而被用来从发送节点接收定时信号的所述节点，至少在其中一个方向上，定位在比发送节点远处。

当电路被定位于表面时，电路中产生的噪声可以减少或阻止，以便相邻电路间存在至少一个预定距离，其中互连装置主要定位在电路之间（例如当平移到表面的平面上时）。

一个简单拓扑是其中节点至少基本上被定位在沿第一方向至少基本上等距分布的多条线之一和沿不平行于第一方向的第二方向至少基本上等距分布的多条线之一的交叉点对应的位置上。

本发明的第五方面是用于上述方法或设备/电路中的节点，所述节点用来：

从至少两个定时信号源接收定时信号，

仅当从两个信号源均已收到定时信号时输出一个定时信号。

优选地，所述节点进一步用来输出定时信号至与节点相连的电路。

同样，所述节点进一步用来当收到定时信号源发送的定时信号时，输出确认信号至定时信号源。这种情况下，所述节点用来仅在收到来自每个定时信号源的定时信号时，才输出确认信号。附加地或可选地，所述节点用来连接到一个或多个节点，并发送定时信号至所述一个或多个节点，所述节点用来在已经输出第一定时信号至所述一个或多个节点，在从所述一个或多个节点收到关于第一定时信号的确认消息之前，不转发后续定时信号至所述一个或多个节点。

最后，所述节点可用来接收定时信号，所述定时信号是具有至少两个不同值的时间序列，并且把接收到的定时信号反转以便较高和较低值在同一定时序列互换，作为对应的定时信号发送到其他节点。

自然地，所述节点可以为物理实体，例如电路。然而，该节点可仅被定义为用在可编程处理器上的软件程序，或者作为一个网络列表，适于用在集成电路的生成中。

附图说明

在下文中，将结合附图详细描述一个优选实施例。

图 1 所示为齐次 (homogeneous) 的 PPC (倒相或者非倒相定时) 时钟分配栅格，

图 2 所示为一个时钟生成节点，它同步两个输入时钟脉冲的边缘，

图 3 所示的波形显示从一个 PPC 区域到另一个 PPC 区域时，数据的定时可靠传输，

图 4 所示为扩展的 PPC 节点，它为上游的 PPC 节点生成确认信号，并且等待来自下游节点 (反转情况) 的确认，

图 5 所示为非齐次 (heterogeneous) 的 PPC 时钟分配栅格。

具体实施方式

下面，我们介绍一个被称为倒相定时 (PPC) 的新的均步时钟方案，该方案避免了所有的亚稳性问题，在所有相邻的 PPC 节点或者区域之间维持全局内所有方向上的自由通信。这通过在时钟分配上设置简单的地理限制来完成。PPC 的优点是任意的定时可靠操作和合理的性能下降。这意味着通过降低时钟频率，全局通信的定时是任意健壮的，以及在有限的时钟频率减少的情况下，跨越 PPC 区域边界的数据传送定时可以保证 100% 的可靠。可能导致芯片无法工作的全局保持时间违例是可以控制的和有效抑制的，从而提供绝对可靠定时的全局通信。另外，PPC 概念有低成本的实施。

下面，给出 PPC (倒相定时) 和它的“非倒相”相反部分 SDC (有向偏差定时) 的基本情况的简单描述。PPC 术语用于涉及倒相和非倒相版本 (即使用反转和非反转节点)。PPC 芯片被分割成 2 维的栅格，如图 1 中所示齐次的情况。主时钟被应用在左上角，并且沿着栅格的边沿传播，如图中箭头所示。在栅格点，两个输入时钟脉冲通过同步边沿进行合并。这样，在非反转版本中，当两个输入时钟脉冲前沿均到达后，输出时钟的前沿生成，同样地当两个输入时钟脉冲后沿均到达时，输出时钟的后沿生成。这种功能的结果是在一节点右边或者之

下的任何节点的时钟，总是比该节点的时钟晚。当然，为了使得时钟事件不会在栅格中丢失，一个网格节点的两个输入时钟的边沿必须在它们中任何一个的下一个脉冲边沿之前到达。这个要求限制了系统的最大可达到的时钟频率。不过，如果栅格边沿的延迟匹配的很好，这不会是个主要问题。在任何情况下，这种延迟匹配远比匹配全局生成时钟树支路的延迟容易得多。而且，因为在一个时钟树中，由于保持时间违例（hold-time violation），延迟的不匹配不会导致系统失效，而仅仅减少了系统的最大时钟频率。而且后面，我们将看一个扩展，以性能为代价，关于栅格边沿不匹配的延迟，扩展使得该方法变得可靠。

节点的功能可以通过 C 型元件实现，C 型元件是双输入逻辑器件，且当其两个输入都为高是输出为高，两个输入都为低输出是低。图中大多数节点的两个输出箭头仅仅是本地生成的时钟脉冲的复制。这样一个 PPC 节点的实现显示在图 2 中。沿栅格边沿的 PPC 节点仅有一个输入或者一个输出。这种单输入节点的功能仅仅包括输入时钟脉冲的缓存。虽然没有要求，但是，为了在栅格内获得一个均匀的延迟分布，有必要匹配这些缓存的延迟和栅格内双输入节点中 C 型元件的延迟，因为这将导致更高的潜在性能。

上面所描述的系统使得系统范围内的时钟在芯片的两维中均具有有向偏差。由此，数据可以很容易沿着两个维度发向上游，因为保持时间偏差由于时钟的偏差是有向的而得以避免了。在下游，由于是在异步绑定数据流控制协议中传输数据的情况下，数据传输可依靠时钟脉冲，其中所述协议中数据中包含指示数据有效性的请求信号。但是这引入一些定时问题，也可能由于数据和时钟延迟必须匹配，导致不可靠定时传输，数据延迟大于或低于时钟延迟一个时间段，该时间段不短于确保收到数据时避免保持和建立时间违例所需时间。

图 3 示出了在非反转节点和反转节点的情况下，从一个 PPC 节点到另一个 PPC 节点的可能的可靠定时传输电弧。可以看出，由于接收端的保持时间和建立时间取决于时钟频率，这些传输通过降低时

钟频率可以绝对可靠地定时。假设努力保持 50% 时钟占空比，自动降低时钟频率将会导致建立时间和保持时间均得到改善。

时钟 clk2 是时钟 clk1 的下游。在非反转情况下的可靠定时数据传输电弧是：

下游：

A：正沿至负沿。

B：负沿至正沿。

上游：

C：负沿至正沿。

D：负沿至负沿。

E：正沿至负沿。

F：正沿至正沿。

在反转情况下，时钟信号在每个节点反转，所以相邻节点在交互的时钟相位定时。那么可靠定时传输电弧变成：

下游：

G：正沿至正沿。

H：负沿至负沿。

上游：

I：正沿至正沿。

J：正沿至负沿。

K：负沿至负沿。

L：负沿至正沿。

在每个节点处进行时钟反转，现在 PPC 节点是反转 C 型元件，而栅格边沿的 PPC 节点只是反转器时。该反转是倒相定时中“倒”的本质，因为所有相邻的节点将在交替时钟事件被定时。节点中的正时钟沿对应于它相邻节点的负沿（非反转情况可以被更恰当地称为偏差定向定时 SDC (skew directed clocking)，但是本文中我们一般成它为非反转 PPC）。

反转节点构成一个平衡系统，其中由于节点中正沿和负沿的延迟

不同，时钟占空比不会变得扭曲。所有的时钟事件将使它们在系统中的路径像正沿和负沿一样交替。对于反转节点，注意到正沿到正沿的传输在上游和下游中都是可靠定时的（电弧 G 和 I）。这两个特性使具有反转节点的系统很健壮，并容易使用。另一方面为得到更好的性能，可以选择仅在较长的电弧 A,B,D,F,G,H,J 和 L 上传输。

局部生成的时钟需要在 PPC 区域内同步地分配。为了得到系统最好性能，需要匹配各个区域的时钟插入延迟。一个可选的实施例包括混合 PPC 栅格和层次。PPC 栅格由小通信节点 - 片上网络路由器 - 在每个栅格点实现。由于这些节点很小，在它们之间匹配局部时钟分配网络的插入延迟就不太会成为问题，因为无论如何它很小。每个这些节点都可以和它相邻的 PPC 节点直接通信。另外，每个节点可以在它的本地区域内通信。本地时钟分布于该区域，并反转。因此，可以应用如上所述的用于跨越 PPC 区域边界的数据传输的相同定时考虑，通过降低时钟至一个可接收水平，有可能获得 100% 的可靠定时。基于定时的考虑，本地时钟分布的时钟插入延迟对应于沿 PPC 栅格线的时钟转发延迟。

当存在大量的时钟脉冲传输延迟不确定时，提高定时可靠性的扩展方法包括上述的时钟分布，以及相反方向上的时钟确认。因此，时钟脉冲沿的生成同时需要上游栅格点的时钟脉冲沿到达和下游节点确认脉冲沿到达，确认时钟沿已安全到达，然后在所述上游栅格点得到一个时钟脉冲沿。这降低了可达到的最大时钟频率，但是改善了系统的健壮性，使性能较少地依赖于平衡的本地时钟传输延迟。图 4 示出了如何通过 4 输入的 C 型元件，在使用确认信号脉冲的 2 维栅格中实现一个栅格点。该图描述了反向节点的情况。该方法同样也适用于非反向的情形。这种情况下，反转器优选地被插入到确认路径中。自然地，初始主时钟优选地也遵照该确认，直到检测到确认边沿，才生成一个时钟脉冲。

一种可选的确认 PPC 节点可通过使用分离的确认来实现。在该节点内，确认被独立发送至每个输入。在这种方式下，从其接收输入

信号的每个节点可以更快速地初始化它的归零相位。该节点随后记住它已经从它的输入收到信号，并且一旦所有的输入被激活，便生成一个输出信号。与已经被确认的输入相连的节点自然地生成另一个时钟事件信号。然而该信号不会被确认，直到在该点中生成输出信号，基于更早期输入的信号，该信号在节点从它所有的输入收到信号之前被确认。

另一个扩展涉及非齐次系统的实现。PPC 芯片可以被分成小区域，然后栅格线可被系统地删除掉，生成所需要的非齐次的区域布线。这导致多个 PPC 节点仅有一个输出，一个输入，或者具有两者。图 5 显示了这种非齐次系统的一个例子。这并不影响 PPC 栅格的基本功能。类似于沿着栅格边沿的 PPC 节点，栅格内仅有一个输入的 PPC 节点仅是一个反转器。当在芯片内分发电子信号时，这样的设备通常需要作为一个缓冲元件工作。仅有一个输出的 PPC 节点是很普通的，因为 PPC 节点的两个输出仅仅是本地产生的时钟信号的简单复制。同样，为得到整个时钟分配系统的最优性能，这里最好——但是不是必需的——匹配简单反转（单输入 PPC 节点）的延迟和双输入 PPC 节点的延迟。

非齐次 PPC 系统比齐次 PPC 系统稍微复杂一点。每个区域仅由一个 PPC 节点定时。上面为齐次 PPC 系统建立的传输环境解决栅格中两个相邻 PPC 时钟区域间的数据传输，其中相邻意思是它们由栅格中相邻的 PPC 节点定时。因此，在上一段中所描述的非齐次 PPC 系统中，根据齐次系统的“规则”，在一个给定的——大于一个栅格区域的——PPC 区域和相邻于为该区域定时的 PPC 节点的节点所定时的区域之间，数据传输的定时可靠性是有保障的。在后面将要描述的分等级的 PPC 系统中，由于网络总是在区域以及为之定时的 PPC 节点之间，或者在扩展到 NoC 路由器的相邻的 PPC 节点之间传输数据，这并不是个难题。

自然地，对于区域形状有一些限制。如果所有的区域在几何学上是凸起的，是没有问题的。在下游方向上的纯是凹陷是不允许的，因

为这将导致节点没有输入。一个上游方向的凹陷和一个下游方向的凹陷是没有问题的。凹陷不能纯粹在上游方向。

由于栅格中不均匀的延迟分布，大型栅格可能会限制性能（最大可达到的时钟频率）。然而另一方面，小栅格区域依赖于地理的延迟偏差变小，因此抵消了负面影响。同样，在大型栅格中，依赖于随机的延迟偏差会互相取消，如同在许多栅格跳跃中看到的。

如上所述用于两维的情况的大型系统的均步定时的 PPC 和 SDC 方法以及有向偏差的优点，可以不费劲地扩展到 3 维或更多维。因此可用于大型非平面系统，例如诸如微机网络和并行计算机的片外系统。

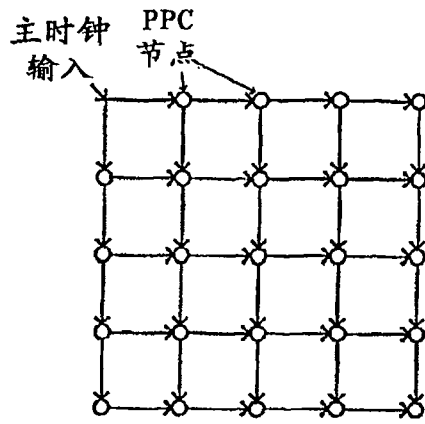


图 1

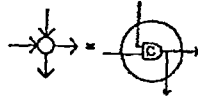
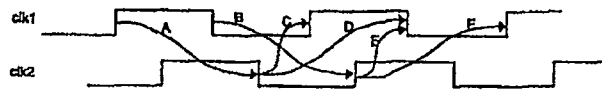


图 2

非反转



反转

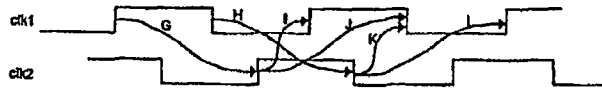


图 3

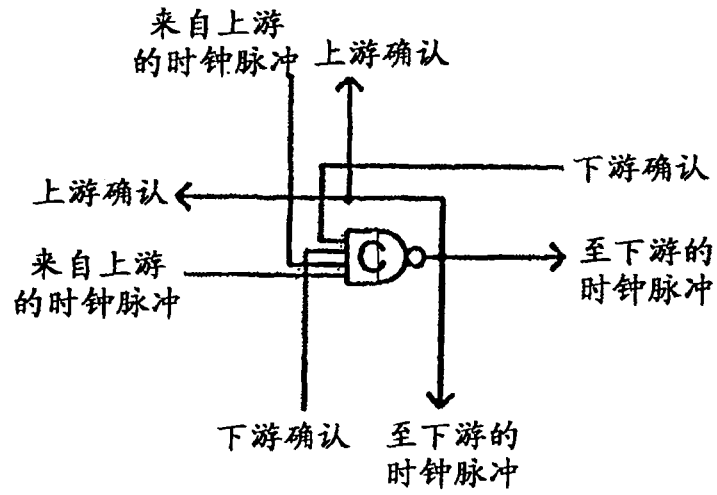


图4

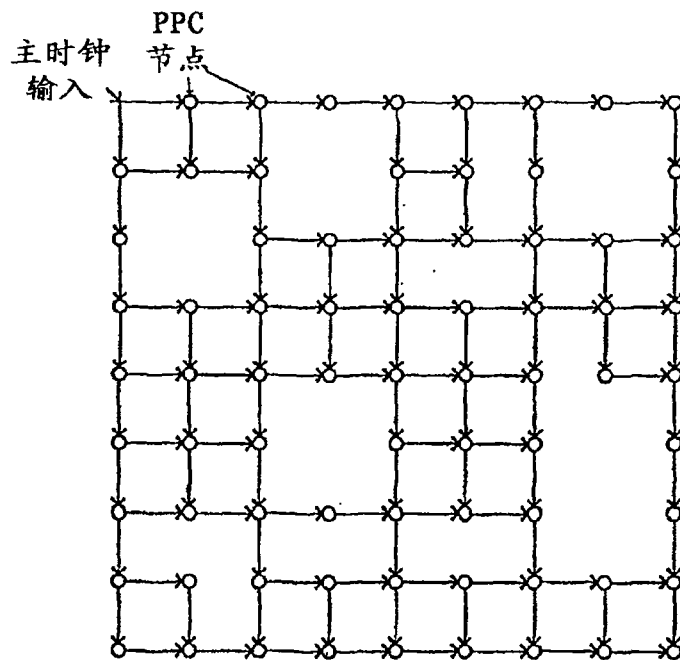


图5