

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5990525号  
(P5990525)

(45) 発行日 平成28年9月14日 (2016.9.14)

(24) 登録日 平成28年8月19日 (2016.8.19)

(51) Int. Cl.

F I

H O 1 L 29/78 (2006.01)

H O 1 L 29/78 6 5 2 N

H O 1 L 29/06 (2006.01)

H O 1 L 29/78 6 5 2 P

H O 1 L 21/336 (2006.01)

H O 1 L 29/78 6 5 3 A

H O 1 L 29/47 (2006.01)

H O 1 L 29/78 6 5 8 B

H O 1 L 29/872 (2006.01)

H O 1 L 29/48 E

請求項の数 16 (全 13 頁) 最終頁に続く

(21) 出願番号 特願2013-535075 (P2013-535075)  
 (86) (22) 出願日 平成23年10月20日 (2011.10.20)  
 (65) 公表番号 特表2013-545296 (P2013-545296A)  
 (43) 公表日 平成25年12月19日 (2013.12.19)  
 (86) 国際出願番号 PCT/US2011/057020  
 (87) 国際公開番号 W02012/054686  
 (87) 国際公開日 平成24年4月26日 (2012.4.26)  
 審査請求日 平成26年10月9日 (2014.10.9)  
 (31) 優先権主張番号 12/909,033  
 (32) 優先日 平成22年10月21日 (2010.10.21)  
 (33) 優先権主張国 米国 (US)

(73) 特許権者 508121463  
 ヴィシェイ ジェネラル セミコンダクタ  
 ー, エルエルシー  
 V I S H A Y G E N E R A L S E M I  
 C O N D U C T O R, L L C  
 アメリカ合衆国・ニューヨーク・1178  
 8・ハーボージ・モーター・パークウェイ  
 ・150  
 (74) 代理人 100108453  
 弁理士 村山 靖彦  
 (74) 代理人 100064908  
 弁理士 志賀 正武  
 (74) 代理人 100089037  
 弁理士 渡邊 隆

最終頁に続く

(54) 【発明の名称】 改善された終端構造を備えた高電圧用途のためのトレンチDMOSデバイス

(57) 【特許請求の範囲】

【請求項 1】

パワートランジスタ又はショットキーダイオードのための終端構造であって、

前記終端構造は、

半導体基板が、活性領域及び終端領域を有し、前記基板が第一のタイプの伝導性を有し

、  
終端トレンチが、前記終端領域に位置し、前記活性領域の境界から前記半導体基板の端  
の一定距離内へと伸び、メサが、前記終端トレンチの端と前記基板の端との間に画定され、  
ドーパされた領域が、第二のタイプの伝導性を有し、前記終端トレンチの下で前記基板  
に配置され、M O S ゲートが、前記境界に隣接する側壁上に形成され、前記ドーパされた領域は前記  
境界から離隔された前記 M O S ゲートの一部の下から前記終端トレンチの離れた側壁へ向  
かって伸び、終端構造酸化膜が、前記終端トレンチ上に形成され、前記 M O S ゲートの一部を覆い、  
前記基板の端へ向かって伸び、前記終端構造酸化膜、及び前記ドーパされた領域が、互い  
に接触し、それらの間に界面を画定し、

第一の導電層が、前記半導体基板の裏面上に形成され、

第二の導電層が、前記活性領域、前記 M O S ゲートの露出した部分上に形成され、前記  
終端構造酸化膜の少なくとも一部を覆うために伸びる、ことを含むパワートランジスタ又

10

20

はショットキーダイオードのための終端構造。

【請求項 2】

前記半導体基板の前記活性領域で互いに離隔されて形成された複数のトレンチ MOS デバイスをさらに含む請求項 1 に記載の終端構造。

【請求項 3】

前記 MOS ゲートが、導電層、及び前記終端トレンチの底部と前記導電層との間に形成されたゲート酸化膜、を含む請求項 1 に記載の終端構造。

【請求項 4】

前記トレンチ MOS デバイスがショットキーダイオードである請求項 2 に記載の終端構造。

【請求項 5】

前記ショットキーダイオードが、前記基板の前記活性領域に少なくとも一つのトレンチを含む TMB S ショットキーダイオードである請求項 4 に記載の終端構造。

【請求項 6】

前記パワートランジスタ又はショットキーダイオードが、ショットキーダイオード、DMOSs 及び IGBTs から成る群から選択されるデバイスである請求項 1 に記載の終端構造。

【請求項 7】

前記終端構造酸化膜上に位置し、且つ前記第二の導電層から離隔された一以上のセグメント化された金属領域をさらに含む請求項 1 に記載の終端構造。

【請求項 8】

半導体基板が、前記半導体基板の活性領域において互いに離隔されて形成された複数のトレンチ MOS デバイスを有し、前記基板が第一のタイプの伝導性を有し、

終端トレンチが、終端領域に位置し、前記活性領域の境界から前記半導体基板の端の一定距離内まで伸び、メサが、前記終端トレンチの端と前記基板の端との間に画定され、

ドーピングされた領域が、第二タイプの伝導性を有し、前記終端トレンチの下で前記基板に配置され、

MOS ゲートが、前記境界に隣接する側壁に形成され、前記ドーピングされた領域が、前記境界から離隔された前記 MOS ゲートの一部の下から前記終端トレンチの離れた側壁まで伸び、

終端構造酸化膜が、前記終端トレンチ上に形成され、前記 MOS ゲートの一部を覆い、前記基板の端まで伸び、前記終端構造酸化膜、及び前記ドーピングされた領域が、互いに接触し、それらの間に界面を画定し、

第一の導電層が、前記半導体基板の裏面に形成され、

第二の導電層が、前記活性領域上に形成され、隣接する一以上の前記トレンチ MOS デバイスの間に位置し、前記基板の一以上の部分を備える一以上のショットキーバリアを形成し、

電界プレートが、前記 MOS ゲートの露出された一部及び前記終端構造酸化膜の少なくとも一部上に伸びる、ことを含むショットキーダイオード。

【請求項 9】

前記電界プレートが、前記終端トレンチ内への又は前記終端トレンチを覆う前記第二の導電層の拡張を含む請求項 8 に記載のショットキーダイオード。

【請求項 10】

前記半導体基板が、第一の層及びベース基板を含み、前記第一の層が低濃度にドーピングされた第一のタイプの導電性不純物を有し、前記ベース基板が高濃度にドーピングされた前記第一のタイプの導電性不純物を有する請求項 8 に記載のショットキーダイオード。

【請求項 11】

前記トレンチ MOS デバイス及び前記終端トレンチが、前記第一の層に形成され、 $1\ \mu\text{m} \sim 15\ \mu\text{m}$  の深さを有する請求項 10 に記載のショットキーダイオード。

【請求項 12】

前記終端トレンチが、10  $\mu\text{m}$  ~ 200  $\mu\text{m}$ の幅を有する請求項11に記載のショットキーダイオード。

【請求項13】

前記終端トレンチが、前記活性領域の前記境界から形成され、前記半導体基板の端の一定距離内まで伸び、前記終端トレンチが少なくとも一つの側壁を有する請求項8に記載のショットキーダイオード。

【請求項14】

前記トレンチMOSデバイス及び前記MOSゲートが、金属、多結晶シリコン及びアモルファスシリコンから成る群から選択される材料を含む請求項8に記載のショットキーダイオード。

【請求項15】

前記終端構造酸化膜上に位置し、前記電界プレートから離隔された一以上のセグメント化された金属領域をさらに含む請求項8に記載のショットキーダイオード。

【請求項16】

互いに0.3  $\mu\text{m}$  ~ 50  $\mu\text{m}$ で離隔された少なくとも二つのセグメント化された金属領域をさらに含む請求項15に記載のショットキーダイオード。

【発明の詳細な説明】

【技術分野】

【0001】

本出願は、2010年10月21日出願された“Trench DMOS Device with Improved Termination Structure for High Voltage Applications”というタイトルの米国特許出願第12/909033号から優先権を主張し、参照により本明細書に組み込まれる。

【0002】

本発明は、一般的には半導体デバイスに、より具体的にはトレンチMOSデバイスのための終端構造に関する。

【背景技術】

【0003】

従来、ショットキーダイオードは、典型的には単結晶シリコンから作製される、高濃度にドーピングされた半導体基板を含む。ドリフト層を指す第二の層は、基板を覆い、且つ基板と同じ伝導タイプのキャリアを有する、低濃度にドーピングされた層である。金属層、又はより現在では金属シリサイドは、低濃度にドーピングされた領域を備えるショットキー接触を形成し、且つダイオードアノードを形成する。

【0004】

ショットキーダイオード等の単極の構成要素を形成する際に、二つの反対の制約が生じる。特に、構成要素は可能な限り低いオン状態抵抗( $R_{on}$ )を示す一方で、高い降伏電圧を有する。オン状態抵抗を最小化することは、少なくドーピングされた層の厚みの最小化、及びこの層のドーピングの最大化を課す。逆に、高い逆方向降伏電圧を得るために、少なくドーピングされた層のドーピングは、最小化されなくてはならず、その厚さは最大化されなくてはならない一方で、等電位面が強く曲げられた領域の生成を回避する。

【0005】

これらの反対の制約を調整するために、様々な解決法が提示されてきた結果、トレンチMOSキャパシタンスショットキーダイオード構造体の発展へと繋がってきて、これらはトレンチMOSパリアショットキー(TMBS)ダイオードと呼ばれる。このような構造体の例において、導電領域、例えば高濃度にドーピングされたNタイプ多結晶シリコン領域は、下部の基板よりも少なくNタイプドーピングされた厚いドリフト領域の上部に形成される。絶縁層は、その厚い層から導電領域を絶縁する。アノード層は、全ての構造体を覆い、絶縁された導電領域の上部表面と接触し、且つ低濃度にドーピングされた半導体領域を備えるショットキー接触を形成する。

10

20

30

40

50

## 【0006】

逆バイアスのとき、絶縁された導電領域は、ドリフト領域内に横方向の枯渇を引き起こし、この層内の等電位面の分布を変更する。このことは、ドリフト領域のドーピングの増加を可能にし、こうして逆方向降伏電圧に対して悪影響を及ぼすことなくオン状態抵抗を減少させることが可能である。

## 【0007】

図1は、従来のTMBSショットキーダイオード又は整流器の簡略化された部分図である。ダイオードは高濃度にドーブされたNタイプのシリコンウエハ1から形成され、その上に低濃度にドーブされたNタイプのエピタキシャル層2が形成される。このエピタキシャル層に、例えばトレンチ型であり得る穴が形成される。導電性領域3は穴に形成され、例えばドーブされた多結晶シリコンから形成される。絶縁層4は、導電性領域それぞれと対応する穴（例えば、トレンチ）の壁との間に入る。絶縁層4は、例えば熱酸化によって形成されてもよく、且つ穴はコンフォーマルな堆積と、それに続く平坦化段階によって多結晶シリコンで埋められてもよい。この後、単結晶シリコン領域6及び多結晶シリコンで埋められた領域との上部にシリサイド5を形成可能な金属、例えばニッケルが堆積される。シリサイドが形成されるとすぐに、シリコンと反応していない金属は選択的エッチングによって除去される。この後、アノード金属堆積物7が、上部表面側で形成され、且つカソード金属堆積物8が下部表面側で形成される。

## 【0008】

高い電圧のショットキー整流器を達成するために重要な問題は、その終端領域の設計である。任意の電圧の設計に関して、終端領域は、自己マルチセルプロテクションが無いこと及び曲率効果により、より高い電界になる傾向にある。結果として、降伏電圧は典型的にはその理想値から劇的に減少する。この減少を回避するために、（活性領域付近の）デバイスの端で電界が込み合うことを低減するように終端領域は設計されるべきである。込み合う電界を低減するための従来のアプローチは、シリコン領域の局所的な酸化（LOCOS）、電界プレート、ガードリング、トレンチ、及びそれらの多様な組み合わせを備えた終端構造を含む。このような終端領域を含むショットキーダイオードの一例は、特許文献1で開示される。

## 【先行技術文献】

## 【特許文献】

## 【0009】

【特許文献1】米国特許第6396090号明細書

## 【発明の概要】

## 【発明が解決しようとする課題】

## 【0010】

残念ながら、高電圧用途に関して、終端領域表面での電界分布が理想からまだ離れているので、これら従来の終端領域に関する設計は、限定的な成功だけを有してきた。同時に、ホットキャリア注入及び寄生電荷の蓄積に起因する劣化による他の問題が生じる。

## 【課題を解決するための手段】

## 【0011】

本発明の一側面によれば、終端構造はパワートランジスタのために提供される。終端構造は、活性領域及び終端領域を有する半導体基板を含む。基板は第一のタイプの伝導性を有する。終端トレンチは、終端領域に位置し、且つ活性領域の境界から、半導体基板の端の一定距離内まで伸びる。ドーブされた領域は、終端トレンチの下で基板に配置された、第二のタイプの伝導性を有する。MOSゲートは、境界に隣接した側壁上に形成される。ドーブされた領域は、ドーブされた領域は、境界から離隔されたMOSゲートの一部の下から、終端トレンチの離れた側壁に向かって伸びる。終端構造酸化膜は終端トレンチに形成され、且つMOSゲートの一部を覆い、且つ基板の端に向かって伸びる。第一の導電層は、半導体基板の裏面に形成される。第二の導電層は、活性領域である、MOSゲートの露出された部分上に形成され、且つ終端構造酸化膜の内の少なくとも一部を覆うために伸

びる。

【図面の簡単な説明】

【 0 0 1 2 】

【図 1】従来の T M B S ショットキーダイオード又は整流器の、単純化された部分図である。

【図 2】本発明に従って構成される T M B S ショットキーダイオードの活性領域及び終端領域の断面図を示す。

【図 3】ドーピングされた領域がある場合とない場合との両方での、図 2 のデバイスに関する、逆バイアスに対するリーク電流の依存性を示す。

【図 4】ドーピングされた領域がある場合とない場合との両方での、図 2 のデバイスの A - A ' 線に沿った異なる位置での電界を示す。

【図 5】ドーピングされた領域がある場合とない場合との両方での、図 2 のデバイスに関する電界の y 軸ベクトル構成要素を示す。

【図 6】図 2 のデバイスを製造するために採用され得る工程段階の一実施例を示す。

【図 7】図 2 のデバイスを製造するために採用され得る工程段階の一実施例を示す。

【図 8】図 2 のデバイスを製造するために採用され得る工程段階の一実施例を示す。

【図 9】図 2 のデバイスを製造するために採用され得る工程段階の一実施例を示す。

【図 10】図 2 のデバイスを製造するために採用され得る工程段階の一実施例を示す。

【図 11】図 2 のデバイスを製造するために採用され得る工程段階の一実施例を示す。

【図 12】本発明の他の一つの実施形態に従って構成された T M B S ショットキーダイオードの活性領域及び終端領域の断面図を示す。

【図 13】図 2 及び図 12 のデバイスに関する、逆バイアスに対するリーク電流の依存性を示す。

【図 14】図 2 及び図 12 のデバイスに沿った異なる位置での電界を示す。

【図 15】本発明に従って構成された T M B S ショットキーダイオードの代替実施形態を示す。

【発明を実施するための形態】

【 0 0 1 3 】

以下に詳細に記載されるように、前述の問題を低減する終端構造が提供される。特に、シリコン / 誘電体界面での直交する電界構成要素の減少によるホットキャリア ( H o t C a r r i e r I n j e c t i o n ) 注入劣化に対してより良い耐性を示す。なぜならこの界面が誘電体にトラップされる電荷の度合いを増加するからである。寄生電荷によって引き起こされる問題は、( i ) 電界のピークを増加させることなく、寄生電荷の存在下で電界を移動させることが可能な、電界が “ フレキシブルに ” 分布できるような終端構造を設計すること、又は ( i i ) 導電板を浮かせることで寄生電荷を遮断することのいずれかによって低減され得る。

【 0 0 1 4 】

図 2 は、T M B S ショットキーダイオードの活性領域及び終端領域の断面図を示す。活性領域は、第一の伝導性タイプ (例えば、n + タイプ) のドーパントによって高濃度にドーピングされる半導体基板 1 1 0 B を含む。第一の層 1 0 0 A は、基板 1 0 0 B 上に形成され、且つ第一の伝導性タイプ (例えば、n - タイプ) のドーパントによってより低濃度にドーピングされる。(一つだけ示される) トレンチ 1 1 0 は、第一の層 1 0 0 A に形成される。トレンチ 1 1 0 は、絶縁層 1 2 5 によって覆われ、且つドーピングされた多結晶シリコンなどの導体材料 1 4 0 によって満たされる。金属層 1 6 0 は、導体材料 1 4 0 及び第一の層 1 0 0 A の露出された表面上に形成される。ショットキー接触は、金属層 1 6 0 と第一の層 1 0 0 A との間の界面で形成される。アノード金属 1 6 5 は、金属層 1 6 0 上に形成される。(図示されない) カソード電極は、半導体基板 1 0 0 B の背面上に配される。

【 0 0 1 5 】

図 2 に示される T M B S ショットキーダイオードの終端領域は、活性領域を備える境界 1 1 2 から、半導体基板 1 0 0 B の端から一定距離内まで、伸びる終端トレンチ 1 2 0 を

10

20

30

40

50

含む。MOSゲート122は、活性領域を備える境界112に隣接する終端領域の側壁上に形成される。MOSゲート122は、絶縁材料128及び導電材料122を含む。絶縁材料128は、MOSゲート122が配される側壁、及び側壁に隣接する第一の層100Aの一部を覆う。導電材料122は、絶縁材料128を覆う。終端酸化膜150は終端トレンチに形成され、且つMOSゲート122からデバイスの端（端の前に終わるかもしれないが）に向かって伸びる。ドーパされた領域152は、第一の層100Aに形成され、且つ第一の層100Aの伝導性タイプと反対の伝導性タイプ（例えば、p-タイプ）のドーパントによってドーパされる。ドーパされた領域152は、MOSゲート122及び終端酸化膜150の一部の下に位置する。ドーパされた領域152の端は、境界112へ伸びてよく、MOSゲート122及び128の角を囲む。活性領域に位置するアノード金属165は、終端領域内へ伸び、且つMOSゲート122及び終端酸化膜の一部を覆い、それによって電界プレートを画定する。

10

#### 【0016】

ドーパされた領域152が終端構造で採用されなかった場合、高い電圧の場所でさらに高い電界が生じることになる。これは、アノード電極とカソード電極との間の限定された枯渇領域内で全ての逆バイアスが維持され、nタイプドリフト層で比較的高いドーピングによって限定された枯渇領域の成長によって活性領域の端で電界が急激に生じるためである。電界が込み合う程度を軽減するために、より大きな枯渇領域を通して印加される逆バイアスを降下する必要がある。同時に、半導体/酸化物界面を通して直交する電界（つまり、半導体/酸化物界面に垂直な電界構成要素）が存在する。このことが、酸化物内へのHCIの、それゆえ長期間の降伏電圧劣化の原因となる。

20

#### 【0017】

ドーパされた領域152は、この問題を低減させる。なぜなら、それは逆バイアス下で十分に枯渇しており、且つ枯渇領域を押し出すことを助け、枯渇領域の幅を効果的に拡張し、それ故デバイスの活性領域付近の電界ピークを減少させるからである。ドーパされた領域152を含まない終端構造と比較すると、図2で示されるデバイスは、理想的な降伏電圧（つまり、活性セル単独での降伏電圧）の95%の降伏電圧を有する。この結果は図3に示され、ドーパされた領域152を備える場合と備えない場合との両方における、逆バイアスに対するリーク電流の依存性を示す。

#### 【0018】

30

加えて、図2に示される終端構造は、活性領域における電界（特に、終端領域により近いセルにおける電界）を低下させることを助ける。このことは図4に示され、ドーパされた領域152を備える場合と備えない場合との両方において、デバイスに沿った異なる位置での電界を示す。この電界の低下は、ドーパされた領域152が電界をバルク内のより遠くに押し出し、それによって、トレンチ表面でのその存在を低減させる役割を果たすために生じる。

#### 【0019】

また、図2に示される終端構造は、HCI劣化に対するその耐性に関して、従来の構造よりもより良い信頼性を有すると見込まれる。このことは、キャリアを酸化膜中に注入するためのモーメントを提供する、（ドーパされた領域152を備える場合、及び備えない場合の両方で、）y軸に沿った電界を示す図5から明白である。HCIを低減するために、y軸に沿った電界は、可能な限り小さくあるべきである。終端構造は、従来の構造において最もHCIの影響を受けやすい、活性領域及びMOSゲート122におけるこの電界を有意に低下させる。

40

#### 【0020】

図2のTMBSショットキーダイオードを形成するために採用され得る方法の一実施例は、図6から図11を参照して説明されるであろう。この実施例において、ショットキーダイオード及びその終端構造は、このことは今回のように常に必要とされるわけではないが、同時に形成される。

#### 【0021】

50

図6は、第一の伝導性タイプ（例えば、 $n$ -タイプ）のドーパントを有する第一の層100A、及び第一の伝導性タイプ（例えば、 $n$ +タイプ）のドーパントによってより高濃度にドーパされるベース基板100Bを含む半導体基板100の断面図である。酸化膜101は、化学気相堆積法（CVD）によって、例えば約2000～10000の厚さまで、第一の基板100A上に形成される。次に、（図示されない）フォトレジストが、活性領域における複数の第一のトレンチ110、及び終端領域における第二のトレンチを画定するために、酸化膜101上に被覆される。トレンチ110は、メサ115によって互いに離隔されている。一実施例では、それぞれの第一のトレンチ110は、幅が約0.2 $\mu\text{m}$ ～2.0 $\mu\text{m}$ である。第二のトレンチ120は、活性領域の端からの境界を形成し、且つ半導体基板100（又はダイ（die））の端から一定距離内まで伸び、且つ終端領域を画定する。メサ180は、活性領域から最も遠い第二のトレンチ120の端と、基板100の端との間に画定される。

10

#### 【0022】

図7では、TEOS層112等の誘電体層が構造全体に堆積され、且つ図8では、トレンチ120の側壁それぞれに対して位置するスペーサ114を除いてトレンチ120から除去されるようにエッチバックされる。その後、ホウ素等の $p$ タイプドーパントが、ドーパされた領域152を形成するために第一の層110Aに埋め込まれる。

#### 【0023】

図9を参照すると、酸化膜101及びTEOSスペーサ114の除去後、ゲート酸化膜125を形成するために高温酸化工程が実施される。ゲート酸化膜125は、一部実施例では約150～3000の厚さを有し、第一トレンチ110及び第二トレンチ120の、側壁110A、120A及び底部110B、120B、並びにメサ115の表面上に形成される。酸化工程の代わりに、ゲート酸化膜125がHTO（高温酸化物堆積）層を形成するための高温堆積によって形成されてもよい。

20

#### 【0024】

次に、第一の導電層140が、ゲート酸化物125上にCVDによって形成され、第一のトレンチ110及び第二のトレンチ120を満たす。第一の導電層140は、メサ115を覆うような厚さを有する。第一の導電層140は、金属、ドーパされた多結晶シリコン又はドーパされたアモルファスシリコン等の任意の適切な材料でよい。第一の導電層140は、約0.5 $\mu\text{m}$ ～3.0 $\mu\text{m}$ の厚さを有してよい。第一のトレンチ110の内側の部分にボイドが形成されることを防止するために、第一の導電層140はLPCVD（低圧CVD）工程によって形成された多結晶シリコンであり得、良好な段差被覆性を有する。しかしながら、一部の場合で、多結晶シリコンよりもアモルファスシリコンの方がボイドを除去することが可能であり得る。アモルファスシリコンを導電性にするために、再結晶工程を採用してもよい。

30

#### 【0025】

ここで図10を参照すると、余分な第一の導電層140を除去するために異方性エッチングが実施される。このエッチング工程の後、スペーサのようなMOSゲート122が、第二のトレンチ120の側壁125Aを覆う酸化膜125上に導体材料から形成される。一部実施例では、スペーサのようなMOSゲート122は、第二のトレンチ120の高さと（示された断面図に沿って）およそ等しい幅を有する。

40

#### 【0026】

次に、誘電体層150が、終端領域における第一の層100A上に、エッチング工程を用いて形成される。誘電体層150は、例えばLPTEOS若しくはPETEOS層、又は $\text{O}_3$ -TEOS若しくはHTO層等のTEOS層であり得る。一部実施形態では、誘電体層150の厚さは、約0.2 $\mu\text{m}$ ～1.0 $\mu\text{m}$ であり得る。誘電体層150はMOSゲート122を部分的に覆う。

#### 【0027】

次に、図11では、スパッタリング又は他の適した工程が、メサ115上にショットキー接触領域115Aを形成するように第二の導電層160を堆積するために実施される。

50

第二の導電層 160 は、下部の第一の層 100A を備えるショットキーダイオードを形成可能な任意の材料から形成され得る。例えば、第二の導電層 160 は、金属シリサイド層であり得る。ショットキー接触の形成後、導電層 160 は除去される。

#### 【0028】

続いて本方法は、導電層 160 と同一の広がりであり得るダイオードアノード電極 165 を形成するために、導体を堆積し、エッチングする。同様に、カソード電極 170 が、基板 100B の背面上に形成される。

#### 【0029】

図 12 は、図 12 において一以上の追加のセグメント化された金属領域 167 が終端トレンチ 120 における誘電体層 150 上に位置すること以外は、図 2 に示される実施形態と類似である本発明の代替実施形態を示す。セグメント化された金属領域 167 は、逆バイアスの適応を強化するために用いられ、こうして活性領域付近での電界を低減することを助ける。セグメント化された金属領域 167 は、追加のエッチング段階を伴って、アノード電極 165 に沿って形成され得る。図 13 は、図 2 及び図 12 で示された本実施例の降伏電圧性能を示す。明らかに、図 12 の実施形態は、より高い降伏電圧（理論値の 97%）を有する。図 12 の実施例での優れた降伏電圧は、図 14 の電界プロファイルで示唆されたように、活性セル及びアノードの終端におけるわずかにより低い電界に起因し得る。

#### 【0030】

（実施例）

実例として、様々な構造の寸法及びパラメータが、本発明の一つの特定の実施形態に関して規定されることになるであろう。この実施形態では、終端トレンチ 120 は、 $10\mu\text{m} \sim 200\mu\text{m}$  の範囲の幅、及び活性領域におけるトレンチ 110 の深さと同じ又は異なり得る深さを有する。特定の設計及び所望のデバイス特性に応じて（例えば、電圧能力、速度、リーク電流）、終端トレンチ 120 の深さは  $1\mu\text{m} \sim 15\mu\text{m}$  の範囲であり得る。終端トレンチ 120 に位置する誘電体 150 は、必要とされるブロック電圧及び材料の組成に応じて、約  $1500 \sim 15000$  の厚さを有する二酸化ケイ素膜であり得る。

#### 【0031】

終端領域内への導電層 160 及び 165 の延長によって形成された電界プレートは、終端トレンチ 120 において約  $4\mu\text{m} \sim 45\mu\text{m}$  の長さを有し得る。ドーパされた領域 152 は、イオン注入によって形成され、且つ熱工程によって層 100A 内部へ追い込まれる。注入量は、約  $1 \times 10^{11} \text{ atoms/cm}^2 \sim 1 \times 10^{13} \text{ atoms/cm}^2$  であり得る。ドーパントは、ホウ素、BF<sub>2</sub> 又は他の一つの III 族元素であり得る。

#### 【0032】

図 12 で示された一以上のセグメント化された金属領域 167 が採用される場合、それらはそれぞれ約  $0.3\mu\text{m} \sim 50\mu\text{m}$  の間隔で、約  $0.4\mu\text{m}$  よりも大きい幅を有し得る。留意すべきは、上述の終端構造は、TMB S ショットキーダイオード以外のデバイスとの接続で用いられてよいことであり、これは例示のためにのみ提示されている。例えば、終端構造は、二重拡散金属 - 酸化物 - 半導体電界効果トランジスタ (DMOSFET)、絶縁ゲートバイポーラトランジスタ (IGBT) 及び他のトレンチ MOS デバイス等の任意のパワートランジスタに適用可能である。

#### 【0033】

更なる実施形態が図 15 に示され、複数（ここでは 3 つ）の終端トレンチ 120 があってもよいことを示す。終端トレンチ 120 それぞれのトレンチ幅 ( $tw1$ 、 $tw2$ 、 $tw3$ ) は、同じ又は異なり得る。同様に、メサ幅 ( $mw1$ 、 $mw2$ ) は、互いに同一又は異なり得る。アノード金属は、第一のトレンチにおいて終えることもでき、又は終端領域で任意の位置を取ることができる。図 12 に示される実施形態と同様に、アノード金属は降伏能力を強化するためにセグメント化され得る。

#### 【符号の説明】

#### 【0034】

10

20

30

40

50



1	シリコンウエハ	
2	エピタキシャル層	
3	導電性領域	
4	絶縁層	
5	シリサイド	
6	単結晶シリコン領域	
7	アノード金属堆積物	
8	カソード金属堆積物	
1 0 0	半導体基板	
1 0 0 A	第一の層	10
1 0 0 B	第二の層	
1 0 1	酸化膜	
1 1 0	トレンチ	
1 1 0 A、1 2 0 A	側壁	
1 1 0 B、1 2 0 B	底部	
1 1 2	境界	
1 1 2	誘電体層	
1 1 5	メサ	
1 2 0	第二のトレンチ	
1 2 2	M O S ゲート	20
1 2 5	ゲート酸化膜	
1 2 8	絶縁材料	
1 4 0	導体材料	
1 5 0	誘電体層	
1 5 2	ドーピングされた領域	
1 6 0	導電層	
1 6 5	ダイオードアノード電極	
1 6 7	金属領域	
1 7 0	カソード電極	
1 8 0	メサ	30

【図 1】

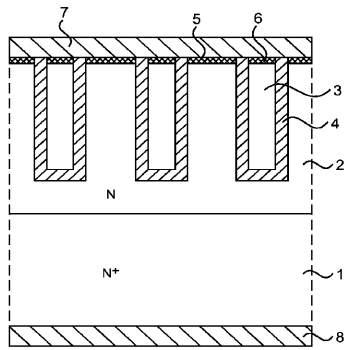


FIG. 1

【図 2】

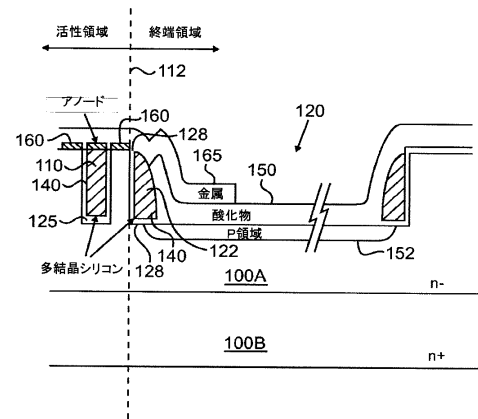


FIG. 2

【図 3】

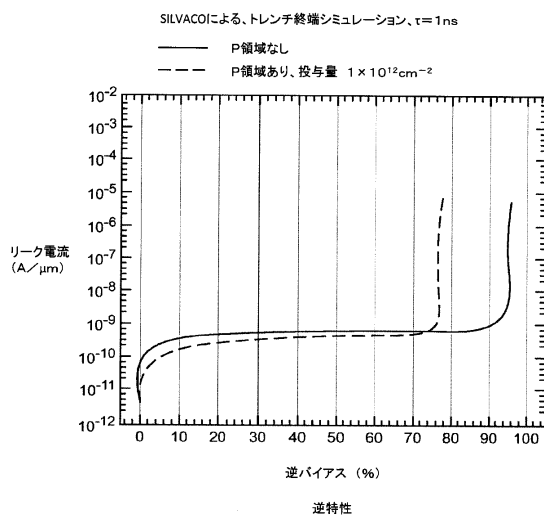


FIG. 3

【図 4】

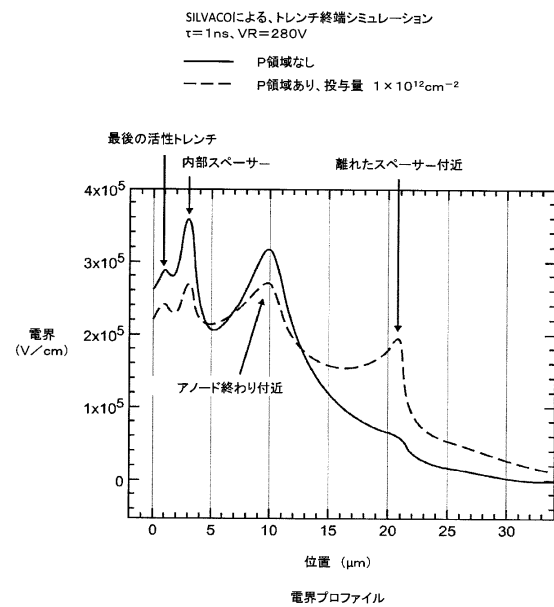


FIG. 4

【図 5】

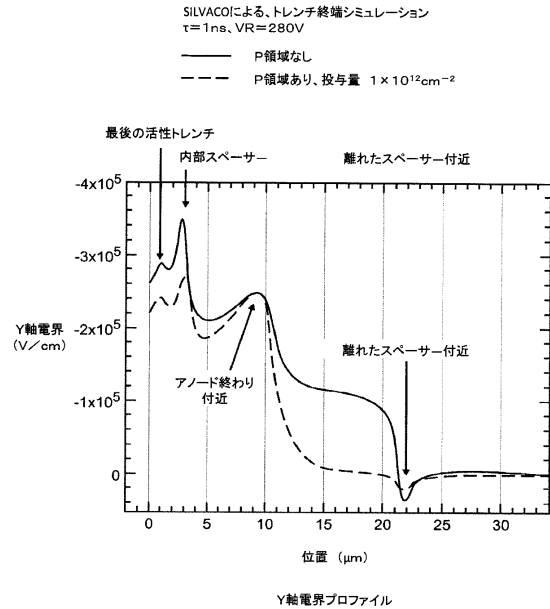


FIG. 5

【図 6】

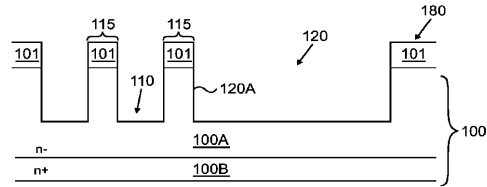


FIG. 6

【図 7】

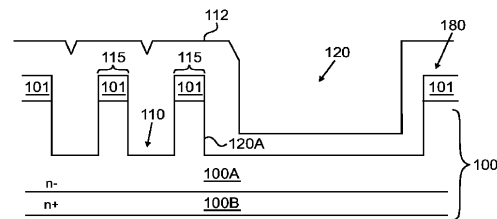


FIG. 7

【図 8】

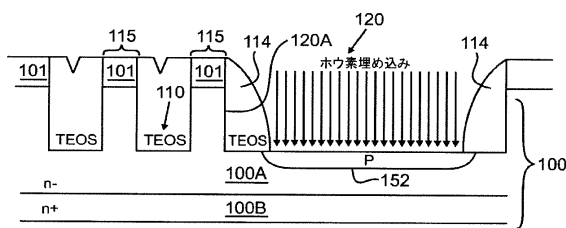


FIG. 8

【図 11】

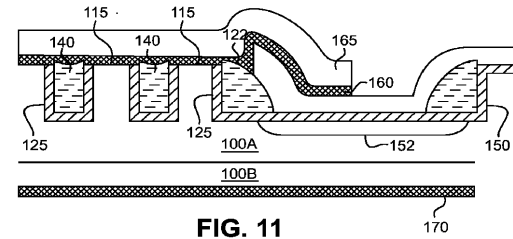


FIG. 11

【図 9】

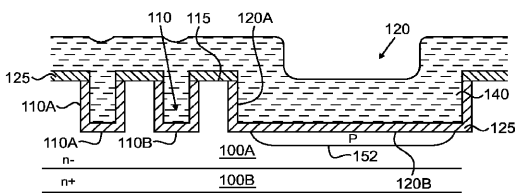


FIG. 9

【図 12】

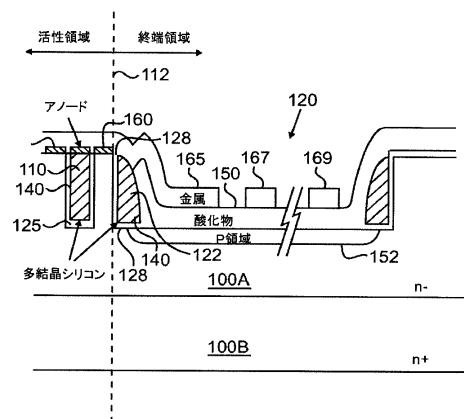


FIG. 12

【図 10】

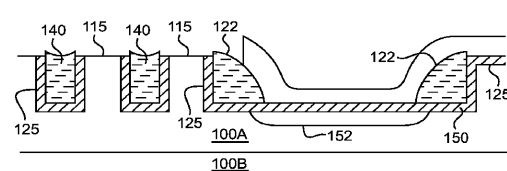


FIG. 10

【 図 1 3 】

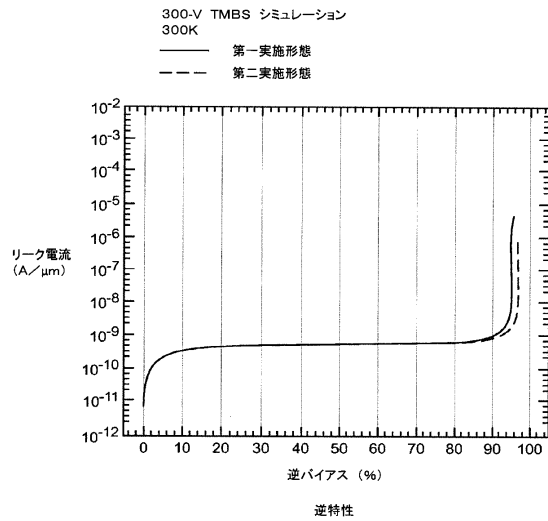


FIG. 13

【 図 1 4 】

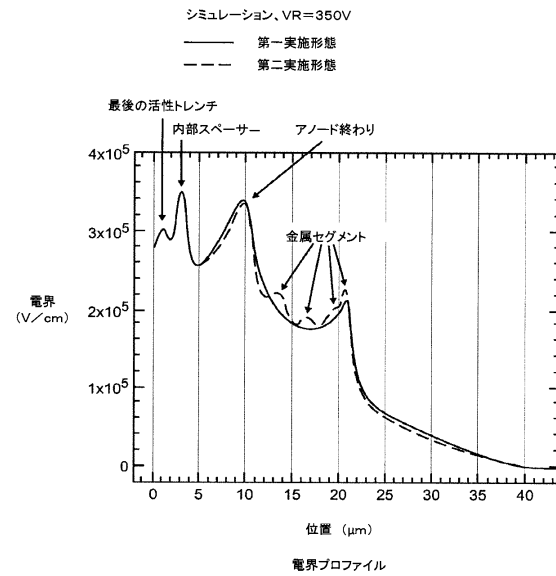
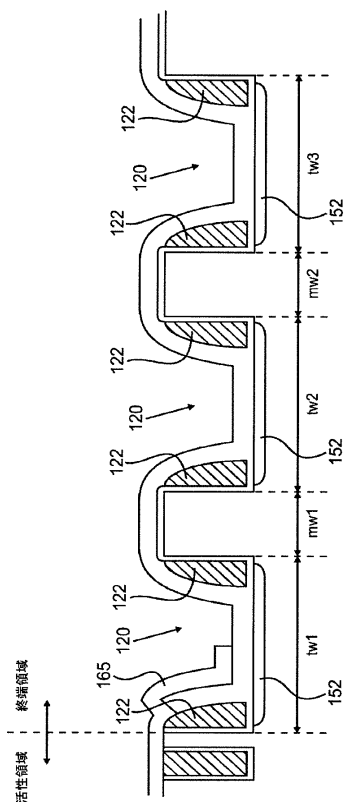


FIG. 14

【 図 1 5 】



**FIG. 15**

## フロントページの続き

(51)Int.Cl.		F I	
H 0 1 L 29/41	(2006.01)	H 0 1 L 29/48	F
		H 0 1 L 29/44	Y
		H 0 1 L 29/06	3 0 1 M
		H 0 1 L 29/06	3 0 1 F
		H 0 1 L 29/06	3 0 1 D
		H 0 1 L 29/06	3 0 1 V

(74)代理人 100110364

弁理士 実広 信哉

(72)発明者 チ・ウェイ・スー

台湾・タイペイ・105・ナンジン・イースト・ロード・15-1・アレー・36・レーン・250・セクション・5・1エフ

(72)発明者 フローリン・ウドレア

イギリス・ケンブリッジ・GB2・2RB・バブラハム・ロード・23

(72)発明者 イ・イン・リン

台湾・タイペイ・10664・ルイ・アン・ストリート・レーン・222・ナンバー・46・1エフ

審査官 早川 朋一

(56)参考文献 米国特許出願公開第2009/0057756(US,A1)

米国特許出願公開第2005/0062124(US,A1)

特開2002-208711(JP,A)

特表2008-533696(JP,A)

特開2007-258742(JP,A)

特開2002-164541(JP,A)

特表2013-522909(JP,A)

(58)調査した分野(Int.Cl., DB名)

H 0 1 L 29/78

H 0 1 L 21/336

H 0 1 L 29/739

H 0 1 L 29/861-29/885

H 0 1 L 21/329

H 0 1 L 29/06-29/10

H 0 1 L 29/41-29/423