

# 公告本

第 90108015 號專利申請案  
中文說明書修正本

90 年 12 月 28 日修正/更正/補充

民國 90 年 12 月呈

|      |              |
|------|--------------|
| 申請日期 | 90 年 4 月 3 日 |
| 案 號  | 90108015     |
| 類 別  | H01L 23/522  |

A4  
C4

508784

(以上各欄由本局填註)

| 發明專利說明書    |               |                                                                                                                                                                  |
|------------|---------------|------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 一、發明<br>名稱 | 中 文           | 半導體裝置的製造方法及半導體裝置                                                                                                                                                 |
|            | 英 文           |                                                                                                                                                                  |
| 二、發明<br>人  | 姓 名           | (1) 原和里<br>(2) 船津圭亮<br>(3) 今井俊則                                                                                                                                  |
|            | 國 籍           | (1) 日本                      (2) 日本                      (3) 日本                                                                                                   |
|            | 住、居所          | (1) 日本國東京都千代田區丸之內一丁目五番一號<br>新丸大樓日立製作所(股)知的所有權本部內<br><br>(2) 日本國東京都千代田區丸之內一丁目五番一號<br>新丸大樓日立製作所(股)知的所有權本部內<br><br>(3) 日本國東京都千代田區丸之內一丁目五番一號<br>新丸大樓日立製作所(股)知的所有權本部內 |
|            |               |                                                                                                                                                                  |
| 三、申請人      | 姓 名<br>(名稱)   | (1) 日立製作所股份有限公司<br>株式会社日立製作所                                                                                                                                     |
|            | 國 籍           | (1) 日本                                                                                                                                                           |
|            | 住、居所<br>(事務所) | (1) 日本國東京都千代田區神田駿河台四丁目六番<br>地                                                                                                                                    |
|            | 代 表 人<br>姓 名  | (1) 庄山悅彦                                                                                                                                                         |

裝

訂

線

|      |              |
|------|--------------|
| 申請日期 | 90 年 4 月 3 日 |
| 案 號  | 90108015     |
| 類 別  |              |

A4  
C4

( 以上各欄由本局填註 )

| 發 明 專 利 說 明 書 |                 |                                                                   |
|---------------|-----------------|-------------------------------------------------------------------|
| 一、發明<br>新型名稱  | 中 文             |                                                                   |
|               | 英 文             |                                                                   |
| 二、發明<br>創作人   | 姓 名             | (4) 野口純司<br>(5) 大橋直史                                              |
|               | 國 籍             | (4) 日本 (5) 日本<br>(4) 日本國東京都千代田區丸之內一丁目五番一號<br>新丸大樓日立製作所（股）知的所有權本部內 |
|               | 住、居所            | (5) 日本國東京都千代田區丸之內一丁目五番一號<br>新丸大樓日立製作所（股）知的所有權本部內                  |
|               |                 |                                                                   |
| 三、申請人         | 姓 名<br>( 名稱 )   |                                                                   |
|               | 國 籍             |                                                                   |
|               | 住、居所<br>( 事務所 ) |                                                                   |
|               | 代 表 人<br>姓 名    |                                                                   |

經濟部智慧財產局員工消費合作社印製

裝  
訂  
線

(由本局填寫)

|        |
|--------|
| 承辦人代碼： |
| 大類：    |
| IPC分類： |

A6  
B6

本案已向：

國（地區） 申請專利，申請日期： 案號： ，☐有 ☐無主張優先權

日本 2000 年 4 月 25 日 2000-123839 ☒有主張優先權

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

（請先閱讀背面之注意事項再填寫本頁各欄）

裝

訂

線

經濟部智慧財產局員工消費合作社印製

## 五、發明說明 ( 1 )

### 【發明領域】

本發明係關於半導體裝置的製造技術，特別是關於適用於利用所謂的金屬鑲嵌(Damascene)法所形成的多層配線構造，以及具有這種多層配線構造的半導體裝置之有效的技術。

### 【發明背景】

### 【習知技藝之說明】

伴隨著半導體裝置的高性能化以及微細化，多層配線技術在半導體裝置的製造中變成必要的技術。半導體積體電路中的配線層的形成法已知有在金屬間介電層上形成鋁(Al)合金或鎢(W)等的高熔點金屬薄膜後，利用微影(Photolithography)製程在配線用薄膜上形成與配線圖案同一形狀的光阻圖案(Resist pattern)，以此光阻圖案為罩幕(Mask)利用乾式蝕刻(Dry etching)製程形成配線圖案。但是，以使用此鋁合金等的方法伴隨著配線的微細化使配線電阻的增大變得顯著，伴隨於此配線延遲也增加，有半導體裝置的性能降低等的問題。特別是在高性能邏輯 LSI(Large Scale Integrated Circuit)中，其性能阻礙要因會產生大的問題。

因此，在埋入以銅(Cu)為主導體層的配線用金屬於形成於金屬間介電層的溝槽上後，藉由利用 CMP(化學機械研磨，Chemical Mechanical Polishing)法除去溝槽外部的多餘金屬，在溝槽內形成配線圖案之方法(所謂的金屬鑲嵌法)被檢



## 五、發明說明 ( 2 )

討。

### 【發明概要】

可是，對形成埋入銅配線的溝槽之金屬間介電層，由下層依次沉積蝕刻終止(Etching stopper)膜以及 TEOS 氧化膜的疊層構造被提出。TEOS 氧化膜係利用使用 TEOS(矽酸四乙酯，Tetra Ethyl Ortho Silicate:  $\text{Si}(\text{OC}_2\text{H}_5)_4$ )氣體與臭氧( $\text{O}_3$ )氣體的電漿 CVD(化學氣相沉積，Chemical Vapor Deposition)法來形成。蝕刻終止膜當以 TEOS 氧化膜構成金屬間介電層時，一般係使用氮化矽膜。

但是，因氮化矽膜的電容率(Specific inductive capacity)高達 7 左右，故若在金屬間介電層中配設氮化矽膜的話，會發生金屬間介電層全體的電容率變高的問題。此將招致配線間電容的增大，與半導體裝置的動作速度劣化或功率消耗(Power consumption)的增大有關連。在金屬間介電層中包含氮化矽膜的技術例如揭示於 USP6,051,508。

因此，電容率相對地低到 2~3 左右，對 TEOS 氧化膜獲得蝕刻選擇比的低介電常數(Dielectric constant)材料之採用被檢討，其中對熱較穩定，而且對溼度也具有高耐性的有機 SOG(旋塗式玻璃，Spin On Glass)膜當作構成金屬間介電層的材料被認為有希望。

但是，關於以有機 SOG 膜當作蝕刻終止膜的金屬間介電層，形成利用金屬鑲嵌法的多層配線之製程，據本發明者們所檢討認識到有如以下的問題。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

### 五、發明說明 ( 3 )

即以被形成圖案的光阻膜為罩幕，藉由依次加工 TEOS 氧化膜以及有機 SOG 膜形成溝槽圖案，然後，若以氧電漿除去上述光阻膜的話，有機 SOG 膜會生成 -OH 基，有機 SOG 膜的膜質變粗。伴隨著 -OH 基的產生，有機 SOG 膜中的水分增加，然後因加熱所產生的脫水縮合反應之膜收縮使有機 SOG 膜產生破裂 (Crack)。

本發明的目的為提供可提高金屬鑲嵌配線的可靠度之技術。

本發明的其他目的為提供可謀求降低配線間的電容、提高半導體裝置的性能之技術。

本發明的前述以及其他目的與新穎的特徵由本說明書的記述以及添附圖示應可明瞭。

若簡單地說明本案所揭示的發明之中代表的發明，如下所示。

(1)、本發明的半導體裝置的製造方法，包含：

(a)、在形成插塞或配線的底層上依次沉積第一介電層、蝕刻耐性比第一介電層還低的第二介電層以及硬罩幕之製程；

(b)、在硬罩幕上形成光阻圖案之製程；

(c)、在光阻圖案的存在下實施蝕刻處理，將光阻圖案的圖案轉移到硬罩幕之製程；

(d)、除去光阻圖案之製程；

(e)、在硬罩幕的存在下實施蝕刻處理，選擇性地將硬罩幕的圖案轉移到第二介電層之製程；以及

## 五、發明說明 ( 4 )

(f)、在硬罩幕的存在下實施蝕刻處理，將硬罩幕的圖案轉移到第一介電層之製程；其中

該第一介電層為具備具有電容率比氧化矽膜還低的有機功能基(Organic functional group)之介電層，該第二介電層為具有電容率比氮化矽膜還低的介電層。

(2)、本發明的半導體裝置的製造方法，包含：

(a)、在形成插塞或配線的底層上依次沉積第一介電層、蝕刻耐性比第一介電層還低的第二介電層以及硬罩幕之製程；

(b)、在硬罩幕上形成光阻圖案之製程；

(c)、在光阻圖案的存在下實施蝕刻處理，將光阻圖案的圖案轉移到硬罩幕之製程；

(d)、除去光阻圖案之製程；

(e)、在硬罩幕的存在下實施蝕刻處理，選擇性地將硬罩幕的圖案轉移到第二介電層之製程；以及

(f)、在硬罩幕的存在下實施蝕刻處理，將硬罩幕的圖案轉移到第一介電層之製程；其中

該第一介電層為具備具有電容率比氧化矽膜還低的有機功能基之介電層，該第二介電層為具有電容率比氮化矽膜還低的介電層，該第一介電層的沉積膜厚為 50~200nm 左右，該第二介電層的沉積膜厚為 200~2000nm 左右，該硬罩幕的沉積膜厚為 50~200nm 左右。

(3)、本發明的半導體裝置的製造方法，包含：

(a)、在形成插塞或配線的底層上依次沉積第一介電層

## 五、發明說明 ( 5 )

、相對於第一介電層蝕刻耐性低的第二介電層以及硬罩幕之製程；

(b)、在硬罩幕上形成光阻圖案之製程；

(c)、在光阻圖案的存在下實施蝕刻處理，將光阻圖案的圖案轉移到硬罩幕之製程；

(d)、除去光阻圖案之製程；

(e)、在硬罩幕的存在下實施蝕刻處理，選擇性地將硬罩幕的圖案轉移到第二介電層之製程；以及

(f)、在硬罩幕的存在下實施蝕刻處理，將硬罩幕的圖案轉移到第一介電層之製程；其中

該第一介電層為具備具有電容率比氧化矽膜還低的有機功能基之介電層，該第二介電層為具有電容率比氮化矽膜還低的介電層，該第一介電層的沉積膜厚為 200~3000nm 左右，該第二介電層的沉積膜厚為 100~500nm 左右，該硬罩幕的沉積膜厚為 50~200nm 左右。

(4)、本發明的半導體裝置的製造方法，包含：

(a)、在形成插塞或配線的底層上依次沉積黏著層、第一介電層、蝕刻耐性比第一介電層還低的第二介電層以及硬罩幕之製程；

(b)、在硬罩幕上形成光阻圖案之製程；

(c)、在光阻圖案的存在下實施蝕刻處理，將光阻圖案的圖案轉移到硬罩幕之製程；

(d)、除去光阻圖案之製程；

(e)、在硬罩幕的存在下實施蝕刻處理，選擇性地將硬

## 五、發明說明 ( 6 )

罩幕的圖案轉移到第二介電層之製程；以及

(f)、在硬罩幕的存在下實施蝕刻處理，將硬罩幕的圖案轉移到第一介電層以及黏著層之製程；其中

該第一介電層為具備具有電容率比氧化矽膜還低的有機功能基之介電層，該第二介電層為具有電容率比氮化矽膜還低的介電層，該黏著層為 50nm 以下的厚度之氧化矽膜。

(5)、本發明的半導體裝置的製造方法，包含：

(a)、在形成插塞或配線的底層實施氬回火處理後，依次沉積第一介電層、蝕刻耐性比第一介電層還低的第二介電層以及硬罩幕之製程；

(b)、在硬罩幕上形成光阻圖案之製程；

(c)、在光阻圖案的存在下實施蝕刻處理，將光阻圖案的圖案轉移到硬罩幕之製程；

(d)、除去光阻圖案之製程；

(e)、在硬罩幕的存在下實施蝕刻處理，選擇性地將硬罩幕的圖案轉移到第二介電層之製程；以及

(f)、在硬罩幕的存在下實施蝕刻處理，將硬罩幕的圖案轉移到第一介電層之製程；其中

該第一介電層為具備具有電容率比氧化矽膜還低的有機功能基之介電層，該第二介電層為具有電容率比氮化矽膜還低的介電層。

(6)、本發明的半導體裝置的製造方法，包含：

(a)、在形成插塞或配線的底層實施氬回火處理後，依

## 五、發明說明 ( 7 )

次沉積黏著層、第一介電層、蝕刻耐性比第一介電層還低的第二介電層以及硬罩幕之製程；

(b)、在硬罩幕上形成光阻圖案之製程；

(c)、在光阻圖案的存在下實施蝕刻處理，將光阻圖案的圖案轉移到硬罩幕之製程；

(d)、除去光阻圖案之製程；

(e)、在硬罩幕的存在下實施蝕刻處理，選擇性地將硬罩幕的圖案轉移到第二介電層之製程；以及

(f)、在硬罩幕的存在下實施蝕刻處理，將硬罩幕的圖案轉移到第一介電層以及黏著層之製程；其中

該第一介電層為具備具有電容率比氧化矽膜還低的有機功能基之介電層，該第二介電層為具有電容率比氮化矽膜還低的介電層，該黏著層為 50nm 以下的厚度之氧化矽膜。

(7)、本發明的半導體裝置的製造方法，包含：

(a)、在形成插塞或配線的底層上依次沉積第一介電層、蝕刻耐性比第一介電層還低的第二介電層以及硬罩幕之製程；

(b)、在硬罩幕上形成光阻圖案之製程；

(c)、在光阻圖案的存在下實施蝕刻處理，將光阻圖案的圖案轉移到該硬罩幕之製程；

(d)、除去光阻圖案之製程；

(e)、在硬罩幕的存在下實施蝕刻處理，選擇性地將硬罩幕的圖案轉移到第二介電層之製程；以及

## 五、發明說明 ( 8 )

(f)、在硬罩幕的存在下實施蝕刻處理，將硬罩幕的圖案轉移到第一介電層之製程；其中

該第一介電層為具備具有電容率比氧化矽膜還低的有機功能基之介電層，該第二介電層為具有電容率比氮化矽膜還低的介電層，該硬罩幕為金屬膜或金屬化合物。

(8)、本發明的半導體裝置的製造方法，包含：

(a)、在形成插塞或配線的底層上依次沉積第一介電層、蝕刻耐性比第一介電層還低的第二介電層以及硬罩幕之製程；

(b)、在硬罩幕上形成光阻圖案之製程；

(c)、在光阻圖案的存在下實施蝕刻處理，將光阻圖案的圖案轉移到硬罩幕以及第二介電層的上部之製程；

(d)、除去光阻圖案之製程；

(e)、在硬罩幕的存在下實施蝕刻處理，選擇性地將硬罩幕的圖案轉移到第二介電層的下部之製程；以及

(f)、在硬罩幕的存在下實施蝕刻處理，將硬罩幕的圖案轉移到第一介電層之製程；其中

該第一介電層為具備具有電容率比氧化矽膜還低的有機功能基之介電層，該第二介電層為具有電容率比氮化矽膜還低的介電層，該硬罩幕為氮化矽膜。

(9)、本發明的半導體裝置的製造方法，包含：

(a)、在形成插塞或配線的底層上依次沉積第一介電層、蝕刻耐性比第一介電層還低的第二介電層以及硬罩幕之製程；

## 五、發明說明 ( 9 )

(b)、在硬罩幕上形成光阻圖案之製程；

(c)、在光阻圖案的存在下實施蝕刻處理，將光阻圖案的圖案轉移到硬罩幕之製程；

(d)、除去光阻圖案之製程；

(e)、在硬罩幕的存在下實施蝕刻處理，選擇性地將硬罩幕的圖案轉移到第二介電層之製程；以及

(f)、在硬罩幕的存在下實施蝕刻處理，將硬罩幕的圖案轉移到第一介電層之製程；

(g)、在基板的全面依次沉積阻障金屬層以及銅膜之製程；以及

(h)、除去阻障金屬層以及銅膜直到第二介電層的上部露出為止之製程；其中

該第一介電層為具備具有電容率比氧化矽膜還低的有機功能基之介電層，該第二介電層為具有電容率比氮化矽膜還低的介電層。

(10)、本發明的半導體裝置的製造方法，包含：

(a)、在形成插塞或配線的底層上依次沉積第一介電層、蝕刻耐性比第一介電層還低的第二介電層以及硬罩幕之製程；

(b)、在硬罩幕上形成光阻圖案之製程；

(c)、在光阻圖案的存在下實施蝕刻處理，將光阻圖案的圖案轉移到硬罩幕之製程；

(d)、除去光阻圖案之製程；

(e)、在硬罩幕的存在下實施蝕刻處理，選擇性地將硬



## 五、發明說明 ( 10 )

罩幕的圖案轉移到第二介電層之製程；以及

(f)、在硬罩幕的存在下實施蝕刻處理，將硬罩幕的圖案轉移到第一介電層之製程；

(g)、在基板的全面依次沉積阻障金屬層以及銅膜之製程；以及

(h)、除去阻障金屬層以及該銅膜直到第二介電層的上部露出為止之製程；其中

該第一介電層為具備具有電容率比氧化矽膜還低的有機功能基之介電層，該第二介電層為具有電容率比氮化矽膜還低的介電層，該第一介電層的沉積膜厚為 50~200nm 左右、該第二介電層的沉積膜厚為 200~2000nm 左右、該硬罩幕的沉積膜厚為 50~200nm 左右。

(11)、本發明的半導體裝置的製造方法，包含：

(a)、在形成插塞或配線的底層上依次沉積第一介電層、蝕刻耐性比第一介電層還低的第二介電層以及硬罩幕之製程；

(b)、在硬罩幕上形成光阻圖案之製程；

(c)、在光阻圖案的存在下實施蝕刻處理，將光阻圖案的圖案轉移到硬罩幕之製程；

(d)、除去光阻圖案之製程；

(e)、在硬罩幕的存在下實施蝕刻處理，選擇性地將硬罩幕的圖案轉移到第二介電層之製程；以及

(f)、在硬罩幕的存在下實施蝕刻處理，將硬罩幕的圖案轉移到第一介電層之製程；

## 五、發明說明 ( 11 )

(g)、在基板的全面依次沉積阻障金屬層以及銅膜之製程；以及

(h)、除去阻障金屬層以及銅膜直到第二介電層的上部露出為止之製程；其中

該第一介電層為具備具有電容率比氧化矽膜還低的有機功能基之介電層，該第二介電層為具有電容率比氮化矽膜還低的介電層，該第一介電層的沉積膜厚為 200~3000nm 左右、該第二介電層的沉積膜厚為 100~500nm 左右、該硬罩幕的沉積膜厚為 50~200nm 左右。

(12)、本發明的半導體裝置的製造方法，包含：

(a)、在形成插塞或配線的底層上依次沉積黏著層、第一介電層、蝕刻耐性比第一介電層還低的第二介電層以及硬罩幕之製程；

(b)、在硬罩幕上形成光阻圖案之製程；

(c)、在光阻圖案的存在下實施蝕刻處理，將光阻圖案的圖案轉移到該硬罩幕之製程；

(d)、除去光阻圖案之製程；

(e)、在硬罩幕的存在下實施蝕刻處理，選擇性地將硬罩幕的圖案轉移到第二介電層之製程；以及

(f)、在硬罩幕的存在下實施蝕刻處理，將硬罩幕的圖案轉移到第一介電層以及黏著層之製程；

(g)、在基板的全面依次沉積阻障金屬層以及銅膜之製程；以及

(h)、除去阻障金屬層以及銅膜直到第二介電層的上部

## 五、發明說明 ( 12 )

露出為止之製程；其中

該第一介電層為具備具有電容率比氧化矽膜還低的有機功能基之介電層，該第二介電層為具有電容率比氮化矽膜還低的介電層，該黏著層為 50nm 以下的厚度之氧化矽膜。

(13)、本發明的半導體裝置的製造方法，包含：

(a)、在形成插塞或配線的底層上實施氫回火處理後，依次沉積第一介電層、蝕刻耐性比第一介電層還低的第二介電層以及硬罩幕之製程；

(b)、在硬罩幕上形成光阻圖案之製程；

(c)、在光阻圖案的存在下實施蝕刻處理，將光阻圖案的圖案轉移到硬罩幕之製程；

(d)、除去光阻圖案之製程；

(e)、在硬罩幕的存在下實施蝕刻處理，選擇性地將硬罩幕的圖案轉移到第二介電層之製程；以及

(f)、在硬罩幕的存在下實施蝕刻處理，將硬罩幕的圖案轉移到第一介電層之製程；

(g)、在基板的全面依次沉積阻障金屬層以及銅膜之製程；以及

(h)、除去阻障金屬層以及銅膜直到第二介電層的上部露出為止之製程；其中

該第一介電層為具備具有電容率比氧化矽膜還低的有機功能基之介電層，該第二介電層為具有電容率比氮化矽膜還低的介電層。

## 五、發明說明 ( 13 )

(14)、本發明的半導體裝置的製造方法，包含：

(a)、在形成插塞或配線的底層實施氫回火處理後，依次沉積黏著層、第一介電層、蝕刻耐性比第一介電層還低的第二介電層以及硬罩幕之製程；

(b)、在硬罩幕上形成光阻圖案之製程；

(c)、在光阻圖案的存在下實施蝕刻處理，將光阻圖案的圖案轉移到硬罩幕之製程；

(d)、除去光阻圖案之製程；

(e)、在硬罩幕的存在下實施蝕刻處理，選擇性地將硬罩幕的圖案轉移到第二介電層之製程；

(f)、在硬罩幕的存在下實施蝕刻處理，將硬罩幕的圖案轉移到第一介電層之製程；

(g)、在基板的全面依次沉積阻障金屬層以及銅膜之製程；以及

(h)、除去阻障金屬層以及銅膜直到第二介電層的上部露出為止之製程；其中

該第一介電層為具備具有電容率比氧化矽膜還低的有機功能基之介電層，該第二介電層為具有電容率比氮化矽膜還低的介電層，該黏著層為 50nm 以下的厚度之氧化矽膜。

(15)、本發明的半導體裝置的製造方法，包含：

(a)、在形成插塞或配線的底層上依次沉積第一介電層、蝕刻耐性比第一介電層還低的第二介電層以及硬罩幕之製程；

## 五、發明說明 ( 14 )

(b)、在硬罩幕上形成光阻圖案之製程；

(c)、在光阻圖案的存在下實施蝕刻處理，將光阻圖案的圖案轉移到硬罩幕之製程；

(d)、除去光阻圖案之製程；

(e)、在硬罩幕的存在下實施蝕刻處理，選擇性地將硬罩幕的圖案轉移到第二介電層之製程；

(f)、在硬罩幕的存在下實施蝕刻處理，將硬罩幕的圖案轉移到第一介電層之製程；

(g)、在基板的全面依次沉積阻障金屬層以及銅膜之製程；以及

(h)、除去阻障金屬層以及銅膜直到第二介電層的上部露出為止之製程；其中

該第一介電層為具備具有電容率比氧化矽膜還低的有機功能基之介電層，該第二介電層為具有電容率比氮化矽膜還低的介電層，該硬罩幕為金屬膜或金屬化合物。

(16)、本發明的半導體裝置的製造方法，包含：

(a)、在形成插塞或配線的底層上依次沉積第一介電層、蝕刻耐性比第一介電層還低的第二介電層以及硬罩幕之製程；

(b)、在硬罩幕上形成光阻圖案之製程；

(c)、在光阻圖案的存在下實施蝕刻處理，將光阻圖案的圖案轉移到硬罩幕以及第二介電層的上部之製程；

(d)、除去光阻圖案之製程；

(e)、在硬罩幕的存在下實施蝕刻處理，選擇性地將硬

## 五、發明說明 ( 19 )

罩幕的圖案轉移到第二介電層的下部之製程；

(f)、在硬罩幕的存在下實施蝕刻處理，將硬罩幕的圖案轉移到第一介電層之製程；

(g)、在基板的全面依次沉積阻障金屬層以及銅膜之製程；以及

(h)、除去阻障金屬層以及銅膜直到第二介電層的上部露出為止之製程；其中

該第一介電層為具備具有電容率比氧化矽膜還低的有機功能基之介電層，該第二介電層為具有電容率比氮化矽膜還低的介電層，該硬罩幕為氮化矽膜。

如果依照上述手段，當以氧電漿除去為了轉移圖案到硬罩幕所使用的光阻圖案時，因第一介電層被第二介電層保護，故即使以氧電漿耐性低的有機介電層來構成第一介電層，第一介電層也不受氧電漿的影響，可抑制第一介電層的膜質變化。而且，第一介電層自身因被硬罩幕加工，故不會暴露於氧電漿。

再者，具有電容率比氮化矽膜還低的第二介電層的加工時的蝕刻用終止層，藉由使用電容率比氧化矽膜還低的有機介電層來構成之第一介電層，可以具有介電常數比氮化矽膜還低的介電層以及具有介電常數比氧化矽膜還低的有機介電層來構成包圍插塞或配線的介電層，可抑制配線間電容的增加。

再者，藉由提高硬罩幕對第一介電層的蝕刻選擇比，可厚厚地形成電容率比氧化矽膜還低的第一介電層，據此

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 ( 16 )

，可獲得抑制配線間電容的增加之高的功效。

再者，在形成構成底層的插塞或配線後，實施氬回火處理，藉由積極地產生來自插塞或配線所產生的間隙之脫氣(Degassing)，可防止形成於插塞或配線上的第一介電層之剝落。而且，藉由在插塞或配線上配設黏著層，在形成第一介電層或第二介電層時，即使產生來自插塞或配線所產生的間隙之脫氣，也能防止因脫氣的影響所造成的第一介電層之剝落。

【圖式之簡單說明】

圖 1 係顯示本發明的一實施形態(實施形態一)之半導體裝置的製造方法的一例於其製程順序之半導體基板的主要部位剖面圖。

圖 2 係顯示本實施形態一之半導體裝置的製造方法的一例於其製程順序之半導體基板的主要部位剖面圖。

圖 3 係顯示本實施形態一之半導體裝置的製造方法的一例於其製程順序之半導體基板的主要部位剖面圖。

圖 4 係顯示本實施形態一之半導體裝置的製造方法的一例於其製程順序之半導體基板的主要部位剖面圖。

圖 5 係顯示本實施形態一之半導體裝置的製造方法的一例於其製程順序之半導體基板的主要部位剖面圖。

圖 6 係顯示本實施形態一之半導體裝置的製造方法的一例於其製程順序之半導體基板的主要部位剖面圖。

圖 7 係顯示本實施形態一之半導體裝置的製造方法的

五、發明說明 ( 17 )

一例於其製程順序之半導體基板的主要部位剖面圖。

圖 8 係顯示本實施形態一之半導體裝置的製造方法的一例於其製程順序之半導體基板的主要部位剖面圖。

圖 9 係顯示本實施形態一之半導體裝置的製造方法的一例於其製程順序之半導體基板的主要部位剖面圖。

圖 10 係顯示本實施形態一之半導體裝置的製造方法的一例於其製程順序之半導體基板的主要部位剖面圖。

圖 11 係顯示本實施形態一之半導體裝置的製造方法的一例於其製程順序之半導體基板的主要部位剖面圖。

圖 12 係顯示本實施形態一之半導體裝置的製造方法的一例於其製程順序之半導體基板的主要部位剖面圖。

圖 13 係顯示本實施形態一之半導體裝置的製造方法的一例於其製程順序之半導體基板的主要部位剖面圖。

圖 14 係顯示本實施形態一之半導體裝置的製造方法的一例於其製程順序之半導體基板的主要部位剖面圖。

圖 15 係顯示本實施形態一之半導體裝置的製造方法的一例於其製程順序之半導體基板的主要部位剖面圖。

圖 16 係顯示本實施形態一之半導體裝置的製造方法的一例於其製程順序之半導體基板的主要部位剖面圖。

圖 17 係顯示本實施形態一之半導體裝置的製造方法的一例於其製程順序之半導體基板的主要部位剖面圖。

圖 18 係顯示本實施形態一之半導體裝置的製造方法的一例於其製程順序之半導體基板的主要部位剖面圖。

圖 19 係顯示本實施形態一之半導體裝置的製造方法的

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線



五、發明說明 ( 18 )

一例於其製程順序之半導體基板的主要部位剖面圖。

圖 20 係顯示本發明的其他實施形態(實施形態二)之半導體裝置的製造方法的一例於其製程順序之半導體基板的主要部位剖面圖。

圖 21 係顯示本實施形態二之半導體裝置的製造方法的一例於其製程順序之半導體基板的主要部位剖面圖。

圖 22 係顯示本實施形態二之半導體裝置的製造方法的一例於其製程順序之半導體基板的主要部位剖面圖。

圖 23 係顯示本實施形態二之半導體裝置的製造方法的一例於其製程順序之半導體基板的主要部位剖面圖。

圖 24 係顯示本實施形態二之半導體裝置的製造方法的一例於其製程順序之半導體基板的主要部位剖面圖。

圖 25 係顯示本實施形態二之半導體裝置的製造方法的一例於其製程順序之半導體基板的主要部位剖面圖。

圖 26 係顯示本實施形態二之半導體裝置的製造方法的一例於其製程順序之半導體基板的主要部位剖面圖。

圖 27 係顯示本實施形態二之半導體裝置的製造方法的一例於其製程順序之半導體基板的主要部位剖面圖。

圖 28 係顯示本實施形態二之半導體裝置的製造方法的一例於其製程順序之半導體基板的主要部位剖面圖。

圖 29 係顯示本發明的再其他實施形態(實施形態三)之半導體裝置的製造方法的一例於其製程順序之半導體基板的主要部位剖面圖。

圖 30 係顯示本實施形態三之半導體裝置的製造方法的

五、發明說明 ( 19 )

一例於其製程順序之半導體基板的主要部位剖面圖。

圖 31 係顯示本實施形態三之半導體裝置的製造方法的一例於其製程順序之半導體基板的主要部位剖面圖。

圖 32 係顯示本實施形態三之半導體裝置的製造方法的一例於其製程順序之半導體基板的主要部位剖面圖。

圖 33 係顯示本實施形態三之半導體裝置的製造方法的一例於其製程順序之半導體基板的主要部位剖面圖。

圖 34 係顯示本實施形態三之半導體裝置的製造方法的一例於其製程順序之半導體基板的主要部位剖面圖。

圖 35 係顯示本實施形態三之半導體裝置的製造方法的一例於其製程順序之半導體基板的主要部位剖面圖。

圖 36 係顯示本實施形態三之半導體裝置的製造方法的一例於其製程順序之半導體基板的主要部位剖面圖。

圖 37 係顯示本實施形態三之半導體裝置的製造方法的一例於其製程順序之半導體基板的主要部位剖面圖。

圖 38 係顯示本發明的再其他實施形態(實施形態四)之半導體裝置的製造方法的一例於其製程順序之半導體基板的主要部位剖面圖。

圖 39 係顯示本實施形態四之半導體裝置的製造方法的一例於其製程順序之半導體基板的主要部位剖面圖。

圖 40 係顯示本實施形態四之半導體裝置的製造方法的一例於其製程順序之半導體基板的主要部位剖面圖。

圖 41 係顯示本實施形態四之半導體裝置的製造方法的一例於其製程順序之半導體基板的主要部位剖面圖。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 ( 20 )

圖 42 係顯示本實施形態四之半導體裝置的製造方法的一例於其製程順序之半導體基板的主要部位剖面圖。

圖 43 係顯示本實施形態四之半導體裝置的製造方法的一例於其製程順序之半導體基板的主要部位剖面圖。

圖 44 係顯示本實施形態四之半導體裝置的製造方法的一例於其製程順序之半導體基板的主要部位剖面圖。

圖 45 係顯示本實施形態四之半導體裝置的製造方法的一例於其製程順序之半導體基板的主要部位剖面圖。

圖 46 係顯示本實施形態四之半導體裝置的製造方法的一例於其製程順序之半導體基板的主要部位剖面圖。

【符號說明】

- 1: 半導體基板
- 2: 元件隔離區域
- 3: p 井
- 4: n 井
- 5: 閘極介電層
- 6: 閘電極
- 7: 蓋介電層
- 8: 側壁間隙壁
- 9: n 型半導體區域
- 10: p 型半導體區域
- 11: 第一金屬間介電層
- 12: 連接孔

經濟部智慧財產局員工消費合作社印製

五、發明說明 ( 21 )

- 13: 插塞
- 14: 配線
- 15: 第二金屬間介電層
- 16: 連接孔
- 17: 插塞
- 18、27、34、41: 終止介電層
- 19、28、35、42: 介電層
- 20、45: 硬罩幕
- 21: 光阻膜
- 22、29、36、43: 配線溝槽
- 23、30、31、37、44: 配線
- 23a: 阻障金屬層
- 23b: 銅膜
- 24: 第三金屬間介電層
- 25、32、39: 連接孔
- 26、33、40: 插塞
- 31: 第四金屬間介電層
- 38: 第五金屬間介電層
- 46: 黏著層
- 47: 第一介電層
- 48: 第二介電層

【較佳實施例之詳細說明】

以下根據圖面詳細地說明本發明的實施形態。此外，

五、發明說明 ( 22 )

在用以說明實施形態的全圖中，對具有相同機能的構件付加相同的符號，省略其重複的說明。

(實施形態一)

圖 1~圖 9 係顯示本實施形態一之半導體裝置的製造方法的一例於製程順序之剖面圖。以下使用圖面說明製程順序。

首先如圖 1 所示，準備例如由 p 型的單晶矽所構成的半導體基板 1，在半導體基板 1 的主面形成元件隔離區域 2。元件隔離區域 2 例如可如以下來形成。首先，在半導體基板 1 的主面上依次形成氧化矽膜 (SiO<sub>2</sub>) 以及氮化矽膜 (Si<sub>3</sub>N<sub>4</sub>)，利用被形成圖案的光阻膜蝕刻此氮化矽膜，以此被蝕刻的氮化矽膜為罩幕，在半導體基板 1 上形成淺溝渠 (Shallow trench)。然後，沉積埋入淺溝渠的介電層例如氧化矽膜，利用 CMP 法等除去淺溝渠以外的區域之氧化矽膜，再利用濕式蝕刻 (Wet etching) 法等除去氮化矽膜。據此，形成元件隔離區域 2。

其次，例如以被形成圖案的光阻膜為罩幕離子植入雜質，形成 p 井 3 以及 n 井 4。對 p 井 3 離子植入顯示 p 型的導電型之雜質例如硼 (B)、對 n 井 4 離子植入顯示 n 型的導電型之雜質例如磷 (P)。然後，對各井區域離子植入用以控制 MISFET (金屬 - 絕緣體 - 半導體場效電晶體，Metal Insulator Semiconductor Field Effect Transistor) 的啓始值 (Threshold) 之雜質也可以。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

經濟部智慧財產局員工消費合作社印製

## 五、發明說明 ( 23 )

其次，依次沉積例如成為閘極介電層 5 的氧化矽膜、成為閘電極 6 的多晶矽膜以及成為蓋介電層 7 的氧化矽膜，形成疊層膜，藉由微影技術以被形成圖案的光阻膜為罩幕蝕刻前述疊層膜。據此，形成閘極介電層 5、閘電極 6 以及蓋介電層 7。閘極介電層 5 可利用例如熱 CVD 法或熱氧化法來形成，閘電極 6 可利用例如 CVD 法來形成。為了降低閘電極 6 的電阻值，依照 MISFET 的通道(Channel)型來摻雜 n 型或 p 型的雜質也可以。即對 n 通道 MISFET 的閘電極摻雜 n 型雜質、對 p 通道 MISFET 的閘電極摻雜 p 型雜質也可以。這種情形可使用離子植入法。此外，在閘電極 6 的上部疊層矽化鎢(Tungsten silicide,  $WSi_x$ )、矽化鉬(Molybdenum silicide,  $MoSi_x$ )、矽化鈦(Titan silicide,  $TiSi_x$ )、矽化鉭(Tantalum silicide,  $TaSi_x$ )等的高熔點金屬矽化物膜也可以，或中介氮化鈦(TiN)、氮化鎢(WN)等的阻障金屬(Barrier metal)層形成鎢等的金屬層也可以。據此，可降低閘電極 6 的薄片(Sheet)電阻值，提高 MISFET 的動作速度。蓋介電層 7 可利用例如 CVD 法來沉積。

其次，在半導體基板 1 上利用例如 CVD 法沉積氧化矽膜當作介電層後，藉由對此氧化矽膜進行非等向性(Anisotropic)蝕刻，於閘電極 6 的側壁形成側壁間隙壁(Side wall spacer)8。然後，例如以光阻膜為罩幕對 p 井 3 離子植入 n 型雜質(例如磷、砷(As))，在 p 井 3 上的閘電極 6 的兩側形成 n 型半導體區域 9。n 型半導體區域 9 係對閘電極 6 以及側壁間隙壁 8 自對準地(Self-aligned)形成。而且，n 型

## 五、發明說明 ( 24 )

半導體區域 9 係當作 n 通道 MISFET 的源極/汲極區域的功能。一樣，以光阻膜為罩幕對 n 井 4 離子植入 p 型雜質(例如硼(B))，在 n 井 4 上的閘電極 6 的兩側形成 p 型半導體區域 10。p 型半導體區域 10 係對閘電極 6 以及側壁間隙壁 8 自對準地形成，當作 p 通道 MISFET 的源極/汲極區域的功能。

此外，在側壁間隙壁 8 形成前形成低濃度的雜質半導體區域，在側壁間隙壁 8 形成後形成高濃度的雜質半導體區域，以所謂的 LDD(輕摻雜的汲極，Lightly Doped Drain)構造也可以。

其次，如圖 2 所示在半導體基板 1 上利用例如 CVD 法或濺鍍(Sputtering)法沉積氧化矽膜當作介電層後，藉由例如利用 CMP 法研磨其氧化矽膜形成表面被平坦化的第一金屬間介電層 11。第一金屬間介電層 11 以氮化矽膜、SOG 膜、BPSG(硼磷矽玻璃，Boron Phosphor Silicate Glass)膜、PSG(磷矽玻璃，Phosphor Silicate Glass)膜等的疊層膜來形成也可以。

其次，利用微影技術於第一金屬間介電層 11 形成連接孔 12。此連接孔 12 係形成於 n 型半導體區域 9 或 p 型半導體區域 10 上的必要部分。

其次，在連接孔 12 內例如如以下所示地形成插塞 13。首先，在包含連接孔 12 內部的半導體基板 1 的全面形成例如氮化鈦膜當作導電膜。氮化鈦膜可利用例如 CVD 法來形成。由於 CVD 法其被膜的層差被覆性優良，故即使在微細

## 五、發明說明 ( 25 )

的連接孔 12 內也能以均勻的膜厚來形成氮化鈦膜。其次，形成例如鎢膜當作埋入連接孔 12 的導電膜。鎢膜可利用例如 CVD 法來形成。若為 CVD 法則一樣可以鎢埋入連接孔 12 內。其次，可利用例如 CMP 法除去連接孔 12 以外的區域之鎢膜以及氮化鈦膜，形成插塞 13。此外，在氮化鈦膜形成前沉積例如鈦(Ti)膜，進行熱處理使連接孔 12 底部的半導體基板(n 型或 p 型半導體區域 9、10)金屬矽化物也可以。藉由形成這種金屬矽化物層，可降低連接孔 12 底部的接觸電阻。

其次，在半導體基板 1 的全面形成例如鎢膜當作導電膜，利用例如微影技術形成此鎢膜的圖案，形成第一配線層的配線 14。鎢膜可利用例如 CVD 法或濺鍍法來形成。

其次，如圖 3 所示形成覆蓋配線 14 的介電層例如氧化矽膜，利用 CMP 法平坦化此介電層形成第二金屬間介電層 15。

其次，在例如第二金屬間介電層 15 上於形成連接孔的區域形成具有開孔的光阻膜，以此光阻膜為罩幕實施蝕刻。據此，在第二金屬間介電層 15 的預定區域形成溝槽之連接孔 16。

其次，在連接孔 16 內形成例如由導電膜所構成的插塞 17。插塞 17 可如以下所示來形成。首先，在包含連接孔 16 的內部之半導體基板 1 的全面形成阻障金屬層，然後形成埋入連接孔 16 的導電膜例如鎢膜。然後，利用 CMP 法除去連接孔 16 以外的區域之鎢膜以及阻障金屬層，形成插塞 17

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線



## 五、發明說明 ( 26 )

阻障金屬層具有防止鎢擴散到第二金屬間介電層 15 等週邊的功能，可舉例說明例如氮化鈦膜。此外，並未限定於氮化鈦膜其他的金屬膜只要具有鎢的擴散防止功能也可以。例如取代氮化鈦使用鉭(Ta)、氮化鉭(TaN)。下一個製程以後的插塞 17 之阻障金屬層雖然舉例說明氮化鈦膜，惟也能取代成鉭膜、氮化鉭膜等。

鎢膜係當作插塞 17 的主導電層的功能，可利用例如 CVD 法或濺鍍法來形成。

其次，說明利用本發明的第二配線層~第五配線層的形成方法。

首先，使用圖 4~圖 13 說明第二配線層的形成方法於製程順序。

如圖 4 所示在第二金屬間介電層 15 以及插塞 17 上形成沉積終止介電層 18 後，再依次形成沉積第二配線層形成的介電層 19 以及硬罩幕 20。終止介電層 18 例如由有機 SOG 膜所構成，膜厚例如為 50~200nm 左右。此外，終止介電層 18 雖然舉例說明有機 SOG 膜，惟取代有機 SOG 膜也能使用對介電層 19 具有高的蝕刻選擇比，且具備具有電容率(例如 2~3 左右)比氧化矽膜還低的有機功能基之介電層。

介電層 19 例如由 TEOS 氧化膜所構成，膜厚例如 200~2000nm 左右。此外，介電層 19 雖然舉例說明 TEOS 氧化膜，惟取代 TEOS 氧化膜也能使用無機 SOG 膜、含氟的氧化矽膜(SiOF)等的具有電容率比氮矽膜還低、氧電漿耐性

## 五、發明說明 ( 27 )

高的無機介電層或有機介電層。終止介電層 18 的膜厚係比介電層 19 的膜厚還薄來構成。

硬罩幕 20 例如由鎢(W)膜、鋁(Al)膜等的金屬膜或氮化鈦(TiN)膜、氮化鉭(TaN)膜等的金屬化合物所構成，膜厚例如 50~200nm 左右。此外，硬罩幕 20 係選擇氧電漿耐性高、對底層的介電層 19 可獲得蝕刻選擇比之金屬膜或金屬化合物膜。

構成終止介電層 18 的有機 SOG 膜例如可利用塗佈法來形成。據此，不使用蝕刻法或 CMP 法等平坦化技術，也能平坦化終止介電層 18 的表面，可使配線層的多層化容易。終止介電層 18 如後面所說明的，係當作在介電層 19 形成配線溝槽時的蝕刻用終止層的功能。即以對介電層 19 有機 SOG 膜難以被蝕刻的條件來蝕刻介電層 19。因此，有機 SOG 膜的膜厚係選擇上述配線溝槽形成時的蝕刻用終止層所要求的膜厚。前述 50~200nm 係考慮這種條件。此外，有機 SOG 膜的形成方法雖然舉例說明塗佈法，惟使用 CVD 法等的其他製法也可以。

構成介電層 19 的 TEOS 氧化膜係利用以 TEOS 氣體與 O<sub>3</sub> 氣體為原料氣體的電漿 CVD 法來形成。藉由使用電漿 CVD 法可謀求形成膜的溫度之低溫下。配線形成製程在半導體裝置的製造製程(所謂的前製程)中因為是接近最終製程，故最好以不影響已經形成的裝置(Device)構造(雜質擴散層、金屬矽化物層等)的溫度(例如 400℃ 左右的低溫)來處理。對於與這種低溫化的要求一致的形成膜的方法，電漿

## 五、發明說明 ( 28 )

CVD 法其優點大。而且，使用 TEOS 形成氧化矽膜的話，可提高膜形成時的核團(Cluster)流動性，可形成階梯覆蓋(Step coverage)良好的氧化矽膜。

在終止介電層 18 與介電層 19 形成埋入以下說明的第二配線層之配線溝槽。因此，終止介電層 18 與介電層 19 的合計膜厚係由第二配線層所需要的設計膜厚來決定。而且，若考慮降低配線間電容的話，最好厚厚地設定終止介電層 18 的膜厚，惟關於此點因在實施形態四中詳述，故省略此處的說明。

硬罩幕 20 如後面所說明的係當作在介電層 19 形成配線溝槽時的罩幕的功能。即以對介電層 19 硬罩幕 20 難以被蝕刻的條件來蝕刻介電層 19。再者，此硬罩幕 20 如後面所說明的可在配線形成時除去。因此，硬罩幕 20 的膜厚係選擇上述配線溝槽形成時的蝕刻用終止層所要求的膜厚。前述 50~200nm 係考慮這種條件。

其次，如圖 5 所示在硬罩幕 20 上使用例如微影技術形成光阻膜 21。光阻膜 21 係被配線溝槽圖案形成圖案，以在形成配線圖案的配線溝槽的區域形成開孔。

其次，如圖 6 所示在光阻膜 21 的存在下實施乾式蝕刻(Dry etching)處理，將配線溝槽圖案轉移到硬罩幕 20。然後，如圖 7 所示藉由使用氧電漿的灰化處理，除去光阻膜 21。如此形成被轉移配線的溝槽圖案之硬罩幕 20。此時，

構成終止介電層 18 的有機 SOG 膜被氧電漿耐性高的介電層 19 覆蓋，有機 SOG 膜不會暴露於氧電漿。據此，可防

## 五、發明說明 ( 29 )

止因有機 SOG 膜的氧電漿所造成的變質。

其次，如圖 8 所示以被形成圖案的硬罩幕 20 為罩幕，以終止介電層 18 當作蝕刻用終止層實施第一蝕刻。藉由此第一蝕刻在介電層 19 形成溝槽之配線溝槽 22 的一部分。此蝕刻的條件係選擇介電層 19 (TEOS 氧化膜) 容易被蝕刻、而硬罩幕 20 以及終止介電層 18 (有機 SOG 膜) 不易被蝕刻的條件。例如蝕刻氣體以  $\text{CHF}_4$ 、 $\text{CF}_4$ 、Ar 的混合氣體。

接著，以被形成圖案的上述硬罩幕 20 為罩幕實施第二蝕刻。除去藉由此第二蝕刻而露出的終止介電層 18，在終止介電層 18 形成配線溝槽 22 的其他一部分。此蝕刻條件可採用以下所示的兩種方法。

第一方法為選擇硬罩幕 20 對終止介電層 18 (有機 SOG 膜) 的蝕刻選擇比為低的條件之方法，硬罩幕 20 與終止介電層 18 大致以同等的蝕刻速度被蝕刻。選擇這種條件如圖 9 所示，在終止介電層 18 的加工終了の時點，幾乎無硬罩幕 20，露出介電層 19 的頂面。例如利用蝕刻終止介電層 18 時的過度蝕刻 (Over etching) 以蝕刻除去硬罩幕 20。

第二方法為選擇硬罩幕 20 對終止介電層 18 (有機 SOG 膜) 的蝕刻選擇比為高的條件之方法，以終止介電層 18 被蝕刻但硬罩幕 20 不易被蝕刻的條件來選擇蝕刻。選擇這種條件如圖 10 所示，在終止介電層 18 的加工終了の時點，還殘留硬罩幕 20 的一部分，未露出介電層 19 的頂面。

在前述第一方法、第二方法的任何一個方法中，蝕刻時的蝕刻氣體係使用  $\text{CHF}_3$ 、 $\text{O}_2$  的混合氣體。但是，其他的

## 五、發明說明 ( 30 )

蝕刻條件例如藉由選擇壓力、混合氣體的流量、RF 投入電源、基板溫度等的條件，可選擇第一方法以及第二方法。

其次，在配線溝槽 22 的內部形成第二配線層的配線 23。配線 23 係由阻障金屬層以及主導電層所構成，配線 23 的形成如以下所示來進行。

首先，如圖 11 以及圖 12 所示形成阻障金屬層 23a。圖 11 係顯示在藉由使用前述圖 9 所說明的第一方法所形成的配線溝槽 22 形成阻障金屬層 23a 的情形，圖 12 係顯示在藉由使用前述圖 10 所說明的第二方法所形成的配線溝槽 22 形成阻障金屬層 23a 的情形。

阻障金屬層 23a 具有防止配線的主成分之銅的擴散，並且提高銅與氧化矽膜的黏著性之功能。阻障金屬層 23a 可使用例如氮化鈦(TiN)膜。此外，取代氮化鈦(TiN)使用氮化鉭(TaN)、鉭(Ta)等也可以。即使是這些金屬化合物膜或金屬膜，只要是可防止銅的擴散就能適用於阻障金屬層 23a。阻障金屬層 23a 利用例如 CVD 法或濺鍍法來形成。下一個製程以後的配線之阻障金屬層雖然舉例說明氮化鈦(TiN)膜，惟也能取代成氮化鉭(TaN)膜、鉭(Ta)膜等。

其次，在阻障金屬層 23a 上形成籽晶(Seed)層(未圖示)。籽晶層係成為用以形成以下所說明的銅的電鍍層的種(Seed)的層，由銅所構成。籽晶層利用例如 CVD 法或濺鍍法來形成。其次，形成銅的電鍍層 23b。電鍍法使用電解電鍍、無電解電鍍之任何一個都可以。電鍍層的膜厚在基板平面上為 300nm 左右。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

### 五、發明說明 ( 3 )

此外，本實施形態一雖然顯示利用電鍍法的銅膜(電鍍層 23b)的形成，惟利用濺鍍法來形成也可以。這種情形無須籽晶層。對於利用電鍍法來形成銅膜，可實施熱處理、再熱流(Reflow)銅以使銅埋入配線溝槽 22。下一個製程以後的配線之主導電層的銅膜雖然舉例說明以電鍍法來形成，惟利用濺鍍法也可以。

其次，如圖 13 所示使用 CMP 法研磨電鍍層 23b 以及籽晶層。銅因研磨速度大，故首先先除去銅的部分。再者繼續研磨也除去介電層 19 上的阻障金屬層 23a。據此，除去配線溝槽 22 的區域以外的阻障金屬層 23a 以及銅膜(電鍍層 23 以及籽晶層)。

此處，使用前述圖 9 所示的第一方法除去終止介電層 18 時，因介電層 19 的頂面與阻障金屬層 23a 接觸，故到介電層 19 上的阻障金屬層 23a 的除去終了的状态為止，研磨除去係使用上述 CMP 法來進行。相對於此，使用前述圖 10 所示的第二方法除去終止介電層 18 時，因介電層 19 的頂面殘留硬罩幕 20，故使介電層 19 上的阻障金屬層 23a 的除去終了，然後到硬罩幕 20 的除去終了的状态為止，研磨除去係使用上述 CMP 法來進行。

利用 CMP 法的研磨可使用包含過氧化氫等的氧化劑，分散鋁土(Alumina)磨粒的研磨研漿(Slurry)。而且，可採用以同一壓板(Platen)總括研磨銅膜與阻障金屬層的方法。此外，在進行利用 CMP 法的研磨後，藉由使用濃度 0.1%的氨水溶液之洗滌，然後使用純水的洗滌之兩階段的刷子擦洗

## 五、發明說明 ( 32 )

(Brush scrub)洗滌，可除去附著於基板表面的研磨磨粒以及銅。

藉由如以上所示完成第二配線層的配線 23。然後，利用與第二配線層一樣的形成方法，形成第三配線層以上的任意配線層。

其次，使用圖 14~圖 19 說明第三配線層~第五配線層的形成方法。

如圖 14 所示形成覆蓋第二配線層的配線 23 之介電層例如氧化矽膜，利用 CMP 法平坦化此介電層形成第三金屬間介電層 24。接著，在第三金屬間介電層 24 上於形成連接孔的區域形成具有開孔的光阻膜，以此光阻膜為罩幕實施蝕刻。據此，在第三金屬間介電層 24 的預定區域形成連接孔 25。

其次，在包含連接孔 25 內部的半導體基板 1 的全面形成阻障金屬層，然後形成埋入連接孔 25 的鎢膜。然後，利用 CMP 法除去連接孔 25 以外的區域之鎢膜以及阻障金屬層，形成插塞 26。阻障金屬層可舉例說明例如氮化鈦膜。鎢膜係當作主導電層的功能，可利用例如 CVD 法或濺鍍法來形成。

其次，如圖 15 所示利用與前述第二配線層一樣的形成方法形成第三配線層。首先，在插塞 26 以及第三金屬間介電層 24 上依次形成終止介電層 27、介電層 28、硬罩幕(未圖示)。終止介電層 27 係以對介電層 28 具有高的蝕刻選擇比的材料來構成，例如與前述終止介電層 18 一樣，可當作

## 五、發明說明 ( 33 )

以塗佈法形成的有機 SOG 膜。此外，不限於有機 SOG 膜，可使用對介電層 28 具有高的蝕刻選擇比，且具有電容率比氧化矽膜還低的有機低介電常數膜。

另一方面，介電層 28 與例如前述介電層 19 一樣，可利用以 TEOS 氣體與 O<sub>3</sub> 氣體為原料氣體的電漿 CVD 法來形成的 TEOS 氧化膜。此外，不限於 TEOS 氧化膜也能使用具有電容率比氮化矽膜還低的介電層。

硬罩幕與例如前述硬罩幕 20 一樣，可以鎢膜、氮化鈦膜、氮化鉭膜或鋁膜。

其次，在硬罩幕上利用微影技術形成被配線溝槽圖案形成圖案的光阻膜，藉由實施乾式蝕刻處理，將配線溝槽圖案轉移到硬罩幕。然後，藉由使用氧電漿的灰化處理除去光阻膜，惟構成終止介電層 27 的有機 SOG 膜被介電層 28 覆蓋，有機 SOG 膜未暴露於氧電漿。據此，可防止有機 SOG 膜的氧電漿所造成的變質。

其次，以被形成圖案的硬罩幕為罩幕、以終止介電層 27 為蝕刻用終止層，在介電層 28 形成配線溝槽 29 的一部分(第一蝕刻)。接著，以上述硬罩幕為罩幕，在終止介電層 27 形成配線溝槽 29 的其他一部分(第二蝕刻)。此第二蝕刻條件可採用前述第一方法與第二方法的兩種方法。

其次，在配線溝槽 29 的內部形成第三配線層的配線 30。配線 30 係由阻障金屬層以及主導電層所構成，阻障金屬層例如為氮化鈦、主導電層例如為銅。配線 30 的形成如以下所示來進行。首先，在包含配線溝槽 29 的內部之半導體



五、發明說明 ( 34 )

基板 1 的全面形成氮化鈦膜，然後形成埋入配線溝槽 29 的銅膜。氮化鈦膜的 formed 例如使用 CVD 法、銅膜的 formed 例如使用電鍍法。在利用電鍍法的銅膜 formed 前，例如利用濺鍍法可形成銅的籽晶層。然後，利用 CMP 法除去配線溝槽 29 以外的區域之銅膜以及氮化鈦膜，可形成第三配線層的配線 31。

其次，如圖 16 所示形成覆蓋第三配線層的配線 31 之介電層例如氧化矽膜，利用 CMP 法平坦化此介電層形成第四金屬間介電層 31。接著，在第四金屬間介電層 31 上於形成連接孔的區域形成具有開孔的光阻膜，以此光阻膜為罩幕實施蝕刻。據此，在第四金屬間介電層 31 的預定區域形成連接孔 32。

其次，在包含連接孔 32 內部的半導體基板 1 的全面形成阻障金屬層，然後形成埋入連接孔 32 的鎢膜。然後，利用 CMP 法除去連接孔 32 以外的區域之鎢膜以及阻障金屬層，形成插塞 33。阻障金屬層可舉例說明例如氮化鈦膜。鎢膜係當作主導電層的功能，可利用例如 CVD 法或濺鍍來形成。

其次，如圖 17 所示利用與前述第二配線層一樣的 formed 方法形成第四配線層。首先，在插塞 33 以及第四金屬間介電層 31 上依次形成終止介電層 34、介電層 35、硬罩幕(未圖示)。終止介電層 34 係以對介電層 35 具有高的蝕刻選擇比的材料所構成，例如與前述終止介電層 18 一樣，可當作以塗佈法形成的有機 SOG 膜。此外，不限於有機 SOG 膜，

經濟部智慧財產局員工消費合作社印製

## 五、發明說明 ( 35 )

可使用對介電層 35 具有高的蝕刻選擇比，且具有電容率比氧化矽膜還低的有機低介電常數膜。

另一方面，介電層 35 與例如前述介電層 19 一樣，可利用以 TEOS 氣體與  $O_3$  氣體為原料氣體的電漿 CVD 法來形成的 TEOS 氧化膜。此外，不限於 TEOS 氧化膜也能使用具有電容率比氮化矽膜還低的介電層。

硬罩幕與例如前述硬罩幕 20 一樣，可以鎢膜、氮化鈦膜、氮化鉬膜或鋁膜。

其次，在硬罩幕上利用微影技術形成被配線溝槽圖案形成圖案的光阻膜，藉由實施乾式蝕刻，將配線溝槽圖案轉移到硬罩幕。然後，藉由使用氧電漿的灰化處理除去光阻膜，惟構成終止介電層 34 的有機 SOG 膜被介電層 35 覆蓋，有機 SOG 膜未暴露於氧電漿。據此，可防止有機 SOG 膜的氧電漿所造成的變質。

其次，以被形成圖案的硬罩幕為罩幕、以終止介電層 34 為蝕刻用終止層，在介電層 35 形成配線溝槽 36 的一部分(第一蝕刻)。接著，以上述硬罩幕為罩幕，在終止介電層 34 形成配線溝槽 36 的其他一部分(第二蝕刻)。此第二蝕刻條件可採用前述第一方法與第二方法的兩種方法。

其次，在配線溝槽 36 的內部形成第四配線層的配線 37。配線 37 係由阻障金屬層以及主導電層所構成，阻障金屬層例如為氮化鈦膜、主導電層例如為銅。配線 37 的形成如下所示來進行。首先，在包含配線溝槽 36 的內部之半導體基板 1 的全面形成氮化鈦膜，然後形成埋入配線溝槽 36

## 五、發明說明 ( 36 )

的銅膜。氮化鈦膜的形成例如使用 CVD 法、銅膜的形成例如使用電鍍法。在利用電鍍法的銅膜形成前，例如利用濺鍍法可形成銅的籽晶層。然後，利用 CMP 法除去配線溝槽 36 以外的區域之銅膜以及氮化鈦膜，可形成配線 37。

其次，如圖 18 所示形成覆蓋第四配線層的配線 37 之介電層例如氧化矽膜，利用 CMP 法平坦化此介電層形成第五金屬間介電層 38。接著，在第五金屬間介電層 38 上於形成連接孔的區域形成具有開孔的光阻膜，以此光阻膜為罩幕實施蝕刻。據此，在第五金屬間介電層 38 的預定區域形成連接孔 39。

其次，在包含連接孔 39 內部的半導體基板 1 的全面形成阻障金屬層，然後形成埋入連接孔 39 的鎢膜。然後，利用 CMP 法除去連接孔 39 以外的區域之鎢膜以及阻障金屬層，形成插塞 40。阻障金屬層可舉例說明例如氮化鈦膜。鎢膜係當作主導電層的功能，可利用例如 CVD 法或濺鍍法來形成。

其次，如圖 19 所示利用與前述第二配線層一樣的形成方法形成第五配線層。首先，在插塞 40 以及第五金屬間介電層 38 上依次形成終止介電層 41、介電層 42、硬罩幕(未圖示)。終止介電層 41 係以對介電層 42 具有高的蝕刻選擇比的材料所構成，例如與前述終止介電層 18 一樣，可當作以塗佈法形成的有機 SOG 膜。此外，不限於有機 SOG 膜，可使用對介電層 42 具有高的蝕刻選擇比，且具有電容率比氧化矽膜還低的有機低介電常數膜。

## 五、發明說明 ( 37 )

另一方面，介電層 42 與例如前述介電層 19 一樣，可利用以 TEOS 氣體與 O<sub>3</sub> 氣體為原料氣體的電漿 CVD 法來形成的 TEOS 氧化膜。此外，不限於 TEOS 氧化膜也能使用具有電容率比氮化矽膜還低的介電層。

硬罩幕與例如前述硬罩幕 20 一樣，可以鎢膜、氮化鈦膜、氮化鉭膜或鋁膜。

其次，在硬罩幕上利用微影技術形成被配線溝槽圖案形成圖案的光阻膜，藉由實施乾式蝕刻處理，將配線溝槽圖案轉移到硬罩幕。然後，藉由使用氧電漿的灰化處理除去光阻膜，惟構成終止介電層 41 的有機 SOG 膜被介電層 42 覆蓋，有機 SOG 膜未暴露於氧電漿。據此，可防止有機 SOG 膜的氧電漿所造成的變質。

其次，以被形成圖案的硬罩幕為罩幕、以終止介電層 41 為蝕刻用終止層，在介電層 42 形成配線溝槽 43 的一部分(第一蝕刻)。接著，以上述硬罩幕為罩幕，在終止介電層 41 形成配線溝槽 43 的其他部分(第二蝕刻)。此第二蝕刻條件可採用前述第一方法與第二方法的兩種方法。

其次，在配線溝槽 43 的內部形成第五配線層的配線 44。配線 44 係由阻障金屬層以及主導電層所構成，阻障金屬層例如為氮化鈦膜、主導電層例如為銅。配線 44 的形成如下所示來進行。首先，在包含配線溝槽 43 的內部之半導體基板 1 的全面形成氮化鈦膜，然後形成埋入配線溝槽 43 的銅膜。氮化鈦膜的形成例如使用 CVD 法、銅膜的形成例如使用電鍍法。在利用電鍍法的銅膜形成前，例如利用濺

## 五、發明說明 ( 38 )

鍍法可形成銅的籽晶層。然後，利用 CMP 法除去配線溝槽 43 以外的區域之銅膜以及氮化鈦膜，可形成配線 44。

然後，以一樣的方法可形成第六配線層以上的任意配線層，惟省略詳細的說明。

如此如果依照本實施形態一，例如如第二配線層舉例說明其詳細，使用配線圖案被形成圖案的光阻膜 21 將配線溝槽圖案轉移到硬罩幕 20 後，以氧電漿除去光阻膜 21，接著，以被轉移配線溝槽圖案的硬罩幕 20 為罩幕，依次蝕刻介電層 19 以及終止介電層 18。因此，在除去光阻膜 21 時，構成終止介電層 18 的氧電漿耐性低的有機 SOG 膜被以 TEOS 氧化膜構成的介電層 19 保護，有機 SOG 膜不受氧電漿的影響。而且，在加工終止介電層 18 時，因以在後面被蝕刻法或 CMP 法除去的硬罩幕 20 為罩幕來進行蝕刻，故構成終止介電層 18 的有機 SOG 膜不會暴露於氧電漿。據此，可抑制構成終止介電層 18 的有機 SOG 膜的膜質變化。

再者，例如如第二配線層所舉例說明其詳細，對以 TEOS 氧化膜構成的介電層 19 進行溝槽加工時的蝕刻用終止層，藉由使用由電容率為 2~3 左右相對地低的有機 SOG 膜所構成的終止介電層 18，可由具有介電常數比 TEOS 氧化膜與氧化矽膜還低的有機 SOG 膜來構成包圍第二配線層的介電層，可抑制配線間電容的增加。

此外，構成多層配線的其他配線層(本實施形態一所舉例說明的第三配線層~第五配線層)也能以和第二配線層一樣的製造方法來形成，可獲得與第二配線層一樣的功效。

## 五、發明說明 ( 39 )

(實施形態二)

圖 20~圖 28 係顯示本發明的實施形態二之半導體裝置的製造方法於其製程順序的一部分剖面圖。圖 20~圖 28 僅顯示第二配線層。

本實施形態二的製造方法在與到實施形態一中的圖 3 為止的製程一樣的製程之後，如圖 20 所示在插塞 16 上依次沉積終止介電層 18、介電層 19，然後，形成硬罩幕 45。此硬罩幕 45 例如由氮化矽膜所構成，膜厚例如為 50~200nm 左右。構成硬罩幕 45 的氮化矽膜例如以可謀求形成膜的溫度之低溫下的電漿 CVD 法來形成。

其次，在硬罩幕 45 上利用微影技術形成光阻膜 21。光阻膜 21 被配線溝槽圖案形成圖案，以在形成配線圖案之配線溝槽的區域形成開孔。

其次，如圖 21 所示在光阻膜 21 的存在下實施乾式蝕刻，將配線溝槽圖案轉移到硬罩幕 45，接著藉由蝕刻介電層 19 的上部，形成配線溝槽 22 的一部分。此處，令介電層 19 的蝕刻例如在剛好露出終止介電層 18 的表面前停止。

然後，如圖 22 所示藉由使用氧電漿的灰化處理除去光阻膜 21。據此，形成被轉移配線的溝槽圖案之硬罩幕 45。此時，在介電層 19 的上部形成配線溝槽 22 的一部分，惟構成終止介電層 18 的有機 SOG 膜未被氧電漿耐性高的介電層 19 覆蓋，有機 SOG 膜不暴露於氧電漿，據此，可防止因

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 ( 40 )

有機 SOG 膜的上述氧電漿所造成的變質。

其次，如圖 23 所示以被形成圖案的硬罩幕 45 為罩幕、以終止介電層 18 為蝕刻用終止層，實施第一蝕刻。藉由此第一蝕刻在殘留的介電層 19 之下部形成配線溝槽 22 的再一部分。此蝕刻的條件係選擇介電層 19 (TEOS 氧化膜) 容易被蝕刻、硬罩幕 45 以及終止介電層 18 (有機 SOG 膜) 難以被蝕刻的條件，例如氮化矽膜對 TEOS 氧化膜的蝕刻選擇比為 10 以上的條件。

接著，以上述硬罩幕 45 為罩幕實施第二蝕刻。藉由此第二蝕刻除去露出的終止介電層 18，再於終止介電層 18 形成配線溝槽 22 的殘留的一部分。此蝕刻條件可採用如以下的兩種方法。

第一方法如圖 24 所示，為選擇硬罩幕 45 對終止介電層 18 (有機 SOG 膜) 的蝕刻選擇比為低的條件之方法，硬罩幕 45 與終止介電層 18 大致以同等的蝕刻速度被蝕刻。

第二方法如圖 25 所示，為選擇硬罩幕 45 對終止介電層 18 (有機 SOG 膜) 的蝕刻選擇比為高的條件之方法，以終止介電層 18 被蝕刻但硬罩幕 45 不易被蝕刻的條件來選擇蝕刻。

其次與實施形態一的圖 10 之製程一樣，在配線溝槽 22 的內部形成第二配線層的配線 23。圖 26 係顯示在藉由以利用前述圖 24 所說明的第一方法除去終止介電層 18 所形成的配線溝槽 22，形成阻障金屬層 23a、籽晶層 (未圖示) 以及銅的電鍍層 23b 的情形。圖 27 係顯示在藉由以利用前述圖

## 五、發明說明 ( 41)

25 所說明的第二方法除去終止介電層 18 所形成的配線溝槽 22，形成阻障金屬層 23a、籽晶層(未圖示)以及銅的電鍍層 23b 的情形。

其次，如圖 28 所示利用 CMP 法研磨電鍍層 23b 以及籽晶層。然後繼續研磨也除去介電層 19 上的阻障金屬層 23a。據此，除去配線溝槽 22 的區域以外的阻障金屬層 23a 以及銅膜(電鍍層 23 以及籽晶層)。

此處，使用前述圖 24 所示的第一方法除去終止介電層 18 時，到介電層 19 上的阻障金屬層 23a 的除去終了的狀態為止，研磨除去係使用上述 CMP 法來進行。相對於此，使用前述圖 25 所示的第二方法除去終止介電層 18 時，使介電層 19 上的阻障金屬層 23a 的除去終了，然後到硬罩幕 45 的除去終了的狀態為止，研磨除去係使用上述 CMP 法來進行。

如以上所示完成本實施形態二的第二配線層的配線 23。

如此如果依照本實施形態二，即使在硬罩幕 45 使用氮化矽膜，與前述實施形態一一樣，因構成終止介電層 18 的有機 SOG 膜不受氧電漿的影響，故可獲得可抑制有機 SOG 膜的膜質變化之功效，以及藉由終止介電層 18 使用低介電常數材料之有機 SOG 膜，可抑制配線間電容的增加之功效。

(實施形態三)



## 五、發明說明 ( 42 )

圖 29~圖 37 係顯示本發明的實施形態三之半導體裝置的製造方法於其製程順序的一部分剖面圖。圖 29~圖 37 僅顯示第二配線層。

本實施形態三的製造方法在與到實施形態一中的圖 3 為止的製程一樣的製程之後，對半導體基板 1 實施氫(H<sub>2</sub>)回火(Anneal)處理。氫回火處理的條件例如可以溫度 475℃、處理時間 5 分鐘。接著，如圖 29 所示在插塞 16 上沉積黏著層 46 後，再依次形成終止介電層 18、介電層 19、硬罩幕 20。黏著層 46 例如可以 TEOS 氧化膜。其厚度可設定成可利用在後面的製程中，可藉由以蝕刻除去終止介電層 18 時的過度蝕刻來除去的厚度之 50nm 以下，例如約 25nm 左右。

由於埋入於連接孔 16 的插塞 17 所發生的埋入不良，於插塞 17 的內部產生間隙，由於來自此間隙之脫氣，有插塞 17 上的終止介電層 18 剝落的情形。但是，藉由在形成插塞 17 後實施氫回火處理，自插塞 17 所產生的間隙積極地產生脫氣，可防止脫氣帶給終止介電層 18 的影響。再者，藉由在終止介電層 18 的下方沉積黏著層 46，即使氫回火處理不充分，也能防止因終止介電層 18 或介電層 19 形成時的上述脫氣的影響所造成的終止介電層 18 之剝落。此外，終止介電層 18 之剝落防止功效僅氫回火處理或僅黏著層 46 的形成也能獲得。

其次，在硬罩幕 20 上利用微影技術形成光阻膜 21。光阻膜 21 被配線溝槽圖案形成圖案，以在形成配線圖案之配

## 五、發明說明 ( 43 )

線溝槽的區域形成開孔。

其次，如圖 30 所示在光阻膜 21 的存在下實施乾式蝕刻，將配線溝槽圖案轉移到硬罩幕 20 後，如圖 31 所示藉由使用氧電漿的灰化處理除去光阻膜 21。據此，形成被轉移配線的溝槽圖案之硬罩幕 20。此時，構成終止介電層 18 的有機 SOG 膜被氧電漿耐性高的介電層 19 覆蓋，有機 SOG 膜不暴露於氧電漿，據此，可防止因有機 SOG 膜的上述氧電漿所造成的變質。

其次，如圖 32 所示以被形成圖案的硬罩幕 20 為罩幕、以終止介電層 18 為蝕刻用終止層，實施第一蝕刻。藉由此第一蝕刻在介電層 19 形成配線溝槽 22 的一部分。此蝕刻條件係選擇介電層 19 (TEOS 氧化膜) 容易被蝕刻、硬罩幕 20 以及終止介電層 18 (有機 SOG 膜) 難以被蝕刻的條件。

接著，以上述硬罩幕 20 為罩幕實施第二蝕刻。藉由此第二蝕刻依次除去露出的終止介電層 18 以及黏著層 46，於終止介電層 18 以及黏著層 46 形成配線溝槽 22 的其他一部分。此蝕刻條件可採用如以下的兩種方法。

第一方法如圖 33 所示，為選擇硬罩幕 20 對終止介電層 18 (有機 SOG 膜) 以及黏著層 46 (TEOS 氧化膜) 的蝕刻選擇比為低的條件之方法，硬罩幕 20 與終止介電層 18、硬罩幕 20 與黏著層 46 大致以同等的蝕刻速度被蝕刻。

第二方法如圖 34 所示，為選擇硬罩幕 20 對終止介電層 18 (有機 SOG 膜) 以及黏著層 46 (TEOS 氧化膜) 的蝕刻選擇比為高的條件之方法，以終止介電層 18 被蝕刻但硬罩幕 20

## 五、發明說明 ( 44 )

不易被蝕刻的條件來選擇蝕刻。

其次與實施形態一的圖 10 之製程一樣，在配線溝槽 22 的內部形成第二配線層的配線 23。圖 35 係顯示在藉由以利用前述圖 33 所說明的第一方法除去終止介電層 18 以及黏著層 46 所形成的配線溝槽 22，形成阻障金屬層 23a、籽晶層(未圖示)以及銅的電鍍層 23b 的情形。圖 36 係顯示在藉由以利用前述圖 34 所說明的第二方法除去終止介電層 18 所形成的配線溝槽 22，形成阻障金屬層 23a、籽晶層(未圖示)以及銅的電鍍層 23b 的情形。

其次，如圖 37 所示利用 CMP 法研磨電鍍層 23b 以及籽晶層。然後繼續研磨也除去介電層 19 上的阻障金屬層 23a。據此，除去配線溝槽 22 的區域以外的阻障金屬層 23a 以及銅膜(電鍍層 23 以及籽晶層)。

此處，使用前述圖 33 所示的第一方法除去終止介電層 18 時，到介電層 19 上的阻障金屬層 23a 的除去終了的狀態為止，研磨除去係使用上述 CMP 法來進行。相對於此，使用前述圖 34 所示的第二方法除去終止介電層 18 時，使介電層 19 上的阻障金屬層 23a 的除去終了，然後到硬罩幕 20 的除去終了的狀態為止，研磨除去係使用上述 CMP 法來進行。

如以上所示完成本實施形態三的第二配線層的配線 23。

如此，如果依照本實施形態三，與前述實施形態一所說明的一樣，因構成終止介電層 18 的有機 SOG 膜不受氧電

## 五、發明說明 ( 45 )

漿的影響，故可獲得可抑制有機 SOG 膜的膜質變化之功效，以及藉由終止介電層 18 使用低介電常數材料之有機 SOG 膜，可抑制配線間電容的增加之功效。除了這些功效外，藉由在形成插塞 17 後進行氬回火處理，可自插塞 17 所產生的間隙積極地產生脫氣，再者，藉由在插塞 17 上配設黏著層 46，即使在終止介電層 18 或介電層 19 形成時產生上述脫氣，也能防止因脫氣的影響所造成的介電層 18 的剝落。

## (實施形態四)

圖 38~圖 46 係顯示本發明的實施形態四之半導體裝置的製造方法於其製程順序的一部分剖面圖。圖 38~圖 46 僅顯示第二配線層。

本實施形態四的製造方法在與到實施形態一中的圖 3 為止的製程一樣的製程之後，如圖 38 所示在插塞 16 上依次形成第一介電層 47、第二介電層 48 以及硬罩幕 20。第一介電層 47 例如由有機 SOG 膜所構成，其厚度例如為 200~3000nm 左右。此外，不限於有機 SOG 膜，也能使用對第二介電層 48 具有高的蝕刻選擇比，且具有電容率比氧化矽膜還低的有機低介電常數膜。第二介電層 48 例如由 TEOS 氧化膜所構成，其厚度例如為 100~500nm 左右。此外，不限於 TEOS 氧化膜，也能使用具有電容率比氮化矽膜還低的介電層。而且，第一介電層 47 的膜厚比第二介電層 48 的膜厚還大而構成。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 ( 46 )

當作第二介電層 48 的蝕刻用終止層之功能的第一介電層 47 被選擇為蝕刻用終止層所要求的膜厚，同時若考慮降低配線間電容的話，最好厚厚地設定其膜厚。前述 200~3000nm 係考慮這種條件。

其次，在硬罩幕 20 上利用微影技術形成光阻膜 21。光阻膜 21 被配線溝槽圖案形成圖案，以在形成配線圖案之配線溝槽的區域形成開孔。

其次，如圖 39 所示在光阻膜 21 的存在下實施乾式蝕刻處理，將配線溝槽圖案轉移到硬罩幕 20 後，如圖 40 所示藉由使用氧電漿的灰化處理除去光阻膜 21。據此，形成被轉移配線的溝槽圖案之硬罩幕 20。此時，構成第一介電層 47 的有機 SOG 膜被氧電漿耐性高的第二介電層 48 覆蓋，有機 SOG 膜不暴露於氧電漿，據此，可防止因有機 SOG 膜的上述氧電漿所造成的變質。

其次，如圖 41 所示以被形成圖案的硬罩幕 20 為罩幕、以第一介電層 47 為蝕刻用終止層，實施第一蝕刻。藉由此第一蝕刻在第二介電層 48 形成配線溝槽 22 的一部分。此蝕刻的條件係選擇第二介電層 48 (TEOS 氧化膜)容易被蝕刻、硬罩幕 20 以及第一介電層 47(有機 SOG 膜)難以被蝕刻的條件。

接著，以上述硬罩幕 20 為罩幕實施第二蝕刻。藉由此第二蝕刻除去露出的第一介電層 47，於第一介電層 47 形成配線溝槽 22 的其他一部分。此蝕刻條件可採用如以下的兩種方法。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

經濟部智慧財產局員工消費合作社印製

## 五、發明說明 ( 47

第一方法如圖 42 所示，為選擇硬罩幕 20 對第一介電層 47(有機 SOG 膜)的蝕刻選擇比為低的條件之方法，硬罩幕 20 與第一介電層 47 大致以同等的蝕刻速度被蝕刻。

第二方法如圖 43 所示，為選擇硬罩幕 20 對第一介電層 47(有機 SOG 膜)的蝕刻選擇比為高的條件，以第一介電層 47 被蝕刻但硬罩幕 20 不易被蝕刻的條件來選擇蝕刻。

其次與實施形態一的圖 10 之製程一樣，在配線溝槽 22 的內部形成第二配線層的配線 23。圖 44 係顯示在藉由以利用前述圖 42 所說明的第一方法除去第一介電層 47 所形成的配線溝槽 22，形成阻障金屬層 23a、籽晶層(未圖示)以及銅的電鍍層 23b 的情形。圖 45 係顯示在藉由以利用前述圖 43 所說明的第二方法除去第一介電層 47 所形成的配線溝槽 22，形成阻障金屬層 23a、籽晶層(未圖示)以及銅的電鍍層 23b 的情形。

其次，如圖 46 所示利用 CMP 法研磨電鍍層 23b 以及籽晶層。然後繼續研磨也除去第二介電層 48 上的阻障金屬層 23a。據此，除去配線溝槽 22 的區域以外的阻障金屬層 23a 以及銅膜(電鍍層 23 以及籽晶層)。

此處，使用前述圖 42 所示的第一方法除去第一介電層 47 時，到第二介電層 48 上的阻障金屬層 23a 的除去終了的状态為止，研磨除去係使用上述 CMP 法來進行。相對於此，使用前述圖 43 所示的第二方法除去第一介電層 47 時，使第二介電層 48 上的阻障金屬層 23a 的除去終了，然後到硬罩幕 20 的除去終了的状态為止，研磨除去係使用上述

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 ( 48 )

CMP 法來進行。

如以上所示完成本實施形態四的第二配線層的配線 23。

如此，如果依照本實施形態四，與前述實施形態一所說明的一樣，因構成第一介電層 47 的有機 SOG 膜不受氧電漿的影響，故可獲得可抑制有機 SOG 膜的膜質變化之功效，以及藉由第一介電層 47 使用低介電常數材料之有機 SOG 膜，可抑制配線間電容的增加之功效。特別是藉由提高硬罩幕 20 對第一介電層 47 的蝕刻選擇比，可厚厚地形成第一介電層 47，據此，可獲得抑制配線間電容的增加之高功效。

以上根據發明的實施形態具體地說明了由發明者所創作的本發明，惟本發明並非限定於前述實施形態，在不脫離其要旨的範圍內當然可進行種種的變更。

例如前述實施形態雖然以鎢膜來構成連接配線層的插塞，惟以銅膜來構成也可以。以銅膜構成的插塞可如以下所示來形成。首先，在包含連接孔內部的半導體基板的全面形成具有防止銅的擴散之功能的阻障金屬層，然後形成埋入連接孔的銅膜。然後，利用 CMP 法除去連接孔以外的區域之銅膜以及阻障金屬層，形成插塞。銅膜可利用例如電鍍法來形成。在電鍍層形成前可利用濺鍍法形成薄的銅膜當作籽晶層。而且，銅膜利用濺鍍法來形成也可以。這種情形在利用濺鍍法形成銅膜後，藉由熱處理使銅膜流動化以提高對連接孔的埋入特性也可以。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明( 49)

而且，前述實施形態雖然說明適用於配線層的形成製程，惟適用於連接上下配線層間的插塞之形成製程也可以，可獲得一樣的功效。

而且，前述實施形態雖然說明適用於構成多層配線的第二配線層以上的任意配線層，惟適用於連接於形成於半導體基板的主面上之半導體區域或電極的配線層也可以，可獲得一樣的功效。

若簡單地說明藉由本案中所揭示的發明中代表的發明所獲得的功效的話，如以下所示。

如果依照本發明，可防止配設於上下配線層間的介電層的膜質變化。再者，可提高配線層與配設於此配線層的下層之插塞之黏著性。據此，可提高金屬鑲嵌配線的可靠度。

如果依照本發明，藉由以電容率相對地低的絕緣材料來構成包圍配線層的介電層，可謀求降低配線間的電容、提高半導體裝置的性能。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線



四、中文發明摘要 (發明之名稱： 半導體裝置的製造方法及半導體裝置 )

在插塞上形成由有機膜所構成的終止介電層後，依次形成介電層以及硬罩幕。其次，在被形成圖案的光阻膜存在下，實施乾式蝕刻處理，將配線溝槽圖案轉移到硬罩幕。然後，藉由使用氧電漿的灰化處理除去光阻膜，形成被轉移配線的溝槽圖案的硬罩幕，惟此時構成終止介電層有機膜被介電層覆蓋。然後，除去介電層、終止介電層、硬罩幕形成配線溝槽圖案。而且，在插塞形成後進行氫回火處理。而且，在插塞上中介黏著層形成終止介電層。

英文發明摘要 (發明之名稱： )

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

## 六、申請專利範圍

1、一種半導體裝置的製造方法，其特徵包含：

(a)、在形成導電層的底層上依次沉積第一介電層、蝕刻耐性比該第一介電層還低的第二介電層以及硬罩幕之製程；

(b)、在該硬罩幕上形成光阻圖案之製程；

(c)、在該光阻圖案的存在下實施蝕刻處理，將該光阻圖案的圖案轉移到該硬罩幕之製程；

(d)、除去該光阻圖案之製程；

(e)、在該硬罩幕的存在下實施蝕刻處理，選擇性地將該硬罩幕的圖案轉移到該第二介電層之製程；以及

(f)、在該硬罩幕的存在下實施蝕刻處理，將該硬罩幕的圖案轉移到該第一介電層之製程；其中

該第一介電層為具備具有電容率比氧化矽膜還低的有機功能基之介電層，該第二介電層為具有電容率比氮化矽膜還低的介電層。

2、一種半導體裝置的製造方法，其特徵包含：

(a)、在形成導電層的底層上依次沉積第一介電層、蝕刻耐性比該第一介電層還低的第二介電層以及硬罩幕之製程；

(b)、在該硬罩幕上形成光阻圖案之製程；

(c)、在該光阻圖案的存在下實施蝕刻處理，將該光阻圖案的圖案轉移到該硬罩幕之製程；

(d)、除去該光阻圖案之製程；

(e)、在該硬罩幕的存在下實施蝕刻處理，選擇性地將

## 六、申請專利範圍

該硬罩幕的圖案轉移到該第二介電層之製程；以及

(f)、在該硬罩幕的存在下實施蝕刻處理，將該硬罩幕的圖案轉移到該第一介電層之製程；其中

該第一介電層為具備具有電容率比氧化矽膜還低的有機功能基之介電層，該第二介電層為具有電容率比氮化矽膜還低的介電層，該第一介電層的沉積膜厚為 50~200nm 左右、該第二介電層的沉積膜厚為 200~2000nm 左右、該硬罩幕的沉積膜厚為 50~200nm 左右。

3、一種半導體裝置的製造方法，其特徵包含：

(a)、在形成導電層的底層上依次沉積第一介電層、蝕刻耐性比該第一介電層還低的第二介電層以及硬罩幕之製程；

(b)、在該硬罩幕上形成光阻圖案之製程；

(c)、在該光阻圖案的存在下實施蝕刻處理，將該光阻圖案的圖案轉移到該硬罩幕之製程；

(d)、除去該光阻圖案之製程；

(e)、在該硬罩幕的存在下實施蝕刻處理，選擇性地將該硬罩幕的圖案轉移到該第二介電層之製程；以及

(f)、在該硬罩幕的存在下實施蝕刻處理，將該硬罩幕的圖案轉移到該第一介電層之製程；其中

該第一介電層為具備具有電容率比氧化矽膜還低的有機功能基之介電層，該第二介電層為具有電容率比氮化矽膜還低的介電層，該第一介電層的沉積膜厚為 200~3000nm 左右、該第二介電層的沉積膜厚為 100~500nm 左右、該硬

## 六、申請專利範圍

罩幕的沉積膜厚為 50~200nm 左右。

4、一種半導體裝置的製造方法，其特徵包含：

(a)、在形成導電層的底層上依次沉積黏著層、第一介電層、蝕刻耐性比該第一介電層還低的第二介電層以及硬罩幕之製程；

(b)、在該硬罩幕上形成光阻圖案之製程；

(c)、在該光阻圖案的存在下實施蝕刻處理，將該光阻圖案的圖案轉移到該硬罩幕之製程；

(d)、除去該光阻圖案之製程；

(e)、在該硬罩幕的存在下實施蝕刻處理，選擇性地將該硬罩幕的圖案轉移到該第二介電層之製程；以及

(f)、在該硬罩幕的存在下實施蝕刻處理，將該硬罩幕的圖案轉移到該第一介電層以及該黏著層之製程；其中

該第一介電層為具備具有電容率比氧化矽膜還低的有機功能基之介電層，該第二介電層為具有電容率比氮化矽膜還低的介電層，該黏著層為 50nm 以下的厚度之氧化矽膜。

5、一種半導體裝置的製造方法，其特徵包含：

(a)、在形成導電層的底層實施氬回火處理後，依次沉積第一介電層、蝕刻耐性比該第一介電層還低的第二介電層以及硬罩幕之製程；

(b)、在該硬罩幕上形成光阻圖案之製程；

(c)、在該光阻圖案的存在下實施蝕刻處理，將該光阻圖案的圖案轉移到該硬罩幕之製程；

## 六、申請專利範圍

(d)、除去該光阻圖案之製程；

(e)、在該硬罩幕的存在下實施蝕刻處理，選擇性地將該硬罩幕的圖案轉移到該第二介電層之製程；以及

(f)、在該硬罩幕的存在下實施蝕刻處理，將該硬罩幕的圖案轉移到該第一介電層之製程；其中

該第一介電層為具備具有電容率比氧化矽膜還低的有機功能基之介電層，該第二介電層為具有電容率比氮化矽膜還低的介電層。

6、一種半導體裝置的製造方法，其特徵包含：

(a)、在形成導電層的底層實施氫回火處理後，依次沉積黏著層、第一介電層、蝕刻耐性比該第一介電層還低的第二介電層以及硬罩幕之製程；

(b)、在該硬罩幕上形成光阻圖案之製程；

(c)、在光阻圖案的存在下實施蝕刻處理，將該光阻圖案的圖案轉移到該硬罩幕之製程；

(d)、除去該光阻圖案之製程；

(e)、在該硬罩幕的存在下實施蝕刻處理，選擇性地將該硬罩幕的圖案轉移到該第二介電層之製程；以及

(f)、在該硬罩幕的存在下實施蝕刻處理，將該硬罩幕的圖案轉移到該第一介電層以及該黏著層之製程；其中

該第一介電層為具備具有電容率比氧化矽膜還低的有機功能基之介電層，該第二介電層為具有電容率比氮化矽膜還低的介電層，該黏著層為 50nm 以下的厚度之氧化矽膜。

## 六、申請專利範圍

7、一種半導體裝置的製造方法，其特徵包含：

(a)、在形成導電層的底層上依次沉積第一介電層、蝕刻耐性比該第一介電層還低的第二介電層以及硬罩幕之製程；

(b)、在該硬罩幕上形成光阻圖案之製程；

(c)、在該光阻圖案的存在下實施蝕刻處理，將該光阻圖案的圖案轉移到該硬罩幕之製程；

(d)、除去該光阻圖案之製程；

(e)、在該硬罩幕的存在下實施蝕刻處理，選擇性地將該硬罩幕的圖案轉移到該第二介電層之製程；以及

(f)、在該硬罩幕的存在下實施蝕刻處理，將該硬罩幕的圖案轉移到該第一介電層之製程；其中

該第一介電層為具備具有電容率比氧化矽膜還低的有機功能基之介電層，該第二介電層為具有電容率比氮化矽膜還低的介電層，該硬罩幕為金屬膜或金屬化合物。

8、一種半導體裝置的製造方法，其特徵包含：

(a)、在形成導電層的底層上依次沉積第一介電層、蝕刻耐性比該第一介電層還低的第二介電層以及硬罩幕之製程；

(b)、在該硬罩幕上形成光阻圖案之製程；

(c)、在該光阻圖案的存在下實施蝕刻處理，將該光阻圖案的圖案轉移到該硬罩幕以及該第二介電層的上部之製程；

(d)、除去該光阻圖案之製程；

## 六、申請專利範圍

(e)、在該硬罩幕的存在下實施蝕刻處理，選擇性地將該硬罩幕的圖案轉移到該第二介電層的下部之製程；以及

(f)、在該硬罩幕的存在下實施蝕刻處理，將該硬罩幕的圖案轉移到該第一介電層之製程；其中

該第一介電層為具備具有電容率比氧化矽膜還低的有機功能基之介電層，該第二介電層為具有電容率比氮化矽膜還低的介電層，該硬罩幕為氮化矽膜。

9、一種半導體裝置的製造方法，其特徵包含：

(a)、在形成導電層的底層上依次沉積第一介電層、蝕刻耐性比該第一介電層還低的第二介電層以及硬罩幕之製程；

(b)、在該硬罩幕上形成光阻圖案之製程；

(c)、在該光阻圖案的存在下實施蝕刻處理，將該光阻圖案的圖案轉移到該硬罩幕之製程；

(d)、除去該光阻圖案之製程；

(e)、在該硬罩幕的存在下實施蝕刻處理，選擇性地將該硬罩幕的圖案轉移到該第二介電層之製程；

(f)、在該硬罩幕的存在下實施蝕刻處理，將該硬罩幕的圖案轉移到該第一介電層之製程；

(g)、在基板的全面依次沉積阻障金屬層以及銅膜之製程；以及

(h)、除去該阻障金屬層以及該銅膜直到該第二介電層的上部露出為止之製程；其中

該第一介電層為具備具有電容率比氧化矽膜還低的有

## 六、申請專利範圍

機功能基之介電層，該第二介電層為具有電容率比氮化矽膜還低的介電層。

10、一種半導體裝置的製造方法，其特徵包含：

(a)、在形成導電層的底層上依次沉積第一介電層、蝕刻耐性比該第一介電層還低的第二介電層以及硬罩幕之製程；

(b)、在該硬罩幕上形成光阻圖案之製程；

(c)、在該光阻圖案的存在下實施蝕刻處理，將該光阻圖案的圖案轉移到該硬罩幕之製程；

(d)、除去該光阻圖案之製程；

(e)、在該硬罩幕的存在下實施蝕刻處理，選擇性地將該硬罩幕的圖案轉移到該第二介電層之製程；

(f)、在該硬罩幕的存在下實施蝕刻處理，將該硬罩幕的圖案轉移到該第一介電層之製程；

(g)、在基板的全面依次沉積阻障金屬層以及銅膜之製程；以及

(h)、除去該阻障金屬層以及該銅膜直到該第二介電層的上部露出為止之製程；其中

該第一介電層為具備具有電容率比氧化矽膜還低的有機功能基之介電層，該第二介電層為具有電容率比氮化矽膜還低的介電層，該第一介電層的沉積膜厚為 50~200nm 左右、該第二介電層的沉積膜厚為 200~2000nm 左右、該硬罩幕的沉積膜厚為 50~200nm 左右。

11、一種半導體裝置的製造方法，其特徵包含：



六、申請專利範圍

(a)、在形成導電層的底層上依次沉積第一介電層、蝕刻耐性比該第一介電層還低的第二介電層以及硬罩幕之製程；

(b)、在該硬罩幕上形成光阻圖案之製程；

(c)、在該光阻圖案的存在下實施蝕刻處理，將該光阻圖案的圖案轉移到該硬罩幕之製程；

(d)、除去該光阻圖案之製程；

(e)、在該硬罩幕的存在下實施蝕刻處理，選擇性地將該硬罩幕的圖案轉移到該第二介電層之製程；

(f)、在該硬罩幕的存在下實施蝕刻處理，將該硬罩幕的圖案轉移到該第一介電層之製程；

(g)、在基板的全面依次沉積阻障金屬層以及銅膜之製程；以及

(h)、除去該阻障金屬層以及該銅膜直到該第二介電層的上部露出為止之製程；其中

該第一介電層為具備具有電容率比氧化矽膜還低的有機功能基之介電層，該第二介電層為具有電容率比氮化矽膜還低的介電層，該第一介電層的沉積膜厚為 200~3000nm 左右、該第二介電層的沉積膜厚為 100~500nm 左右、該硬罩幕的沉積膜厚為 50~200nm 左右。

12、一種半導體裝置的製造方法，其特徵包含：

(a)、在形成導電層的底層上依次沉積黏著層、第一介電層、蝕刻耐性比該第一介電層還低的第二介電層以及硬罩幕之製程；

## 六、申請專利範圍

- (b)、在該硬罩幕上形成光阻圖案之製程；
  - (c)、在該光阻圖案的存在下實施蝕刻處理，將該光阻圖案的圖案轉移到該硬罩幕之製程；
  - (d)、除去該光阻圖案之製程；
  - (e)、在該硬罩幕的存在下實施蝕刻處理，選擇性地將該硬罩幕的圖案轉移到該第二介電層之製程；
  - (f)、在該硬罩幕的存在下實施蝕刻處理，將該硬罩幕的圖案轉移到該第一介電層以及該黏著層之製程；
  - (g)、在基板的全面依次沉積阻障金屬層以及銅膜之製程；以及
  - (h)、除去該阻障金屬層以及該銅膜直到該第二介電層的上部露出為止之製程；其中
- 該第一介電層為具備具有電容率比氧化矽膜還低的有機功能基之介電層，該第二介電層為具有電容率比氮化矽膜還低的介電層，該黏著層為 50nm 以下的厚度之氧化矽膜。

13、一種半導體裝置的製造方法，其特徵包含：

- (a)、在形成導電層的底層實施氫回火處理後，依次沉積第一介電層、蝕刻耐性比該第一介電層還低的第二介電層以及硬罩幕之製程；
- (b)、在該硬罩幕上形成光阻圖案之製程；
- (c)、在該光阻圖案的存在下實施蝕刻處理，將該光阻圖案的圖案轉移到該硬罩幕之製程；
- (d)、除去該光阻圖案之製程；

## 六、申請專利範圍

(e)、在該硬罩幕的存在下實施蝕刻處理，選擇性地將該硬罩幕的圖案轉移到該第二介電層之製程；

(f)、在該硬罩幕的存在下實施蝕刻處理，將該硬罩幕的圖案轉移到該第一介電層之製程；

(g)、在基板的全面依次沉積阻障金屬層以及銅膜之製程；以及

(h)、除去該阻障金屬層以及該銅膜直到該第二介電層的上部露出為止之製程；其中

該第一介電層為具備具有電容率比氧化矽膜還低的有機功能基之介電層，該第二介電層為具有電容率比氮化矽膜還低的介電層。

14、一種半導體裝置的製造方法，其特徵包含：

(a)、在形成導電層的底層實施氫回火處理後，依次沉積黏著層、第一介電層、蝕刻耐性比該第一介電層還低的第二介電層以及硬罩幕之製程；

(b)、在該硬罩幕上形成光阻圖案之製程；

(c)、在該光阻圖案的存在下實施蝕刻處理，將該光阻圖案的圖案轉移到該硬罩幕之製程；

(d)、除去該光阻圖案之製程；

(e)、在該硬罩幕的存在下實施蝕刻處理，選擇性地將該硬罩幕的圖案轉移到該第二介電層之製程；

(f)、在該硬罩幕的存在下實施蝕刻處理，將該硬罩幕的圖案轉移到該第一介電層之製程；

(g)、在基板的全面依次沉積阻障金屬層以及銅膜之製

## 六、申請專利範圍

程；以及

(h)、除去該阻障金屬層以及該銅膜直到該第二介電層的上部露出為止之製程；其中

該第一介電層為具備具有電容率比氧化矽膜還低的有機功能基之介電層，該第二介電層為具有電容率比氮化矽膜還低的介電層，該黏著層為 50nm 以下的厚度之氧化矽膜。

15、一種半導體裝置的製造方法，其特徵包含：

(a)、在形成導電層的底層上依次沉積第一介電層、蝕刻耐性比該第一介電層還低的第二介電層以及硬罩幕之製程；

(b)、在該硬罩幕上形成光阻圖案之製程；

(c)、在該光阻圖案的存在下實施蝕刻處理，將該光阻圖案的圖案轉移到該硬罩幕之製程；

(d)、除去該光阻圖案之製程；

(e)、在該硬罩幕的存在下實施蝕刻處理，選擇性地將該硬罩幕的圖案轉移到該第二介電層之製程；

(f)、在該硬罩幕的存在下實施蝕刻處理，將該硬罩幕的圖案轉移到該第一介電層之製程；

(g)、在基板的全面依次沉積阻障金屬層以及銅膜之製程；以及

(h)、除去該阻障金屬層以及該銅膜直到該第二介電層的上部露出為止之製程；其中

該第一介電層為具備具有電容率比氧化矽膜還低的有

## 六、申請專利範圍

機功能基之介電層，該第二介電層為具有電容率比氮化矽膜還低的介電層，該硬罩幕為金屬膜或金屬化合物。

16、一種半導體裝置的製造方法，其特徵包含：

(a)、在形成導電層的底層上依次沉積第一介電層、蝕刻耐性比該第一介電層還低的第二介電層以及硬罩幕之製程；

(b)、在該硬罩幕上形成光阻圖案之製程；

(c)、在該光阻圖案的存在下實施蝕刻處理，將該光阻圖案的圖案轉移到該硬罩幕之製程；

(d)、除去該光阻圖案之製程；

(e)、在該硬罩幕的存在下實施蝕刻處理，選擇性地將該硬罩幕的圖案轉移到該第二介電層之製程；

(f)、在該硬罩幕的存在下實施蝕刻處理，將該硬罩幕的圖案轉移到該第一介電層之製程；

(g)、在基板的全面依次沉積阻障金屬層以及銅膜之製程；以及

(h)、除去該阻障金屬層以及該銅膜直到該第二介電層的上部露出為止之製程；其中

該第一介電層為具備具有電容率比氧化矽膜還低的有機功能基之介電層，該第二介電層為具有電容率比氮化矽膜還低的介電層，該硬罩幕為氮化矽膜。

17、如申請專利範圍第 1 項至第 8 項中任一項所述之半導體裝置的製造方法，其中在該第一介電層以及該第二介電層形成具有該硬罩幕的圖案之溝槽，藉由研磨沉積於

## 六、申請專利範圍

該溝槽上的導電膜，使導電膜埋入該溝槽。

18、如申請專利範圍第 17 項所述之半導體裝置的製造方法，其中藉由該研磨也除去該硬罩幕，使該硬罩幕幾乎消失。

19、如申請專利範圍第 1 項至第 16 項中任一項所述之半導體裝置的製造方法，其中在該(f)製程中，該硬罩幕也被蝕刻，使該硬罩幕幾乎消失。

20、如申請專利範圍第 1 項至第 16 項中任一項所述之半導體裝置的製造方法，其中在該(e)製程中，該第一介電層係當作蝕刻該第二介電層時的蝕刻終止層而作用。

21、如申請專利範圍第 1 項至第 16 項中任一項所述之半導體裝置的製造方法，其中在該(c)製程中，該第二介電層被蝕刻到中途。

22、一種半導體裝置的製造方法，包含：

(a)、依次沉積有機膜、介電層以及硬罩幕之製程；

(b)、形成該硬罩幕的圖案，形成硬罩幕的圖案之製程；

(c)、使用該硬罩幕當作罩幕蝕刻該介電層，將該硬罩幕的圖案選擇性地轉移到該介電層之製程；以及

(d)、使用該硬罩幕當作罩幕蝕刻該有機膜，將該硬罩幕的圖案轉移到該有機膜之製程，其中

該介電層具有比氮化矽膜還低的電容率，在該(c)製程中，該有機膜係當作蝕刻該介電層時的蝕刻終止層而作用。

## 六、申請專利範圍

23、如申請專利範圍第 22 項所述之半導體裝置的製造方法，其中在該(d)製程中，該硬罩幕也被蝕刻，使該硬罩幕幾乎消失。

24、如申請專利範圍第 22 項所述之半導體裝置的製造方法，其中在該有機膜以及該介電層形成具有該硬罩幕的圖案之溝槽，藉由研磨沉積於該溝槽上的導電膜，使導電膜埋入該溝槽，藉由該研磨也除去該硬罩幕，使該硬罩幕幾乎消失。

25、如申請專利範圍第 22 項至第 24 項中任一項所述之半導體裝置的製造方法，其中在該(b)製程中，該介電層被形成圖案到中途。

26、如申請專利範圍第 22 項至第 24 項中任一項所述之半導體裝置的製造方法，其中該有機膜的膜厚比該介電層的膜厚薄。

27、如申請專利範圍第 22 項至第 24 項中任一項所述之半導體裝置的製造方法，其中該有機膜係在形成導電層的底層上中介黏著層而形成，該黏著層的膜厚係以 50nm 以下來構成。

28、一種半導體裝置的製造方法，包含：

(a)、依次沉積有機膜、介電層以及硬罩幕之製程；

(b)、形成該硬罩幕的圖案，形成硬罩幕的圖案之製程；

(c)、使用該硬罩幕當作罩幕蝕刻該介電層，將該硬罩幕的圖案選擇性地轉移到該介電層之製程；

## 六、申請專利範圍

(d)、使用該硬罩幕當作罩幕蝕刻該有機膜，將該硬罩幕的圖案轉移到該有機膜之製程；以及

(e)、除去該硬罩幕之製程，其中

該介電層具有比氮化矽膜還低的電容率。

29、如申請專利範圍第 28 項所述之半導體裝置的製造方法，其中在該(d)製程中該硬罩幕也被蝕刻，該(e)製程與該(d)製程係在同一製程進行。

30、如申請專利範圍第 28 項所述之半導體裝置的製造方法，其中在該有機膜以及該介電層形成具有該硬罩幕的圖案之溝槽，藉由研磨沉積於該溝槽上的導電膜，使導電膜埋入該溝槽，該(e)製程係藉由該研磨除去該硬罩幕之製程。

31、如申請專利範圍第 28 項至第 30 項中任一項所述之半導體裝置的製造方法，其中在該(b)製程中，該有機膜被形成圖案到中途。

32、如申請專利範圍第 28 項至第 30 項中任一項所述之半導體裝置的製造方法，其中在該(c)製程中，該有機膜係當作蝕刻該介電層時的蝕刻終止層而作用。

33、如申請專利範圍第 28 項至第 30 項中任一項所述之半導體裝置的製造方法，其中該有機膜係在形成導電層的底層上中介黏著層而形成，該黏著層的膜厚係以 50nm 以下來構成。

34、一種半導體裝置的製造方法，包含：

(a)、依次沉積有機膜、介電層以及硬罩幕之製程；



## 六、申請專利範圍

(b)、蝕刻該硬罩幕以及該介電層，形成硬罩幕的圖案，並且蝕刻到該介電層的中途之製程；

(c)、使用該硬罩幕當作罩幕蝕刻該介電層，將該硬罩幕的圖案選擇性地轉移到該介電層之製程；以及

(d)、使用該硬罩幕當作罩幕蝕刻該有機膜，將該硬罩幕的圖案轉移到該有機膜之製程。

35、如申請專利範圍第 34 項所述之半導體裝置的製造方法，其中該介電層具有比氮化矽膜還低的電容率。

36、如申請專利範圍第 34 項或第 35 項所述之半導體裝置的製造方法，其中在該(c)製程中，該有機膜係當作蝕刻該介電層時的蝕刻終止層而作用。

37、如申請專利範圍第 34 項或第 35 項所述之半導體裝置的製造方法，其中該有機膜的膜厚比該介電層的膜厚薄。

38、如申請專利範圍第 34 項或第 35 項所述之半導體裝置的製造方法，其中該有機膜係在形成導電層的底層上中介黏著層而形成，該黏著層的膜厚係以 50nm 以下來構成。

39、一種半導體裝置的製造方法，包含：

(a)、在形成導電層的底層上，形成具有 50nm 以下的膜厚的黏著層之製程；以及

(b)、在該黏著層上，形成有機膜之製程。

40、如申請專利範圍第 39 項所述之半導體裝置的製造方法，其中該導電層係由埋入介電層中的溝槽之鎢膜所構

## 六、申請專利範圍

成。

41、如申請專利範圍第 39 項或第 40 項所述之半導體裝置的製造方法，其中在形成該黏著層前進行氫處理。

42、如申請專利範圍第 39 項或第 40 項所述之半導體裝置的製造方法，其中該黏著層係由氧化矽膜所構成。

43、一種半導體裝置，係在形成導電層的底層上，中介黏著層形成有機膜，該黏著層具有 50nm 以下的膜厚。

44、如申請專利範圍第 43 項所述之半導體裝置，其中該導電層係由埋入介電層中的溝槽之鎢膜所構成。

45、如申請專利範圍第 43 項或第 44 項所述之半導體裝置，其中在形成該黏著層前進行氫處理。

46、如申請專利範圍第 43 項或第 44 項所述之半導體裝置，其中該黏著層係由氧化矽膜所構成。

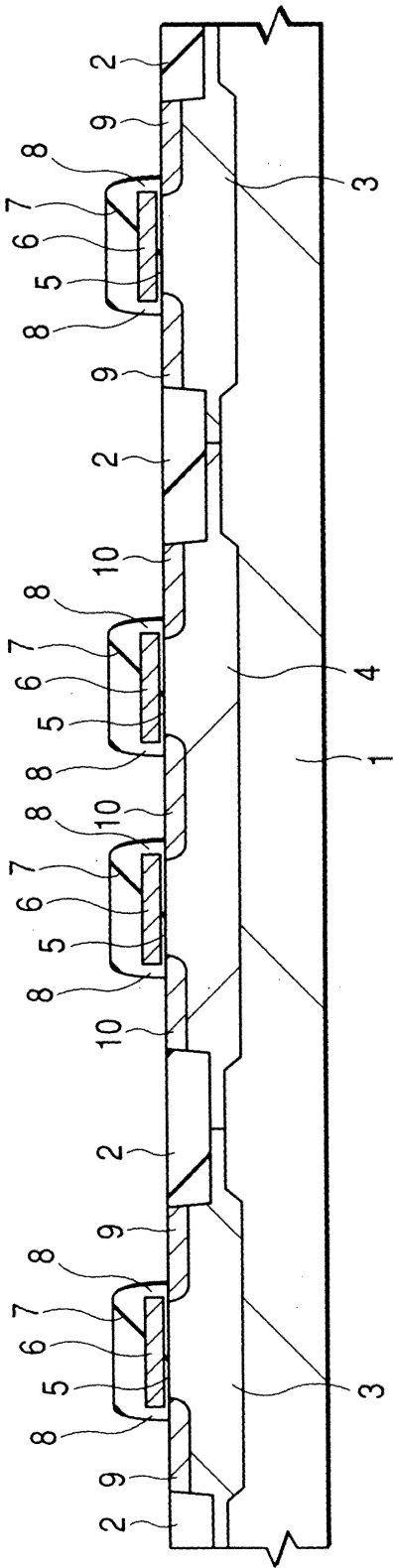
(請先閱讀背面之注意事項再填寫本頁)

裝

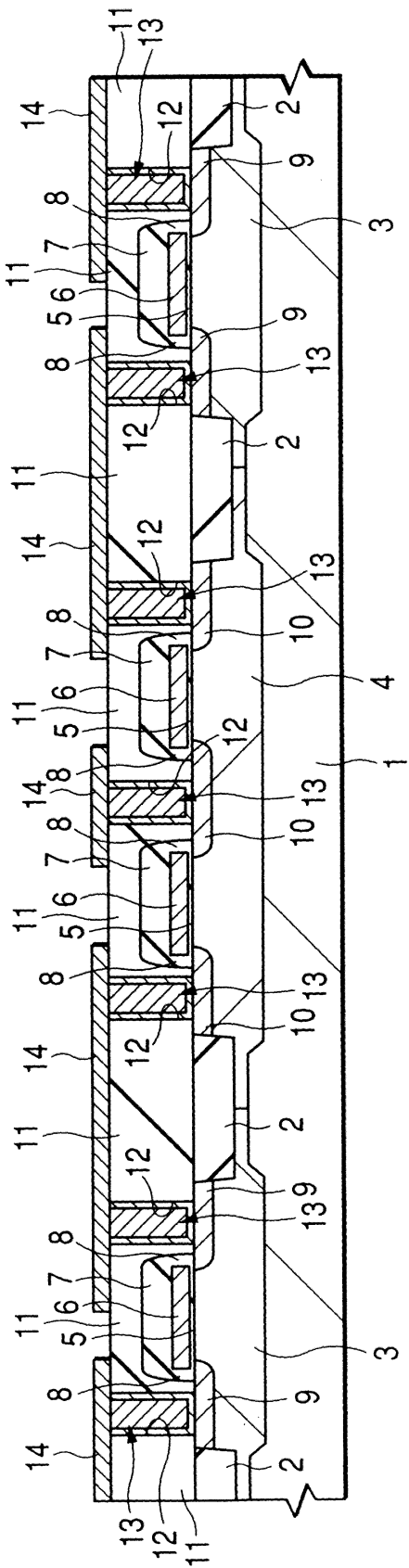
訂

線

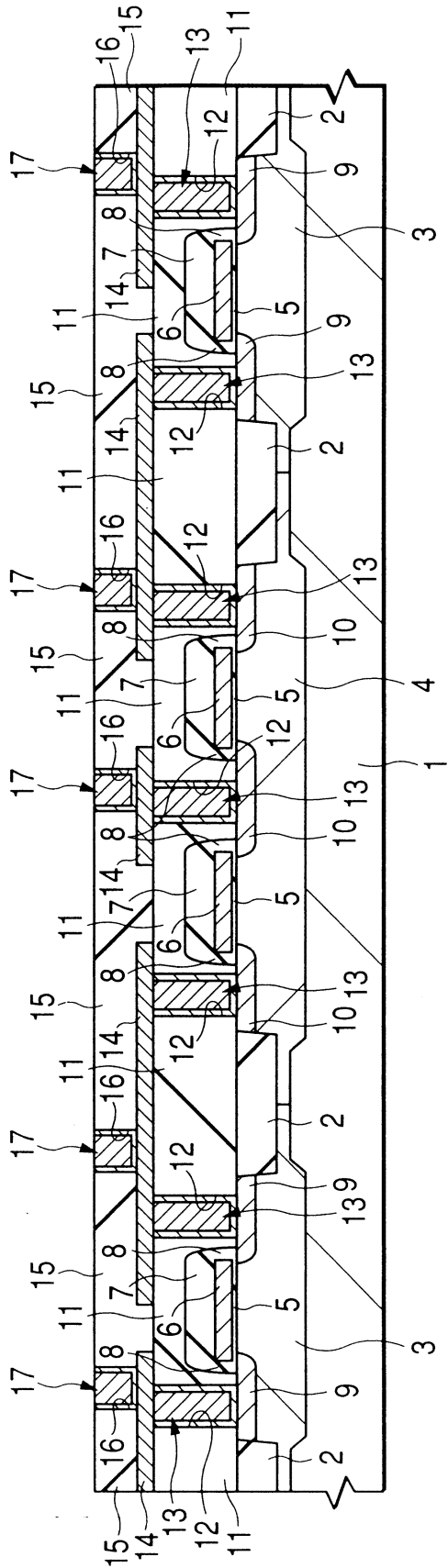
第 1 圖



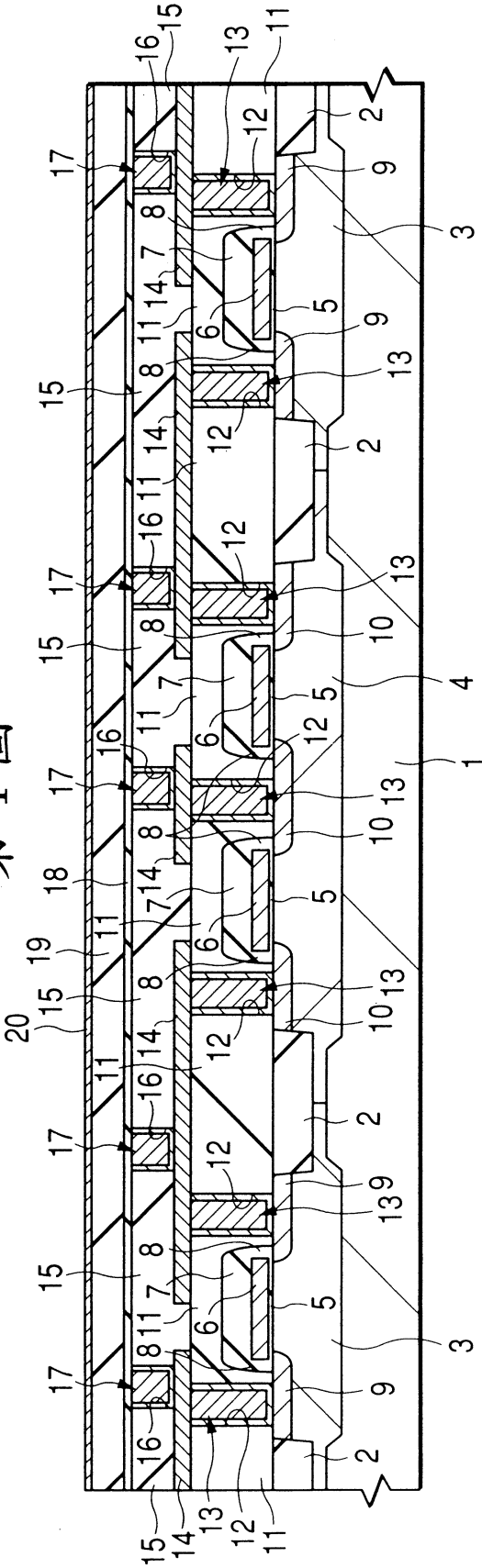
第 2 圖



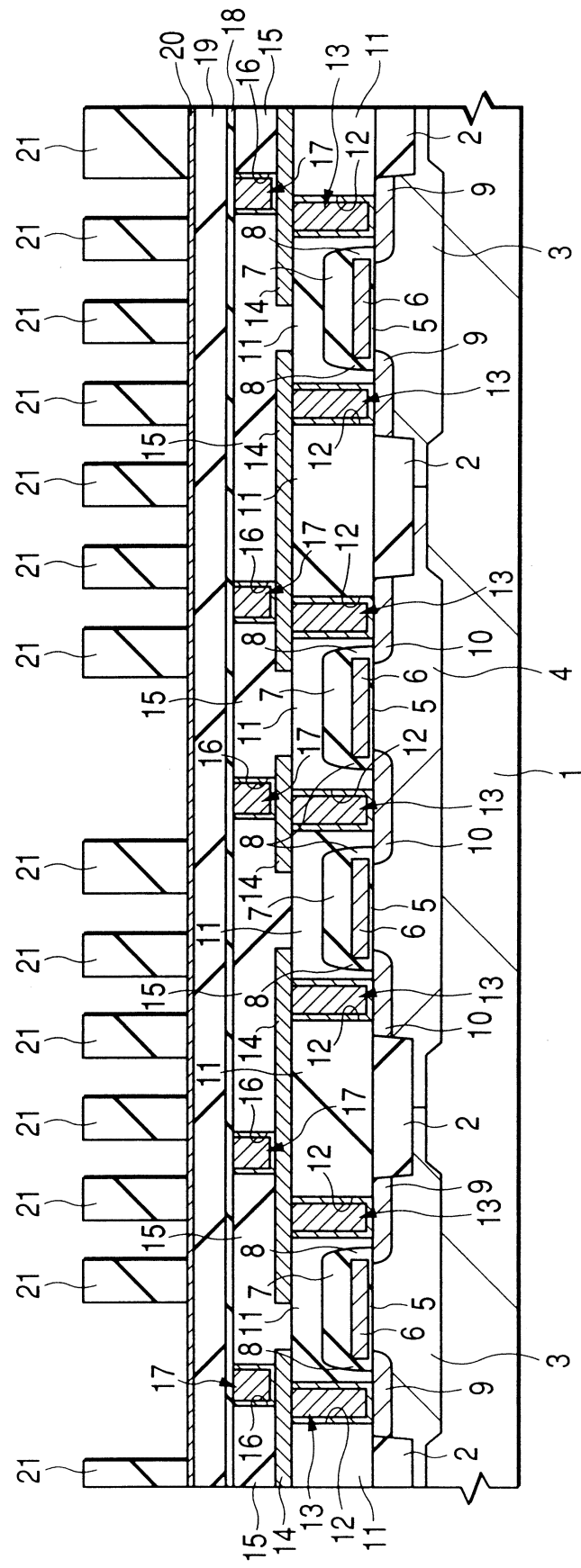
第 3 圖



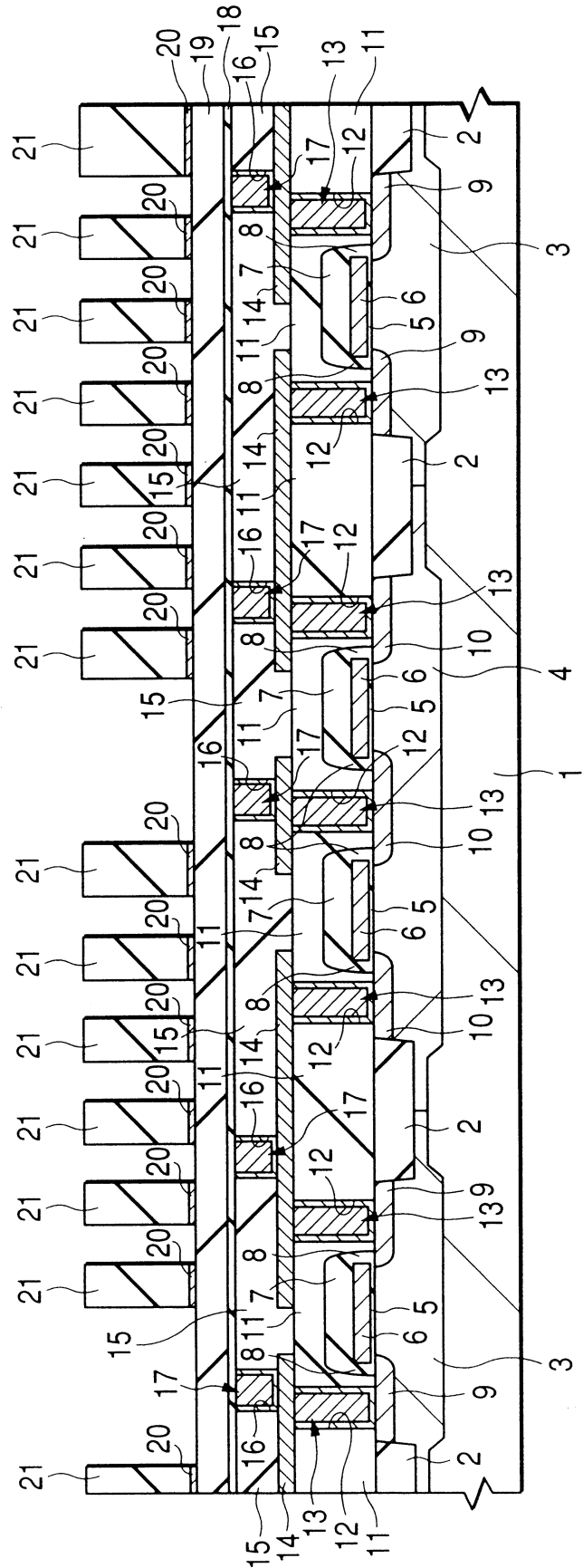
第 4 圖



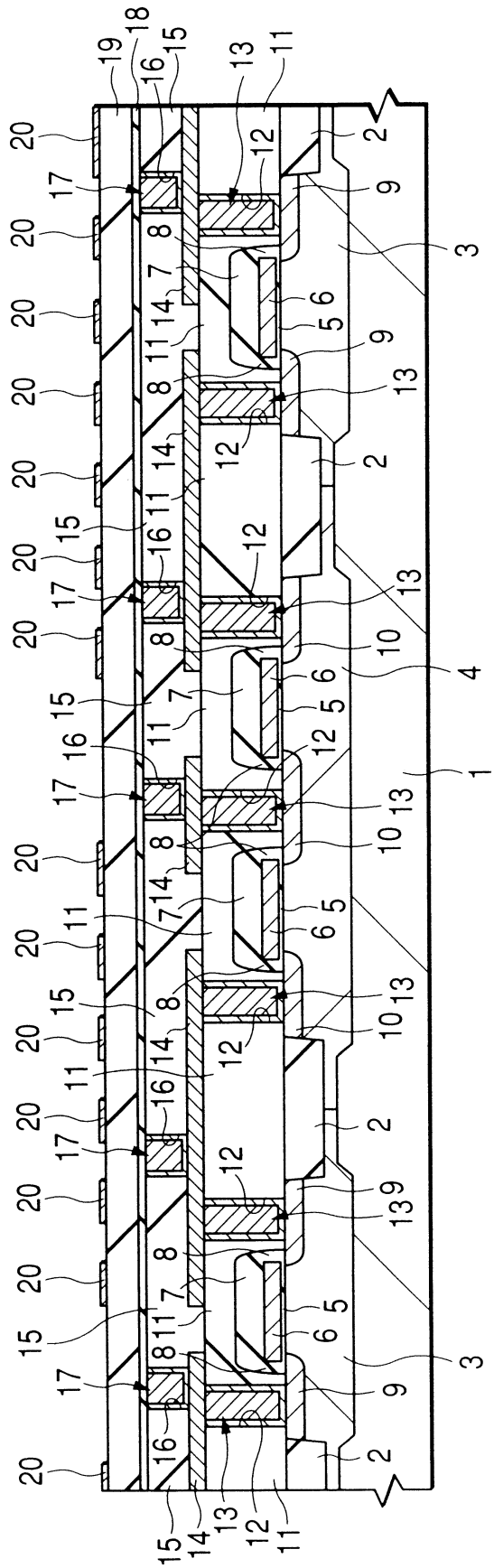
第 5 圖



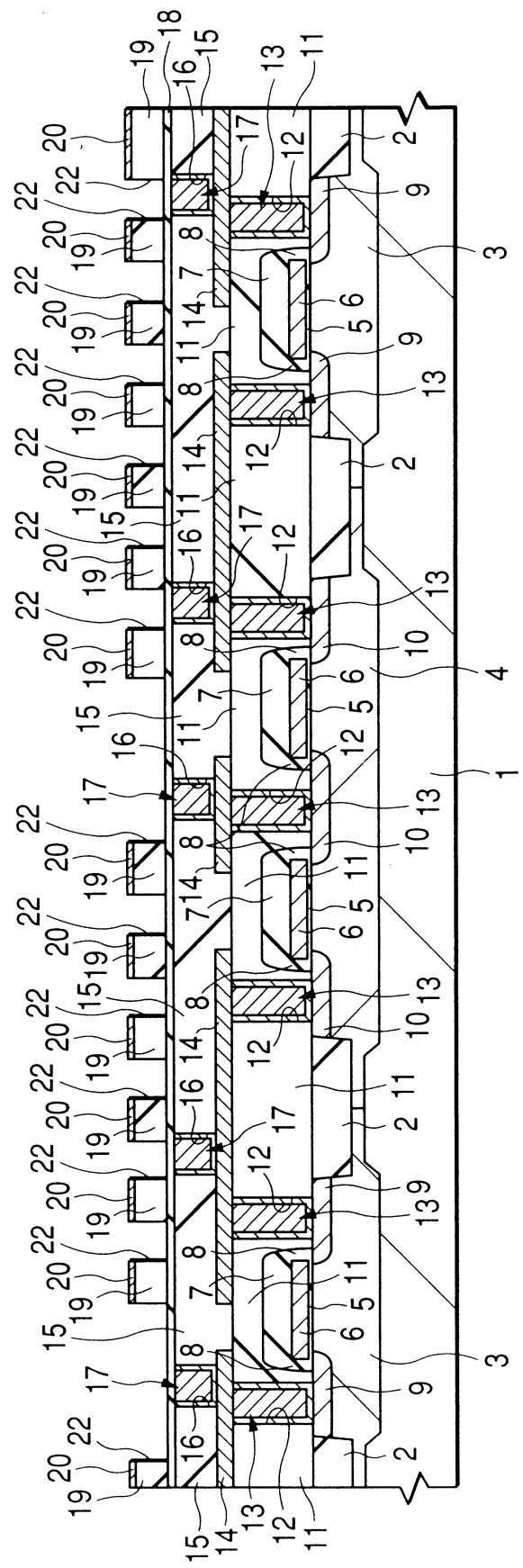
第 6 圖



第 7 圖

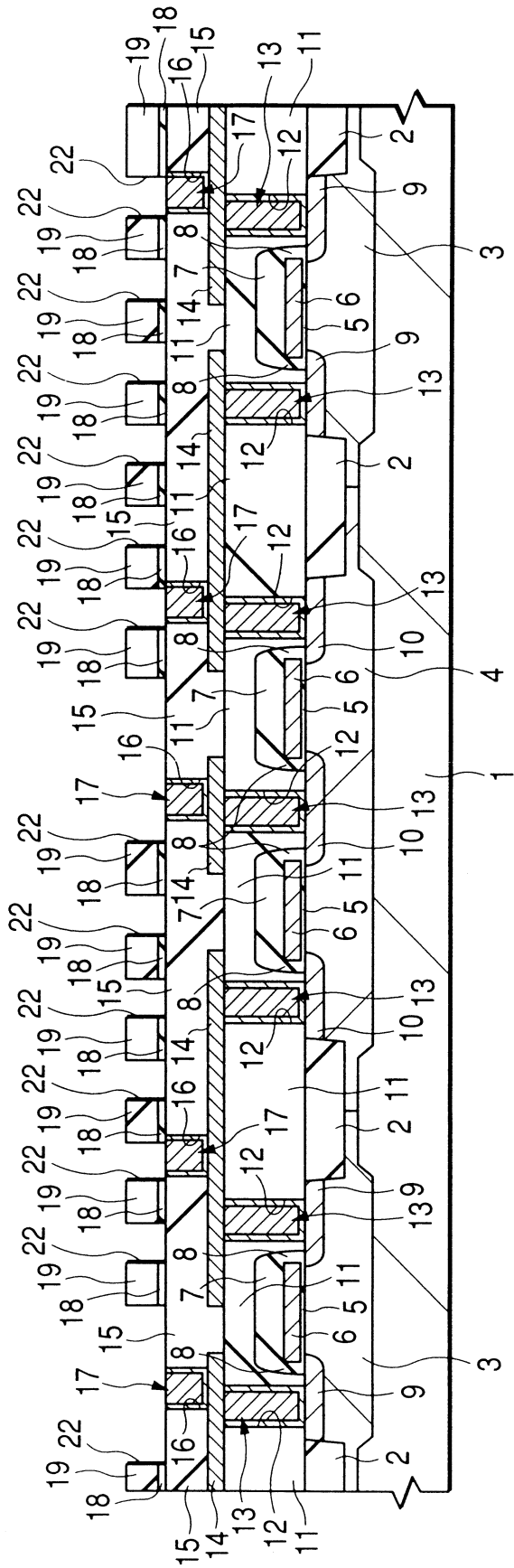


第 8 圖

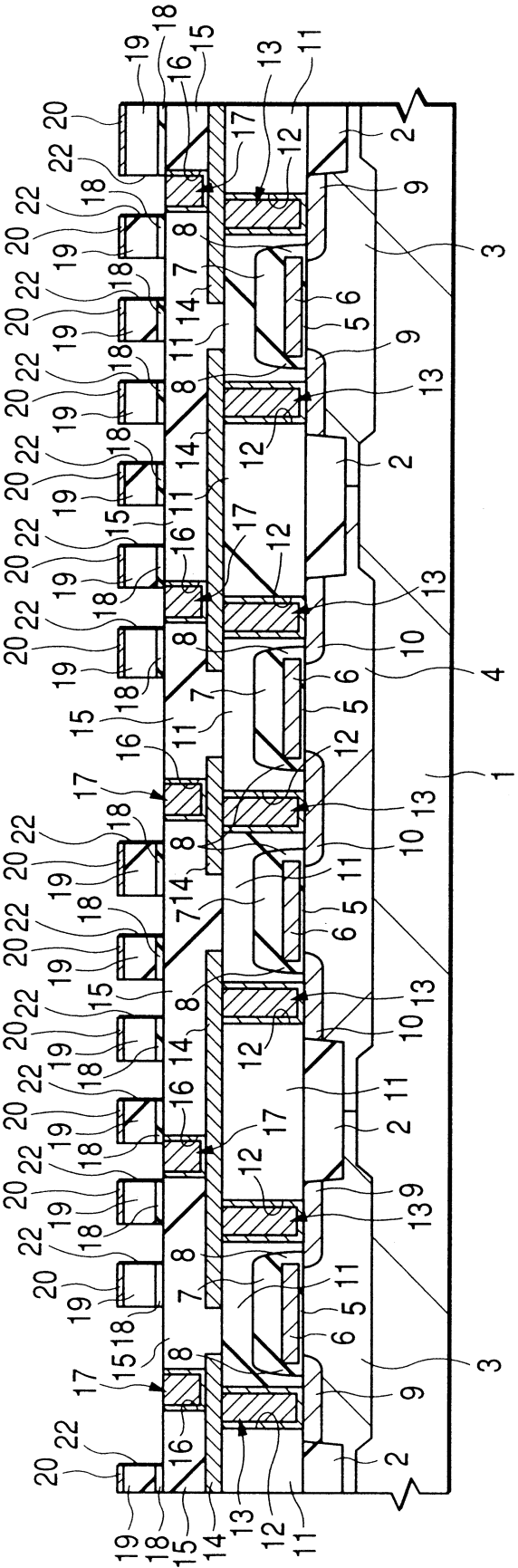




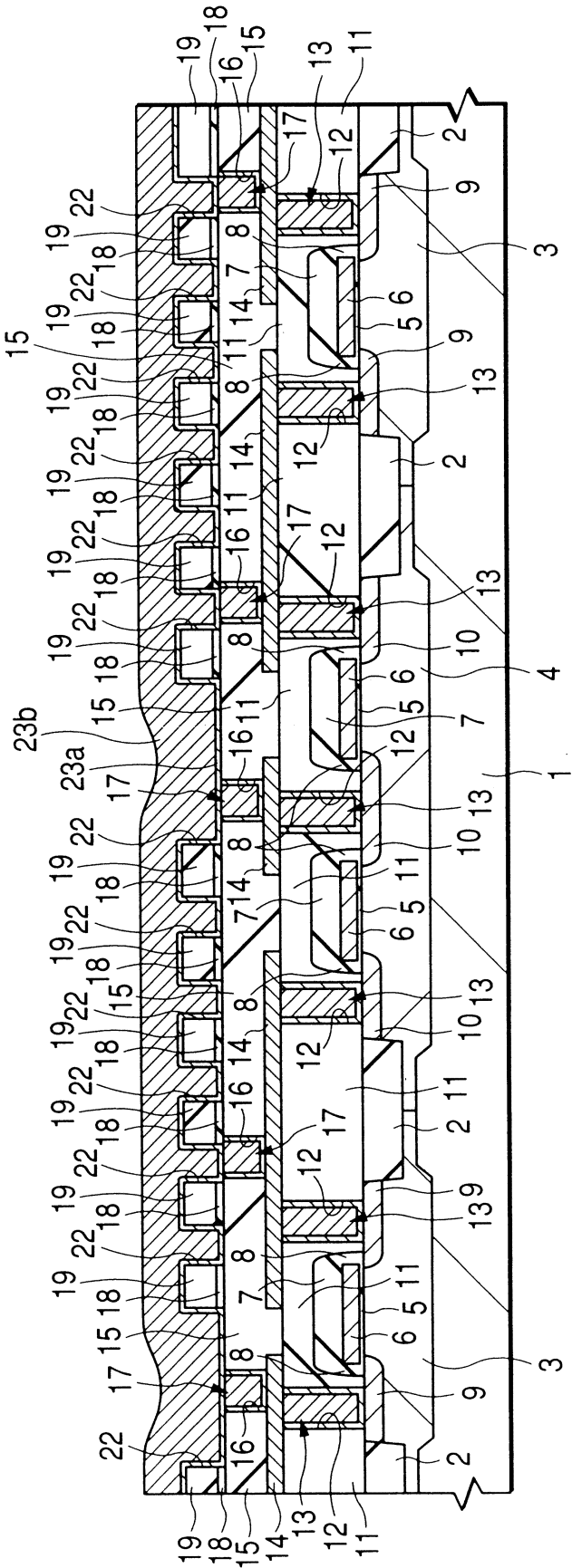
第 9 圖



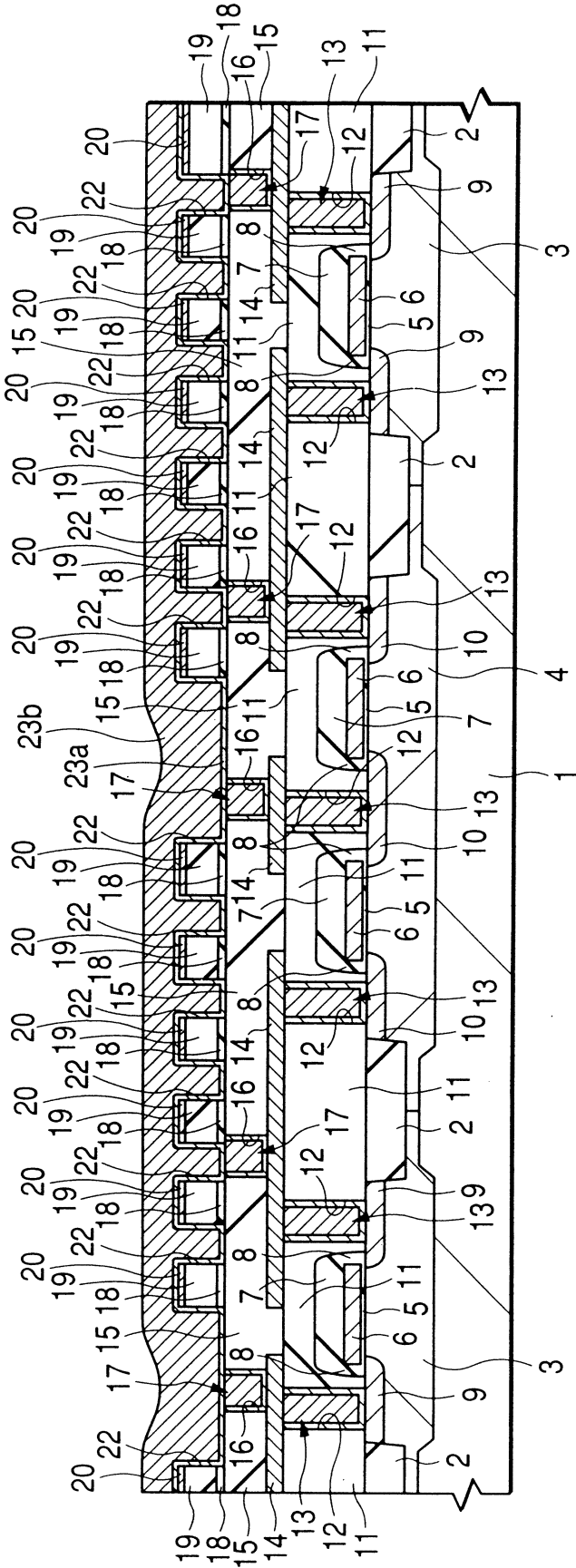
第 10 圖



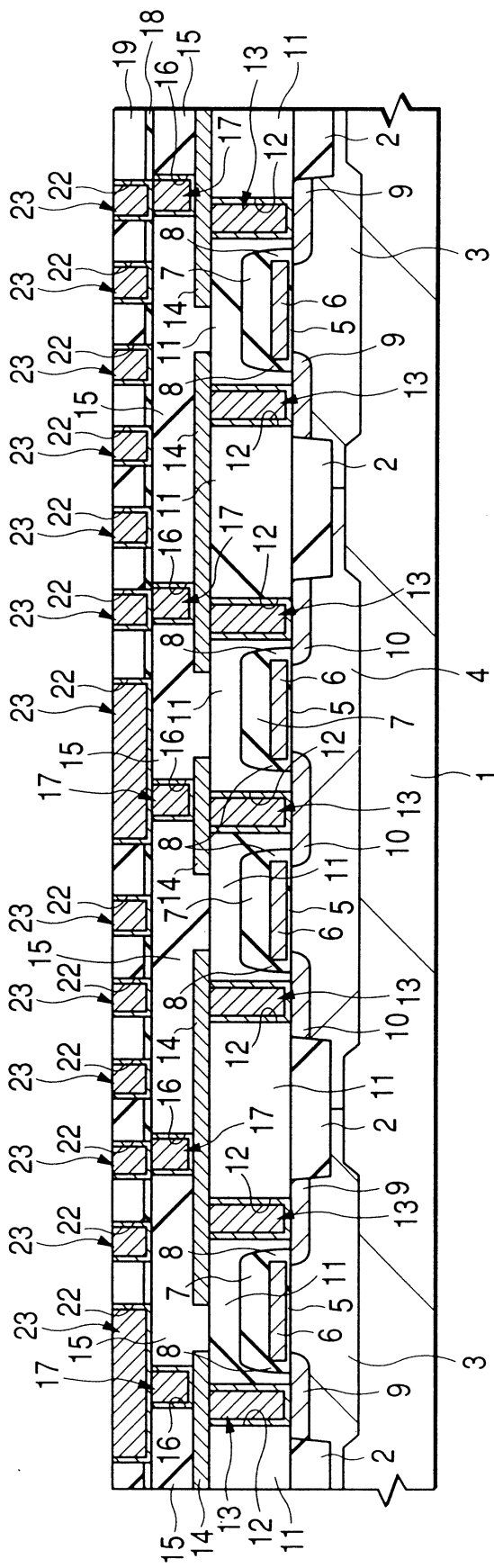
第 11 圖



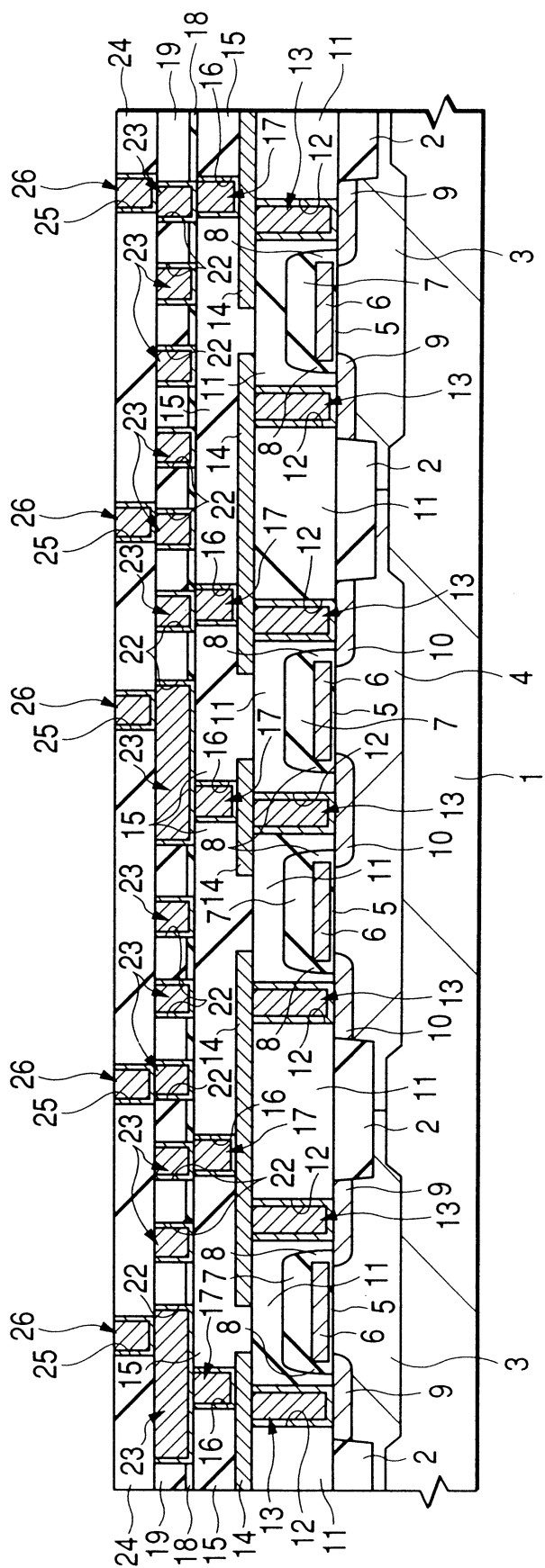
第 12 圖



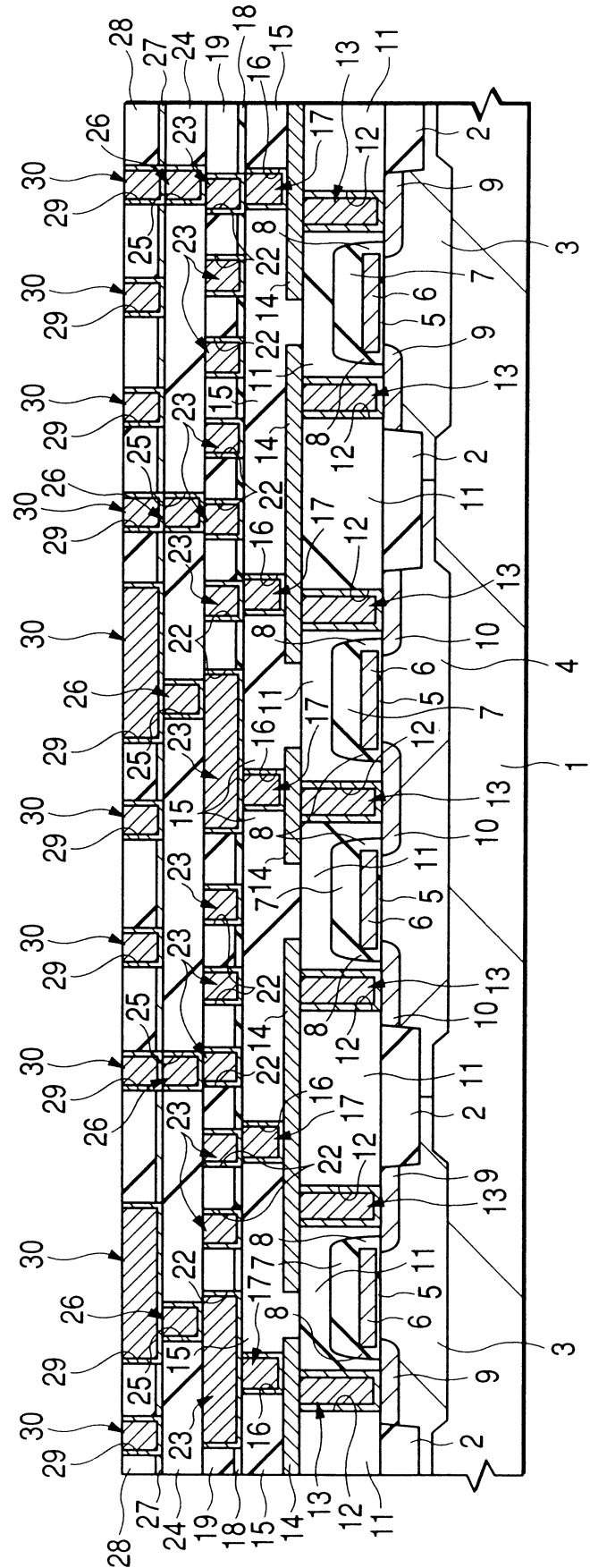
第 13 圖



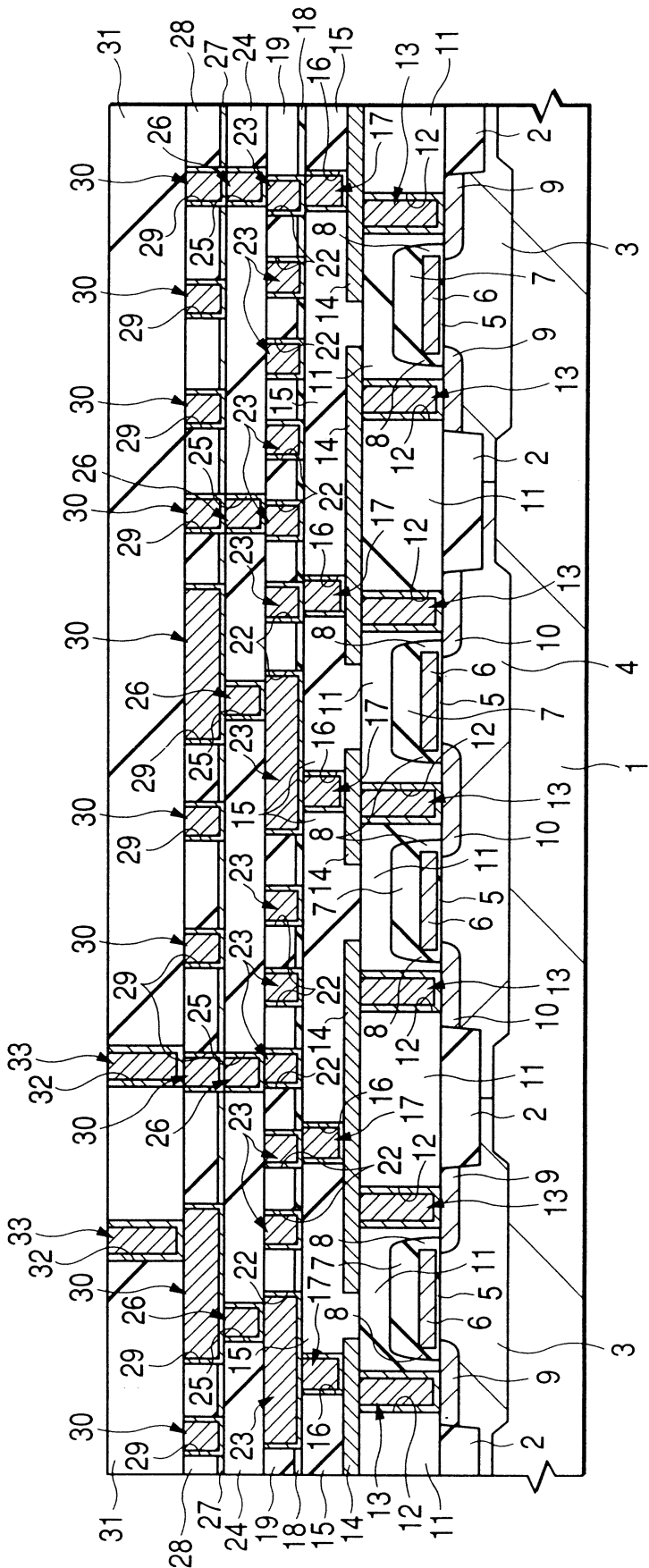
第14圖



第 15 圖



## 第16圖





第 17 圖

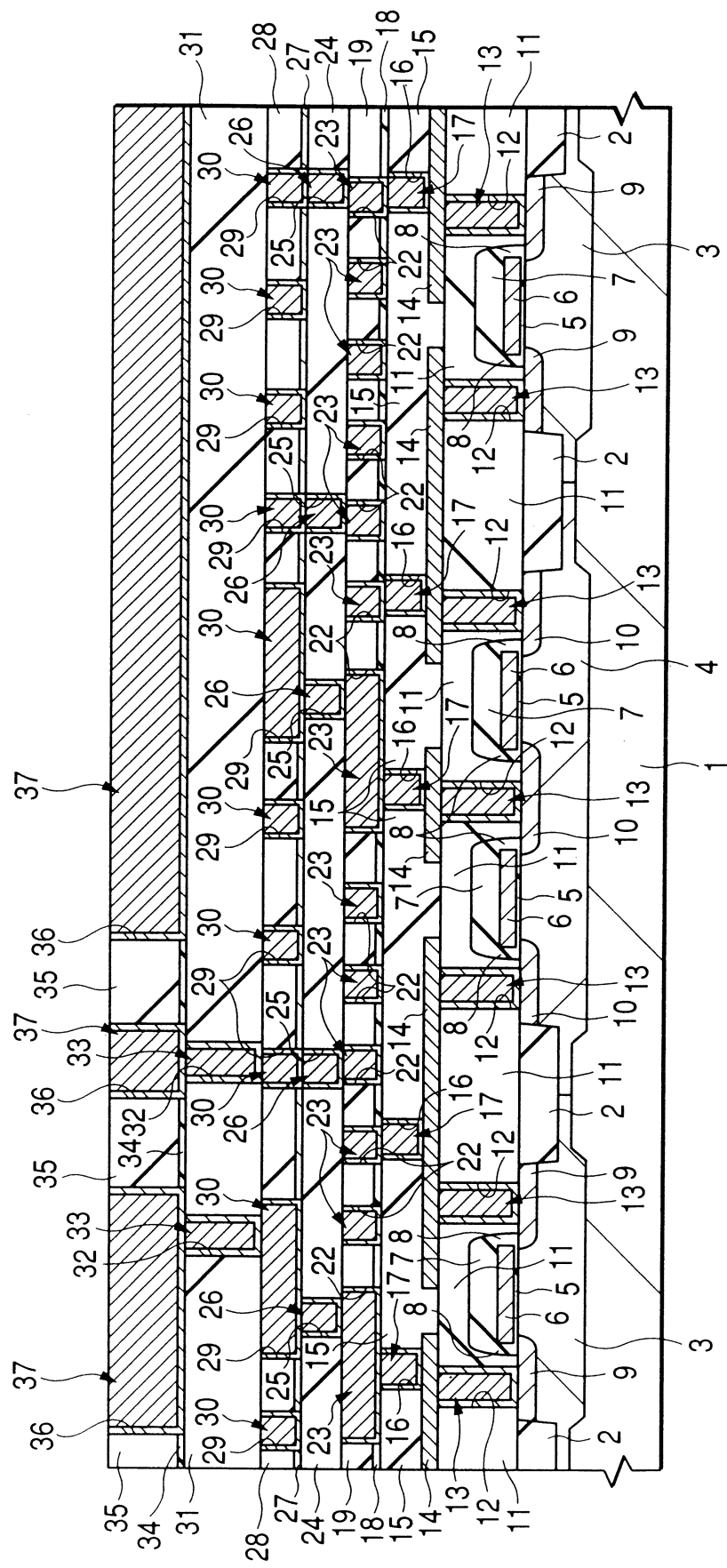


圖 18 第

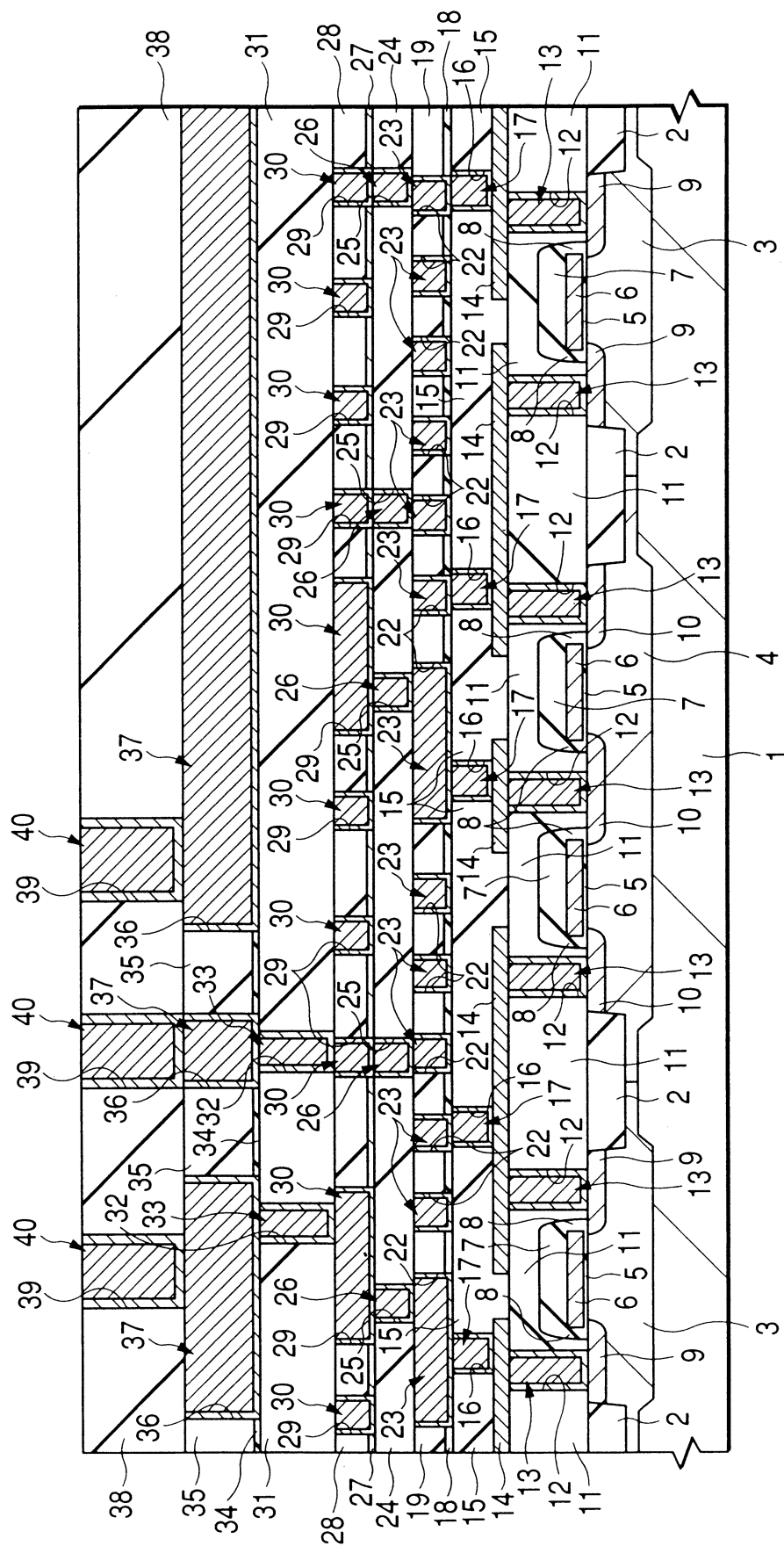
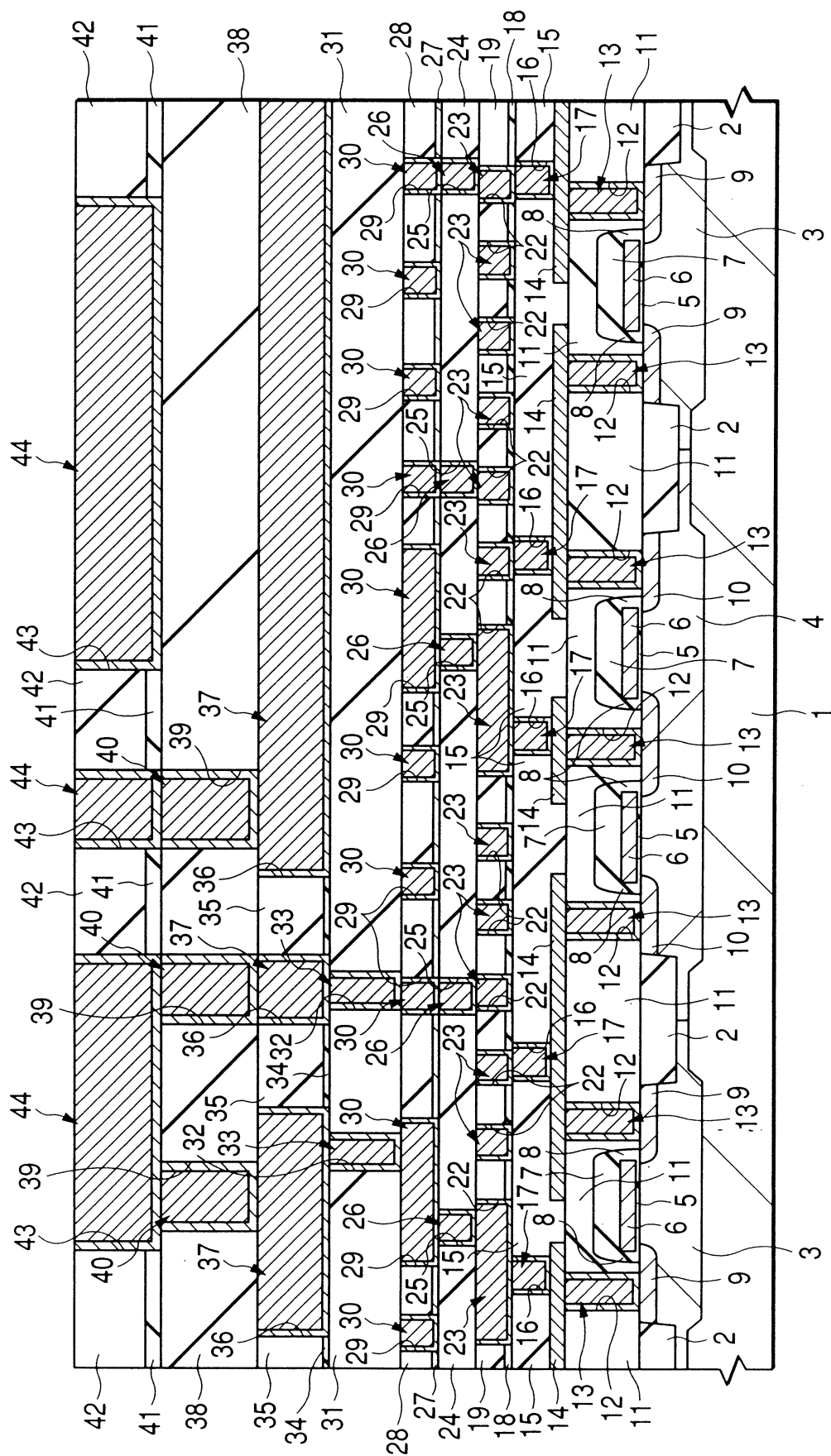
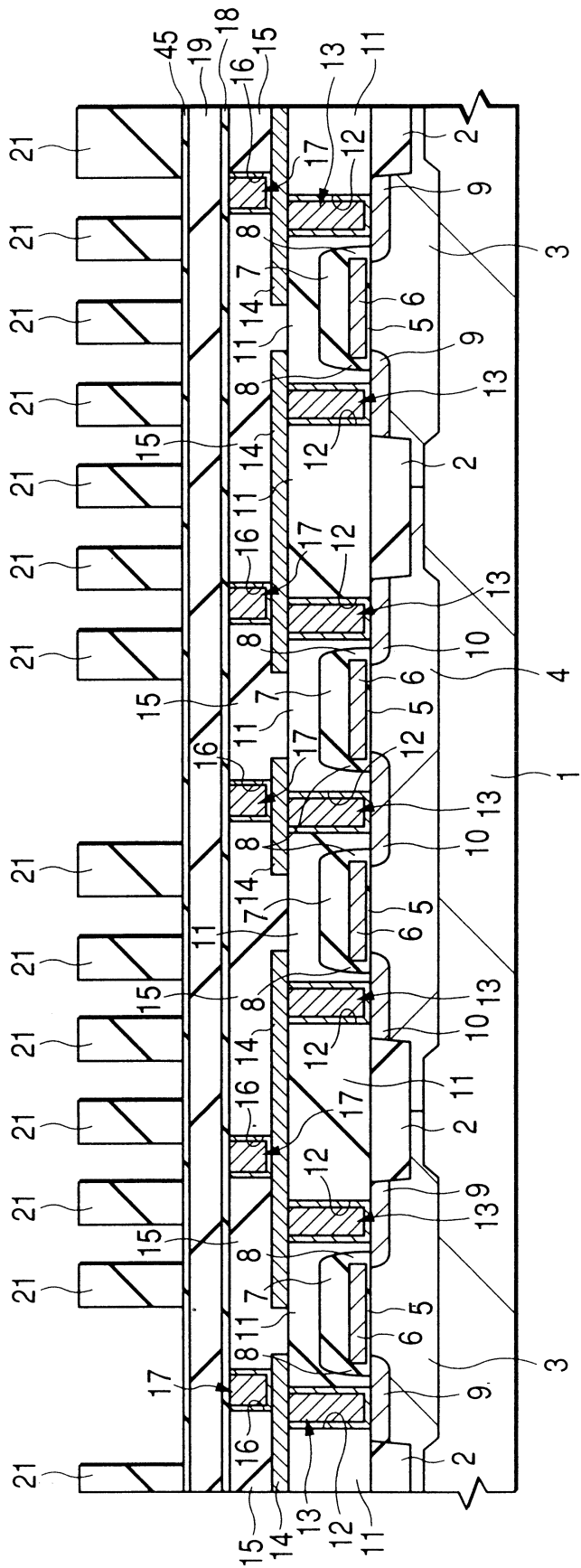


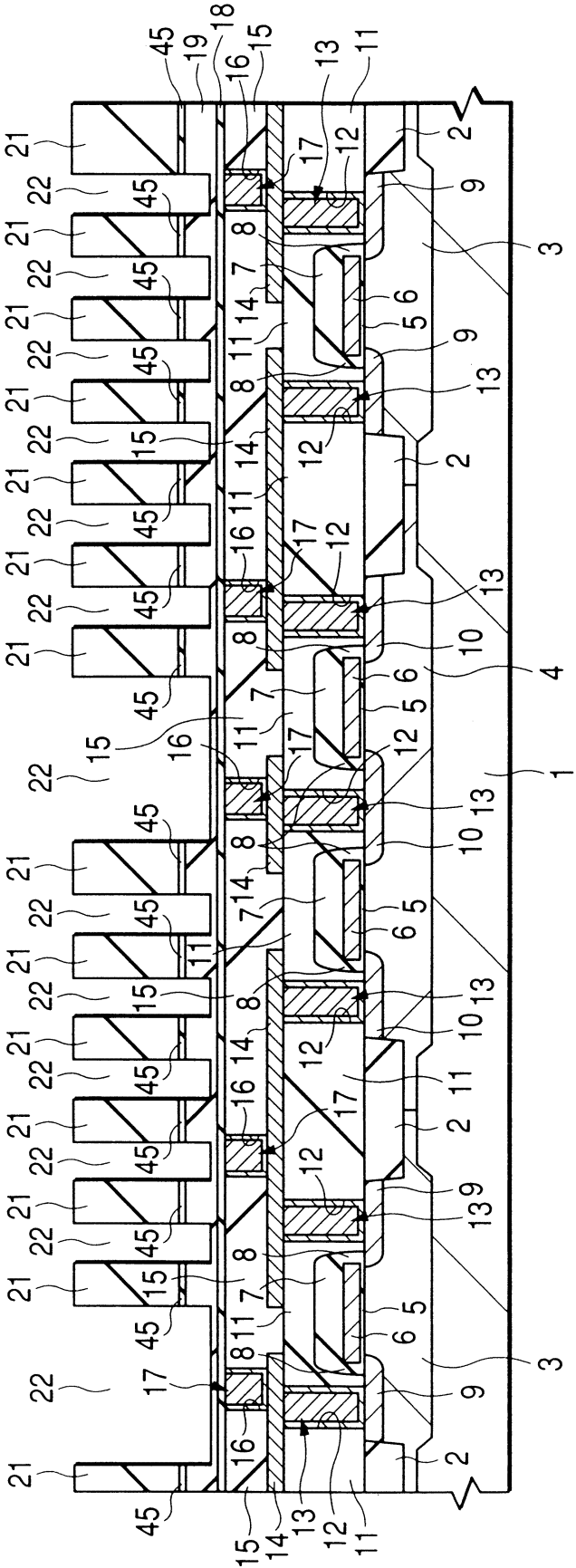
圖 19 第



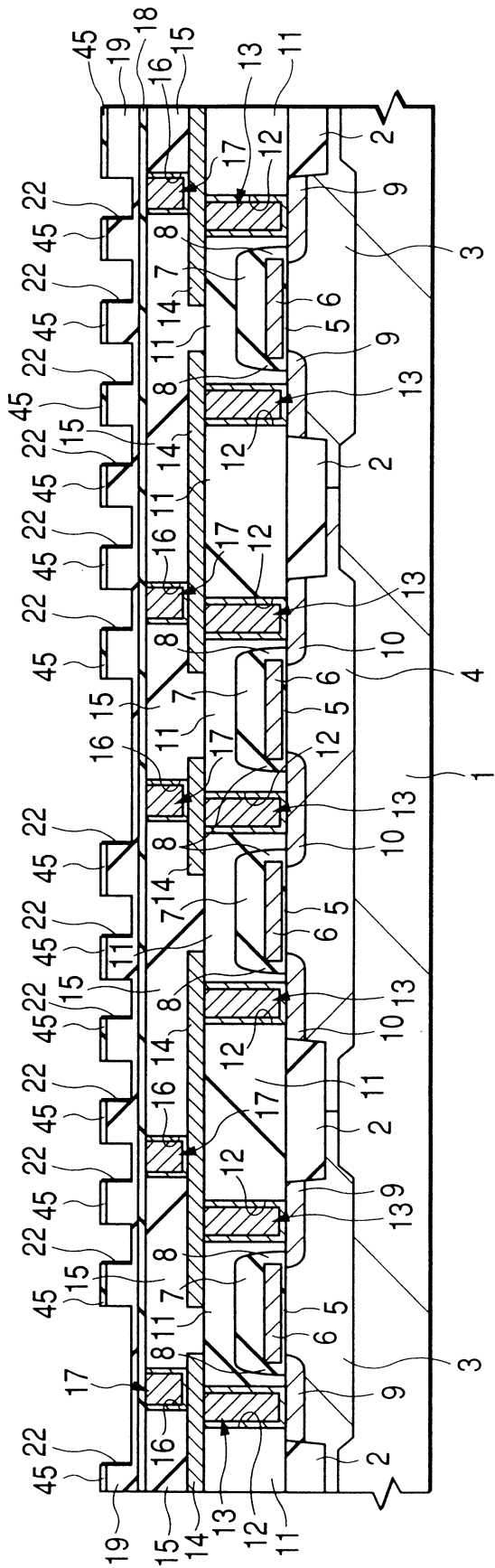
第 20 圖



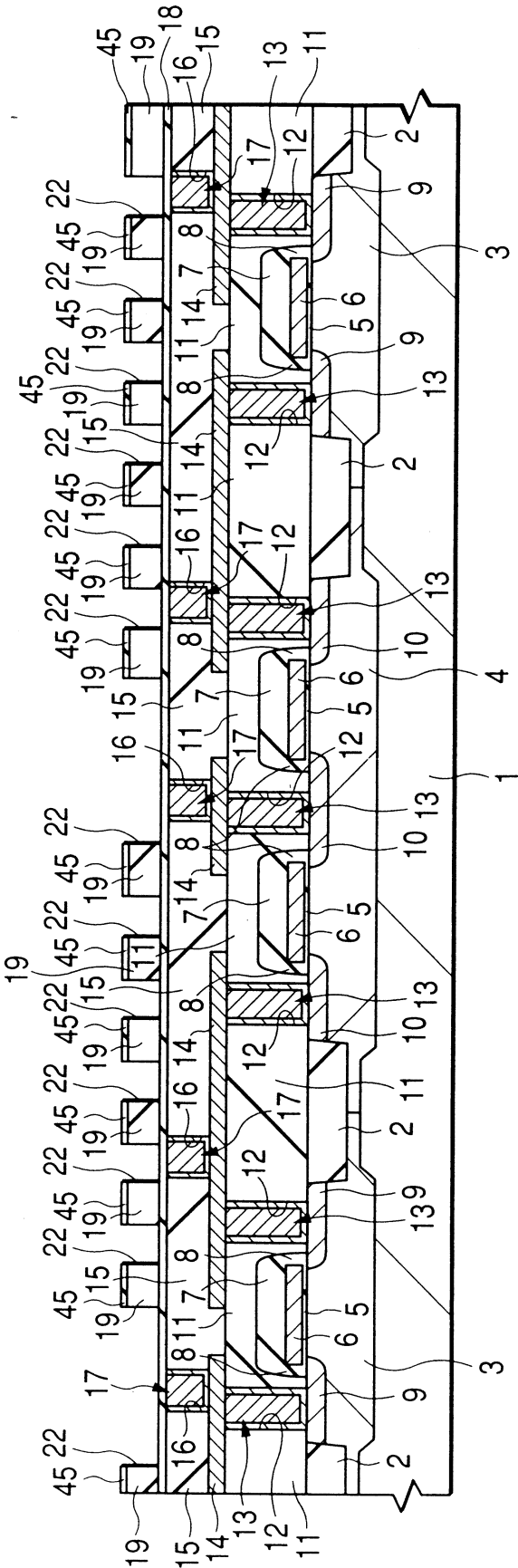
第 21 圖



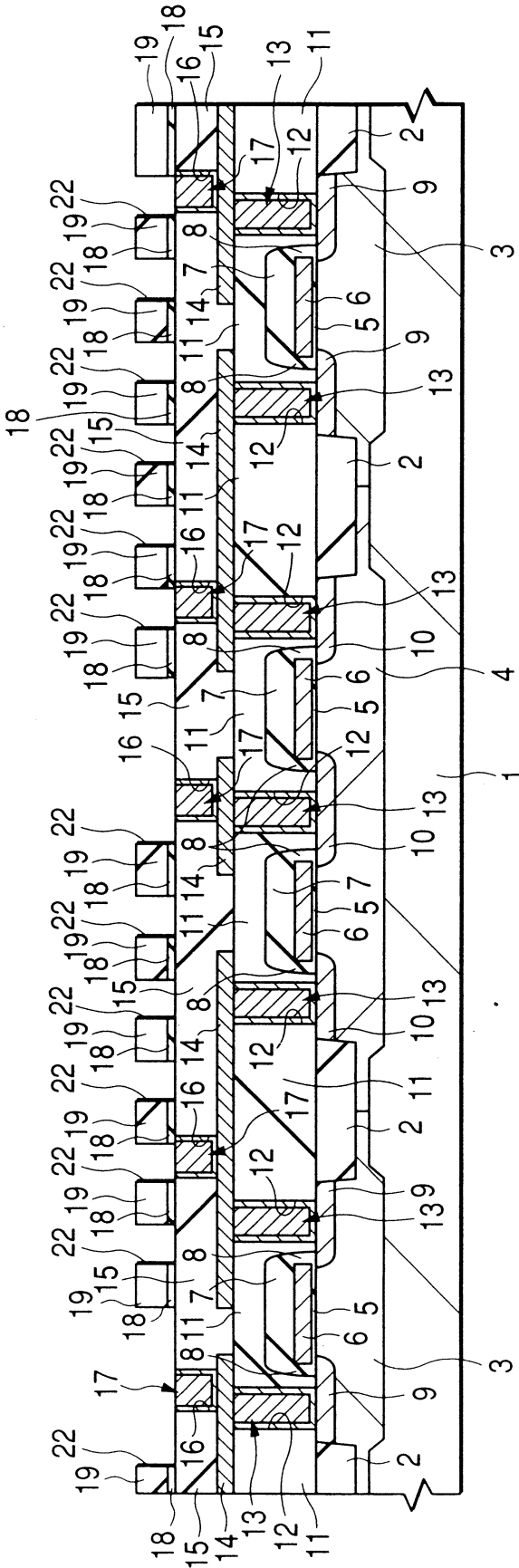
第 22 圖



第 23 圖

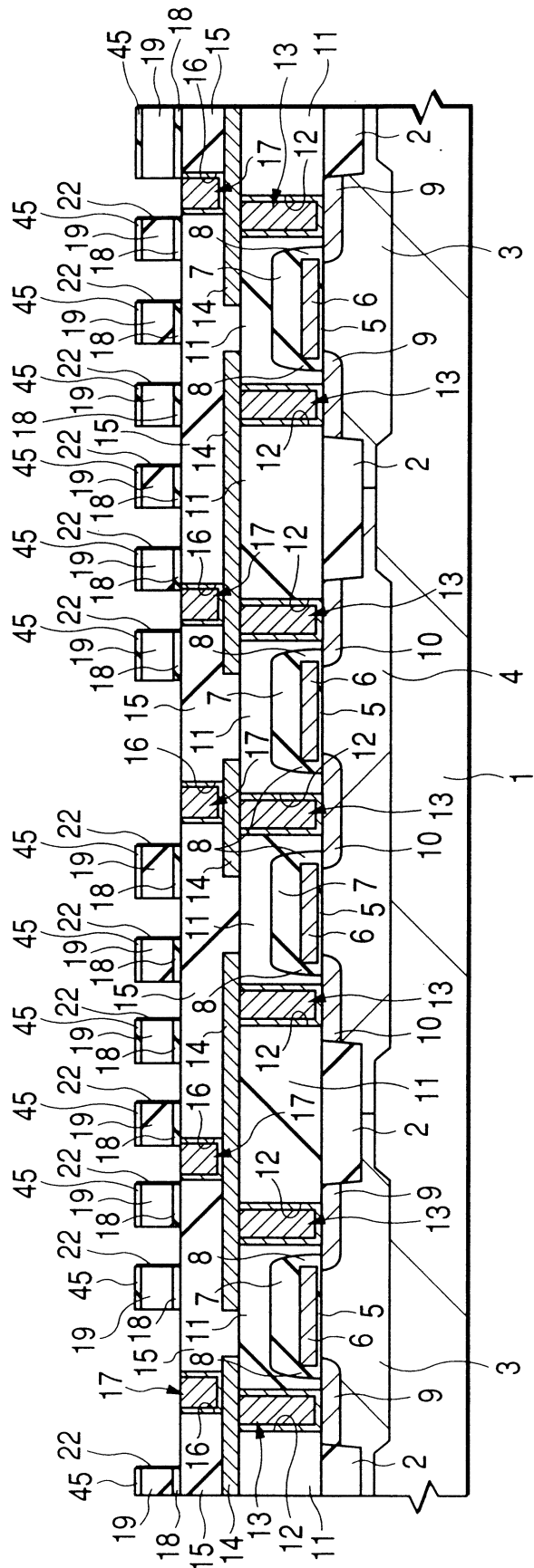


第 24 圖

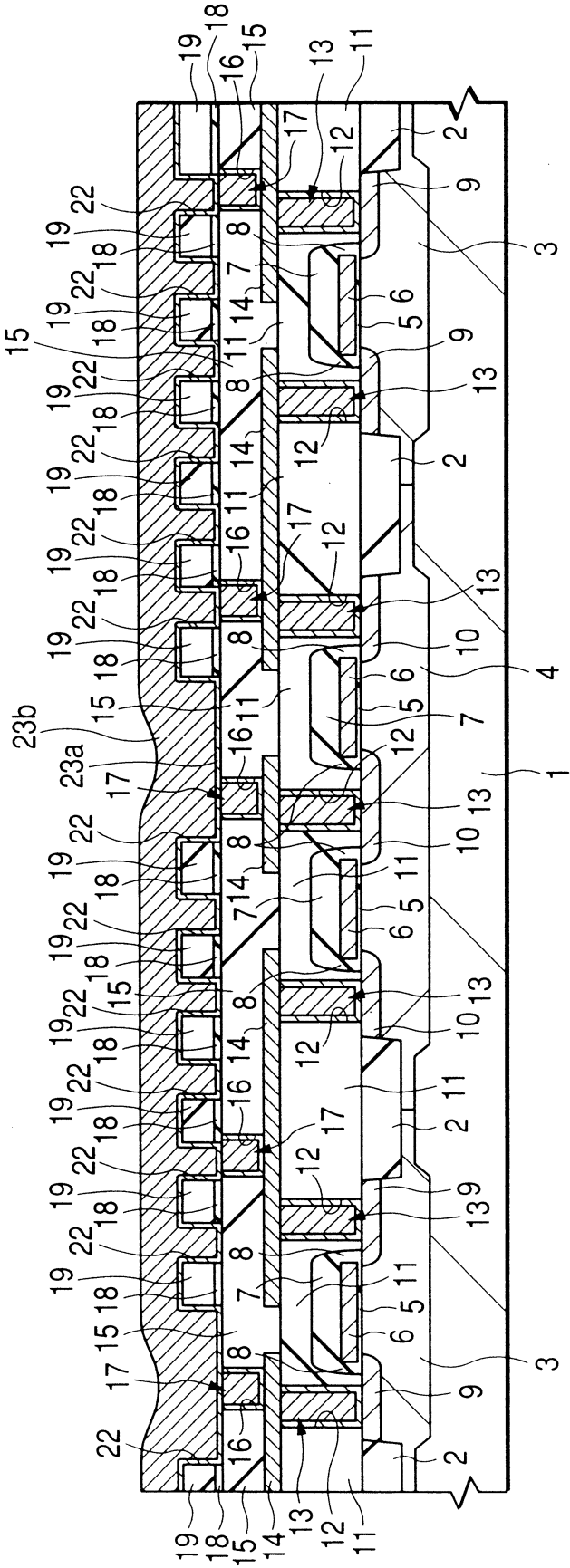




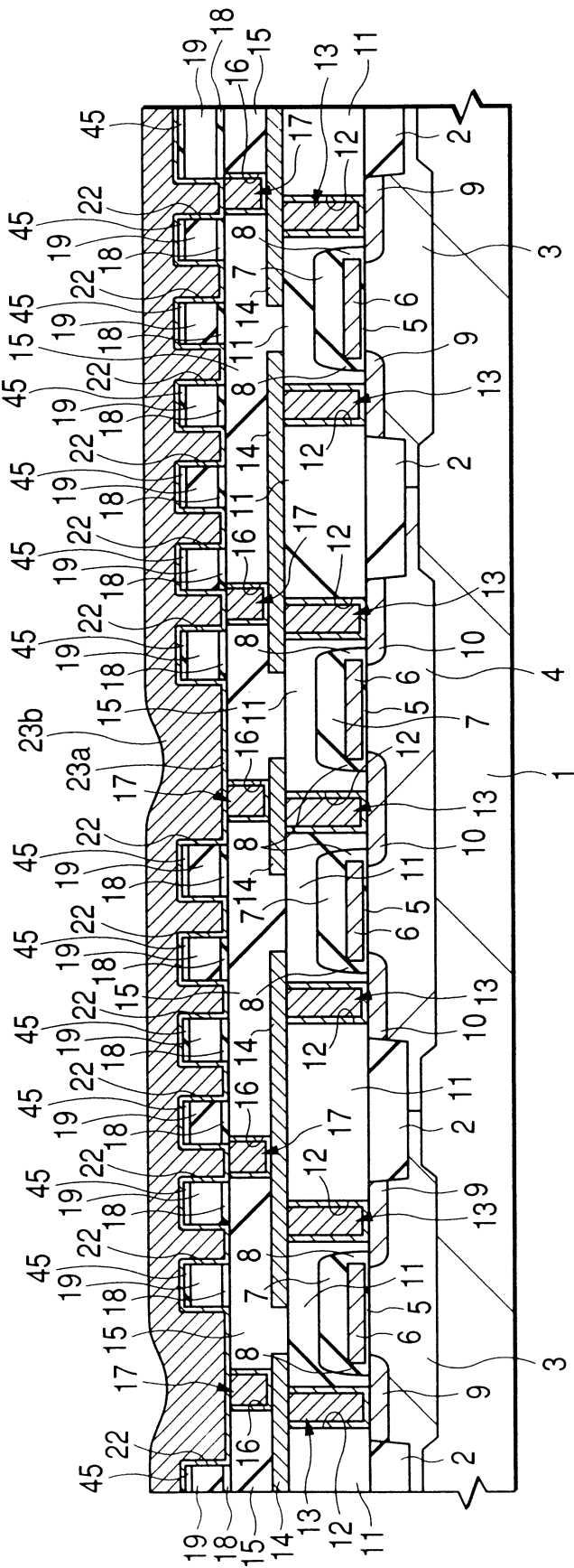
第 25 圖



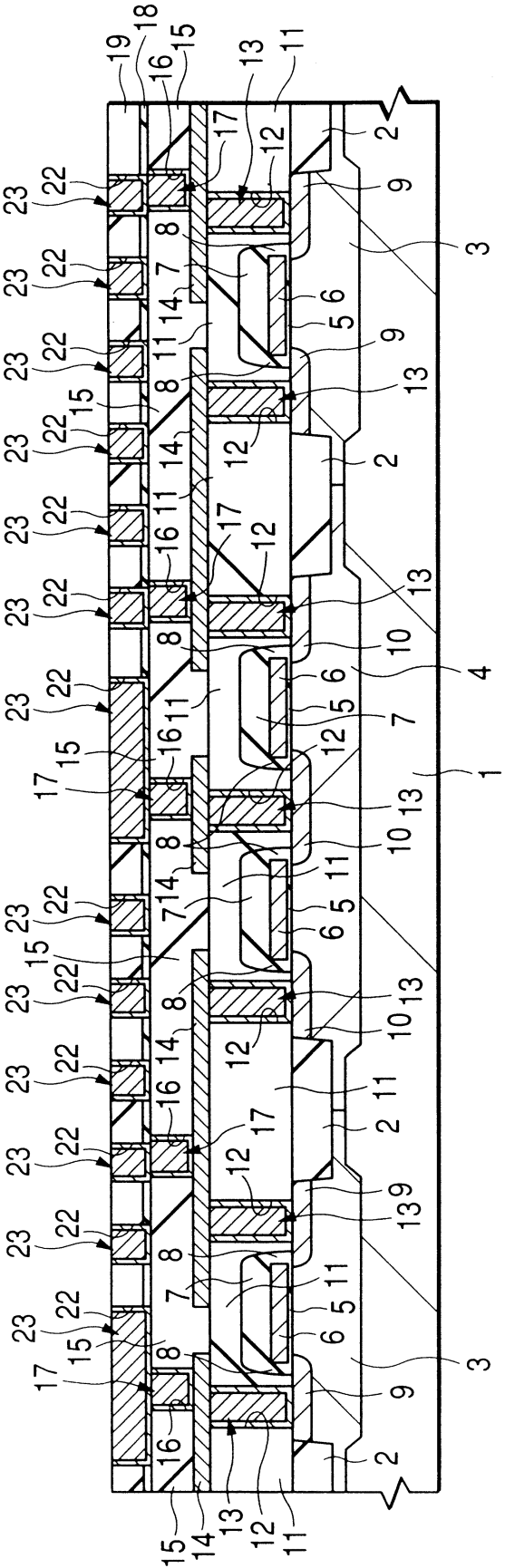
第 26 圖



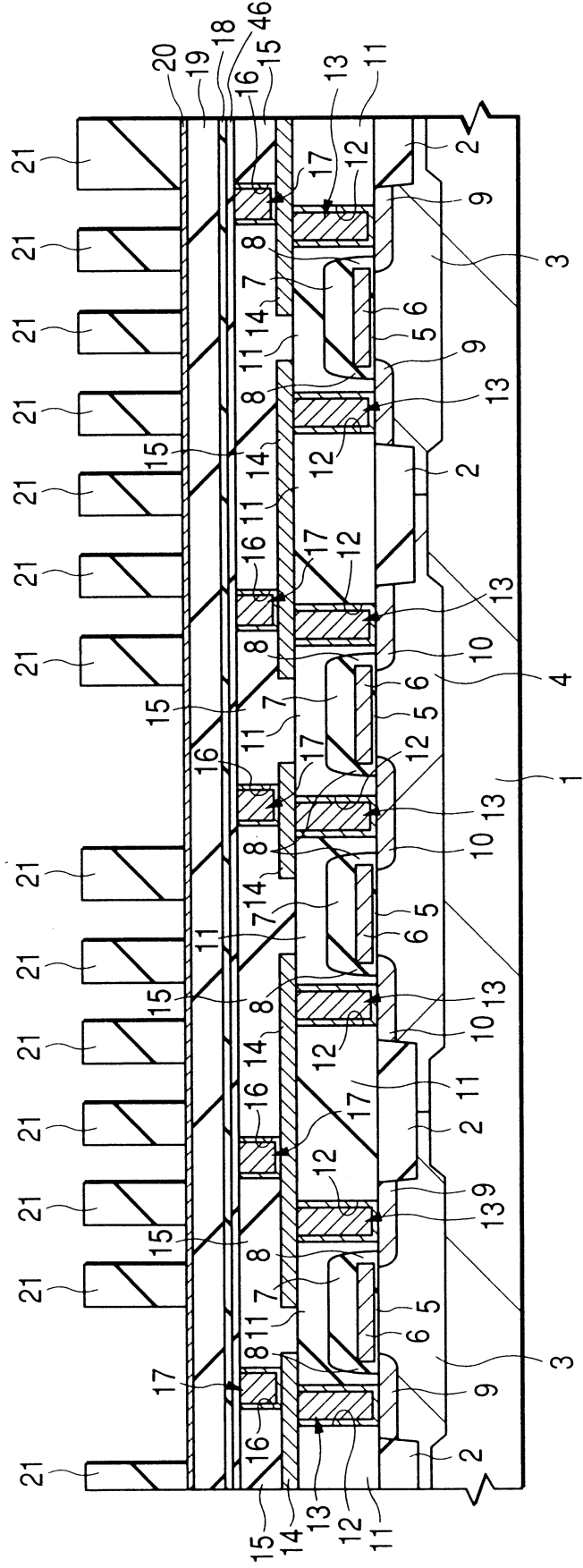
第 27 圖



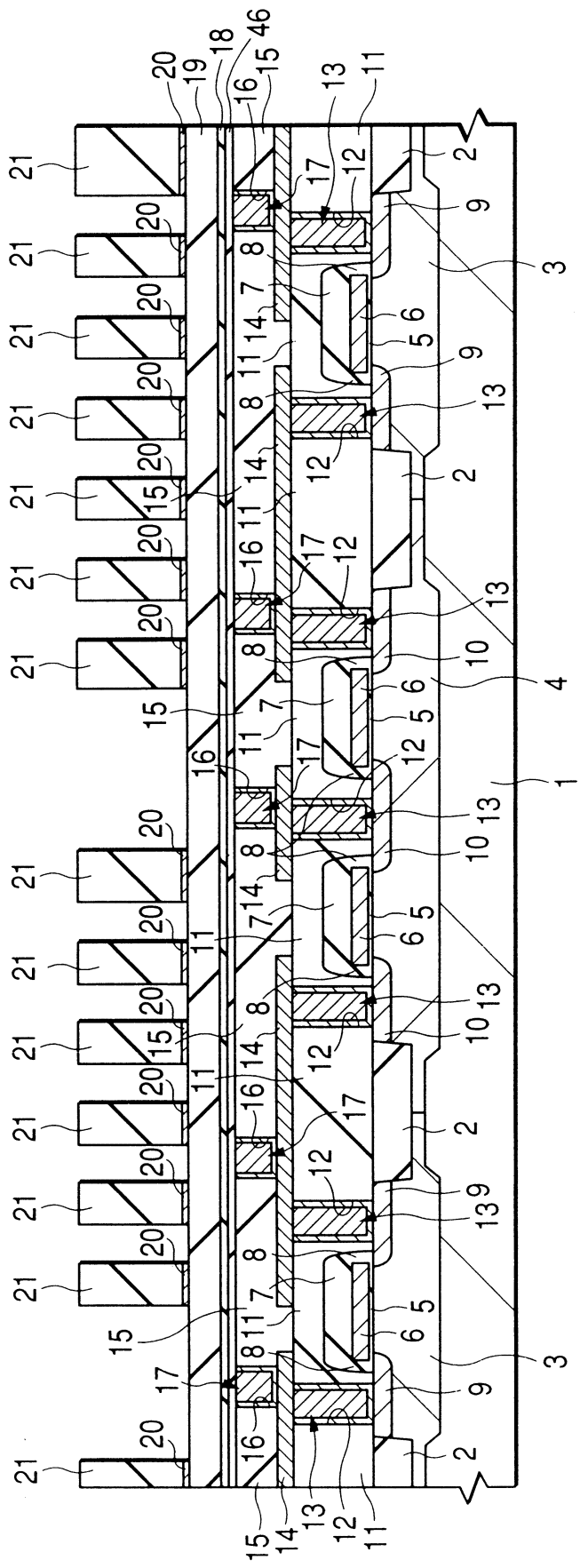
第 28 圖



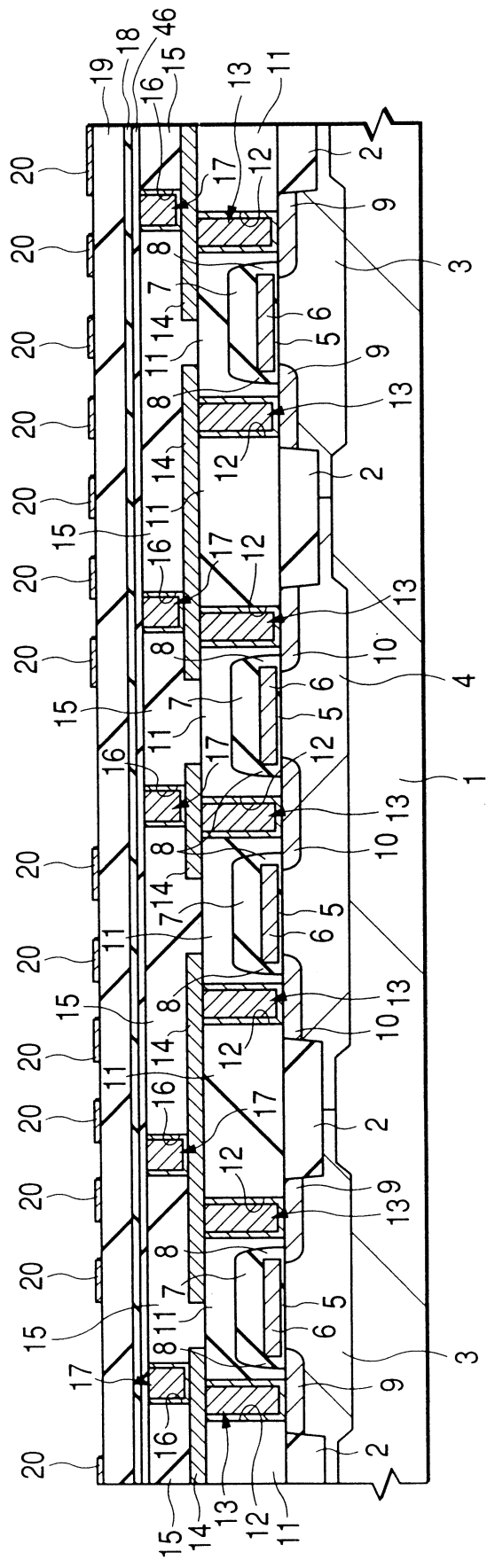
第 29 圖



第 30 圖



第 31 圖



第 32 圖

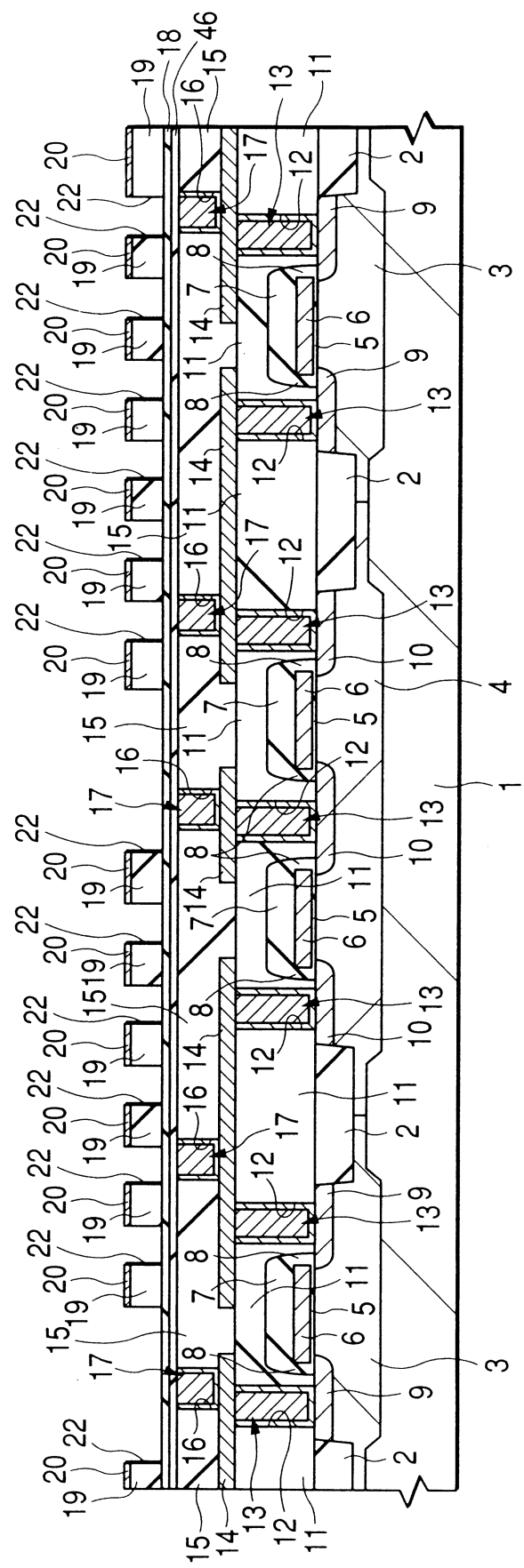
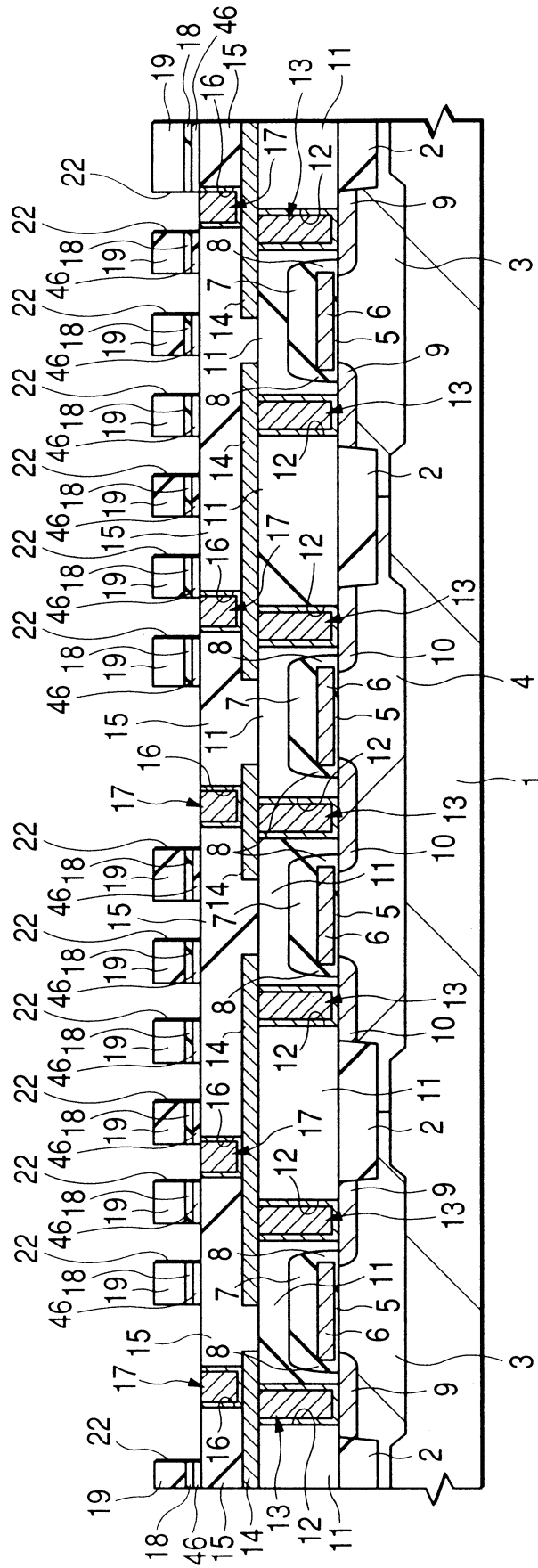
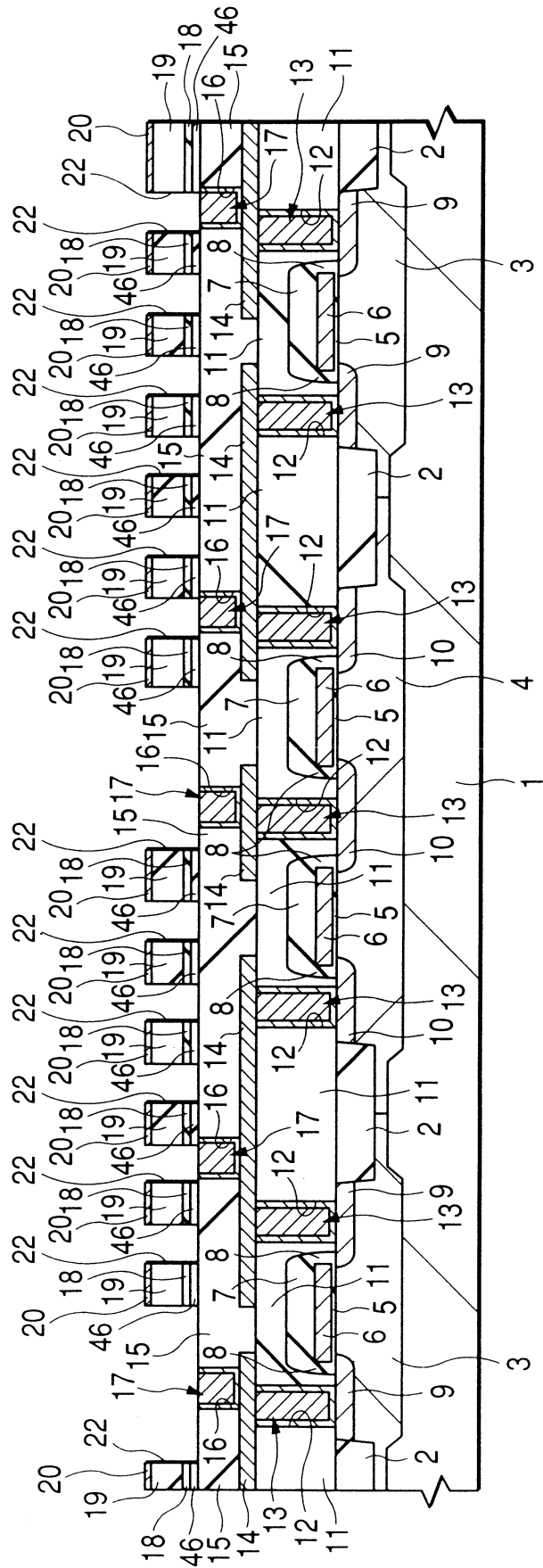




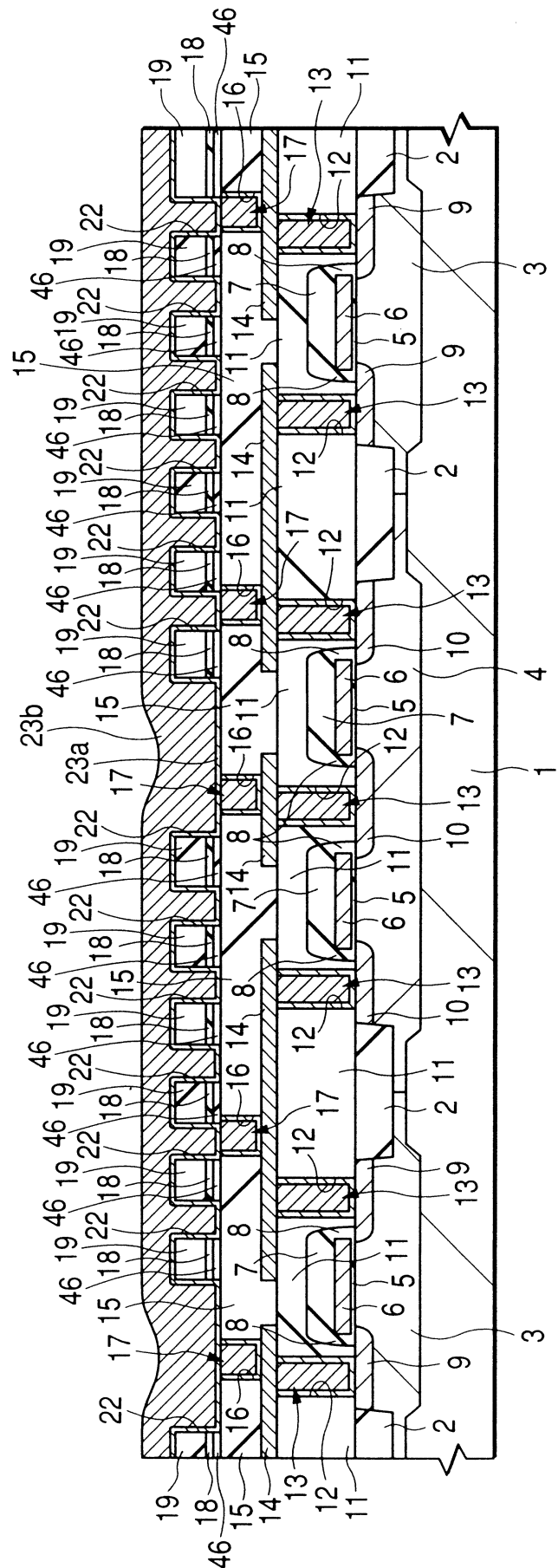
圖 33 第



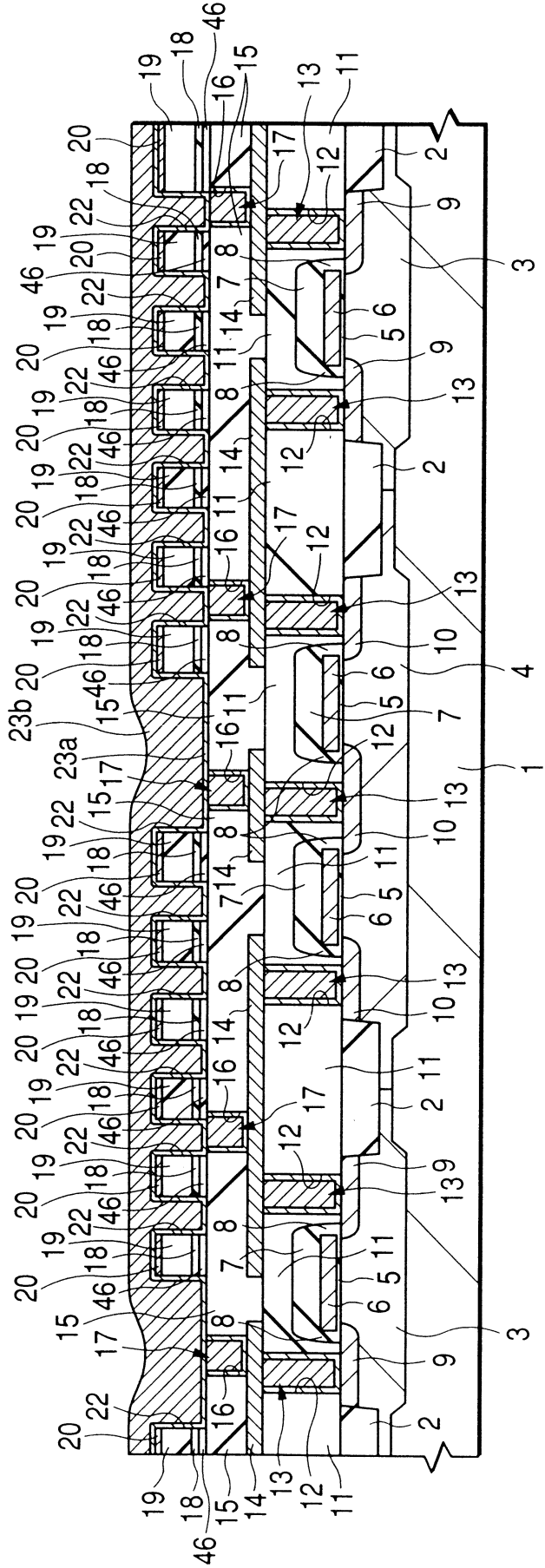
第 34 圖



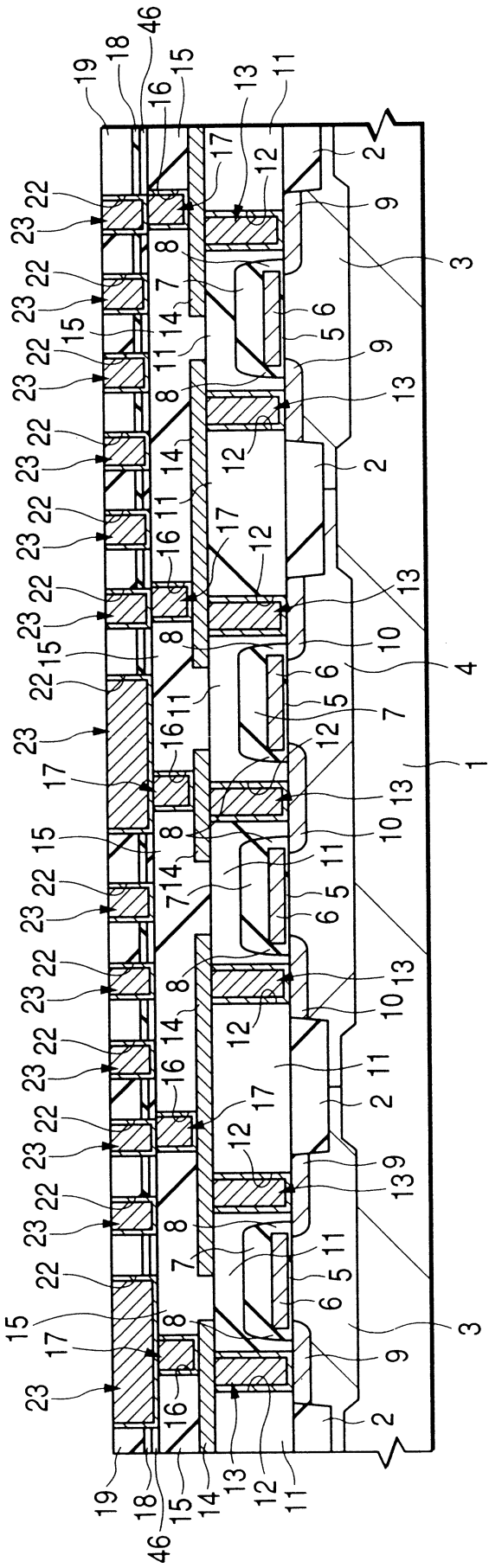
第 35 圖



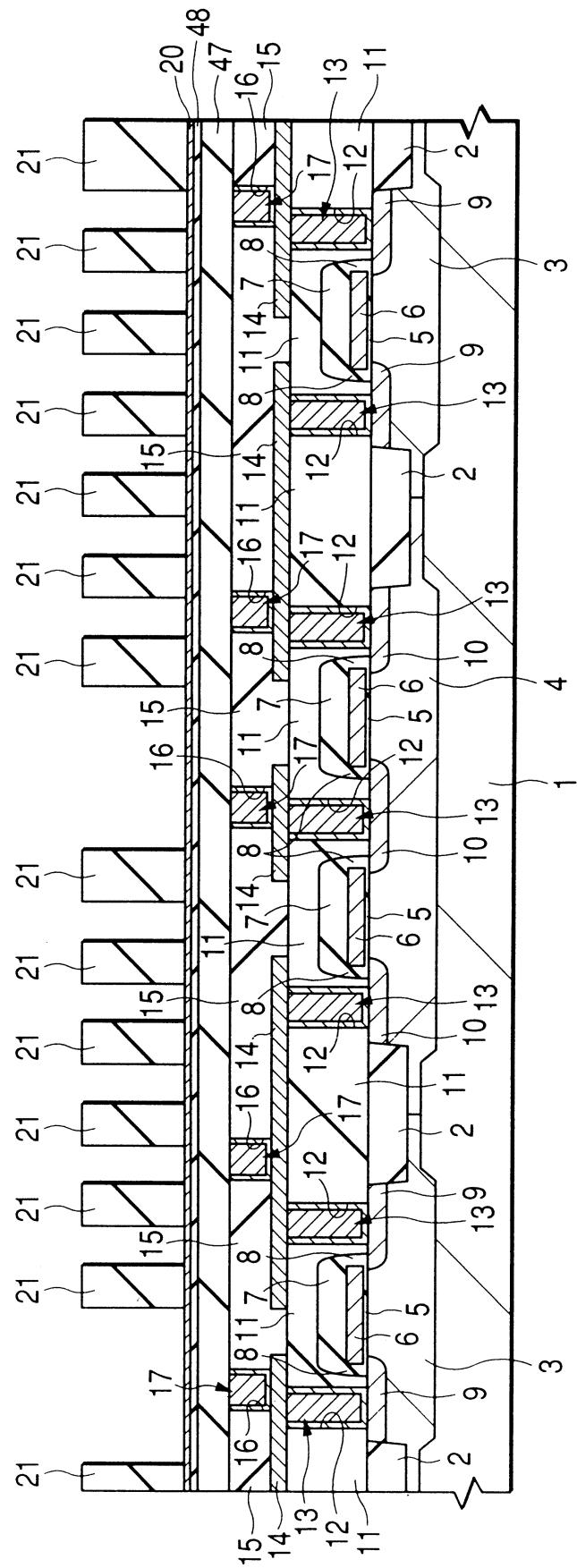
第 36 圖



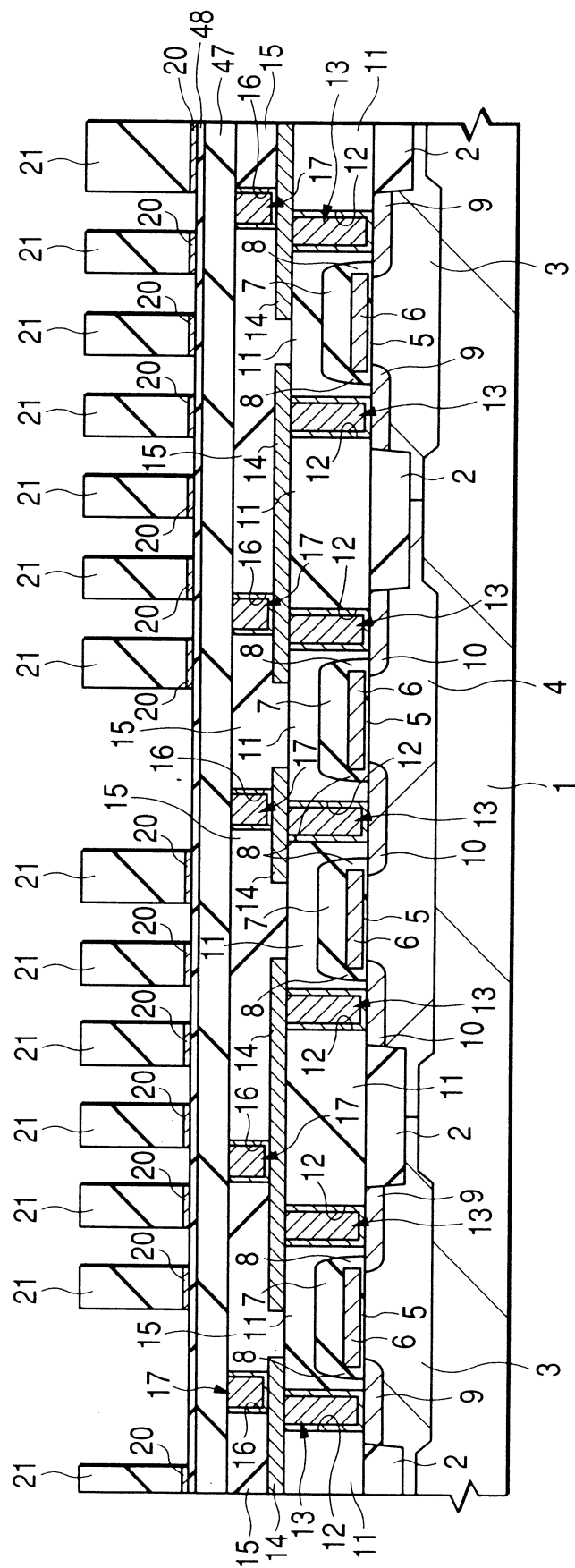
第 37 圖



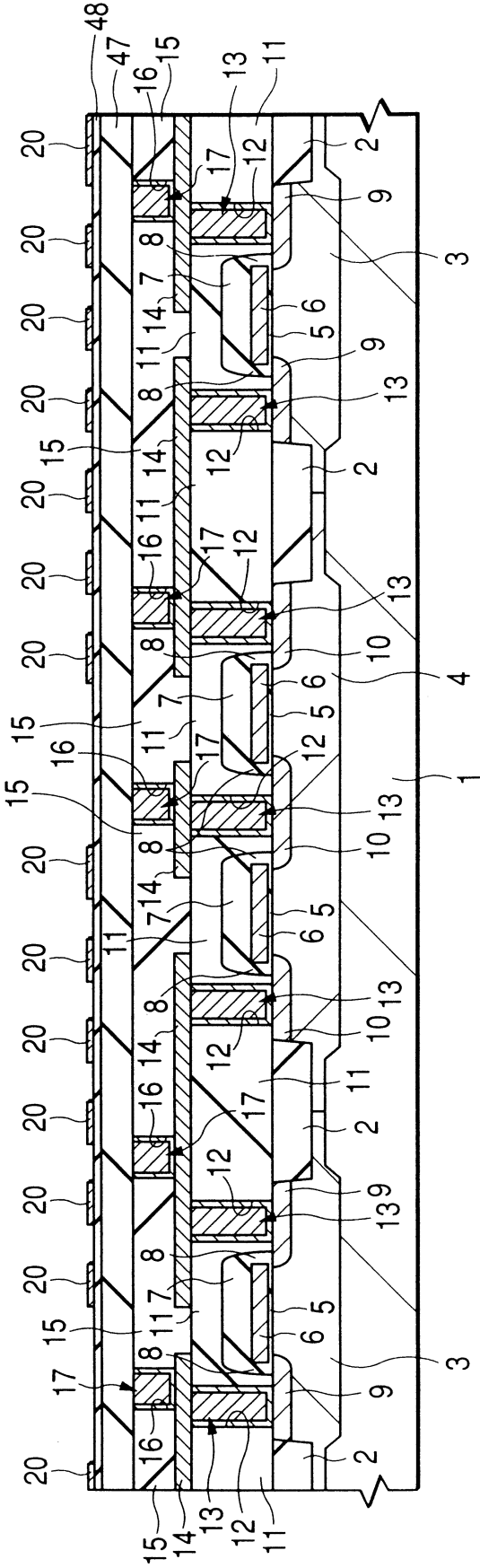
第 38 圖



第 39 圖

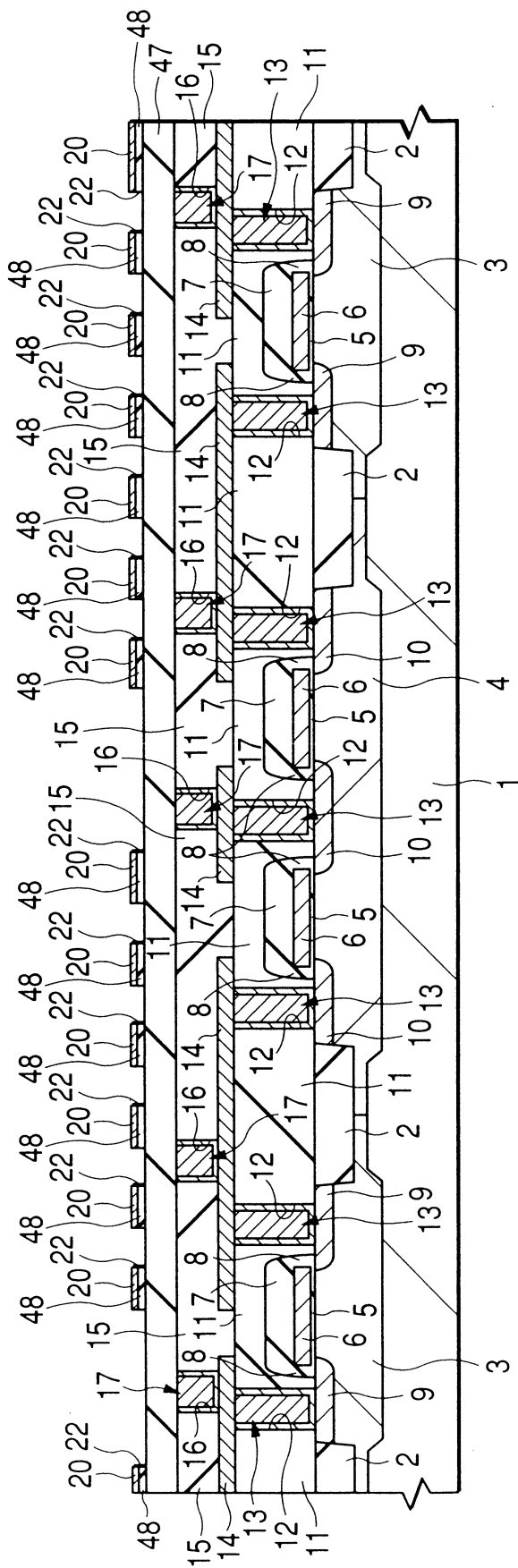


第 40 圖

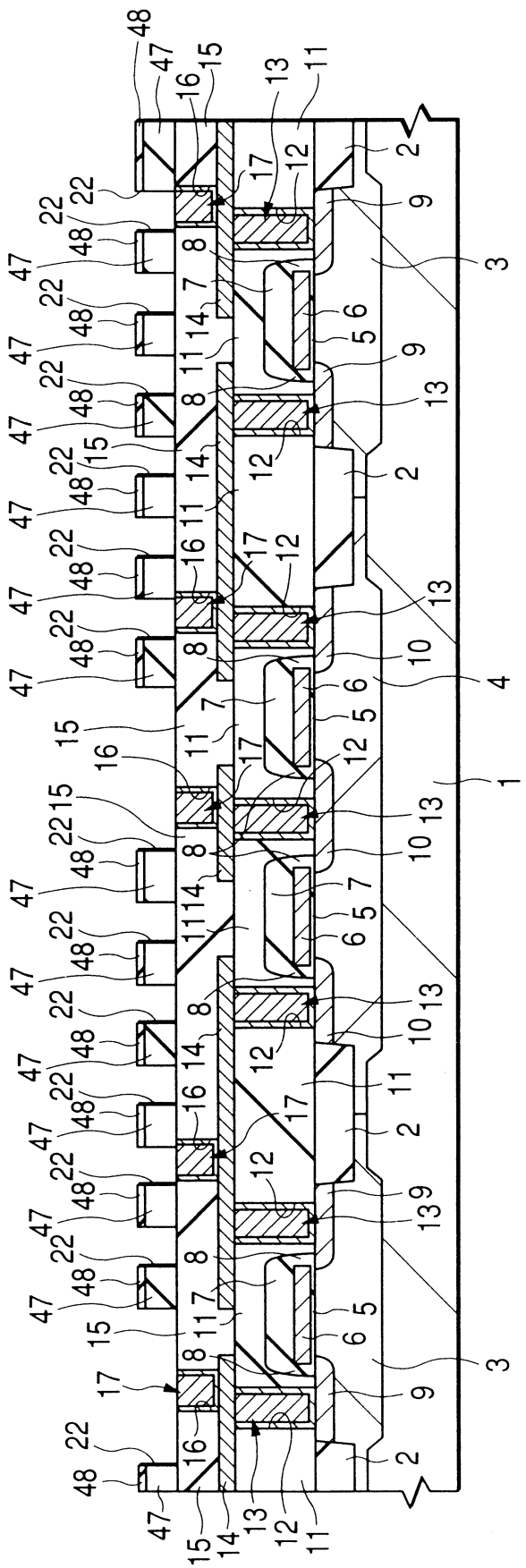




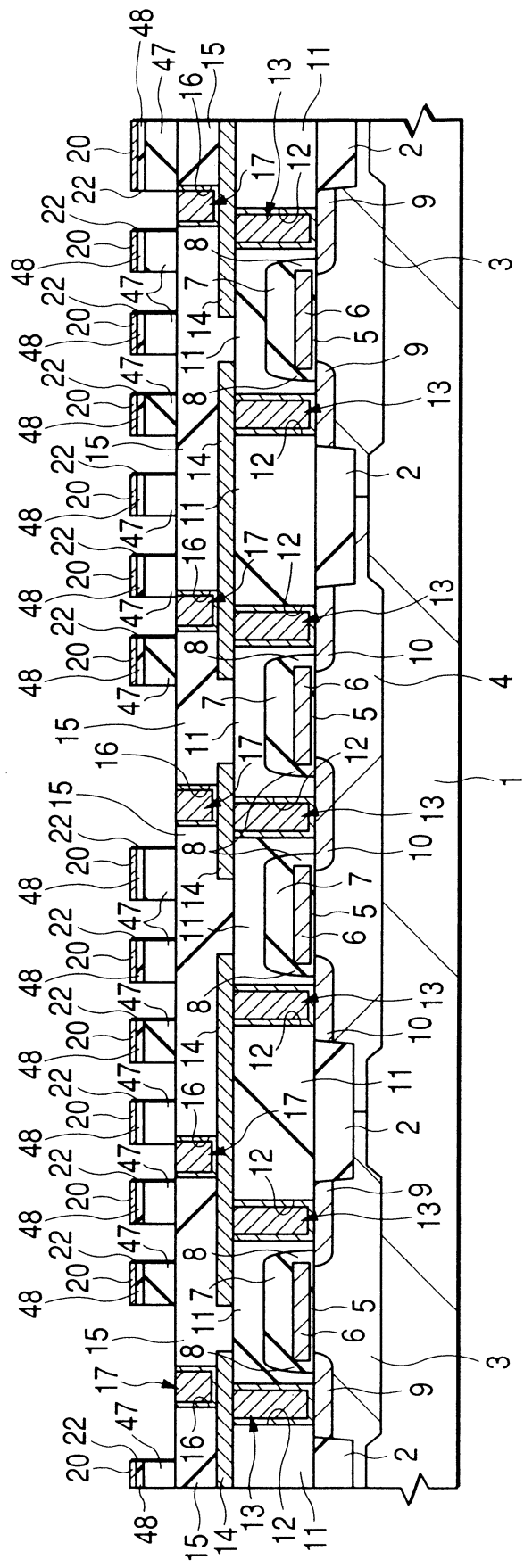
第 41 圖



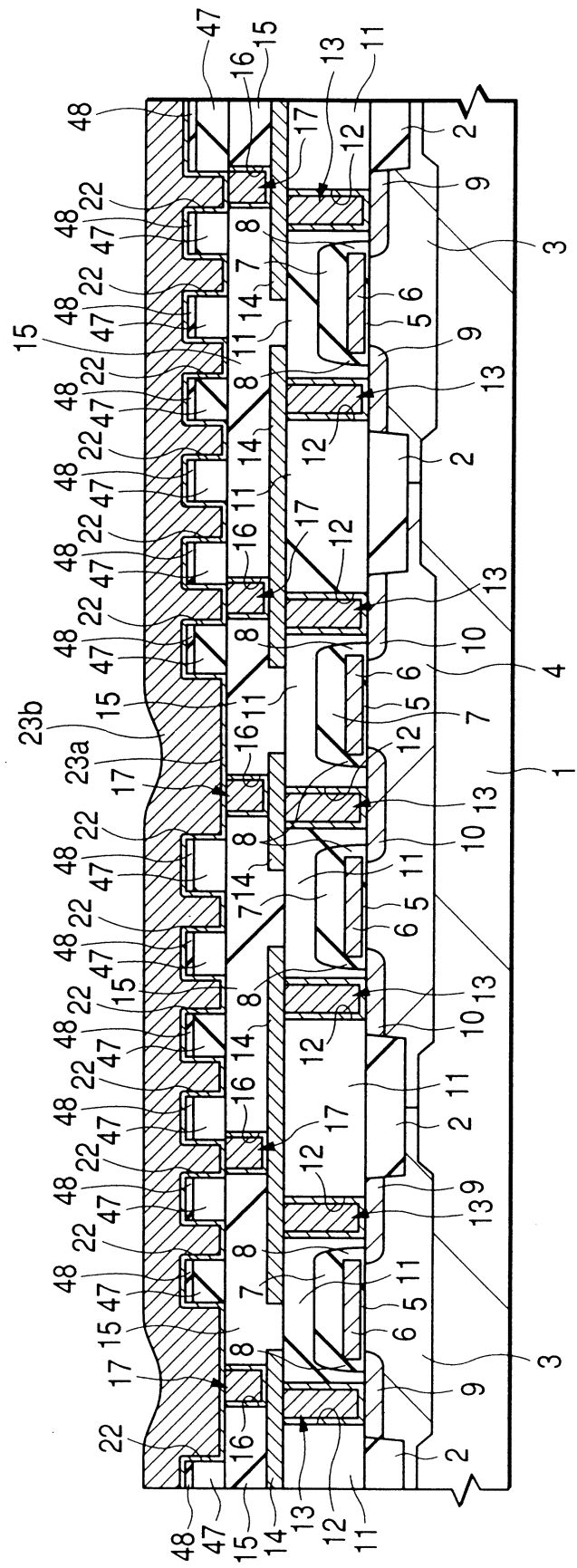
第 42 圖



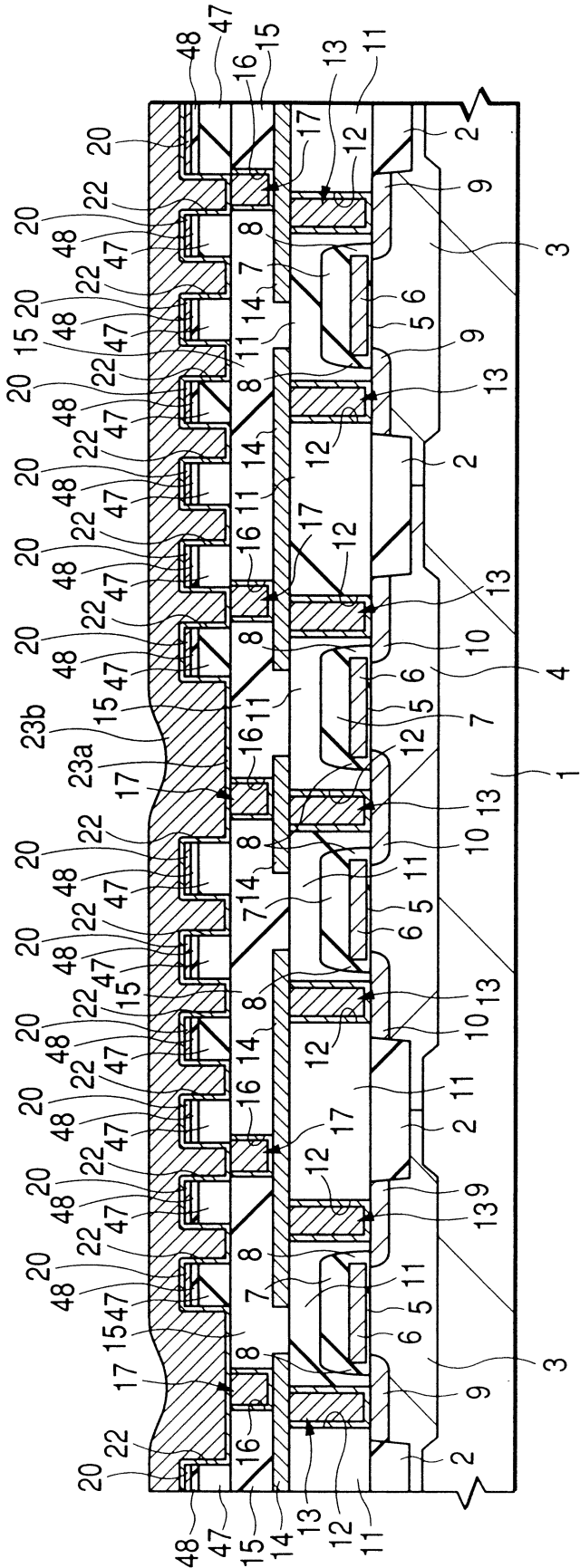
第 43 圖



第 44 圖



第 45 圖



第46圖

