

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-252110
(P2004-252110A)

(43) 公開日 平成16年9月9日(2004.9.9)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
G09G 3/30	G09G 3/30 J	3K007
G09F 9/30	G09F 9/30 338	5C080
G09G 3/20	G09F 9/30 365Z	5C094
H05B 33/14	G09G 3/20 612E	
	G09G 3/20 622G	
審査請求 未請求 請求項の数 12 O L (全 20 頁) 最終頁に続く		

(21) 出願番号	特願2003-41824 (P2003-41824)	(71) 出願人	599142729 奇美電子股▲ふん▼有限公司 台湾台南県台南科学工業園区新市郷奇業路 1号
(22) 出願日	平成15年2月19日 (2003.2.19)	(71) 出願人	000006633 京セラ株式会社 京都府京都市伏見区竹田鳥羽殿町6番地
		(74) 代理人	100089118 弁理士 酒井 宏明
		(72) 発明者	小野 晋也 神奈川県大和市下鶴間1623番地14 インターナショナル ディスプレイ テク ノロジー株式会社 大和事業所内
		最終頁に続く	

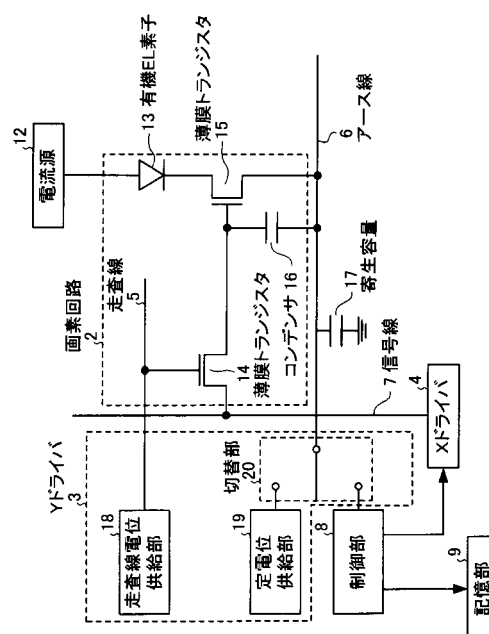
(54) 【発明の名称】 画像表示装置

(57) 【要約】

【課題】ドライバ素子の特性変動による輝度のばらつきを抑制する画像表示装置を実現すること。

【解決手段】画素回路2は、走査線5によって駆動状態が制御される薄膜トランジスタ14と、信号線7の電位を薄膜トランジスタ14を介して供給される薄膜トランジスタ15を有する。薄膜トランジスタ15はドライバ素子として有機EL素子13に流れる電流値を制御する。閾値電圧を導出する際には、アース線6をフローティング状態にして薄膜トランジスタ15をオン状態とし、薄膜トランジスタ15を通過してアース線6に流入する電荷に起因したアース線6の電位変動を制御部8によって検知し、薄膜トランジスタ15の閾値電圧を導出する。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

電流発光素子に流入する電流値を制御することによって画像表示を行う画像表示装置であって、

前記電流発光素子に電流を供給する電流源と、

少なくとも第 1 および第 2 の端子を備え、該複数の端子間に与えられた電位差に基づいて

前記電流源から前記電流発光素子に流入する電流値を制御するドライバ素子と、

前記第 1 の端子に電位を供給する信号線と、

前記第 2 の端子と電氣的に接続された導電部材と、

前記電流源から前記第 2 の端子に供給された電荷の量に対応した前記導電部材の電位に基

づいて、前記ドライバ素子の閾値電圧を導出する閾値電圧導出手段と、

を備えたことを特徴とする画像表示装置。

10

【請求項 2】

前記ドライバ素子は、閾値電圧導出の開始時に推定閾値電圧よりも高い電圧が前記第 1 の端子と前記第 2 の端子との間に印加されてオン状態となり、

前記導電部材は、前記ドライバ素子がオン状態となった後に前記ドライバ素子および前記電流発光素子を介して前記電流源から供給される電荷が蓄積されることによって電位が上昇することを特徴とする請求項 1 に記載の画像表示装置。

【請求項 3】

前記ドライバ素子は、オン状態となった後に前記導電部材が所定電位まで上昇することによってオフ状態となり、

前記閾値電圧導出手段は、前記ドライバ素子がオフ状態となった後の前記導電部材の電位に基づいて閾値電圧を導出することを特徴とする請求項 1 または 2 に記載の画像表示装置

20

【請求項 4】

前記閾値電圧導出手段は、前記ドライバ素子がオン状態となった後であって、前記導電部材が所定電位まで上昇することによって前記ドライバ素子がオフ状態となる前の 2 以上の異なる時刻における前記導電部材の電位に基づいて閾値電圧を導出することを特徴とする請求項 1 ~ 3 のいずれか一つに記載の画像表示装置。

【請求項 5】

前記閾値電圧導出手段は、前記第 2 の端子および前記導電部材と接続されたコンデンサの容量の総和と、前記第 1 の端子に印加される電位とをパラメータとして閾値電圧を導出することを特徴とする請求項 4 に記載の画像表示装置。

30

【請求項 6】

前記閾値電圧導出手段は、前記閾値電圧を導出すると共に前記ドライバ素子の電流通過部分における移動度および前記電流通過部分の形状に応じた係数を導出することを特徴とする請求項 4 または 5 に記載の画像表示装置。

【請求項 7】

前記導電部材の電位と前記ドライバ素子の閾値電圧とを対応づけたデータベースをさらに備え、

前記閾値電圧導出手段は、前記ドライバ素子がオン状態となった後の 1 以上の時刻における前記導電部材の電位に基づいてデータベースを参照することによって閾値電圧を導出することを特徴とする請求項 1 ~ 3 のいずれか一つに記載の画像表示装置。

40

【請求項 8】

画像表示の際に前記第 1 の端子と前記第 2 の端子との間の電圧が前記閾値導出手段によって導出された閾値電圧と表示画像に対応したデータ電圧との和になるよう前記第 1 の端子に対して電位を供給することを特徴とする請求項 1 ~ 7 のいずれか一つに記載の画像表示装置。

【請求項 9】

前記信号線は、前記第 1 の端子と前記第 2 の端子との間の電圧が、前記閾値電圧導出手段

50

によって導出された閾値電圧と前記表示画像に対応したデータ電圧との和に対して前記ドライバ素子の電流通過部分の移動度および前記電流通過部分の形状に応じた係数に基づいて決定される値を乗算した電位となるよう前記第1の端子に対して電位を供給することを特徴とする請求項6に記載の画像表示装置。

【請求項10】

画像表示の際にはほぼ一定の電位を供給する定電位供給手段と、
画像表示の際に前記定電位供給手段と前記導電部材とを接続し、閾値電圧導出の際に前記定電位供給手段と前記導電部材とを絶縁するスイッチング手段と、
をさらに備えたことを特徴とする請求項1～9のいずれか一つに記載の画像表示装置。

【請求項11】

前記ドライバ素子は薄膜トランジスタであって、前記第1の端子はゲート電極に対応し、前記第2の端子はソース電極に対応し、ドレイン電極をさらに有することを特徴とする請求項1～10のいずれか一つに記載の画像表示装置。

【請求項12】

前記電流発光素子は、有機EL素子であることを特徴とする請求項1～11のいずれか一つに記載の画像表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、電流発光素子を用いた画像表示装置に関し、表示部において表示される輝度を均一化したアクティブマトリクス型の画像表示装置に関するものである。

【0002】

【従来の技術】

自ら発光する有機エレクトロルミネッセンス(EL)素子を用いた有機EL表示装置は、液晶表示装置で必要なバックライトが不要で装置の薄型化に最適であるとともに、視野角にも制限がないため、次世代の表示装置として実用化が期待されている。

【0003】

有機EL素子を用いた画像表示装置においては、駆動方式として単純(パッシブ)マトリクス型とアクティブマトリクス型とを採ることができる。前者は構造が単純であるものの大型かつ高精細のディスプレイの実現が困難であるとの問題がある。このため、近年、画素内部の発光素子に流れる電流を、同時に画素内に設けた能動素子、たとえば、薄膜トランジスタ(Thin Film Transistor: 薄膜トランジスタ)によって制御する、アクティブマトリクス型の表示装置の開発が盛んに行われている。

【0004】

図9に、従来技術にかかるアクティブマトリクス方式の有機EL表示装置における画素回路を示す。従来技術にかかる画素回路は、正側が正電源V_{dd}に接続された有機EL素子105と、ドレイン電極が有機EL素子105の負側に接続され、ソース電極がグランドに接続され、ドライバ素子として機能する薄膜トランジスタ104と、薄膜トランジスタ104のゲート電極とグランドとの間に接続されたコンデンサ103と、ドレイン電極が薄膜トランジスタ104のゲート電極に、ソース電極が信号線101に、ゲート電極が走査線106にそれぞれ接続され、スイッチング素子として機能する薄膜トランジスタ102とを有する構造をとる。

【0005】

上記画素回路の動作を以下に説明する。走査線106の電位を高レベルとすると、薄膜トランジスタ102がオン状態となり、信号線101に書き込み電位を印加すると、コンデンサ103が充電または放電され、薄膜トランジスタ104のゲート電極には所定の電位が書き込まれる。次に、走査線106の電位を低レベルとすると、薄膜トランジスタ102は導通せず、走査線106と薄膜トランジスタ102は電氣的に切り離されるが、薄膜トランジスタ104のゲート電位はコンデンサ103によって安定に保持される。

【0006】

10

20

30

40

50

そして、薄膜トランジスタ104および有機EL素子105に流れる電流は、薄膜トランジスタ104のゲート・ソース間電位 V_{gs} に応じた値となり、有機EL素子105はその電流値に応じた輝度で発光し続ける。上述のように図9に示す画素回路では一度電位の書き込みを行えば、つぎに書き込みが行われるまでの間、有機EL素子105は一定の輝度で発光を継続する(たとえば、特許文献1参照)。

【0007】

ところで、画像表示装置においてドライバ素子として機能する薄膜トランジスタ104のチャンネル層は、一般に多結晶シリコンまたは非晶質シリコンが使用されている。多数の画素を配置し、各画素に対応してドライバ素子が多数設けられる画像表示装置では、薄膜トランジスタごとの特性のばらつきを抑制するため、非晶質シリコンを使用することが好ましい。

10

【0008】

【特許文献1】

特開平8-234683号公報(第10頁、第1図)

【0009】

【発明が解決しようとする課題】

しかしながら、非晶質シリコンによってチャンネル層が形成された薄膜トランジスタをドライバ素子として使用した場合、図9に示す従来の画像表示装置では長時間に渡って高品位の画像表示を行うことが困難であるという問題が存在する。非晶質シリコンを用いた薄膜トランジスタは、長時間に渡ってチャンネル層に電流を流した場合、徐々に閾値電圧が変動することが知られており、一定のゲート電圧を印加し続けても閾値電圧の変動に応じてチャンネル層を流れる電流の値は変化するためである。上記のように有機EL素子105は薄膜トランジスタ104と直列に接続されており、チャンネル層を流れる電流の値の変動に応じて有機EL素子105に流れる電流の値は変化する。このため、信号線101から同一電位を供給されたにもかかわらず、閾値電圧が変動することによって有機EL素子105の輝度は変動し、高品位の画像表示が困難となる。

20

【0010】

従って、非晶質シリコンを用いた薄膜トランジスタをドライバ素子として使用した実際の画像表示装置では、図9に示す画素回路に加えて画素ごとに電圧補償回路が配置されている。具体的には、薄膜トランジスタ104のゲート電極に対して、信号線101から供給される電位に加え、閾値電圧の変動分を補償する電位を電圧補償回路から与えられる構造とすることによって高品位の画像表示を実現している。しかし、かかる電圧補償回路は1画素あたり2~3個の薄膜トランジスタによって形成されており、有機EL素子を配置する基板上に電圧補償回路用の領域を別途設ける必要性が生じる。従って、有機EL素子105を高密度に配置することができず、高精細な画像表示が困難となるという問題が新たに生じる。

30

【0011】

また、チャンネル層が劣化することにより、薄膜トランジスタ104は閾値電圧のみならず、ゲート電位に応じて流れる電流値が変化するいわゆる直線領域の傾斜も変動することが知られている。直線領域の傾斜の変動が有機EL素子105の輝度に及ぼす影響は閾値電圧変動よりも低いものの、高品位の画像表示を行うためにはかかる変動を無視することは好ましくない。

40

【0012】

本発明は、上記した従来技術の欠点に鑑みてなされたものであり、画像表示装置の表示部において表示される輝度が均一であるアクティブマトリクス型の画像表示装置を提供することを目的とする。

【0013】

【課題を解決するための手段】

上記目的を達成するため、請求項1にかかる画像表示装置は、電流発光素子に流入する電流値を制御することによって画像表示を行う画像表示装置であって、前記電流発光素子に

50

電流を供給する電流源と、少なくとも第1および第2の端子を備え、該複数の端子間に与えられた電位差に基づいて前記電流源から前記電流発光素子に流入する電流値を制御するドライバ素子と、前記第1の端子に印加する電位を供給する信号線と、前記第2の端子と電氣的に接続された導電部材と、前記電流源から前記第2の端子に供給された電荷の量に対応した前記導電部材の電位に基づいて、前記ドライバ素子の閾値電圧を導出する閾値電圧導出手段とを備えたことを特徴とする。

【0014】

この請求項1の発明によれば、ドライバ素子をオンした状態で電流源からドライバ素子に電流を流入させ、第2の端子に接続された導電部材に蓄積された電荷に起因した電位に基づいて閾値電圧を導出することとしたため、電圧補償回路を設けずに閾値電圧の導出を行うことができる。

10

【0015】

また、請求項2にかかる画像表示装置は、上記の発明において、前記ドライバ素子は、閾値電圧導出の開始時に推定閾値電圧よりも高い電圧が前記第1の端子と前記第2の端子との間に印加されてオン状態となり、前記導電部材は、前記ドライバ素子がオン状態となった後に前記ドライバ素子および前記電流発光素子を介して前記電流源から供給される電荷が蓄積されることによって電位が上昇することを特徴とする。

【0016】

また、請求項3にかかる画像表示装置は、上記の発明において、前記ドライバ素子は、オン状態となった後に前記導電部材が所定電位まで上昇することによってオフ状態となり、前記閾値電圧導出手段は、前記ドライバ素子がオフ状態となった後の前記導電部材の電位に基づいて閾値電圧を導出することを特徴とする。

20

【0017】

この請求項3の発明によれば、ドライバ素子がオフ状態となった時点における前記導電部材の電位に基づいて閾値電圧を導出することとしたため、実際の閾値電圧に対応した電位を利用することが可能となり、正確な閾値電圧の導出が可能である。

【0018】

また、請求項4にかかる画像表示装置は、上記の発明において、前記閾値電圧導出手段は、前記ドライバ素子がオン状態となった後であって、前記導電部材が所定電位まで上昇することによって前記ドライバ素子がオフ状態となる前の2以上の異なる時刻における前記導電部材の電位に基づいて閾値電圧を導出することを特徴とする。

30

【0019】

この請求項4の発明によれば、ドライバ素子がオフ状態となる前の任意の3以上の時刻における導電部材の電位を用いて閾値電圧を導出することとしたため、短時間で閾値電圧を導出することができる。

【0020】

また、請求項5にかかる画像表示装置は、上記の発明において、前記閾値電圧導出手段は、前記第2の端子および前記導電部材と接続されたコンデンサの容量の総和と、前記第1の端子に印加される電位とをパラメータとして閾値電圧を導出することを特徴とする。

【0021】

また、請求項6にかかる画像表示装置は、上記の発明において、前記閾値電圧導出手段は、前記閾値電圧を導出すると共に前記ドライバ素子の電流通過部分における移動度および前記電流通過部分の形状に応じた係数を導出することを特徴とする。なお、「電流通過部分」とは、例えばドライバ素子が薄膜トランジスタによって構成される場合、オン状態におけるチャンネル層に対応する部分のことを言う。

40

【0022】

この請求項6の発明によれば、電流通過部分に関係した係数を導出することとしたため、かかる係数を用いてより正確にドライバ素子の特性変動を補償することができる。

【0023】

また、請求項7にかかる画像表示装置は、上記の発明において、前記導電部材の電位と前

50

記ドライバ素子の閾値電圧とを対応づけたデータベースをさらに備え、前記閾値電圧導出手段は、前記ドライバ素子がオン状態となった後の1以上の時刻における前記導電部材の電位に基づいてデータベースを参照することによって閾値電圧を導出することを特徴とする。

【0024】

また、請求項8にかかる画像表示装置は、上記の発明において、画像表示の際に前記第1の端子と前記第2の端子との間の電圧が前記閾値導出手段によって導出された閾値電圧と表示画像に対応したデータ電圧との和になるよう前記第1の端子に対して電位を供給することを特徴とする。

【0025】

また、請求項9にかかる画像表示装置は、上記の発明において、前記信号線は、前記第1の端子と前記第2の端子との間の電圧が、前記閾値電圧導出手段によって導出された閾値電圧と前記表示画像に対応したデータ電圧との和に対して前記ドライバ素子の電流通過部分の移動度および前記電流通過部分の形状に応じた係数に基づいて決定される値を乗算した電位となるよう前記第1の端子に対して電位を供給することを特徴とする。

10

【0026】

また、請求項10にかかる画像表示装置は、上記の発明において、画像表示の際にほぼ一定の電位を供給する定電位供給手段と、画像表示の際に前記定電位供給手段と前記導電部材とを接続し、閾値電圧導出の際に前記定電位供給手段と前記導電部材とを絶縁するスイッチング手段とをさらに備えたことを特徴とする。

20

【0027】

また、請求項11にかかる画像表示装置は、上記の発明において、前記ドライバ素子は薄膜トランジスタであって、前記第1の端子はゲート電極に対応し、前記第2の端子はソース電極に対応し、ドレイン電極をさらに有することを特徴とする。

【0028】

また、請求項12にかかる画像表示装置は、上記の発明において、前記電流発光素子は、有機EL素子であることを特徴とする。

【0029】

【発明の実施の形態】

以下、図面を参照して、この発明の実施の形態である画像表示装置について説明する。なお、図面は模式的なものであり、現実のものとは異なることに留意する必要がある。また、図面の相互間においても、互いの寸法の関係や比率が異なる部分が含まれていることはもちろんである。

30

【0030】

(実施の形態1)

まず、この発明の実施の形態1にかかる画像表示装置について説明する。本実施の形態1にかかる画像表示装置は、ドライバ素子として薄膜トランジスタを用いたアクティブマトリックス方式の画像表示装置であって、ドライバ素子と接続したアース線の電位制御を停止した状態で一度ドライバ素子をオン状態にしてアース線に電荷を蓄積した後、ドライバ素子が再びオフ状態となるゲート・ソース間電圧を制御部で導出し、画像表示の際には、導出した閾値電圧と、表示輝度に対応したデータ電圧とをドライバ素子のゲート電極に印加して画像表示を行う。

40

【0031】

図1は、本実施の形態1にかかる画像表示装置の全体構造を模式的に示す図である。図1に示すように、本実施の形態1にかかる画像表示装置は、マトリクス状に多数配置された画素回路2を備えた有機ELパネル1と、有機ELパネル1に対して、走査線5およびアース線6を介して接続されたYドライバ3と、信号線7を介して接続されたXドライバ4とを備える。また、Yドライバ3は、所定の電気信号を外部に出力可能な構造を有し、出力された電気信号は制御部8に入力した後、記憶部9に数値データとして記憶される。さらに、制御部8から出力される電気信号と、映像信号供給部10から出力される表示画

50

像に対応した電気信号とを加算する加算部 11 を備え、加算された電気信号は X ドライバ 4 を介して各画素回路 2 に供給される。また、画素回路 2 に備えられた電流発光素子に対して電流を供給する電流源 12 を備える。

【0032】

図 2 は、画素回路 2 の回路構造と、画素回路 2 の周囲の構成要素について示す図である。なお、図 2 はあくまで本実施の形態 1 にかかる画像表示装置の理解を容易にするための図であって、実際の構造とは必ずしも一致しないことに注意する必要がある。

【0033】

図 2 に示すように、画素回路 2 は、ゲート電極に走査線 5 が、一方のソース/ドレイン電極に信号線 7 が接続され、スイッチング素子として機能する薄膜トランジスタ 14 と、薄膜トランジスタ 14 の他方のソース/ドレイン電極とゲート電極が接続され、ドライバ素子として機能する薄膜トランジスタ 15 とを有する。また、アノード電極が薄膜トランジスタ 15 のドレイン電極に接続され、カソード電極が電流源 12 に接続された有機 EL 素子 13 と、薄膜トランジスタ 15 のゲート電極と接続されたコンデンサ 16 とを備え、有機 EL 素子 13 は電流源 12 と接続されている。また、薄膜トランジスタ 15 のソース電極はアース線 6 に接続され、薄膜トランジスタ 15 のゲート電極とアース線 6 との間には書き込まれた電位を保持するためのコンデンサ 16 が配置されている。なお、アース線 6 は、有機 EL パネル 1 内に存在する他の配線構造との間に寄生容量 17 が存在する。

10

【0034】

また、Y ドライバ 3 は、図 2 に示すように、走査線 5 と電気的に接続された走査線電位供給部 18 と、アース線 6 と接続可能な定電位供給部 19 とを有する。さらに、Y ドライバ 3 は、アース線 6 の接続先を定電位供給部 19 または制御部 8 のいずれかに選択する切替部 20 を備える。

20

【0035】

走査線電位供給部 18 は、走査線 5 に電位を供給するためのもので、薄膜トランジスタ 14 の駆動状態を制御するためのものである。具体的には、ドライバ素子である薄膜トランジスタ 15 に電位を書き込む際に、信号線 7 から薄膜トランジスタ 15 に対して電位を供給するために、スイッチング素子である薄膜トランジスタ 14 をオン状態にする必要がある。走査線電位供給部 18 は、電位を書き込む際に走査線 5 を介して薄膜トランジスタ 14 のゲート電極に所定の電位を供給することで薄膜トランジスタ 14 をオン状態にし、薄膜トランジスタ 15 に対する電位書き込みを可能としている。

30

【0036】

定電位供給部 19 は、アース線 6 を一定の電位に維持するためのものである。すなわち、アース線 6 と薄膜トランジスタ 15 のゲート電極との間には書き込まれた電位を保持するためのコンデンサ 16 が存在する。アース線 6 の電位が変動することによって、かかる電位変動の影響を受けて、コンデンサ 16 と接続された薄膜トランジスタ 15 のゲート電極の電位も変動することとなる。従って、薄膜トランジスタ 15 のチャネル層を流れる電流値が影響を受け、有機 EL 素子 13 の輝度が変動する。また、アース線 6 の電位が変動することによって有機 EL 素子 13 のアノード・カソード間の電圧が変動し、輝度が変動する。かかる弊害を避けるため、画像表示を行う際にはアース線 6 は定電位供給部 19 に接続され、一定の電位、通常は 0 電位に維持されている。

40

【0037】

切替部 20 は、アース線 6 の接続先を切り替えるためのものである。上記のように、画像表示を行う際にはアース線 6 の電位を一定に保持するため、切替部 20 はアース線 6 と定電位供給部 19 とを接続する。一方、後述するように薄膜トランジスタ 15 の閾値電圧を導出する際にはアース線 6 をフローティングとして機能させた上で、アース線 6 の電位を測定する必要がある。このため、切替部 20 は閾値電圧導出の際にはアース線 6 と定電位供給部 19 との間を絶縁すると共に、アース線 6 と制御部 8 とを接続することとしている。なお、制御部 8 はアース線 6 の電位にほとんど影響を与えず、かつアース線 6 の電位を導出可能な機能を有するものとする。従って、切替部 20 によってアース線 6 と制御部 8

50

とが接続された場合、アース線 6 は実質的にフローティングとして機能する。

【0038】

次に、本実施の形態 1 にかかる画像表示装置の動作について説明する。図 3 (a) は、画像表示の際における画素回路 2 の状態を示し、図 3 (b)、図 3 (c) は薄膜トランジスタ 1 5 の閾値電圧を導出する際における画素回路 2 の状態を示す。

【0039】

まず、画像表示の際における画像表示装置の動作について簡単に説明する。図 3 (a) に示すように、画像表示の際にはアース線 6 と定電位供給部 1 9 とが接続され、アース線 6 の電位は一定値、例えば 0 電位に維持され、アース線 6 に接続された薄膜トランジスタ 1 5 のソース電極の電位 V_s も 0 電位に維持される。そして、走査線 5 から高電位が供給されることによって薄膜トランジスタ 1 4 はオン状態となり、信号線 7 から供給される電位が薄膜トランジスタ 1 5 のゲート電極およびコンデンサ 1 6 に供給される。従って、薄膜トランジスタ 1 5 におけるゲート・ソース間電圧は V_g となる。ここで、供給された電位 V_g は薄膜トランジスタ 1 5 をオン状態にするために十分な電位であるものとし、薄膜トランジスタ 1 5 のチャンネル層には、電位 V_g の値に応じた値の電流が流れる。発光素子たる有機 EL 素子 1 3 は薄膜トランジスタ 1 5 に接続されていることから、有機 EL 素子 1 3 には薄膜トランジスタ 1 5 のチャンネル層と等しい電流が流れ、かかる電流の値に応じた輝度で発光する。

10

【0040】

次に、閾値電圧導出の際における画像表示装置の動作について説明する。図 3 (b) に示すように、閾値電圧導出の際には、アース線 6 は定電位供給部 1 9 から絶縁され、制御部 8 と接続される。そのため、閾値電圧導出の際にはアース線 6 に対して電位制御は行われず、アース線 6 は実質的にフローティングとして機能する。

20

【0041】

まず、図 3 (b) に示す接続状態の回路に対して画像表示の際と同様にゲート電極の電位 V_g を所定の値とすることによって薄膜トランジスタ 1 5 をオン状態にし、電流源 1 2 から有機 EL 素子 1 3、薄膜トランジスタ 1 5 を介してアース線 6 に対して電流を流す。上記のようにアース線 6 はフローティングとして機能することから、流入した電流に起因してアース線 6 には徐々に電荷が蓄積される。このため、アース線 6 の電位は 0 から上昇し、アース線 6 に接続された薄膜トランジスタ 1 5 のソース電極の電位 V_s は 0 よりも大きな値となる。信号線 7 を介して供給されたゲート電極の電位 V_g はほぼ一定に保持されているため、薄膜トランジスタ 1 5 におけるゲート・ソース間電圧 ($= V_g - V_s$) は、 V_g よりも小さくなる。

30

【0042】

薄膜トランジスタ 1 5 がオン状態である限り電流源 1 2 からアース線 6 に対して電流が流入し続け、蓄積される電荷に基づいてアース線 6 の電位およびアース線 6 に接続された薄膜トランジスタ 1 5 のソース電極の電位 V_s は上昇し続ける。一方、薄膜トランジスタ 1 5 のゲート電極の電位 V_g はほぼ一定の値に維持されることからソース電極の電位 V_s の上昇に応じてソース・ゲート間電圧は徐々に低下する。

【0043】

そして、薄膜トランジスタ 1 5 のソース・ゲート間電圧が薄膜トランジスタ 1 5 の閾値電圧まで低下すると、図 3 (c) に示すように、薄膜トランジスタ 1 5 がオフ状態となり電流源 1 2 からの電流の流入が停止するため、電位 V_s の上昇も停止する。仮にこの時点のソース電極の電位 V_s を V_c とすると、薄膜トランジスタ 1 5 の閾値電圧は $V_g - V_c$ となる。

40

【0044】

電位 V_g は信号線 7 から与えられるもので既知の値のため、電流源 1 2 からの電流の流入が停止した時点におけるソース電極の電位 V_s ($= V_c$) の値を制御部 8 で検知することによって、薄膜トランジスタ 1 5 の閾値電圧を導出することが可能である。薄膜トランジスタ 1 5 がオン状態になってから再びオフ状態になるまでに要する時間は経験則上 1 秒程

50

度であることが知られており、実際にはオン状態になってから1秒程度経過した後にアース電極の電位 V_s を制御部8で検知することによって、閾値電圧の導出が行われる。

【0045】

次に、有機ELパネル1内に多数がマトリクス状に配置されたそれぞれの画素回路2における薄膜トランジスタ15のソース電極の電位を制御部8に伝達する構造について説明する。図4は、実施の形態1にかかる画像表示装置において、Yドライバ3を構成するYドライバユニット3nの構造を示す図であって、図4を参照して複数の画素回路に属するアース線から得られるソース電極の電位を制御部8へ伝達するメカニズムを説明する。

【0046】

Yドライバ3は、図4に示す構造の場合、マトリクス状に配置された画素回路2に対して複数の行に渡って制御するユニットを複数備えた構造を有する。ここでは便宜上、画素回路2は有機ELパネル1上に $M \times N$ 列配置され、Yドライバを構成するユニットにはそれぞれ m 個($m < M$)の行に渡って配置された複数の画素回路2に属する薄膜トランジスタ15のソース電極の電位 V_s に対応したアナログ信号をアース線6を介して入力し、デジタル信号に変換するためのものである。また、図4に示すYドライバユニット3nは、前段に配置されるYドライバユニット3n-1(図示省略)からの電気信号を入力可能であると共に、後段に配置されるYドライバユニット3n+1(図示省略)に対して電気信号を出力している。

10

【0047】

Yドライバユニット3nは、走査線5に接続された走査線電位供給部18、アース線6と接続可能な定電位供給部19およびセクタ部21と、アース線6との接続を制御する切替部20とを備える。また、セクタ部21を通過したアナログ信号をデジタル信号に変換するA/Dコンバータ部23を備え、A/Dコンバータ部23で変換されたデジタル信号が外部に出力される構造を有する。

20

【0048】

セクタ部21とA/Dコンバータ部23との間に配置されたセクタ部22a~22cは、A/Dコンバータ部23に入力されるアナログ信号を選択するためのものである。上記のようにYドライバユニット3nは複数の行に渡って配置された画素回路からのデータを出力するものであって、かかる機能を実現するためにセクタ部22a~22cは、それぞれ異なるアース線からの電気信号を入力可能な構造を有する。かかるセクタ部22a~22cを順次選択して、入力された電気信号をA/Dコンバータ部23に入力することで、異なる行に配置された画素回路における電位 V_s の値を連続データとして出力することが可能である。

30

【0049】

また、Yドライバユニット3nは、前段に配置されるYドライバユニット3n-1から出力された電気信号を中継して後段に配置されるYドライバユニット3n+1に出力する構造も有する。具体的には、Yドライバユニット3nは、A/Dコンバータ部23から出力される電気信号と、Yドライバユニット3n-1から入力された電気信号のいずれか一方を通過させるセクタ部24を備え、ラッチ部25がセクタ部24を制御する構造を有する。

40

【0050】

閾値電圧を測定する際におけるYドライバユニット3nの動作について説明する。まず、前段に配置されたYドライバユニット3n-1から入力された電気信号がセクタ部24およびラッチ部25を通過して後段に配置されたYドライバユニット3n+1に出力される。Yドライバユニット3n-1からの信号入力が終了した後、ラッチ部25の制御によってセクタ部24が切り替えられ、アース線6を介して画素回路2から入力された電気信号をA/Dコンバータ部23によってデジタル化し、セクタ部24、ラッチ部25を通過してYドライバユニット3n+1に出力される。ここで、セクタ部22a~22cは順次切り替わることによって異なる行に配置された画素回路からの電気信号を順次デジタル変換してYドライバユニット3n+1に出力する。

50

【0051】

すなわち、閾値電圧導出の際に、Yドライバユニット $3n$ は、まず前段に位置するYドライバユニット $3n-1$ で得られた電気信号を後段のYドライバユニット $3n+1$ に伝送し、その後自身が得た電気信号をYドライバユニット $3n+1$ に出力する。後段に配置されるYドライバユニット $3n+1$ の動作も同様であって、まず前段のYドライバユニット $3n$ から入力された電気信号を後段のYドライバユニット $3n+2$ （図示省略）に伝送し、その後自身が得た電気信号をYドライバユニット $3n+2$ に出力する。従って、Yドライバ3を構成するユニットのうち、最後段に位置するYドライバユニットからは、すべてのYドライバユニットで得られた電気信号が連続データとして制御部8に出力されることとなる。

10

【0052】

そして、制御部8において個々の画素回路におけるドライバ素子の閾値電圧が導出され、画素回路と対応づけられて記憶部9に記憶される。閾値電圧の導出としては、例えばあらかじめ記憶部9に閾値電圧導出の際における信号線7の電位 V_g を記憶しておき、制御部8で $V_g - V_s$ の演算を行うことによって導出が可能である。画像表示を行う際には、かかる閾値電圧 V_{th} と、映像信号供給部10から供給され、表示画像に対応したデータ電圧 V_D とが加算部11で加算され、信号線7を介してそれぞれのドライバ素子に対して $V_D + V_{th}$ が与えられ、かかる電位に対応した輝度で有機EL素子が発光することとなる。

【0053】

次に、本実施の形態1にかかる画像表示装置の利点について説明する。まず、本実施の形態1にかかる画像表示装置は、有機ELパネル1に電圧補償回路を設けることなく閾値電圧を補償することが可能である。電圧補償回路を省略することが可能であるため、有機ELパネル1上で画素回路2の占有面積を大きくすることが可能である。従って、同一面積の有機ELパネル1上で画素回路2を多数配置することが可能となり、高精細な画像表示が可能な画像表示装置を実現することが可能となる。また、画素回路2を構成する薄膜トランジスタ、有機EL素子等を大型化することも可能であり、この場合、例えばチャネル層の大きい薄膜トランジスタを配置することで高移動度のスイッチング素子を実現し、短時間で電位書き込みが可能な画像表示装置を実現することができる。

20

【0054】

さらに、電圧補償回路を省略することで有機ELパネル1の製造歩留まりを従来よりも向上させることができる。既に説明したように、電圧補償回路は2~3個の薄膜トランジスタを必要とするため、電圧補償回路を組み込んだ有機EL表示パネルを製造する際には、電圧補償回路を有さないものと比較して2倍以上の薄膜トランジスタを形成する必要がある。薄膜トランジスタの個数が増えるに従って製造歩留まりは低下することから、電圧補償回路を省略した本実施の形態1の場合、薄膜トランジスタの数を減らした分だけ製造歩留まりを向上させることができる。

30

【0055】

また、本実施の形態1にかかる画像表示装置は、アース線6を実質的にフローティングの状態として閾値電圧の導出を行っている。そのため、閾値電圧導出のために有機ELパネル1上に別途回路構造を設ける必要がないという利点も有する。アース線6は有機EL素子13のアノード側をグラウンドに電氣的に接続するため従来から設けられているものであるため、アース線6を利用することで有機ELパネル1上に別途回路構造を設けることなく閾値電圧の導出が可能となる利点を有する。

40

【0056】

また、アース線6を利用することによる別の利点も存在する。本実施の形態1ではフローティングに対する電荷の蓄積を利用して閾値電圧を導出しているが、かかる態様の場合、フローティングに所望量の電荷が蓄積されるには一定の時間を必要とする。しかしながら、アース線6は多数の画素回路2によって形成される行ごとに存在し、マトリックス状に配置された画素回路2の行数と等しい本数だけ配置されている。それぞれのアース線6を

50

同時にフローティング状態とし、閾値電圧導出を行うための電荷の蓄積をアース線 6 ごとに同時に行うことが可能である。また、同一列に属する画素回路は、同一の信号線 7 と電氣的に接続されている。従って、同一の列に配置された画素回路に属するドライバ素子は、単一の信号線 7 から供給される電位によって同時にオンすることが可能であり、同一列に属する画素回路について、一度に閾値電圧の導出が可能である。

【0057】

また、本実施の形態 1 にかかる画像表示装置は、個々の画素回路におけるドライバ素子の閾値電圧を直接測定し、閾値電圧の変動を考慮した電位を信号線 7 から画素回路 2 に供給する構造を有する。このため、個々のドライバ素子の閾値電圧変動を正確に検知することが可能であって、閾値電圧の変動による有機 EL 素子 13 の輝度のばらつきを高い精度で抑制することが可能である。

10

【0058】

(実施の形態 2)

次に、実施の形態 2 にかかる画像表示装置について説明する。本実施の形態 2 にかかる画像表示装置は、基本的な構造は実施の形態 1 と同様であるが、フローティング状態のアース線を利用した閾値電圧導出の際に、閾値電圧に到達する前にゲート・ソース間電圧を複数回測定し、測定データに所定の演算を施すことにより閾値電圧を導出する構造を有する。また、本実施の形態 2 では、閾値電圧のみならず、チャンネル層を流れる電流の値がゲート・ソース間電圧の値の変化に対してほぼ直線状に変化する範囲(以下、「直線領域」と称する。)における変化率の変動をも考慮して信号線 7 からドライバ素子に対して供給する電位を決定している。

20

【0059】

図 5 は、実施の形態 2 にかかる画像表示装置の構造を示す図である。図 5 に示すように、実施の形態 2 にかかる画像表示装置は、マトリックス状に配置された画素回路 2 を備えた有機 EL パネル 1 と、有機 EL パネル 1 に対して走査線 5 およびアース線 6 を介して接続された Y ドライバ 3 と、信号線 7 を介して接続された X ドライバ 4 とを備える。また、本実施の形態 2 にかかる画像表示装置は、Y ドライバ 3 からの電気信号を入力可能な制御部 8 と、制御部 8 から与えられた電気信号に基づいて所定の演算を行い、演算結果を制御部 8 に出力する演算部 27 と、制御部 8 を介して演算結果を入力して記憶し、制御部 8 の要求に従って演算結果を制御部 8 に出力する記憶部 9 とを備える。さらに、本実施の形態 2 にかかる画像表示装置は、表示画像に対応した電気信号を出力する映像信号供給部 10 と、映像信号供給部 10 から出力される電気信号と制御部 8 から出力される電気信号とを加算して X ドライバ 4 に供給する加算部 11 とを備える。なお、本実施の形態 2 において、実施の形態 1 と同様の名称、符号を付したものは、以下で特に言及しない場合、実施の形態 1 と同等の構造および機能を有することとして説明を省略する。また、実施の形態 2 にかかる画像表示装置は、実施の形態 1 の場合と同様に、図 2、図 4 に対応する構造を有することとする。

30

【0060】

本実施の形態 2 にかかる画像表示装置は、実施の形態 1 と同様に、閾値電圧導出の際にアース線 6 をフローティング状態とし、アース線 6 を介してドライバ素子たる薄膜トランジスタ 15 のソース電極の電位を利用して薄膜トランジスタ 15 の閾値電圧を導出している。しかしながら、本実施の形態 2 にかかる画像表示装置では、薄膜トランジスタ 15 がオフ状態になってからソース電極の電位を測定するのではなく、薄膜トランジスタ 15 がオン状態を維持している間、すなわち薄膜トランジスタ 15 のゲート・ソース間電圧が閾値電圧に到達する前にアース線 6 を介してソース電極の電位を複数回測定する。そして、得られたソース電極の電位に基づいて演算を行い、薄膜トランジスタ 15 の閾値電圧および直線領域における電圧 - 電流特性の傾斜の変動値を検出している。

40

【0061】

図 6 (a) ~ 図 6 (c) は、本実施の形態 2 において薄膜トランジスタ 15 のソース電極の電位を測定する工程を示す図である。また、図 7 はソース電極の電位測定時における薄

50

膜トランジスタ 15 のソース電極の電位の変動およびゲート・ソース間電圧の変動を示すグラフである。図 7 において、曲線 1₁ はソース電極の電位変動を示し、曲線 1₂ はゲート・ソース間電圧変動を示している。以下、図 6 (a) ~ (c) および図 7 を参照してソース電極の電位測定について説明する。

【 0 0 6 2 】

図 6 (a) に示すように、切替部 20 によってアース線 6 の接続先を制御部 8 に切り替えた上で走査線 5 の電位を上昇させ、スイッチング素子たる薄膜トランジスタ 14 をオン状態にする。そして、薄膜トランジスタ 15 のゲート電極は、信号線 7 から供給される電位 V_g を与えられてオン状態となり、有機 EL 素子 13 および薄膜トランジスタ 15 のチャネル層に電流が流れる。かかる電流に起因してフローティング状態となったアース線 6 に電荷が蓄積され、 $t = t_1$ においてアース線 6 に接続された薄膜トランジスタのソース電極の電位 V_s は、 $V_{com}(t_1)$ となる。本実施の形態 2 におけるソース電極の電位 V_s の測定は、まず $t = t_1$ において行われ、 $V_s = V_{com}(t)$ が得られる

10

【 0 0 6 3 】

そして、図 6 (b) に示すように、 $t = t_1$ から所定時間だけ経過した $t = t_2$ において再びソース電極の電位測定を行う。 $t = t_2$ に至るまでフローティング状態のアース線 6 には流入電流に起因して電荷がさらに蓄積されるため、 $t = t_2$ においては $t = t_1$ と比較して薄膜トランジスタ 15 のソース電極の電位 V_s も上昇する。このため、 $t = t_2$ ($> t_1$) の時点におけるソース電極の電位 V_s は、図 7 に示すように、 $V_{com}(t_1)$ と異なる $V_{com}(t_2)$ となる。図 6 (b) に示す工程では、 $t = t_2$ においてソース電極の測定を行い、以上でソース電極の測定を終了する。

20

【 0 0 6 4 】

その後、図 6 (c) に示すように、薄膜トランジスタ 15 のソース電極の電位 V_s はさらに上昇し、電位 V_s の値がゲート電位 V_g との差分値が閾値電圧に等しい V_c となった時点で薄膜トランジスタはオフ状態となる。図 7 に示すように、図 6 (c) に示す状態となるには 1 秒程度を要するが、上記のように本実施の形態 2 では図 6 (c) の状態となる前に測定を終了している。従って、薄膜トランジスタ 15 の閾値電圧導出に要する時間は 1 秒よりも短くなる。

【 0 0 6 5 】

次に、図 6 (a) ~ 図 6 (c) に示すソース電極の電位 V_s の測定結果に基づいて演算部 27 で行われる演算工程について説明する。薄膜トランジスタ 15 のソース電極の電位 V_s 、薄膜トランジスタ 15 の閾値電圧 V_{th} および測定時において信号線 7 から供給される薄膜トランジスタ 15 のゲート電極の電位 V_g との間には、

30

$$V_s(t) = V_g - V_{th} - \left[\left(t / 2 C_p \right) + \left\{ 1 / \left(V_g - V_{th} \right) \right\} \right]^{-1} \cdot \dots (1)$$

の関係が存在する。ここで、 C_p は、薄膜トランジスタ 15 のソース電極およびソース電極と電氣的に直接接続された (すなわち、同電位となる) 配線等が有する容量の総和である。なお、電位 V_s の測定を行う際のゲート電極の電位 V_g は、薄膜トランジスタ 15 のソース・ドレイン間電圧 V_d に対して、 $V_d > V_g$ の関係を満たしている。本実施の形態 2 にかかる画像表示装置の場合、ソース電極に対してアース線 6 が電氣的に直接接続されているため、アース線 6 と薄膜トランジスタ 15 のゲート電極との間に位置するコンデンサ 16 の容量の他、アース線 6 が他の配線構造との間に有する寄生容量 17 の容量等について合計した値となる。また、本実施の形態 2 では、一本のアース線 6 に対して同一の行に位置する画素回路 2 のすべてがコンデンサ 16 を備えた構造を有するため、これらの容量すべてについて和を取る必要がある。なお、本実施の形態 2 において、 C_p および V_g の値はあらかじめ記憶部 9 に記憶され、これらの値は演算を行う際に制御部 8 を介して演算部 27 に供給されることとする。

40

【 0 0 6 6 】

また、(1) 式において、係数 α は薄膜トランジスタ 15 の移動度およびチャネル層の形状に基づいて決定される値である。かかる係数 α および閾値電圧 V_{th} は薄膜トランジス

50

タの長期使用によって徐々に変動する値であるが、 t_1 、 t 、 t_2 の間には変動を無視しても実質的に問題はなく、演算部27ではかかる時間範囲では時間依存性がないものとして計算される。

【0067】

(1)式において、 C_p 、 V_g は既知の値であって、 $V_s(t)$ は測定によって求められる値である。すなわち、 C_p は回路構造から導出可能な値であって、ソース電極の電位を測定する時点では既知の値ととらえることができる。また、 V_g は信号線7から供給される値であって、Xドライバ4によって制御される値であることから既知の値として扱うことができる。また、 $V_s(t)$ は図6(a)、図6(b)に示す工程で測定される値である。

10

【0068】

従って、(1)式で未知数となるのは V_{th} および係数である。このため、本実施の形態2では(1)式に異なる時刻 t_1 、 t_2 における値を代入して V_{th} および係数を変数とする方程式を2式作成し、連立方程式を解くことによって V_{th} および係数を導出している。本実施の形態2にかかる画像表示装置では、以上の工程を演算部27で行うことによって薄膜トランジスタ15の閾値電圧を導出している。

【0069】

さらに、本実施の形態2にかかる画像表示装置は、演算部27で係数を導出することによって長期使用によって変動する薄膜トランジスタ15の電気特性をより正確に補償することができる。長期使用によって薄膜トランジスタ15は閾値電圧のみならず、ゲート・ソース間電圧の変化に応じてチャンネル層を流れる電流値が変化する直線領域の傾斜も変化する。従って、チャンネル層を流れる電流値を均一に保持するためにはかかる傾斜の変化も考慮して信号線7から供給する電位を決定する必要がある。長期の使用に起因した傾斜の変化は係数の初期値 a_0 と係数の差分値に比例し、より正確には直線領域における傾斜の変化量 a は、

20

$$a = (\quad - a_0) / 2 a_0 \cdots (3)$$

で与えられる。従って、信号線7から供給される電位 V_g の値に対して、特性変動が生じた薄膜トランジスタ15では係数の変動を補償するために $(\quad - a \times V_g)$ の電位を加える必要がある。すなわち、閾値電圧の変動と係数の変動を考慮すると、実際に信号線7から薄膜トランジスタ15のゲート電極に供給する電位 V_g は、

30

$$V_g = V_{th} + V_D - \{ (\quad - a_0) / 2 a_0 \} \times V_g \cdots (4)$$

の関係式を満たす必要がある。(4)式を V_g について解くと、

$$V_g = (V_{th} + V_D) \times \{ 2 a_0 / (a_0 + \quad) \} \cdots (5)$$

となる。本実施の形態2にかかる画像表示装置では、演算部27で導出された V_{th} 、係数と、映像信号供給部10から供給される V_D とに基づいて、加算部11は(5)式に従って V_g を導出し、かかる V_g に対応した電気信号をXドライバ4に供給している。

【0070】

本実施の形態2にかかる画像表示装置の利点を説明する。まず、本実施の形態2にかかる画像表示装置は、実施の形態1と同様に、電圧補償回路を省略することが可能であるため、高精細の画像表示が可能な画像表示装置の実現や、有機EL素子や薄膜トランジスタ等を大型化する事が可能である。また、薄膜トランジスタの個数を低減することが可能であるため、製造歩留まりを向上させることができる。さらには、アース線6を利用して有機ELパネル1の外部で閾値電圧を検知することで閾値電圧検出のために有機ELパネル1内に特別の回路を設ける必要がなく、アース線6が多数設けられるため、一度に多数の薄膜トランジスタの閾値電圧を導出することが可能である。

40

【0071】

また、本実施の形態2にかかる画像表示装置は、薄膜トランジスタ15がオフ状態となる前にソース電極の電位を検出することによって、さらに短時間で閾値電圧を導出することが可能である。すなわち、薄膜トランジスタ15が一度オンした後には通常1秒程度の時間を必要とする。一方、本実施の形態2では、図7に例示するように時刻

50

t_1 、 t_2 は 0.2 秒程度となっている。実際には図 7 の例よりも短い時間で複数回のソース電極の電位を検知することが可能であり、例えば 0.01 秒程度で必要な回数のソース電極の電位の検知が可能である。従って薄膜トランジスタ 15 がオフ状態となった後にソース電極の電位を検知する場合と比較して必要な時間は 1/100 程度となり、きわめて短時間で閾値電圧を導出することが可能となる。例えば本実施の形態 2 にかかる画像表示装置が SXGA の場合であっても、すべての画素回路に属するドライバ素子の閾値電圧の導出に要する時間は 15 秒以下となる。

【0072】

さらに、本実施の形態 2 にかかる画像表示装置は、閾値電圧のみならず係数 α の値も導出することとしたため、薄膜トランジスタ 15 の電圧 - 電流特性の直線領域における傾斜の変動も補償することが可能である。具体的には (3) 式に示す傾斜の変化量 a の分だけ信号線 7 から供給する電位 V_g を補償することによって、薄膜トランジスタ 15 の特性変動をより正確に補償することが可能である。

【0073】

(実施の形態 3)

次に、実施の形態 3 にかかる画像表示装置について説明する。実施の形態 3 にかかる画像表示装置は、基本的な構造は実施の形態 1 および実施の形態 2 と同様であるが、フローティング状態のアース線を利用して薄膜トランジスタのソース電極を測定した後、データベースを参照して薄膜トランジスタの閾値電圧および係数 α を導出して信号線から供給する電位を調整する構造を有する。

【0074】

図 8 は、実施の形態 3 にかかる画像表示装置の全体構造を示す図である。図 8 に示すように、本実施の形態 3 にかかる画像表示装置は、マトリックス状に配置された画素回路 2 を備えた有機 EL パネル 1 と、有機 EL パネル 1 に対して走査線 5 およびアース線 6 を介して接続された Y ドライバ 3 と、信号線 7 を介して接続された X ドライバ 4 とを備える。また、本実施の形態 3 にかかる画像表示装置は、Y ドライバ 3 からの電気信号を入力可能な制御部 8 と、制御部 8 に入力された電気信号の値に基づいて閾値電圧および係数 α の値を参照可能なデータベース 28 と、データベース 28 を参照することによって得られた閾値電圧および計数係数 α の値を記憶する記憶部 9 とを備える。さらに、表示画像に対応した電気信号を出力する映像信号供給部 10 と、映像信号供給部 10 から出力される電気信号とを加算して X ドライバ 4 に供給する加算部 11 とを備える。なお、実施の形態 3 において、実施の形態 1 および実施の形態 2 と同様の名称、符号を付したものは以下で特に言及しない限り、実施の形態 1 等と同等の構造および機能を有することとして説明を省略する。

【0075】

本実施の形態 3 にかかる画像表示装置は、実施の形態 1 および実施の形態 2 と同様に、閾値電圧導出の際にアース線 6 をフローティング状態とし、アース線 6 を介してドライバ素子たる薄膜トランジスタ 15 のソース電極の電位を測定している。しかしながら、本実施の形態 3 にかかる画像表示装置は、実施の形態 1 および実施の形態 2 と異なり、ゲート・ソース間電圧が閾値電圧に到達する前に測定を行った後、測定結果に基づいてデータベース 28 を参照する事によって閾値電圧および係数 α を導出している。

【0076】

データベース 28 のデータ構造としては様々な態様が考えられるが、一例として測定開始後所定時間経過したソース電極の電位に対して閾値電圧および係数 α が記録された構造が考えられる。薄膜トランジスタ 15 のチャンネル層の形状およびチャンネル層を形成するシリコンの結晶構造等が既知の場合、閾値電圧および係数 α の変動パターンの傾向は経験則上ある程度明らかであるため、仮にソース電極の電位を複数回測定しなくとも閾値電圧および係数 α の値を一定の精度で導出することが可能である。もちろん、複数回測定し、かかる測定結果に基づいてデータベース 28 を参照することとしても良い。そして、導出した閾値電圧および係数 α の値を用いて加算部 11 において (5) 式に基づいた計算を行い、

導出した結果をXドライバ4に出力することで、薄膜トランジスタ15の特性変動を補償した電位 V_g を供給することが可能となる。

【0077】

データベース28を参照するにあたって用いるパラメータとしては、ソース電極の電位以外のものも用いることとしても良い。例えば、薄膜トランジスタ15の特性は使用期間、より正確には薄膜トランジスタ15のチャンネル層を通過したキャリアの量に応じて変化する。このため、ソース電極の電位に加えて使用期間、使用時にチャンネル層を通過する電流量の平均値等をあらかじめ導出して記憶部9に記憶し、かかる値も参照パラメータとして使用することによってさらに精度の高い閾値電圧等の導出が可能となる。また、実施の形態1と同様の手法によって閾値電圧 V_{th} を導出し、閾値電圧 V_{th} の値を用いてデータベース28を参照して係数を導出することとしても良い。

10

【0078】

以上説明したように、本実施の形態3にかかる画像表示装置は、実施の形態1および実施の形態2における利点に加えて、データベース28を用いることによって、ソース電極の電位測定に要する時間および回数を減少させることが可能となる。また、閾値電圧および係数を導出するために演算を行う必要がないため、簡易な構造の画像表示装置を実現することができる。

【0079】

以上、本発明について実施の形態1~3に渡って説明したが、本発明は上記記載内容に限定されるのではなく、当業者であれば様々な実施例、変形例等に想到する事が可能である。例えば、実施の形態1~3では、画像表示装置がYドライバ3およびXドライバ4とは別に制御部8等を設けた構造を有する。しかしながら、制御部8等をYドライバ3内またはXドライバ4内に設けることとしても良い。

20

【0080】

また、実施の形態2および実施の形態3では、閾値電圧のみならず係数も導出することとしている。しかしながら、簡易な構造で画像表示装置を実現する場合には係数の導出を省略し、閾値電圧の変動のみを考慮して信号線7から供給する電位 V_g を決定することとしても良い。有機EL素子13の輝度に与える影響は係数の変動よりも閾値電圧の変動の方が大きいため、閾値電圧変動のみを考慮しても一定の精度で有機EL素子13の輝度を均一化することが可能なためである。

30

【0081】

また、実施の形態1~3では電流発光素子として有機EL素子を用いたが、電流発光素子を例えば無機EL素子、発光ダイオード等としても良い。具体的には、流入する電流の値に応じて輝度が変化する発光素子であれば、本発明における画像表示装置に使用することが可能である。また、ドライバ素子のソース電極の電位測定に用いる配線構造についても、アース線6を利用するのではなく別途配線構造を設けることも可能である。

【0082】

さらに、本発明においてドライバ素子は、チャンネル層がアモルファスシリコンによって形成される薄膜トランジスタであることを前提にしている。しかしながら、チャンネル層がポリシリコンによって形成される薄膜トランジスタによってドライバ素子が形成される場合にも本発明を適用することが可能である。ポリシリコンを用いてチャンネル層を形成した場合、粒径等のばらつきにより画素ごとに薄膜トランジスタの特性にばらつきが生じる。かかる薄膜トランジスタの特性のばらつきを補償するために本発明を適用することで、有機EL素子等の電流発光素子の輝度を均一化することが可能である。

40

【0083】

また、実施の形態1~3ではドライバ素子として薄膜トランジスタを使用している。しかしながら、かかる構造以外であっても、少なくとも2端子を有し、かかる2端子間に印加される電圧によって通過電流を制御可能な構造のものであれば本発明を適用することが可能である。

【0084】

50

【発明の効果】

以上説明したように、この発明によれば、ドライバ素子をオンした状態で電流源からドライバ素子に電流を流入させ、第2の端子に接続された導電部材に蓄積された電荷に起因した電位に基づいて閾値電圧を導出することとしたため、電圧補償回路を設けずに閾値電圧の導出を行うことができるという効果を奏する。

【0085】

また、この発明によれば、ドライバ素子がオフ状態となった時点における前記導電部材の電位に基づいて閾値電圧を導出することとしたため、実際の閾値電圧に対応した電位を利用することが可能となり、正確な閾値電圧の導出ができるという効果を奏する。

【0086】

また、この発明によれば、ドライバ素子がオフ状態となる前の任意の3以上の時刻における導電部材の電位を用いて閾値電圧を導出することとしたため、短時間で閾値電圧を導出することができるという効果を奏する。

【0087】

また、この発明によれば、電流通過部分に関係した係数を導出することとしたため、かかる係数を用いてより正確にドライバ素子の特性変動を補償することができるという効果を奏する。

【図面の簡単な説明】

【図1】実施の形態1にかかる画像表示装置の全体構造を示す図である。

【図2】画像表示装置を構成する画素回路および画素回路の周辺回路との関係を示す図である。 20

【図3】(a)~(c)は、実施の形態1にかかる画像表示装置の動作を説明するための図である。

【図4】画像表示装置を構成するYドライバユニットの構造を示す図である。

【図5】実施の形態2にかかる画像表示装置の全体構造を示す図である。

【図6】(a)~(c)は、実施の毛板2にかかる画像表示装置の動作を説明するための図である。

【図7】閾値電圧導出時におけるドライバ素子たる薄膜トランジスタのソース電極の時間変化と、ゲート・ソース間電圧の時間変化を示すグラフである。

【図8】実施の形態3にかかる画像表示装置の全体構造を示す図である。 30

【図9】従来技術にかかる画像表示装置を構成する画素回路の構造を示す等価回路図である。

【符号の説明】

- | | |
|-----|-----------|
| 1 | 有機ELパネル |
| 2 | 画素回路 |
| 3 | Yドライバ |
| 3 n | Yドライバユニット |
| 4 | Xドライバ |
| 5 | 走査線 |
| 6 | アース線 |
| 7 | 信号線 |
| 8 | 制御部 |
| 9 | 記憶部 |
| 10 | 映像信号供給部 |
| 11 | 加算部 |
| 12 | 電流源 |
| 13 | 有機EL素子 |
| 14 | 薄膜トランジスタ |
| 15 | 薄膜トランジスタ |
| 16 | コンデンサ |

10

20

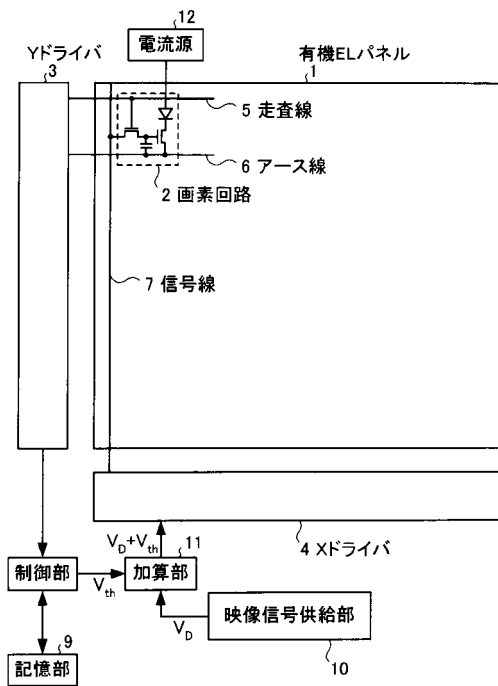
30

40

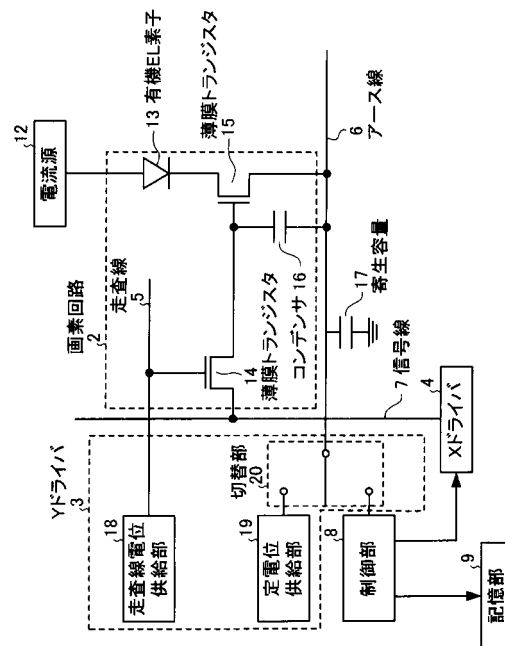
50

- 1 7 寄生容量
- 1 8 走査線電位供給部
- 1 9 定電位供給部
- 2 0 切替部
- 2 1 セレクタ部
- 2 2 a セレクタ部
- 2 3 コンバータ部
- 2 4 セレクタ部
- 2 5 ラッチ部
- 2 7 演算部
- 2 8 データベース
- 1 0 1 信号線
- 1 0 2 薄膜トランジスタ
- 1 0 3 コンデンサ
- 1 0 4 薄膜トランジスタ
- 1 0 5 素子
- 1 0 6 走査線

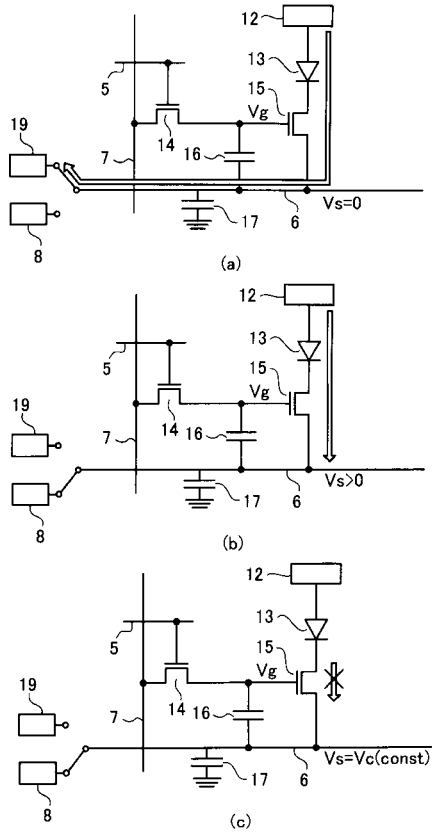
【図 1】



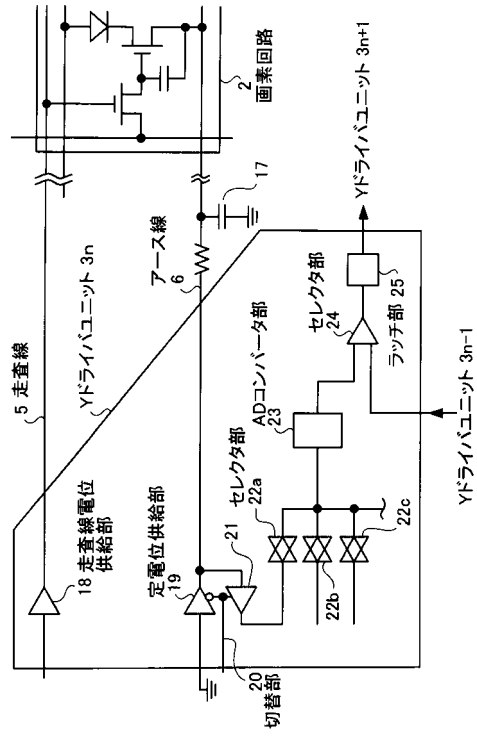
【図 2】



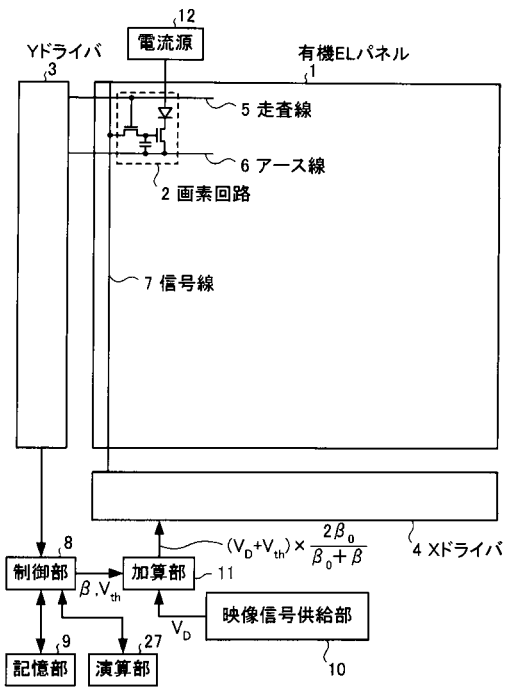
【図3】



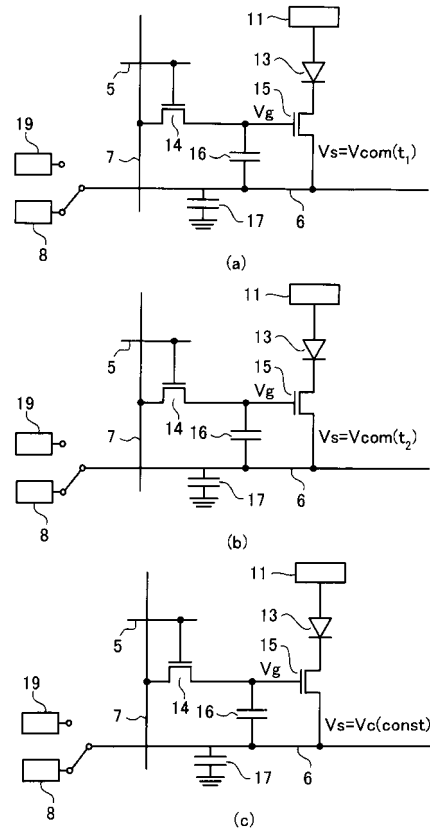
【図4】



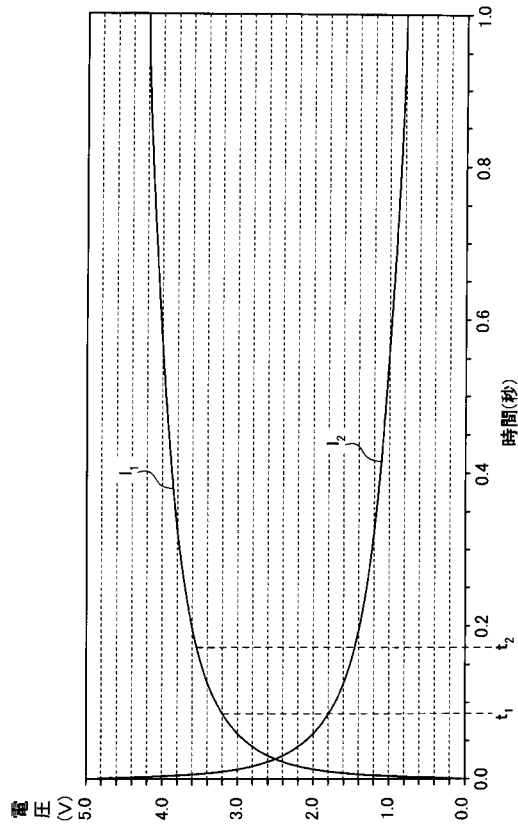
【図5】



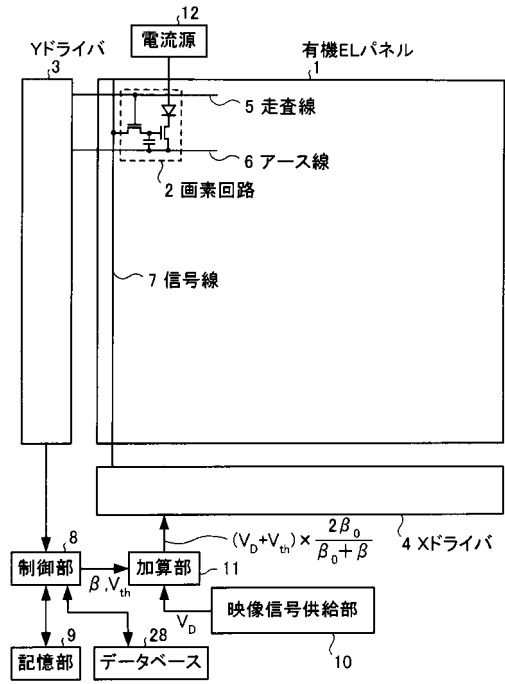
【図6】



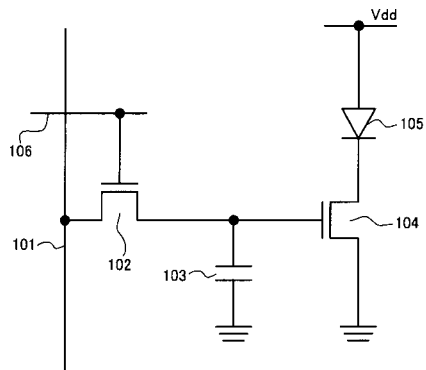
【 図 7 】



【 図 8 】



【 図 9 】



フロントページの続き

(51) Int.Cl.⁷

F I

テーマコード(参考)

G 0 9 G	3/20	6 2 4 B
G 0 9 G	3/20	6 3 1 U
G 0 9 G	3/20	6 4 1 D
G 0 9 G	3/20	6 4 2 A
G 0 9 G	3/20	6 4 2 C
G 0 9 G	3/20	6 7 0 K
H 0 5 B	33/14	A

(72)発明者 小林 芳直

神奈川県大和市下鶴間1623番地14 インターナショナル ディスプレイ テクノロジー株式
会社 大和事業所内

Fターム(参考) 3K007 AB17 BA06 DB03 GA00

5C080 AA06 BB05 DD04 DD05 DD22 DD28 DD29 EE29 FF03 FF11

GG12 HH09 JJ02 JJ03 JJ05

5C094 AA04 AA07 AA48 AA54 AA55 AA56 BA03 BA27 CA19 CA25

DA09 DB01 DB05 EA04 FA01 FB01 FB12 FB14 FB15 FB20

GA10