

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2013 年 6 月 6 日 (06.06.2013)



(10) 国際公開番号

WO 2013/081089 A1

- (51) 国際特許分類 :
H01L 29/78 (2006.01) H01L 29/12 (2006.01)
- (21) 国際出願番号 : PCT/JP20 12/08 1028
- (22) 国際出願日 : 2012 年 11 月 30 日 (30.11.2012)
- (25) 国際出願の言語 : 日本語
- (26) 国際公開の言語 : 日本語
- (30) 優先権データ :
特願 2011-263035 2011 年 11 月 30 日 (30.11.2011) JP
- (71) 出願人 : ローム株式会社 (ROHM CO., LTD.) [JP/JP];
〒6158585 京都府京都市右京区西院溝崎町 2 1 番地 Kyoto (JP).
- (72) 発明者 : 中野 佑紀 (NAKANO, Yuki); 〒6158585 京
都府京都市右京区西院溝崎町 2 1 番地 ローム
株式会社内 Kyoto (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保
護が可能) : AE, AG, AL, AM, AO, AT, AU, AZ, BA,
BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN,

CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES,
FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN,
IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS,
LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX,
MY, ML, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH,
PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, ZA, ZM, ZW.

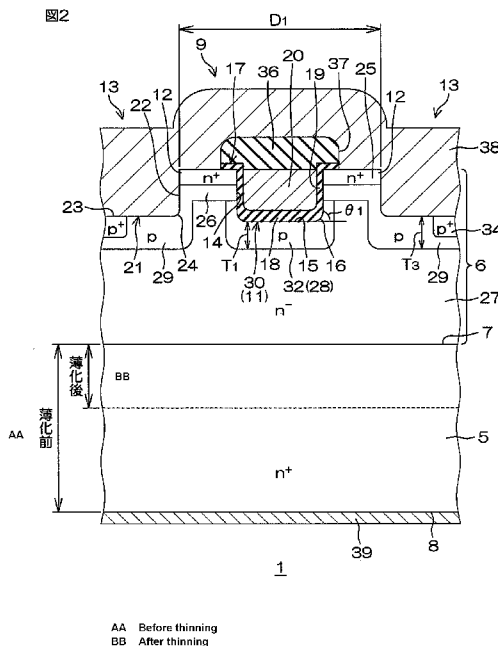
- (84) 指定国 (表示のない限り、全ての種類の広域保
護が可能) : ARIPO (BW, GH, GM, KE, LR, LS, MW,
ML, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシ
ア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ユーロッパ
(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR,
GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT,
NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI
(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR,
NE, SN, TD, TG).

添付公開書類 :

— 国際調査報告 (条約第 21 条(3))

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称 半導体装置



(57) Abstract: [Problem] To provide a semiconductor device which is capable of having a good balance between low on-resistance and high withstand voltage, while achieving reduction in the device size, improvement in the production yield and reduction in the cost. [Solution] A semiconductor device (1) which comprises: a substrate (5); an epitaxial layer (6) that is formed on the substrate (5) and is provided with a gate trench (11); a gate insulating film (17) that is formed on a lateral surface (14) and a bottom surface (1b) of the gate trench (11); a gate electrode (20) that is embedded in the gate trench (11) and faces the epitaxial layer (6) with the gate insulating film (17) interposed therebetween; and a source layer (25), a channel layer (26) and a drift layer (27) that are sequentially formed on the front surface side toward the back surface side of the epitaxial layer (6). In this semiconductor device (1), if a variable y is the on-resistance (R_{on}) and a variable x is the withstand voltage (V_b), x and y satisfy the following relational expression (1). $y \leq 9 \times 10^{-7} x^2 - 0.0004x + 0.7001$ (1)

(57) 要約 : 【課題】低オン抵抗および高耐電圧を両立させることができ、デバイスサイズの小型化、製造歩留まりの向上およびコストの低減を達成することができる半導体装置を提供する。【解決手段】基板 5 と、基板 5 に形成され、ゲートトレンチ 11 が形成されたエピタキシャル層 6 と、ゲートトレンチ 11 の側面 14 および底面 15 に形成されたゲート絶縁膜 17 と、ゲートトレンチ 11 に埋め込まれ、ゲート絶縁膜 17 を介してエピタキシャル層 6 に対向しているゲート電極 20 と、エピタキシャル層 6 の表面側から裏面側へ向かって順に形成されたソース層 25、チャネル層 26 およびドリフト層 27 とを含む半導体装置 1 において、オン抵抗 R_{on} を変数 y とし、耐電圧 V_b を変数 x とする関数で表したときに、下記関係式 (1) を成立させる。 $y \leq 9 \times 10^{-7} x^2 - 0.0004x + 0.7001$ (1)

$$0.0004x + 0.7001 \dots (1)$$

明 細 書

発明の名称 : 半導体装置

技術分野

[0001] 本発明は、トレンチゲート構造を有するS i C半導体装置に関する。

背景技術

[0002] 従来、モータ制御システム、電力変換システムなど、各種パワーエレクトロニクス分野におけるシステムに主として使用される半導体パワーデバイスが注目されている。

この種の半導体パワーデバイスとして、たとえば、トレンチゲート構造を有するS i C半導体装置が提案されている。

たとえば、特許文献1は、n+型のS i C基板と、当該S i C基板上に形成されたn-型のエピタキシャル層（ドリフト領域）と、エピタキシャル層の表面側に形成されたP型のボディ領域と、ボディ領域内においてその表面側に形成されたn+型のソース領域と、ソース領域およびボディ領域を貫通してドリフト領域に達するように形成されたゲートトレンチと、ゲートトレンチの内面に形成されたゲート絶縁膜と、ゲートトレンチに埋設されたゲート電極とを含む、電界効果トランジスタを開示している。

先行技術文献

特許文献

[0003] 特許文献1 : 特開2011_134910号公報

発明の概要

[0004] 本発明の目的は、低オン抵抗および高耐電圧を両立させることができ、デバイスサイズの小型化、製造歩留まりの向上およびコストの低減を達成することができる半導体装置を提供することである。

課題を解決するための手段

[0005] 本発明の半導体装置は、第1導電型のS i Cからなる基板と、前記基板上に形成され、ゲートトレンチが形成された第1導電型のS i Cからなるエピ

タキシャル層と、前記ゲートトレンチの側面および底面に形成されたゲート絶縁膜と、前記ゲートトレンチに埋め込まれ、前記ゲート絶縁膜を介して前記エピタキシャル層に対向しているゲート電極と、前記エピタキシャル層の表面側に露出するように形成され、前記ゲートトレンチの前記側面の一部を形成する第1導電型のソース層と、前記ソース層に対して前記エピタキシャル層の裏面側に前記ソース層に接するように形成され、前記ゲートトレンチの前記側面の一部を形成する第2導電型のチャネル層と、前記チャネル層に対して前記エピタキシャル層の前記裏面側に前記チャネル層に接するように形成され、前記ゲートトレンチの前記底面を形成する第1導電型のドリフト層とを含み、オン抵抗 R_{on} を変数 y とし、耐電圧 V_B を変数 x とする関数で表したときに、下記関係式(1)が成り立つことを特徴としている(請求項1)。

[0006]
$$y \leq 9 \times 10^{-7} x^2 - 0.0004x + 0.7001 \dots (1)$$

本発明の半導体装置によれば、オン抵抗 R_{on} ($m\Omega - cm^2$) を変数 y とし、耐電圧 V_B (V) を変数 x とする関数で表したときに、上記関係式(1)が成り立つので、従来では背反の関係にあったオン抵抗 R_{on} の低減および耐電圧 V_B の向上を両立させることができる。

[0007] これにより、従来品と同抵抗品(オン抵抗 R_{on} が同じ製品)を作製する場合には、基板やエピタキシャル層のアクティブ面積を小さくしながら十分な耐電圧を確保できるので、デバイスサイズを小型にすることができ、延いては、本発明の半導体装置を備える半導体モジュールを小型にすることもできる。その結果、1つの基板から得られるチップの数を増やすことができるので、製造歩留まりの向上でき、製造コストを低減することができる。

[0008] 他方、従来品と同じアクティブ面積の半導体装置を作製する場合には、従来品に比べてオン抵抗 R_{on} が低減されるので、電流容量を向上させることができる。

たとえば、本発明の半導体装置では、前記エピタキシャル層において前記チャネル層に形成されるチャネルの移動度が $11cm^2/Vs$ 以上である場合

、前記基板の厚さが $100\ \mu\text{m}$ 以下であることが好ましい（請求項 2）。

[0009] 本発明のようなトレンチゲート構造を有する SiC 半導体装置では、オン抵抗 R_{on} に対して基板の抵抗が占める割合が 15～25% 程度ある。そのため、基板の厚さを $100\ \mu\text{m}$ 以下にすることにより、オン抵抗 R_{on} を効果的に低減することができる。従って、チャネル抵抗を低減するためにチャネルの移動度を高めるにしても $11\ \text{cm}^2/\text{Vs}$ 以上でよいので、エピタキシャル層を比較的厚く形成したり、エピタキシャル層の不純物濃度を小さくしたりすることができる。そのため、高い耐電圧を実現することができる。

[0010] また、本発明の半導体装置では、前記オン抵抗 R_{on} および前記耐電圧 V_b について、下記関係式（2）が成り立つことが好ましい（請求項 3）。

$$y \leq 9 \times 10^{-7} x^2 - 0.0004 x + 0.6984 \quad (2)$$

この構成において、たとえば、前記エピタキシャル層において前記チャネル層に形成されるチャネルの移動度が $50\ \text{cm}^2/\text{Vs}$ 以上である場合、前記基板の厚さは $250\ \mu\text{m}$ 以下であってもよい（請求項 4）。

[0011] チャネルの移動度を $50\ \text{cm}^2/\text{Vs}$ 以上とすることにより、チャネル抵抗を十分低減することができる。そのため、基板の抵抗を低減するために基板を薄くするにしても $250\ \mu\text{m}$ 以下でよいので、実用上十分な強度を基板に付与することができる。その結果、半導体装置の製造工程において、基板のハンドリングやダイシングを効率よく行うことができる。

[0012] また、本発明の半導体装置では、前記オン抵抗 R_{on} および前記耐電圧 V_b について、下記関係式（3）が成り立つことがさらに好ましい（請求項 5）。

$$y \leq 9 \times 10^{-7} x^2 - 0.0004 x + 0.4434 \quad (3)$$

この構成において、たとえば、前記エピタキシャル層において前記チャネル層に形成されるチャネルの移動度を $50\ \text{cm}^2/\text{Vs}$ 以上である場合、前記基板の厚さは $100\ \mu\text{m}$ 以下であることが好ましい（請求項 6）。

[0013] また、本発明の半導体装置は、第 1 導電型の SiC からなる基板と、前記基板上に形成され、ゲートトレンチが形成された第 1 導電型の SiC からなるエピタキシャル層と、前記ゲートトレンチの側面および底面に形成された

ゲート絶縁膜と、前記ゲートトレンチに埋め込まれ、前記ゲート絶縁膜を介して前記エピタキシャル層に対向しているゲート電極と、前記エピタキシャル層の表面側に露出するように形成され、前記ゲートトレンチの前記側面の一部を形成する第1導電型のソース層と、前記ソース層に対して前記エピタキシャル層の裏面側に前記ソース層に接するように形成され、前記ゲートトレンチの前記側面の一部を形成する第2導電型のチャネル層と、前記チャネル層に対して前記エピタキシャル層の前記裏面側に前記チャネル層に接するように形成され、前記ゲートトレンチの前記底面を形成する第1導電型のドリフト層とを含み、オン抵抗 R_{on} を変数 y とし、耐電圧 V_b を変数 x とする関数で表したときに、下記関係式 (4) が成り立つことを特徴としている (請求項7)。

[0014]
$$y \leq 2 \times 10^{-7} x^2 - 0.0002x + 0.9551 \dots (4)$$

本発明の半導体装置によれば、オン抵抗 R_{on} を変数 y とし、耐電圧 V_b を変数 x とする関数で表したときに、上記関係式 (4) が成り立つので、従来では背反の関係にあったオン抵抗 R_{on} の低減および耐電圧 V_b の向上を両立させることができる。

これにより、従来品と同抵抗品 (オン抵抗 R_{on} が同じ製品) を作製する場合には、基板やエピタキシャル層のアクティブ面積を小さくしながら十分な耐電圧 V_b を確保できるので、デバイスサイズを小型にすることができ、延いては、本発明の半導体装置を備える半導体モジュールを小型にすることもできる。その結果、1つの基板から得られるチップの数を増やすことができるので、製造歩留まりの向上でき、製造コストを低減することができる。

[0015] 他方、従来品と同じアクティブ面積の半導体装置を作製した場合には、従来品に比べてオン抵抗 R_{on} が低減されるので、電流容量を向上させることができる。

たとえば、本発明の半導体装置では、前記チャネル層に連なるように前記ドリフト層内に形成され、前記チャネル層から前記エピタキシャル層の前記裏面に向かって延びた第2導電型のピラー層をさらに含むことが好ましく、

その場合、前記エピタキシャル層において前記チャネル層に形成されるチャネルの移動度は $11 \text{ cm}^2/\text{Vs}$ 以上であり、前記基板の厚さが $250 \mu\text{m}$ 以下であってもよい（請求項 8）。

[001 6] この構成によれば、エピタキシャル層内に第 2 導電型のピラー層と第 1 導電型のドリフト層によるスーパージャンクション構造が形成されているので、チャネルの移動度を $11 \text{ cm}^2/\text{Vs}$ 以上とし、基板の厚さを $250 \mu\text{m}$ 以下にすることで、上記関係式（4）を成立させることができる。

すなわち、チャネルの移動度を高めるにしても $11 \text{ cm}^2/\text{Vs}$ 以上でよく、基板を薄くするにしても $250 \mu\text{m}$ 以下でよいので、エピタキシャル層を比較的厚く保ち、不純物濃度を小さくできながら、基板に対しては、実用上十分な強度を付与することができる。

[001 7] また、本発明の半導体装置では、前記オン抵抗 R_{on} および前記耐電圧 V_b について、下記関係式（5）が成り立つことが好ましい（請求項 9）。

$$y \leq 2 \times 10^{-7} x^2 - 0.0002x + 0.7001 \dots \quad (5)$$

この構成において、たとえば、前記チャネル層に連なるように前記ドリフト層内に形成され、前記チャネル層から前記エピタキシャル層の前記裏面に向かって延びた第 2 導電型のピラー層をさらに含む場合、前記エピタキシャル層において前記チャネル層に形成されるチャネルの移動度が $11 \text{ cm}^2/\text{Vs}$ 以上であり、前記基板の厚さが $100 \mu\text{m}$ 以下であることが好ましい（請求項 10）。

[001 8] この構成によれば、エピタキシャル層内に第 2 導電型のピラー層と第 1 導電型のドリフト層によるスーパージャンクション構造が形成されているので、チャネルの移動度を $11 \text{ cm}^2/\text{Vs}$ 以上とし、基板の厚さを $100 \mu\text{m}$ 以下にすることで、上記関係式（5）を成立させることができる。

また、本発明の半導体装置では、前記オン抵抗 R_{on} および前記耐電圧 V_b について、下記関係式（6）が成り立つことがさらに好ましい（請求項 11）。

[001 9]
$$y \leq 2 \times 10^{-7} x^2 - 0.0002x + 0.6984 \dots \quad (6)$$

この構成において、たとえば、前記チャネル層に連なるように前記ドリフト層内に形成され、前記チャネル層から前記エピタキシャル層の前記裏面に向かって延びた第2導電型のピラー層をさらに含む場合、前記エピタキシャル層において前記チャネル層に形成されるチャネルの移動度が $50 \text{ cm}^2/\text{Vs}$ 以上であり、前記基板の厚さが $250 \mu\text{m}$ 以下であることが好ましい（請求項12）。

[0020] この構成によれば、エピタキシャル層内に第2導電型のピラー層と第1導電型のドリフト層によるスーパージャンクション構造が形成されているので、チャネルの移動度を $50 \text{ cm}^2/\text{Vs}$ 以上とし、基板の厚さを $250 \mu\text{m}$ 以下にすることで、上記関係式（6）を成立させることができる。

また、本発明の半導体装置では、前記オン抵抗 R_{on} および前記耐電圧 V_b について、下記関係式（7）が成り立つことがとりわけ好ましい（請求項13）。

[0021] $y \leq 2 \times 10^{-7} x^2 - 0.0002x + 0.4434$ (7)

この構成において、前記チャネル層に連なるように前記ドリフト層内に形成され、前記チャネル層から前記エピタキシャル層の前記裏面に向かって延びた第2導電型のピラー層をさらに含む場合、前記エピタキシャル層において前記チャネル層に形成されるチャネルの移動度が $50 \text{ cm}^2/\text{Vs}$ 以上であり、前記基板の厚さが $100 \mu\text{m}$ 以下であることが好ましい（請求項14）。

[0022] この構成によれば、エピタキシャル層内に第2導電型のピラー層と第1導電型のドリフト層によるスーパージャンクション構造が形成されているので、チャネルの移動度を $50 \text{ cm}^2/\text{Vs}$ 以上とし、基板の厚さを $100 \mu\text{m}$ 以下にすることで、上記関係式（7）を成立させることができる。

また、本発明の半導体装置では、前記エピタキシャル層において前記ゲートトレンチの前記底面に形成された第2導電型の耐電圧保持層をさらに含むことが好ましい（請求項15）。

[0023] この構成によれば、耐電圧保持層とドリフト層との接合（pn接合）によ

り生じる空乏層を、ゲートトレンチ付近に発生させることができる。そして、この空乏層の存在により、ゲート電極を基準とする高い電位の等電位面をゲート絶縁膜から遠ざけることができる。その結果、ゲート絶縁膜にかかる電界を小さくすることができ、絶縁破壊を防止できるので、耐電圧を一層向上させることができる。

[0024] また、本発明の半導体装置では、前記ゲート絶縁膜は、前記ゲートトレンチの前記底面に接する底部と、前記ゲートトレンチの前記側面に接する側部とを含み、前記ゲート絶縁膜の前記底部は、前記ゲート絶縁膜の前記側部よりも厚いことが好ましい（請求項 16）。

半導体装置のオフ時に大きな電界がかかり易いゲートトレンチの底面に接する部分を厚くすることにより、ゲート絶縁膜の底部への電界集中を防止することができる。

[0025] また、本発明の半導体装置では、前記基板のオフ角が、 $0^{\circ} \sim 4^{\circ}$ であることが好ましい（請求項 17）。

この構成によれば、ゲート絶縁膜とゲートトレンチの側面との間の界面準位を低くすることができるので、チャネル層に形成されるチャネルの移動度を高くすることができる。これにより、チャネル抵抗を低減でき、オン抵抗 R_{on} を低減することができる。また、前記基板のオフ角が $0^{\circ} \sim 2^{\circ}$ の範囲とすることにより、チャネル抵抗をさらに低減でき、オン抵抗 R_{on} をさらに低減することができる。

図面の簡単な説明

[0026] [図1] 図 1 (a) (b) は、本発明の第 1 実施形態に係る半導体装置の模式的な平面図であって、図 1 (a) は全体図、図 1 (b) は内部拡大図をそれぞれ示す。

[図2] 図 2 は、図 1 (a) (b) の半導体装置の断面図であって、図 1 (b) の切断線 II-II での切断面を示す。

[図3] 図 3 は、図 1 (a) (b) の半導体装置の断面図であって、図 1 (b) の切断線 I-I での切断面を示す。

[図4] 図4は、図2および図3の半導体装置におけるオン抵抗 R_{on} と耐電圧 V_b との関係を示すグラフ（シミュレーションデータ）である。

[図5] 図5は、本発明の第2実施形態に係る半導体装置の模式的な断面図であって、図2と同じ位置での切断面を示す。

[図6] 図6は、本発明の第2実施形態に係る半導体装置の模式的な断面図であって、図3と同じ位置での切断面を示す。

[図7] 図7は、図5および図6の半導体装置におけるオン抵抗 R_{on} と耐電圧 V_b との関係を示すグラフ（シミュレーションデータ）である。

[図8] 図8は、本発明の第3実施形態に係る半導体装置の模式的な断面図であって、図2と同じ位置での切断面を示す。

[図9] 図9は、本発明の第3実施形態に係る半導体装置の模式的な断面図であって、図3と同じ位置での切断面を示す。

発明を実施するための形態

[0027] 以下では、本発明の実施の形態を、添付図面を参照して詳細に説明する。

図1(a)(b)は、本発明の第1実施形態に係る半導体装置の模式的な平面図であって、図1(a)は全体図、図1(b)は内部拡大図をそれぞれ示す。図2は、図1(a)(b)の半導体装置の断面図であって、図1(b)の切断線II-IIでの切断面を示す。図3は、図1(a)(b)の半導体装置の断面図であって、図1(b)の切断線II-IIIでの切断面を示す。

[0028] 半導体装置1は、SiCが採用されたトレンチゲート型MISFET (Metal Insulator

Semiconductor Field Effect Transistor) を含む。半導体装置1の外形は、たとえば、図1(a)に示すように、平面視正方形のチップ状である。チップ状の半導体装置1のサイズは、図1(a)の紙面における上下左右方向の長さがそれぞれ数mm程度である。

半導体装置1の表面には、ソースパッド2が形成されている。ソースパッド2は、四隅が外方へ湾曲した平面視略正形状であり、半導体装置1の表面のほぼ全域を覆うように形成されている。このソースパッド2には、その

—辺の中央付近に除去領域 3 が形成されている。除去領域 3 は、ソースパッド 2 が形成されていない領域である。

[0029] 除去領域 3 には、ゲートパッド 4 が配置されている。ゲートパッド 4 とソースパッド 2 との間には間隔が設けられており、これらは互いに絶縁されている。

次に、半導体装置 1 の内部構造について説明する。

半導体装置 1 は、S i C からなる基板 5 と、基板 5 上に形成された S i C からなるエピタキシャル層 6 とを含む。基板 5 およびエピタキシャル層 6 の導電型は、いずれも第 1 導電型としての n 型である。具体的には、基板 5 は、n + 型（たとえば、濃度が $1 \times 10^{18} \sim 1 \times 10^{21} \text{ cm}^{-3}$ ）であり、エピタキシャル層 6 は、基板 5 よりも低濃度の n - 型（たとえば、濃度が $1 \times 10^{15} \sim 1 \times 10^{17} \text{ cm}^{-3}$ ）である。

[0030] 基板 5 の厚さは、たとえば、 $30 \mu\text{m} \sim 400 \mu\text{m}$ であるが、半導体装置 1 のチャネル移動度に合わせて、上記した範囲内で適宜変更することができる。一例として、チャネル移動度が $11 \text{ cm}^2/\text{Vs}$ 以上の場合には、基板 5 の厚さは $100 \mu\text{m}$ 以下（かつ、 $50 \mu\text{m}$ 以上）であることが好ましい。また、チャネル移動度が $50 \text{ cm}^2/\text{Vs}$ 以上の場合には、基板 5 の厚さは $250 \mu\text{m}$ 以下（かつ、 $200 \mu\text{m}$ 以上）であってもよい。

[0031] このような厚さの基板 5 は、当該厚さの S i C ウエハを手に入れることができるのであれば、図 2 に「薄化前」で示すように、S i C ウエハをそのまま用いればよい。一方、S i C ウエハよりも薄くする必要があるれば、たとえば、基板 5 を裏面 8（エピタキシャル層 6 が形成された表面 7 の反対側の面）側からグラインド、ドライエツチング、サンドブラスト等の方法により基板 5 を研削して、図 2 に「薄化後」で示すように薄くすればよい。

[0032] 従来は、ウエハの破損を防止するために、基板はその上に成長するエピタキシャル層よりも厚くされていた。これに対し、本願発明者は、トレンチゲート構造を有する S i C 半導体装置では、オン抵抗 R_{on} に対して基板の抵抗が占める割合が $15 \sim 25\%$ 程度あるので、半導体装置 1 の強度を損なわな

い範囲で基板 5 を薄化すれば、半導体装置 1 の強度を確保しながら、オン抵抗 R_{on} を効果的に低減できることを見出したものである。

[0033] また、エピタキシャル層 6 の厚さは、この実施形態では、たとえば、 $3\mu\text{m} \sim 100\mu\text{m}$ である。

また、基板 5 は、たとえば、 4° のオフ角を有している。具体的には、基板 5 の表面 7 (主面) が、 (0001) 面に対して $[11\bar{2}0]$ 軸方向に 4° のオフ角で傾斜した面となっている。オフ角は、これに限らず、 $0^\circ \sim 4^\circ$ の範囲で選択することができる。

[0034] 半導体装置 1 には、図 1 (a) に示すように、アクティブ領域 9 と、アクティブ領域 9 を取り囲む周辺領域 10 が形成されている。アクティブ領域 9 は、たとえば、平面視において半導体装置 1 の中央部に配置されている。

アクティブ領域 9 においてエピタキシャル層 6 には、ゲートトレンチ 11 が形成されている。ゲートトレンチ 11 は、この実施形態では、図 1 (b) に示すように格子状に形成されている。ただし、ゲートトレンチ 11 の形状は、格子状に限らず、ストライプ状、ハニカム状等であってもよい。

[0035] この実施形態では、格子状のゲートトレンチ 11 が形成されることにより、エピタキシャル層 6 にはゲートトレンチ 11 で取り囲まれた各窓部分に、4 つの角部 12 を有する直方体形状 (平面視正形状) の単位セル 13 が多数形成されている。単位セル 13 では、ゲートトレンチ 11 の深さ方向がゲート長方向であり、そのゲート長方向に直交する各単位セル 13 の周方向がゲート幅方向である。

[0036] また、ゲートトレンチ 11 は、側面 14 と底面 15 とが交わるコーナ部 16 が湾曲面となるように断面 U 字状に形成されている。この場合、ゲートトレンチ 11 の側面 14 は、 $0^\circ \sim 4^\circ$ のオフ角を有する基板 5 の表面 7 の垂直面に対して、たとえば、 $0^\circ \sim 4^\circ$ の角度で傾斜している。ゲートトレンチ 11 の側面 14 のチャンネル部分を実質的にオフ角 0° にすることにより、ゲート絶縁膜 17 (後述) とゲートトレンチ 11 の側面 14 との間の界面準位を低くすることができるので、チャンネル層 26 (後述) に形成されるチャ

ネルの移動度を高くすることができる。これにより、チャネル抵抗を低減でき、オン抵抗 R_{on} を低減することができる。

[0037] ゲートトレンチ 11 は、たとえば、エピタキシャル層 6 をドライエッチングしてゲートトレンチ 11 の外形を形成した後、その内面をウェットエッチングすることにより形成されている。これにより、ゲートトレンチ 11 の側面 14 の平坦性を改善することができる。その結果、ゲートトレンチ 11 の側面 14 に沿って電流が流れる際、電子同士の衝突を低減することができるので、チャネル移動度を高くすることができる。

[0038] ゲートトレンチ 11 の内面（側面 14、底面 15 およびコーナ部 16）には、その全域を覆うように、 SiO_2 等の絶縁物からなるゲート絶縁膜 17 が形成されている。

ゲート絶縁膜 17 は、ゲートトレンチ 11 の底面 15 に接する底部 18 と、ゲートトレンチ 11 の側面 14 に接する側部 19 とを含み、底部 18 が側部 19 よりも厚くなっている。たとえば、側部 19 の厚さが $400\text{Å} \sim 800\text{Å}$ であるのに対し、底部 18 の厚さは $1000\text{Å} \sim 3000\text{Å}$ である。半導体装置 1 のオフ時に大きな電界がかかり易いゲートトレンチ 11 の底面 15 に接する底部 18 を厚くすることにより、ゲート絶縁膜 17 の底部 18 への電界集中を防止することができる。

[0039] ゲート絶縁膜 17 の底部 18 と側部 19 と間に厚さの差を設けるには、たとえば、ゲートトレンチ 11 の形成後、まず、CVD 法等の方法により、ゲートトレンチ 11 の内部が満たされるまで絶縁材料を堆積して絶縁層を形成する。そして、エッチバック等の方法により、当該絶縁層の表面（エッチバック面）をエピタキシャル層 6 の裏面側に後退させる。これにより、絶縁層のゲートトレンチ 11 の側面 14 に接している部分を除去し、底面 15 上に残った絶縁層を底部 18 として残す。その後、熱酸化等の方法により、露出しているゲートトレンチ 11 の側面 14 上に側部 19 を形成すればよい。以上の工程を経て、底部 18 と側部 19 と間に厚さの差が設けられたゲート絶縁膜 17 を形成することができる。

[0040] また、ゲートトレンチ 11 には、ポリシリコン等の導電材料からなるゲート電極 20 が埋設されている。ゲート電極 20 は、ゲート絶縁膜 17 を介してエピタキシャル層 6 に対向している。

各単位セル 13 の中央部にはソーストレンチ 21 が形成されている。この実施形態では、ソーストレンチ 21 の形状は平面視四角形状であり、また、ソーストレンチ 21 の深さはゲートトレンチ 11 と同じである。ソーストレンチ 21 もゲートトレンチ 11 と同様に、側面 22 と底面 23 とが交わるコーナ部 24 が湾曲面となるように断面 U 字状に形成されている。

[0041] 各単位セル 13 には、エピタキシャル層 6 の表面側から裏面側へ向かって順にソース層 25、チャネル層 26 およびドリフト層 27 が形成され、これらの層 25～27 は互いに接している。これらの層 25～27 の導電型は、ソース層 25 およびドリフト層 27 が第 1 導電型としての n 型であり、チャネル層 26 は第 2 導電型としての p 型である。具体的には、ソース層 25 は、n+型（たとえば、濃度が $1 \times 10^{18} \sim 1 \times 10^{21} \text{ cm}^{-3}$ ）であり、チャネル層 26 は、p 型（たとえば、濃度が $1.0 \times 10^{16} \text{ cm}^{-3} \sim 1.0 \times 10^{19} \text{ cm}^{-3}$ ）であり、ドリフト層 27 は、ソース層 25 よりも低濃度の n-型（たとえば、濃度が $1 \times 10^{15} \sim 1 \times 10^{17} \text{ cm}^{-3}$ ）である。

[0042] ソース層 25 は、ゲートトレンチ 11 の側面 14 の一部およびソーストレンチ 21 の側面 22 の一部を形成している。チャネル層 26 も同様に、ゲートトレンチ 11 の側面 14 の一部およびソーストレンチ 21 の側面 22 の一部を形成している。そして、ドリフト層 27 は、ゲートトレンチ 11 のコーナ部 16 および底面 15、ならびにソーストレンチ 21 のコーナ部 24 および底面 23 を形成している。

[0043] これらの層 25～27 は、基板 5 上にエピタキシャル層 6 を成長させた後、イオン注入および活性化処理により形成してもよいし、基板 5 の表面 7 側から順にドリフト層 27、チャネル層 26 およびソース層 25 を直接エピタキシャル成長させることにより形成してもよい。これらの方法のうち、後者のエピタキシャル成長を用いる方法であれば、ゲート絶縁膜 17 とゲートト

レンチ 11 の側面 14 との間の界面準位を低くすることができるので好ましい。

[0044] また、エピタキシャル層 6 には、耐電圧保持層としてのゲート耐電圧保持層 28 およびソース耐電圧保持層 29 が形成されている。これらの層 28 , 29 の導電型は、いずれも第 2 導電型としての p 型である。具体的には、ゲート耐電圧保持層 28 およびソース耐電圧保持層 29 は、p 型（たとえば、濃度が $1.0 \times 10^{16} \text{ cm}^{-3} \sim 1.0 \times 10^{19} \text{ cm}^{-3}$ ）である。

[0045] ゲート耐電圧保持層 28 は、格子状のゲートレンチ 11 に沿って形成されており、ゲートレンチ 11 の交差部 30 に形成された第 1 部分 32 と、ゲートレンチ 11 の直線部 31 に形成された第 2 部分 33 とを一体的に含んでいる。

ゲート耐電圧保持層 28 の第 1 部分 32 は、交差部 30 におけるゲートレンチ 11 の底面 15 からゲートレンチ 11 のコーナ部 16 を経て、コーナ部 16 直上のチャネル層 26 に至るように形成されている。すなわち、第 1 部分 32 は、平面視では、ゲートレンチ 11 の交差部 30 よりもやや大きい正形状に形成されていて、その各角が、当該交差部 30 に臨む 4 つの単位セル 13 の各角部 12 にそれぞれ入り込んでいる。第 1 部分 32 においてゲートレンチ 11 の底面 15 から基板 5 へ向かう方向に沿う厚さ T_1 は、たとえば、 $0.8 \mu\text{m}$ 程度である。

[0046] ゲート耐電圧保持層 28 の第 2 部分 33 は、隣り合う第 1 部分 32 同士を繋ぐ一定幅の直線状に形成されていて、ゲートレンチ 11 のコーナ部 16 に重ならないように、底面 15 にのみ形成されている。また、第 2 部分 33 は、ゲートレンチ 11 の直線部 31 の幅（互いに向き合うゲートレンチ 11 の側面 14 間の距離（たとえば、 $1 \mu\text{m}$ ）よりも狭い幅（たとえば、 $1.8 \mu\text{m}$ ）を有している。また、第 2 部分 33 においてゲートレンチ 11 の底面 15 から基板 5 へ向かう方向に沿う厚さ T_2 は、第 1 部分 32 の厚さ T_1 よりも小さく（すなわち、 $T_1 > T_2$ ）、たとえば、 $0.7 \mu\text{m}$ 程度である。

[0047] ソース耐電圧保持層 29 は、ソースレンチ 21 の底面 23 からソースト

レンチ 2 1 のコーナ部 2 4 を経て、コーナ部 2 4 直上のチャネル層 2 6 に至るように形成されている。また、ソース耐電圧保持層 2 9 においてソース トレンチ 2 1 の底面 2 3 から基板 5 へ向かう方向に沿う厚さ T_3 は、ゲート耐電圧保持層 2 8 の第 1 部分 3 2 の厚さ T_1 と同じである (たとえば、 $0.8 \mu\text{m}$ 程度)。

- [0048] 各ソース トレンチ 2 1 の底面 2 3 には、ソース耐電圧保持層 2 9 の表層部にチャネルコンタクト層 3 4 が形成されている。チャネルコンタクト層 3 4 の導電型は、第 2 導電型としての p 型である。具体的には、チャネルコンタクト層 3 4 は、p+型 (たとえば、不純物濃度が $1.0 \times 10^{18} \text{ cm}^{-3} \sim 2.0 \times 10^{21} \text{ cm}^{-3}$) である。

周辺領域 1 0 において、エピタキシャル層 6 の表層部には、マトリクス状に配列された単位セル 1 3 (アクティブ領域 9) を取り囲むように、アクティブ領域 9 から間隔を開けて p 型のガードリング 3 5 が複数本 (この実施形態では、4 本) 形成されている。これらのガードリング 3 5 は、p 型のチャネル層 2 6 を形成する工程と同一のイオン注入工程で形成することができる。

- [0049] エピタキシャル層 6 上には、ゲート電極 2 0 を被覆するように、 SiO_2 等の絶縁物からなる層間絶縁膜 3 6 が積層されている。

層間絶縁膜 3 6 およびゲート絶縁膜 1 7 には、ソース トレンチ 2 1 よりも大径のコンタクトホール 3 7 が形成されている。これにより、コンタクトホール 3 7 内には、各単位セル 1 3 のソース トレンチ 2 1 の全体およびエピタキシャル層 6 におけるソース トレンチ 2 1 の周縁部が露出していて、エピタキシャル層 6 の表面とソース トレンチ 2 1 の底面 2 3 との高低差に応じた段差が形成されている。

- [0050] 層間絶縁膜 3 6 上には、ソース電極 3 8 が形成されている。ソース電極 3 8 は、各コンタクトホール 3 7 を介して、すべての単位セル 1 3 のソース トレンチ 2 1 に一括して入り込んでいて、各単位セル 1 3 において、ソース トレンチ 2 1 の底側から順にチャネルコンタクト層 3 4、ソース耐電圧保持層

29、チャネル層26およびソース層25に接触している。すなわち、ソース電極38は、すべての単位セル13に対して共通の配線となっている。

[0051] そして、このソース電極38上には層間絶縁膜（図示せず）が形成されており、その層間絶縁膜（図示せず）を介して、ソース電極38がソースパッド2（図1（a）参照）に電氣的に接続されている。一方、ゲートパッド4（図1（a）参照）は、当該層間絶縁膜（図示せず）上に引き回されたゲート配線（図示せず）を介して、ゲート電極20に電氣的に接続されている。

[0052] また、ソース電極38は、たとえば、エピタキシャル層6との接触側から順にTi/TiN層と、Al層とが積層された構造を有している。

基板5の裏面8には、その全域を覆うようにドレイン電極39が形成されている。このドレイン電極39は、すべての単位セル13に対して共通の電極となっている。ドレイン電極39としては、たとえば、基板5側から順にTi、Ni、AuおよびAgが積層された積層構造（Ti/Ni/Au/Ag）を適用することができる。

[0053] ドレイン電極39の形成は、たとえば、まず、基板5の裏面8にNiを600Å程度の厚さで堆積する。次に、基板5をレーザアニール処理することにより、Niをシリサイド化して基板5に対するコンタクト層を形成する。レーザアニール処理を採用することにより、通常のアニール処理とは異なり、ソース電極38が高温環境下に置かれることを防止できるので、ソース電極38の熔融を防止することができる。そして、コンタクト層の形成後は、Ti、Ni、AuおよびAgの順に総厚で1μmの電極を形成すればよい。

[0054] 次に、図2および図3の半導体装置1のオン抵抗 R_{on} と耐電圧 V_B との関係を調べるための試作品を作製したので説明する。

具体的には、基板5の厚さが100μmの半導体装置1を作製した。そして、半導体装置1の耐電圧 V_B がそれぞれ600Vおよび1200Vとなるようにエピタキシャル層6の不純物濃度を変化させ、そのときのオン抵抗 R_{on} を測定した。結果は、耐電圧 $V_B = 600V$ のときのオン抵抗 R_{on} が $0.79 \text{ m}\Omega \cdot \text{cm}^2$ であり、耐電圧 $V_B = 1200V$ のときのオン抵抗 R_{on} が 1.4

$1 \text{ m}\Omega \cdot \text{cm}^2$ であった。なお、耐電圧 V_B を測定するときのドレイン飽和電流 (I_{DSS}) は $100 \mu\text{A}$ とし、オン抵抗 R_{on} を測定するときの電流密度 J_D は 100 A/cm^2 とした。

[0055] また、図2 および図3 の半導体装置1のオン抵抗 R_{on} と耐電圧 V_b との関係を知るためのシミュレーションを行ったので説明する。

具体的には、チャネル移動度 (C_h 移動度) が $11 \text{ cm}^2/\text{Vs}$ 、 $30 \text{ cm}^2/\text{Vs}$ 、 $50 \text{ cm}^2/\text{Vs}$ および $100 \text{ cm}^2/\text{Vs}$ に設定された4パターンの半導体装置それぞれに関して、基板5の厚さを $100 \mu\text{m}$ に設定した条件 (S_{ub} 薄化) と、基板5の厚さを $250 \mu\text{m}$ に設定した条件それぞれについてシミュレーションを行い、合計8つのシミュレーション例1~8を行った。

[0056] 各シミュレーション例1~8では、所定の耐電圧 V_b となるようにエピタキシャル層6の不純物濃度を変化させ (測定 N_o が小さいほどエピタキシャル層6の不純物濃度が濃く、測定 N_o が大きいほどエピタキシャル層6の不純物濃度が薄い)、そのときのオン抵抗 R_{on} をシミュレーションした。そして、オン抵抗 R_{on} を変数 y とし、耐電圧 V_b を変数 x とする関数で表すことにより、耐電圧 V_b とオン抵抗 R_{on} との間にどのような関係が成り立つかを調べた。なお、耐電圧 V_b を測定するときのドレイン飽和電流 (I_{DSS}) は $100 \mu\text{A}$ とし、オン抵抗 R_{on} を測定するときの電流密度 J_D は 100 A/cm^2 とした。

[0057] 結果を下記表1および図4に示す。

[0058]

[表1]

表 1

シミュレーションNo.	測定No	Gh移動度 (cm ² /Vs)	基板厚さ (μ m)	耐電圧V _b (V)	オン抵抗 Ron (m Ω ・cm ²)
例 1	1	11	100	680	0.81
	2			828	1.01
	3			1100	1.34
	4			1457	1.91
	5			1883	3.07
	6			3766	11.48
例 2	1	30	100	680	0.60
	2			828	0.80
	3			1100	1.14
	4			1457	1.70
	5			1883	2.86
	6			3766	11.27
例 3	1	50	100	680	0.55
	2			828	0.75
	3			1100	1.09
	4			1457	1.65
	5			1883	2.81
	6			3766	11.23
例 4	1	100	100	680	0.52
	2			828	0.72
	3			1100	1.05
	4			1457	1.61
	5			1883	2.77
	6			3766	11.19
例 5	1	11	250	680	1.07
	2			828	1.26
	3			1100	1.60
	4			1457	2.16
	5			1883	3.32
	6			3766	11.74
例 6	1	30	250	680	0.86
	2			828	1.05
	3			1100	1.39
	4			1457	1.95
	5			1883	3.11
	6			3766	11.53
例 7	1	50	250	680	0.81
	2			828	1.01
	3			1100	1.34
	4			1457	1.90
	5			1883	3.06
	6			3766	11.48
例 8	1	100	250	680	0.77
	2			828	0.97
	3			1100	1.31
	4			1457	1.87
	5			1883	3.03
	6			3766	11.44

[0059] 図4において、各例1～8のプロットをつないだグラフは、上から順に例5、例6、例1＝例7、例8、例2、例3および例4それぞれのグラフである。

これらの例1～8のうち、例1のグラフは $y_1 = 9 \times 10^{-7} x_1^2 - 0.0004 x_1 + 0.7001 \dots (1')$ を満たし、例7のグラフは $y_2 = 9 \times 10^{-7} x_2^2 - 0.0004 x_2 + 0.6984 \dots (2')$ を満たし、例3のグラフは $y_3 = 9 \times 10^{-7} x_3^2 - 0.0004 x_3 + 0.4434 \dots (3')$ を満たすものである。

[0060] 以上の結果から、この第1実施形態の半導体装置1によれば、従来の半導体装置では発現できなかつた関係式(1)が成り立つことがわかった。

$$y \leq 9 \times 10^{-7} x^2 - 0.0004 x + 0.7001 = y_1 \dots (1)$$

そして、この関係式(1)が成立する場合には、従来では背反の関係にあったオン抵抗 R_{on} の低減および耐電圧 V_b の向上を両立できることがわかった。

[0061] これにより、従来品と同抵抗品（オン抵抗 R_{on} が同じ製品）を作製する場合には、基板5やエピタキシャル層6のアクティブ領域9の面積を小さくしながら十分な耐電圧 V_b を確保できるので、デバイスサイズを小型にすることができ、延いては、半導体装置1を備える半導体モジュールを小型にすることもできる。その結果、1つの基板5から得られるチップの数を増やすことができるので、製造歩留まりの向上でき、製造コストを低減することができる。

[0062] 他方、従来品と同じアクティブ面積の半導体装置を作製する場合には、従来品に比べてオン抵抗 R_{on} が低減されるので、電流容量を向上させることができる。

さらに、基板5の厚さが $100 \mu m$ 以下である場合（例1～例4）には、チャネル抵抗を低減するためにチャネル移動度を高めるにしても $11 \text{ cm}^2/\text{Vs}$ 以上であれば、上記関係式(1)を成立させることができる。そのため、エピタキシャル層6を比較的厚く形成したり、エピタキシャル層6の不純

物濃度を小さくしたりすることができる。そのため、同じオン抵抗 R_{on} でも高い耐電圧 V_b を実現することができる。

[0063] 一方、基板 5 の厚さを $250\mu m$ とする場合でも、チャネル移動度が $50\text{ cm}^2/\text{Vs}$ 以上であれば（例 7～例 8）、上記関係式（1）を成立させることができる。この場合には、基板 5 の抵抗を低減するために基板 5 を薄くするにしても $250\mu m$ 以下でよいので、実用上十分な強度を基板に付与することができる。その結果、半導体装置 1 の製造工程において、基板 5 のハンドリングやダイシングを効率よく行うことができる。

[0064] そして、この半導体装置 1 では、ソース電極 38 を接地した状態で、ソース電極 38 とドレイン電極 39 との間（ソースードレイン間）にドレイン電圧が印加される。この状態において、ゲート電極 20 にゲート閾値電圧以上の電圧が印加されると、各単位セル 13 の側壁を形成するチャネル層 26 に沿ってチャネルが形成される。これにより、ドレイン電極 39 からソース電極 38 へ電流が流れ、各単位セル 13 がオン状態となる。

[0065] 一方、各単位セル 13 がオフ状態（つまり、ゲート電圧が 0 V の状態）にされ、ソースードレイン間に電圧が印加されたままであると、ゲート電極 20 とエピタキシャル層 6 との間に介在するゲート絶縁膜 17 に電界がかかる。

この電界は、ゲート電極 20 とエピタキシャル層 6 との電位差に起因して生じるものである。そして、ゲートトレンチ 11 の底面 15 においては、ゲート電極 20 を基準（ 0 V ）として非常に高い電位の等電位面が分布し、しかも等電位面の間隔が小さいため、非常に大きな電界が生じる。たとえば、ドレイン電圧が 900 V であれば、ドレイン電極 39 に接する基板 5 の裏面 8 付近では 900 V の等電位面が分布しており、基板 5 の裏面 8 からエピタキシャル層 6 の表面側へ向かうにつれて電圧降下を生じるが、ゲートトレンチ 11 の底面 15 付近では、数十 V 程度の等電位面が分布する。そのため、ゲートトレンチ 11 の底面 15 では、ゲート電極 20 側へ向かう非常に大きな電界が生じる。とりわけ、この実施形態のように、ゲートトレンチ 11 が

格子状に形成されており、格子状のゲートトレンチ 11 の窓部に四角柱状の単位セル 13 が配列されている場合は、単位セル 13 の各角部 12 に形成されたゲートトレンチ 11 のコーナ部 16 付近において、ゲート絶縁膜 17 の絶縁破壊が特に発生しやすい。

[0066] 具体的には、ゲートトレンチ 11 の交差部 30 の対角線上で互いに隣り合うソーストレンチ 21 の距離 D_1 (図 2 参照) は、ゲートトレンチ 11 の直線部 31 を挟んで互いに隣り合うソーストレンチ 21 の距離 D_2 (図 3 参照) に比べて大きくなる (たとえば、この実施形態では、 D_1 は D_2 の 1.4 倍)。そのため、相対的に広いスペースがあるゲートトレンチ 11 の交差部 30 のコーナ部 16 の直下に等電位面が入り込み、等電位面の密集を生じる。その結果、ゲートトレンチ 11 の当該コーナ部 16 付近において、ゲート絶縁膜 17 の絶縁破壊が特に発生しやすい。

[0067] そこで、この実施形態の半導体装置 1 では、ゲートトレンチ 11 の交差部 30 のコーナ部 16 にゲート耐電圧保持層 28 (第 1 部分 32) が形成されている。これにより、第 1 部分 32 とドリフト層 27 との接合 (p-n 接合) により生じる空乏層を、ゲートトレンチ 11 の交差部 30 付近に発生させることができる。さらにこの半導体装置 1 では、各単位セル 13 に形成されたソーストレンチ 21 のコーナ部 24 に、ソース耐電圧保持層 29 が形成されている。そのため、このソース耐電圧保持層 29 とドリフト層 27 との接合 (p-n 接合) により生じる空乏層を、ソーストレンチ 21 を取り囲むゲートトレンチ 11 の交差部 30 のコーナ部 16 へ向かって広げることができる。

[0068] これらの空乏層の存在により、ゲートトレンチ 11 の交差部 30 のコーナ部 16 とソーストレンチ 21 のコーナ部 24 との間に等電位面が入り込むことを防止でき、ゲート絶縁膜 17 から遠ざけることができる。その結果、ゲートトレンチ 11 の交差部 30 のコーナ部 16 付近における等電位面の密集を防止することができる。その結果、ゲート絶縁膜 17 にかかる電界を小さくすることができるので、絶縁破壊を防止することができる。

[0069] また、半導体装置 1 では、第 1 部分 32 がコーナ部 16 を経て、コーナ部

１６直上のチャネル層２６に至るように形成されているが、単位セル１３の角部１２には、チャネルが形成されないか、形成されても当該チャネルを流れる電流は微量である。したがって、チャネル層２６におけるコーナ部１６直上の部分に至るようにゲート耐電圧保持層２８（第１部分３２）を形成することにより、デバイスの性能にほとんど影響を与えずに、ゲート絶縁膜１７の破壊防止効果を一層向上させることができる。

[0070] 一方、ゲートトレンチ１１の直線部３１には、直線部３１の幅よりも狭い幅のゲート耐電圧保持層２８（第２部分３３）が形成されている。これにより、第２部分３３とドリフト層２７との接合（ $p-n$ 接合）により生じる空乏層を、ゲートトレンチ１１の直線部３１に沿って発生させることができる。そのため、ゲートトレンチ１１の直線部３１の直下に生じる電界を、当該空乏層により緩和することができる。その結果、ゲート絶縁膜１７に生じる電界を、全体にわたって満遍なく緩和することができる。

[0071] しかも、ゲート耐電圧保持層２８（第２部分３３）がゲートトレンチ１１の直線部３１の側面１４（つまり、単位セル１３においてチャネルが形成される部分）に形成されていない。よって、チャネル特性の制御を精度よく行うこともできる。

図５は、本発明の第２実施形態に係る半導体装置の模式的な断面図であって、図２と同じ位置での切断面を示す。図６は、本発明の第２実施形態に係る半導体装置の模式的な断面図であって、図３と同じ位置での切断面を示す。図５および図６において、図２および図３に示す各部に相当する部分には、それらの各部に付した参照符号と同一の参照符号を付し、それらの部分については説明を省略する。

[0072] この第２実施形態に係る半導体装置５１では、ソーストレンチ２１が形成されていない。ソーストレンチ２１の底面２３に形成されていたチャネルコンタクト層３４は、この実施形態では、エピタキシャル層６の表面に形成されている。

また、半導体装置５１では、ドリフト層２７内に p 型ビラー層５２が形成

されている。

p 型ビラー層 5 2 は、各単位セル 1 3 のチャネル層 2 6 の内方の領域に形成されている。より具体的には、この実施形態では、p 型ビラー層 5 2 は、チャネル層 2 6 のほぼ中央の領域において、たとえばチャネル層 2 6 と相似形（図 1（b）のレイアウトでは平面視四角形）に形成されている。p 型ビラー層 5 2 は、チャネル層 2 6 に連なるように形成されており、ドリフト層 2 7 において、チャネル層 2 6 よりも深い位置まで基板 5 に向かって延びている。すなわち、p 型ビラー層 5 2 は、ほぼ柱状（図 1（b）のレイアウトではほぼ四角柱状）に形成されている。

[0073] これにより、エピタキシャル層 6 には、適当なピッチで配列された p 型ビラー層 5 2 と、互いに隣り合う p 型ビラー層 5 2 の間に挟まれた n-型のドリフト層 2 7 とがエピタキシャル層 6 の表面に沿う方向に交互に配列されてスーパー Junction（S J :Super Junction）構造が形成されている。

次に、図 5 および図 6 の半導体装置 5 1 のオン抵抗 R_{on} と耐電圧 V_b との関係を調べるためのシミュレーションを行ったので説明する。

[0074] 具体的には、チャネル移動度（Ch 移動度）が $11\text{ cm}^2/\text{Vs}$ 、 $30\text{ cm}^2/\text{Vs}$ 、 $50\text{ cm}^2/\text{Vs}$ および $100\text{ cm}^2/\text{Vs}$ に設定された 4 パターンの半導体装置それぞれに関して、基板 5 の厚さを $100\text{ }\mu\text{m}$ に設定した条件（Sub 薄化）と、基板 5 の厚さを $250\text{ }\mu\text{m}$ に設定した条件それぞれについてシミュレーションを行い、合計 8 つのシミュレーション例 9 ~ 16 を行った。

[0075] 各シミュレーション例 9 ~ 16 では、所定の耐電圧 V_b となるようにエピタキシャル層 6 の不純物濃度を変化させ（測定 N_o が小さいほどエピタキシャル層 6 の不純物濃度が濃く、測定 N_o が大きいほどエピタキシャル層 6 の不純物濃度が薄い）、そのときのオン抵抗 R_{on} をシミュレーションした。そして、オン抵抗 R_{on} を変数 y とし、耐電圧 V_b を変数 x とする関数で表すことにより、耐電圧 V_b とオン抵抗 R_{on} との間にどのような関係が成り立つかを調べた。なお、耐電圧 V_b を測定するときのドレイン飽和電流（ I_{DSS} ）は 100

μA とし、オン抵抗 R_{on} を測定するときの電流密度 J_D は 100 A/cm^2 とした。

[0076] 結果を下記表 2 および図 7 に示す。

[0077]

[表2]

表2

サンプルNo.	測定No	Ch移動度 (cm ² /Vs)	基板厚さ (μ m)	耐電圧 Vb (V)	オン抵抗 Ron (m Ω -cm ²)
例 9	1	11	100	1361	0.81
	2			1657	1.01
	3			2199	1.34
	4			2915	1.91
	5			3767	3.07
	6			7533	11.48
例 10	1	30	100	1361	0.60
	2			1657	0.80
	3			2199	1.14
	4			2915	1.70
	5			3767	2.86
	6			7533	11.27
例 11	1	50	100	1361	0.55
	2			1657	0.75
	3			2199	1.09
	4			2915	1.65
	5			3767	2.81
	6			7533	11.23
例 12	1	100	100	1361	0.52
	2			1657	0.72
	3			2199	1.05
	4			2915	1.61
	5			3767	2.77
	6			7533	11.19
例 13	1	11	250	1361	1.07
	2			1657	1.26
	3			2199	1.60
	4			2915	2.16
	5			3767	3.32
	6			7533	11.74
例 14	1	30	250	1361	0.86
	2			1657	1.05
	3			2199	1.39
	4			2915	1.95
	5			3767	3.11
	6			7533	11.53
例 15	1	50	250	1361	0.81
	2			1657	1.01
	3			2199	1.34
	4			2915	1.90
	5			3767	3.06
	6			7533	11.48
例 16	1	100	250	1361	0.77
	2			1657	0.97
	3			2199	1.31
	4			2915	1.87
	5			3767	3.03
	6			7533	11.44

[0078] 図 7 において、各例 9 ~ 16 のプロットをつないだグラフは、上から順に例 13、例 14、例 9 = 例 15、例 16、例 10、例 11 および例 12 それぞれのグラフである。

これらの例 1 ~ 8 のうち、例 13 のグラフは $y_4 = 2 \times 10^{-7} x_4^2 - 0.0002 x_4 + 0.9551 \dots (4')$ を満たし、例 9 のグラフは $y_5 = 2 \times 10^{-7} x_5^2 - 0.0002 x_5 + 0.7001 \dots (5')$ を満たし、例 15 のグラフは $y_6 = 2 \times 10^{-7} x_6^2 - 0.0002 x_6 + 0.6984 \dots (6')$ を満たし、例 11 のグラフは $y_7 = 2 \times 10^{-7} x_7^2 - 0.0002 x_7 + 0.4434 \dots (7')$ を満たすものである。

[0079] 以上の結果から、この第 2 実施形態の半導体装置 51 によれば、従来の半導体装置では発現できなかった関係式 (4) が成り立つことがわかった。

$$y \leq 2 \times 10^{-7} x^2 - 0.0002 x + 0.9551 = y_4 \dots (4)$$

そして、この関係式 (4) が成立する場合には、従来では背反の関係にあったオン抵抗 R_{on} の低減および耐電圧 V_b の向上を両立できることがわかった。

[0080] これにより、従来品と同抵抗品（オン抵抗 R_{on} が同じ製品）を作製する場合には、基板 5 やエピタキシャル層 6 のアクティブ領域 9 の面積を小さくしながら十分な耐電圧 V_b を確保できるので、デバイスサイズを小型にすることができ、延いては、半導体装置 1 を備える半導体モジュールを小型にすることもできる。その結果、1つの基板 5 から得られるチップの数を増やすことができるので、製造歩留まりの向上でき、製造コストを低減することができる。

[0081] 他方、従来品と同じアクティブ面積の半導体装置を作製する場合には、従来品に比べてオン抵抗 R_{on} が低減されるので、電流容量を向上させることができる。

さらに、半導体装置 51 によれば、エピタキシャル層 6 内に p 型ビラー層 52 と n - 型ドリフト層 27 によるスーパージャンクション構造が形成されているので（例 9 ~ 例 16）、チャネル移動度を $11 \text{ cm}^2/\text{Vs}$ 以上とし、基

板の厚さを $250\mu\text{m}$ 以下にすることで、上記関係式(4)を成立させることができる。

[0082] すなわち、チャネル移動度を高めるにしても $11\text{cm}^2/\text{Vs}$ 以上でよく、基板5を薄くするにしても $250\mu\text{m}$ 以下でよいので、エピタキシャル層6を比較的厚く保ち、不純物濃度を小さくできながら、基板5に対しては、実用上十分な強度を付与することができる。

以上、本発明の実施形態を説明したが、本発明は、他の形態で実施することもできる。

[0083] たとえば、本発明は、第1実施形態の半導体装置1と第2実施形態の半導体装置51の構成を組み合わせることにより、図8および図9に示すように、ソーストレンチ21およびp型ビラー層52(スーパージャンクション構造)を備える半導体装置81により実施することもできる。この半導体装置81においてp型ビラー層52は、第1実施形態のソース耐電圧保持層29がチャネル層26よりも深い位置まで基板5に向かって延びることにより構成されている。

[0084] また、半導体装置1, 51, 81の各半導体部分の導電型を反転した構成が採用されてもよい。たとえば、半導体装置1, 51, 81において、p型の部分がn型であり、n型の部分がp型であってもよい。

また、各単位セル13は、直方体形状(四角柱状)に限らず、たとえば、三角柱状、五角柱状、六角柱状等の他の多角柱状であってもよい。

[0085] 本発明の半導体パワーデバイスは、たとえば、電気自動車(ハイブリッド車を含む)、電車、産業用ロボットなどの動力源として利用される電動モータを駆動するための駆動回路を構成するインバータ回路に用いられるパワーモジュールに組み込むことができる。また、太陽電池、風力発電機その他の発電装置(とくに自家発電装置)が発生する電力を商用電源の電力と整合するように変換するインバータ回路に用いられるパワーモジュールにも組み込むことができる。

[0086] また、前述の実施形態は、本発明におけるオン抵抗 $R_{on}(y)$ と耐電圧 V_b

(x) との関係を表す関係式 (1) および (4) が成立する形態の一例に過ぎず、本発明は、特許請求の範囲に記載された事項の範囲で種々の設計変更を施すことが可能である。

符号の説明

[0087]	1	半導体装置
	2	ソースパッド
	3	除去領域
	4	ゲートパッド
	5	基板
	6	エピタキシャル層
	7	(基板の) 表面
	8	(基板の) 裏面
	9	アクティブ領域
	10	周辺領域
	11	ゲートトレンチ
	12	(単位セルの) 角部
	13	単位セル
	14	(ゲートトレンチの) 側面
	15	(ゲートトレンチの) 底面
	16	(ゲートトレンチの) コーナ部
	17	ゲート絶縁膜
	18	(ゲート絶縁膜の) 底部
	19	(ゲート絶縁膜の) 側部
	20	ゲート電極
	21	ソーストレンチ
	22	(ソーストレンチの) 側面
	23	(ソーストレンチの) 底面
	24	(ソーストレンチの) コーナ部

- 25 ソース層
- 26 チャネル層
- 27 ドリフト層
- 28 ゲート耐電圧保持層
- 29 ソース耐電圧保持層
- 30 (ゲートトレンチの) 交差部
- 31 (ゲートトレンチの) 直線部
- 32 (ゲート耐電圧保持層の) 第1部分
- 33 (ゲート耐電圧保持層の) 第2部分
- 34 チャネルコンタクト層
- 35 ガードリング
- 36 層間絶縁膜
- 37 コンタクトホール
- 38 ソース電極
- 39 ドレイン電極
- 51 半導体装置
- 52 p型ビラー層
- 81 半導体装置

請求の範囲

[請求項1]

第1導電型のSiCからなる基板と、
 前記基板上に形成され、ゲートトレンチが形成された第1導電型のSiCからなるエピタキシャル層と、
 前記ゲートトレンチの側面および底面に形成されたゲート絶縁膜と、
 、
 前記ゲートトレンチに埋め込まれ、前記ゲート絶縁膜を介して前記エピタキシャル層に対向しているゲート電極と、
 前記エピタキシャル層の表面側に露出するように形成され、前記ゲートトレンチの前記側面の一部を形成する第1導電型のソース層と、
 前記ソース層に対して前記エピタキシャル層の裏面側に前記ソース層に接するように形成され、前記ゲートトレンチの前記側面の一部を形成する第2導電型のチャネル層と、
 前記チャネル層に対して前記エピタキシャル層の前記裏面側に前記チャネル層に接するように形成され、前記ゲートトレンチの前記底面を形成する第1導電型のドリフト層とを含み、
 オン抵抗 R_{on} を変数 y とし、耐電圧 V_b を変数 x とする関数で表したときに、下記関係式(1)が成り立つ、半導体装置。

$$y \leq 9 \times 10^{-7} x^2 - 0.0004x + 0.7001 \dots (1)$$

[請求項2]

前記エピタキシャル層において前記チャネル層に形成されるチャネルの移動度が $11 \text{ cm}^2/\text{Vs}$ 以上であり、前記基板の厚さが $100 \mu\text{m}$ 以下である、請求項1に記載の半導体装置。

[請求項3]

前記オン抵抗 R_{on} および前記耐電圧 V_b について、下記関係式(2)が成り立つ、請求項1に記載の半導体装置。

$$y \leq 9 \times 10^{-7} x^2 - 0.0004x + 0.6984 \dots (2)$$

[請求項4]

前記エピタキシャル層において前記チャネル層に形成されるチャネルの移動度が $50 \text{ cm}^2/\text{Vs}$ 以上であり、前記基板の厚さが $250 \mu\text{m}$ 以下である、請求項3に記載の半導体装置。

[請求項5] 前記オン抵抗 R_{on} および前記耐電圧 V_b について、下記関係式 (3)

$$y \leq 9 \times 10^{-7} x^2 - 0.0004x + 0.4434 \dots (3)$$

[請求項6] 前記エピタキシャル層において前記チャネル層に形成されるチャネルの移動度が $50 \text{ cm}^2/\text{Vs}$ 以上であり、前記基板の厚さが $100 \mu\text{m}$ 以下である、請求項5に記載の半導体装置。

[請求項7] 第1導電型のSiCからなる基板と、
前記基板上に形成され、ゲートトレンチが形成された第1導電型のSiCからなるエピタキシャル層と、
前記ゲートトレンチの側面および底面に形成されたゲート絶縁膜と、
前記ゲートトレンチに埋め込まれ、前記ゲート絶縁膜を介して前記エピタキシャル層に対向しているゲート電極と、
前記エピタキシャル層の表面側に露出するように形成され、前記ゲートトレンチの前記側面の一部を形成する第1導電型のソース層と、
前記ソース層に対して前記エピタキシャル層の裏面側に前記ソース層に接するように形成され、前記ゲートトレンチの前記側面の一部を形成する第2導電型のチャネル層と、
前記チャネル層に対して前記エピタキシャル層の前記裏面側に前記チャネル層に接するように形成され、前記ゲートトレンチの前記底面を形成する第1導電型のドリフト層とを含み、
オン抵抗 R_{on} を変数 y とし、耐電圧 V_b を変数 x とする関数で表したときに、下記関係式 (4) が成り立つ、半導体装置。

$$y \leq 2 \times 10^{-7} x^2 - 0.0002x + 0.9551 \dots (4)$$

[請求項8] 前記チャネル層に連なるように前記ドリフト層内に形成され、前記チャネル層から前記エピタキシャル層の前記裏面に向かって延びた第2導電型のビラー層をさらに含み、

前記エピタキシャル層において前記チャネル層に形成されるチャネ

ルの移動度が $11 \text{ cm}^2/\text{Vs}$ 以上であり、前記基板の厚さが $250 \mu\text{m}$ 以下である、請求項 7 に記載の半導体装置。

[請求項 9] 前記オン抵抗 R_{on} および前記耐電圧 V_b について、下記関係式 (5) が成り立つ、請求項 7 に記載の半導体装置。

$$y \leq 2 \times 10^{-7} x^2 - 0.0002x + 0.7001 \dots (5)$$

[請求項 10] 前記チャネル層に連なるように前記ドリフト層内に形成され、前記チャネル層から前記エピタキシャル層の前記裏面に向かって延びた第 2 導電型のビラー層をさらに含み、

前記エピタキシャル層において前記チャネル層に形成されるチャネルの移動度が $11 \text{ cm}^2/\text{Vs}$ 以上であり、前記基板の厚さが $100 \mu\text{m}$ 以下である、請求項 9 に記載の半導体装置。

[請求項 11] 前記オン抵抗 R_{on} および前記耐電圧 V_b について、下記関係式 (6) が成り立つ、請求項 7 に記載の半導体装置。

$$y \leq 2 \times 10^{-7} x^2 - 0.0002x + 0.6984 \dots (6)$$

[請求項 12] 前記チャネル層に連なるように前記ドリフト層内に形成され、前記チャネル層から前記エピタキシャル層の前記裏面に向かって延びた第 2 導電型のビラー層をさらに含み、

前記エピタキシャル層において前記チャネル層に形成されるチャネルの移動度が $50 \text{ cm}^2/\text{Vs}$ 以上であり、前記基板の厚さが $250 \mu\text{m}$ 以下である、請求項 9 に記載の半導体装置。

[請求項 13] 前記オン抵抗 R_{on} および前記耐電圧 V_b について、下記関係式 (7) が成り立つ、請求項 7 に記載の半導体装置。

$$y \leq 2 \times 10^{-7} x^2 - 0.0002x + 0.4434 \dots (7)$$

[請求項 14] 前記チャネル層に連なるように前記ドリフト層内に形成され、前記チャネル層から前記エピタキシャル層の前記裏面に向かって延びた第 2 導電型のビラー層をさらに含み、

前記エピタキシャル層において前記チャネル層に形成されるチャネルの移動度が $50 \text{ cm}^2/\text{Vs}$ 以上であり、前記基板の厚さが $100 \mu\text{m}$ 以下である、請求項 9 に記載の半導体装置。

μm 以下である、請求項 13 に記載の半導体装置。

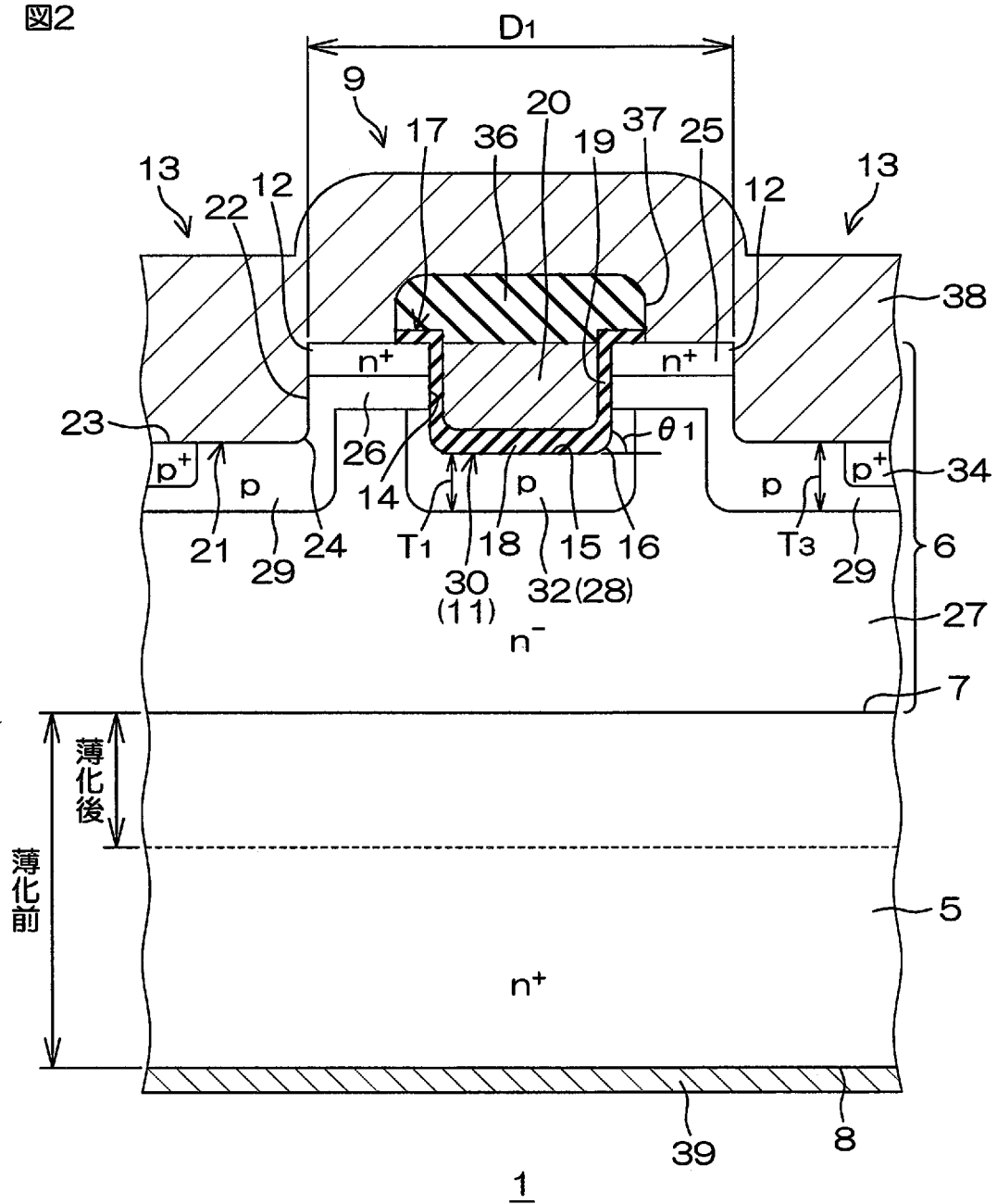
[請求項 15] 前記エピタキシャル層において前記ゲートトレンチの前記底面に形成された第 2 導電型の耐電圧保持層をさらに含む、請求項 1 ~ 14 のいずれか一項に記載の半導体装置。

[請求項 16] 前記ゲート絶縁膜は、前記ゲートトレンチの前記底面に接する底部と、前記ゲートトレンチの前記側面に接する側部とを含み、

前記ゲート絶縁膜の前記底部は、前記ゲート絶縁膜の前記側部よりも厚い、請求項 1 ~ 15 のいずれか一項に記載の半導体装置。

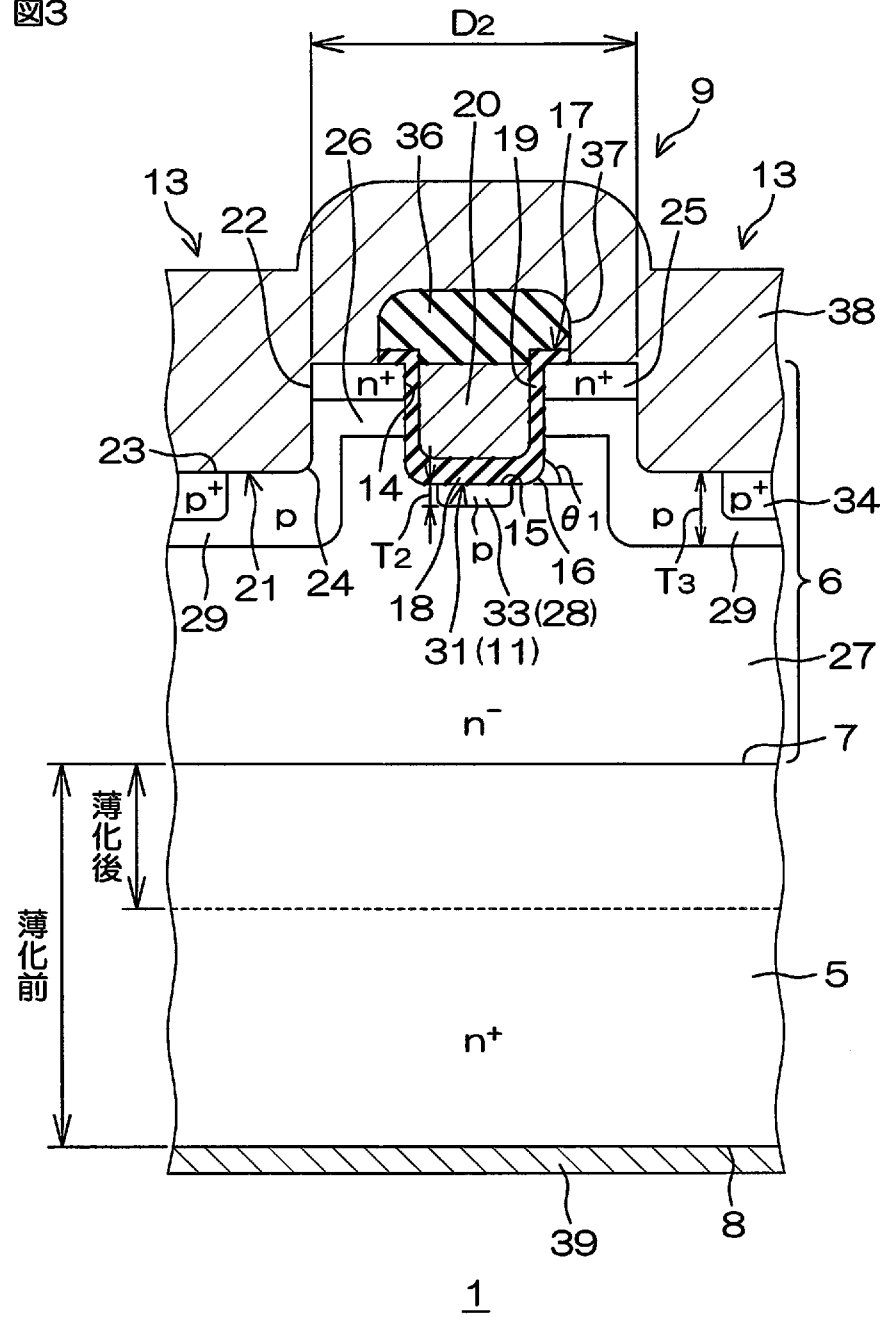
[請求項 17] 前記基板のオフ角が、 $0^{\circ} \sim 4^{\circ}$ である、請求項 1 ~ 16 のいずれか一項に記載の半導体装置。

图2



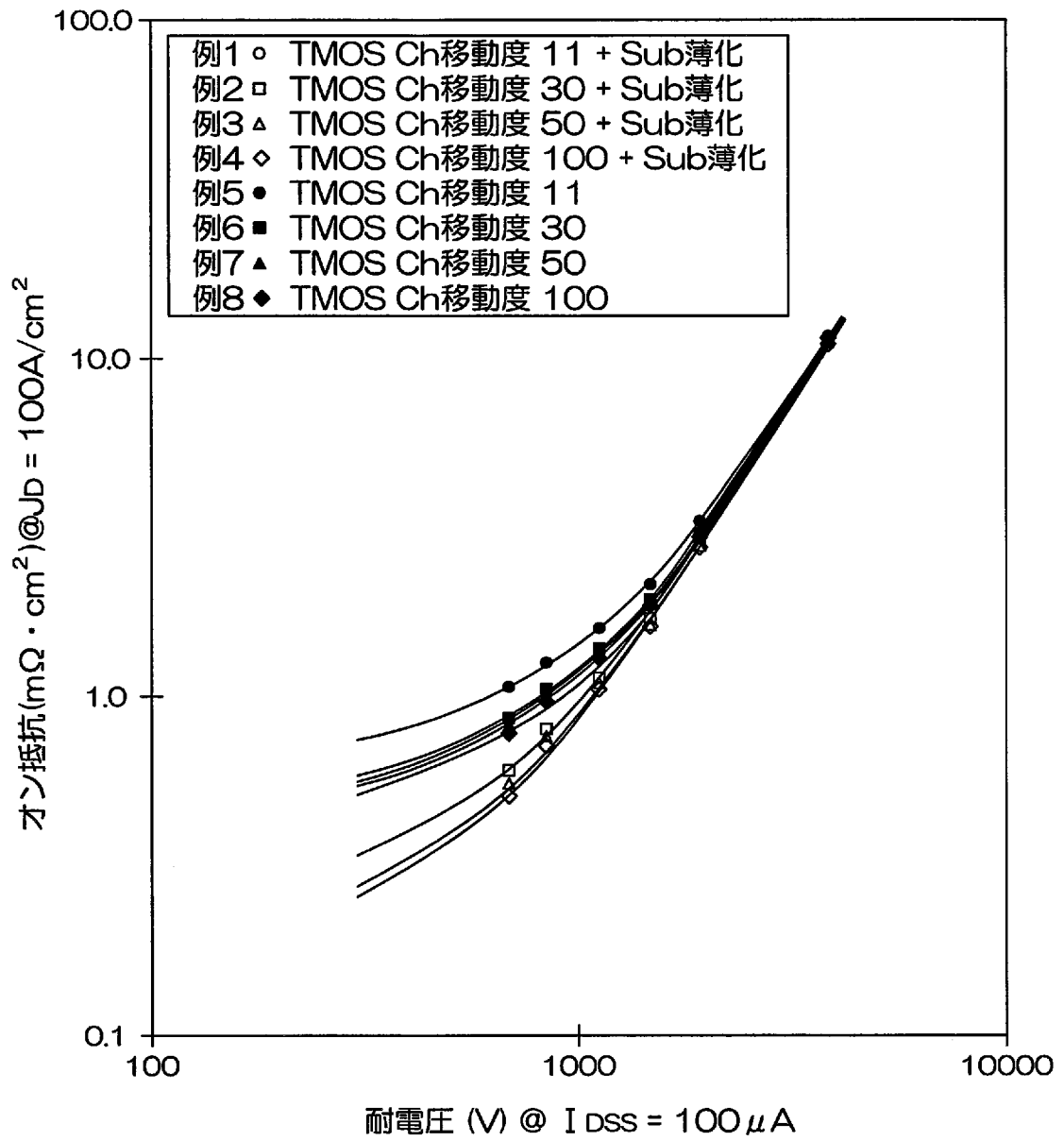
[図3]

図3



[図4]

図4



[図5]

図5

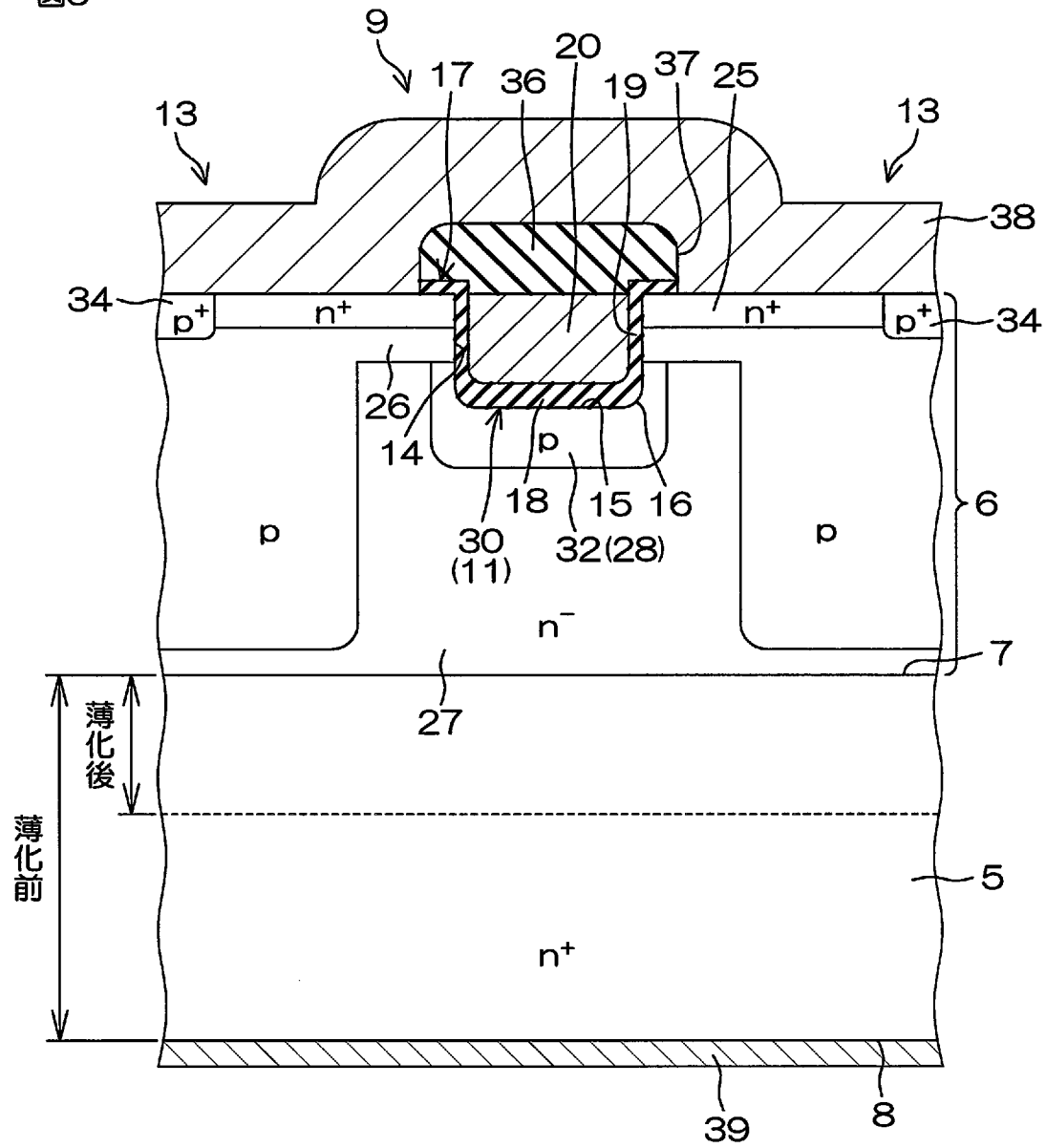
51

图6



[図7]

図7

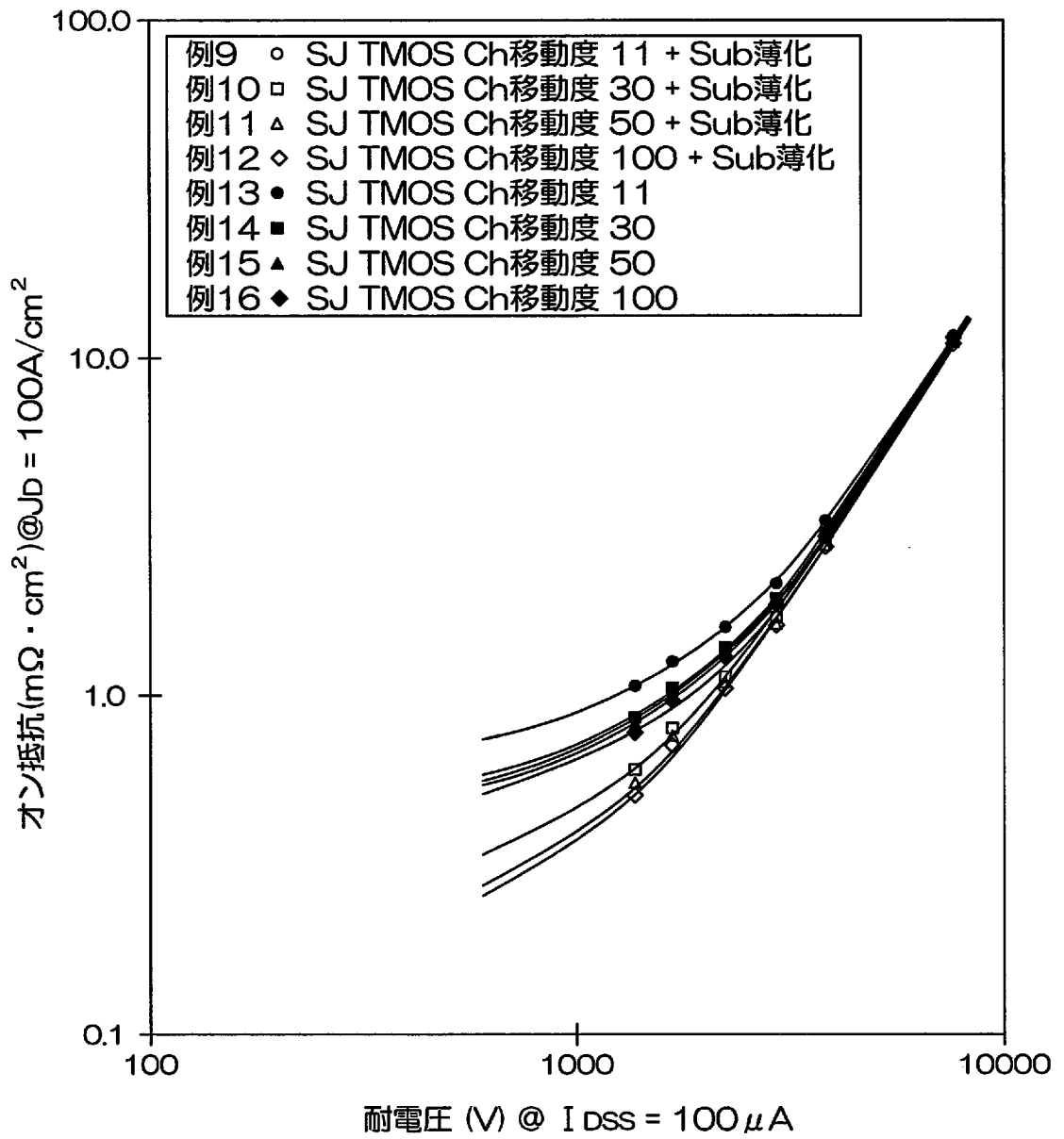
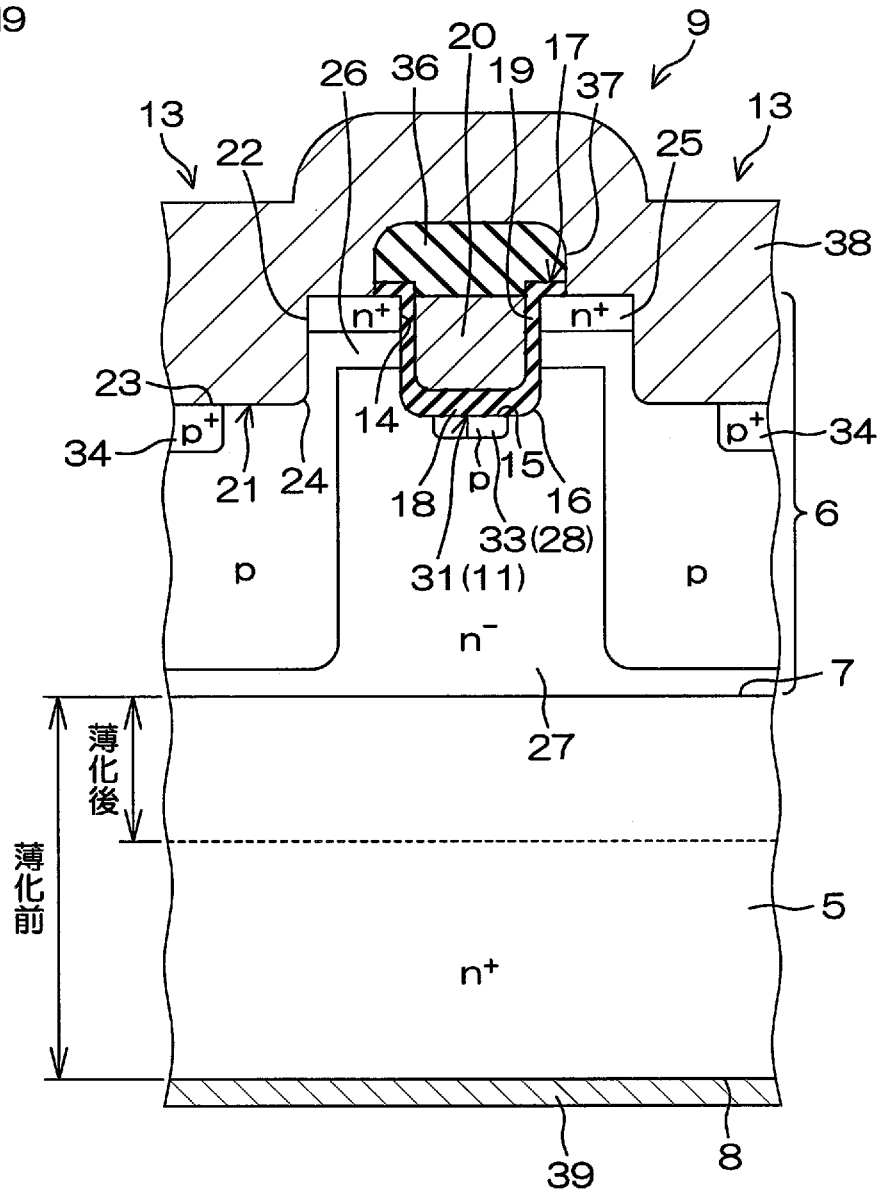


图8



[図9]

図9

81

INTERNATIONAL SEARCH REPORT

International application No.

PCT / JP2 0 1 2 / 0 8 1 0 2 8

A. CLASSIFICATION OF SUBJECT MATTER

H01 L29/ 78 (2006.01) i , H01L29/1 2 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/78, H01L21/336, H01L29/06, H01L29/12

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo	Shinan	Koho	1922-1 996	Jitsuyo	Shinan	Toroku	Koho	1996-2013
Kokai	Jitsuyo	Shinan	1971-2013	Toroku	Jitsuyo	Shinan	Koho	1994-2013

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2003-318396 A (NEC Electronics Corp.), 07 November 2003 (07.11.2003), paragraphs [0002] to [0007]; fig. 10 & US 2004/0021174 A1	1-17
Y	JP 9-246546 A (NEC Corp.), 19 September 1997 (19.09.1997), paragraphs [0006] to [0008] (Family: none)	1-17
Y	JP 2007-242797 A (Sumitomo Electric Industries, Ltd.), 20 September 2007 (20.09.2007), paragraphs [0006] to [0007] (Family: none)	1-17



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

19 February, 2013 (19.02.13)

Date of mailing of the international search report

05 March, 2013 (05.03.13)

Name and mailing address of the ISA/

Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT / JP2 012 / 081028

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 9-266311 A (Fuji Electric Co., Ltd.), 07 October 1997 (07.10.1997), paragraphs [0002] to [0024], [0056] to [0059]; fig. 1, 7 to 13 & US 6097063 A & GB 2309336 A & DE 19702102 A	1-17
Y	JP 2001-111041 A (Fuji Electric Co., Ltd.), 20 April 2001 (20.04.2001), paragraphs [0002] to [0003], [0028] to [0031], [0036] to [0042] & US 6291856 B1 & DE 19954351 A	7-17
Y	JP 10-98188 A (The Kansai Electric Power Co., Inc.), 14 April 1998 (14.04.1998), paragraphs [0009] to [0014], [0017] to [0022]; fig. 1, 3 & EP 893830 A1 & WO 1998/026458 A1	15-17
Y	JP 2011-100967 A (Rohm Co., Ltd.), 19 May 2011 (19.05.2011), paragraph [0040] & US 2011/0017998 A1 & CN 101964362 A	17

A . 発明の属する分野の分類 (国際特許分類 (I P C))
Int.Cl. H01L29/78 (2006. 01) i , H01L29/12 (2006. 01) i

B . 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))
Int.Cl. H01L29/78, H01L21/336, H01L29/06, H01L29/12

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 — 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 — 2 0 1 3 年
日本国実用新案登録公報	1 9 9 6 — 2 0 1 3 年
日本国登録実用新案公報	1 9 9 4 — 2 0 1 3 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C . 関連すると認められる文献

引用文献の カテゴリー水	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2003-318396 A (N E C エレクトロニクス株式会社) 2003. 11. 07 , 段落 【0002】 — 【0007】 , 図 10 & US 2004/0021174 A1	1 -- 17
Y	JP 9-246546 A (日本電気株式会社) 1997. 09. 19 , 段落 【0006】 — 【0008】 (ファミリーなし)	1 -- 17
Y	JP 2007-242797 A (住友電気工業株式会社) 2007. 09. 20 , 段落 【0006】 — 【0007】 (ファミリーなし)	1 -- 17

☒ c 欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

ⅠA」特に関連のある文献ではなく、一般的技術水準を示すもの
ⅠE」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
Ⅰ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
ⅠΘ」口頭による開示、使用、展示等に言及する文献
ⅠP」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

Ⅰ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
Ⅰx」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
ⅠY」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
Ⅰ&」同一パテントファミリー文献

国際調査を完了した日

1 9 . 0 2 . 2 0 1 3

国際調査報告の発送日

0 5 . 0 3 . 2 0 1 3

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)

郵便番号 1 0 0 — 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

安田 雅彦

電話番号 0 3 — 3 5 8 1 — 1 1 0 1 内線 3 5 1 6

5 F

9 4 4 7

C (続 き) . 関連すると認められる文献		
引用文献の カテゴリー *	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 9-266311 A (富士電機株式会社) 1997. 10. 07, 段落 【0002】 - 【0024】 , 【0056】 - 【0059】 , 図 1 , 7 - 13 & US 6097063 A & GB 2309336 A & DE 19702102 A	1 - 17
Y	JP 2001-111041 A (富士電機株式会社) 2001. 04. 20, 段落 【0002】 - 【0003】 , 【0028】 - 【0031】 , 【0036】 - 【0042】 & US 6291856 B1 & DE 19954351 A	7 - 17
Y	JP 10-98188 A (関西電力株式会社) 1998. 04. 14 , 段落 【0009】 - 【0014】 , 【0017】 - 【0022】 , 図 1 , 3 & EP 893830 A1 & WO 1998/026458 A1	15- 17
Y	JP 2011-100967 A (ローム株式会社) 2011. 05. 19, 段落 【0040】 & US 2011/0017998 A1 & CN 101964362 A	17