



[12] 发 明 专 利 说 明 书

[21] ZL 专利号 00809436.5

[45] 授权公告日 2005 年 5 月 25 日

[11] 授权公告号 CN 1203486C

[22] 申请日 2000.6.19 [21] 申请号 00809436.5

[30] 优先权

[32] 1999.6.23 [33] DE [31] 19928733.3

[86] 国际申请 PCT/EP2000/005625 2000.6.19

[87] 国际公布 WO2001/001418 德 2001.1.4

[85] 进入国家阶段日期 2001.12.24

[71] 专利权人 德国捷德有限公司

地址 德国慕尼黑

[72] 发明人 托马斯·格拉斯

审查员 张 蕾

[74] 专利代理机构 北京市柳沈律师事务所

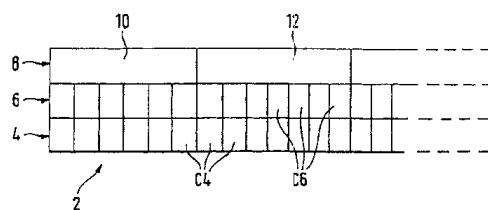
代理人 马 莹 邵亚丽

权利要求书 2 页 说明书 6 页 附图 1 页

[54] 发明名称 半导体存储器芯片组件

[57] 摘要

本发明涉及一种用于一智能卡的半导体存储器芯片组件(2'), 其中非易失性存储器芯片(EEPROM)(4)和易失性存储器芯片(SRAM)(6)被叠层在相互的顶部并且通过垂直芯片互接(16)相互直接耦合。该具有快速存取能力的易失性存储器能够快速执行程序。通过将数据再传送到该非易失性存储器中而可以永久和安全的存储数据。具有解码器电路的芯片(8)可被包括在另一级层中。缓冲电容(20)被结合在一芯片并且在工作期间被持续再充电到恒定的电源电压。



1. 一种具有第一类型的第一存储器芯片(4)、第二类型的第二存储器芯片(6)和在第一和第二存储器芯片之间的电连接(14, 16)的半导体存储器芯片组件, 其特征是该存储器芯片(4, 6)以不同级层将一个安置在另一个之上, 并且通过垂直芯片互连(14, 16)而连接。

2. 如权利要求1的芯片组件, 其特征是第一存储器芯片(4)的存储器单元(C4)稳定地安置到第二存储器芯片(6)的某些存储器单元(C6), 并且相互地被安置的存储器单元(C4, C6)被直接电互连。

3. 如权利要求1或2的芯片组件, 其特征是该第一类型相应于非易失性存储器, 例如EEPROM, 和该第二类型相应于易失性存储器, 例如SRAM。

4. 如权利要求1到3的任一权利要求的芯片组件, 其特征是至少一个另外的芯片(8, 16)被提供在另一级层上。

5. 如权利要求4的芯片组件, 其特征是该另外一个芯片包括用于存储器芯片(4, 6)的解码器电路(10, 12)。

6. 如权利要求1或2的芯片组件, 其特征是在至少一级层中构成一能量缓冲器。

7. 如权利要求6的芯片组件, 其特征是该能量缓冲器是作为一集成缓冲电容所构成。

8. 一种具有如权利要求1所述的半导体存储器芯片组件的智能卡, 所述半导体存储器芯片组件具有第一类型的第一存储器芯片(4)、第二类型的第二存储器芯片(6)和在第一和第二存储器芯片之间的电连接(14, 16)的, 其特征是该存储器芯片(4, 6)以不同级层将一个安置在另一个之上, 并且通过垂直芯片互连(14, 16)而连接。

9. 如权利要求8的智能卡, 其特征是第一存储器芯片(4)的存储器单元(C4)稳定地安置到第二存储器芯片(6)的某些存储器单元(C6), 并且相互地被安置的存储器单元(C4, C6)被直接电互连。

10. 如权利要求8或9的智能卡, 其特征是该第一类型相应于非易失性存储器, 例如EEPROM, 和该第二类型相应于易失性存储器, 例如SRAM。

11. 如权利要求 8 到 10 的任一权利要求的智能卡,其特征是至少一个另外的芯片(8, 16)被提供在另一级层上。

12. 如权利要求 11 的智能卡,其特征是该另外一个芯片包括用于存储器芯片(4, 6)的解码器电路(10, 12)。

5 13. 如权利要求 8 或 9 的智能卡,其特征是在至少一级层中构成一能量缓冲器。

14. 如权利要求 13 的智能卡,其特征是该能量缓冲器是作为一集成缓冲电容所构成。

半导体存储器芯片组件

5 技术领域

本发明涉及一种具有多个不同类型存储器芯片的半导体存储器芯片组件，所述多个不同类型存储器芯片是以不同的生产技术制成的。特别是，本发明涉及一种适用于智能卡的半导体存储器芯片组件和配备有这种芯片组件的智能卡。

10

背景技术

当前可利用的半导体存储器按照它们的生产技术、工作参量及其容量等可以赋予不同的类型。半导体存储器例如可以分为易失性和非易失性存储器。

15 在智能卡和智能卡终端中适合于使用非易失性存储器，该存储器中的内容可被擦除和重写。通常使用的用于这种用途的半导体存储器是 EEPROM。

与例如 DRAM 或 SRAM 之类的易失性存储器相比，这种可擦除、电可编程只读存储器 EEPROM 为了擦除和重写数据需要某种复杂电路并且需要相对长的存取时间。如果在执行软件程序期间使用这种半导体存储器，只能很慢地执行该程序。另外，EEPROM 只允许有限数量的擦除和写入操作，通常是在 10,000 和 100,000 范围。

20 如果需要存在一例如 EEPROM 的非易失性存储器但仍然希望一快速存取存储器用于执行程序，一种思路是除了 EEPROM 之外再提供一例如 SRAM 之类的易失性存储器，该易失性存储器随后被用于执行程序。如果在执行程序之后该结果在某个时间被储存，则所需要的数据可再被装入该 EEPROM 中。

不同类型的半导体存储器，即，在目前情况下的非易失性存储器（EEPROM）和快速易失性存储器（SRAM），是基于不同的生产技术。

30 如果这两种不同的半导体存储器被一起使用，则为了可操作地互连这两个存储器需要花费相当的努力。在这两个存储器之间需要相当长的传导

路径。这就占用了可利用芯片面积的相当大的部分。

DE 196 26 337 A1 披露了为了存储数据同时使用具有易失性存储器和非易失性存储器的芯片。EP 0 328 062 A2 披露了在该相同时间开始在一智能卡中的使用，这样 EP 0 328 062 A2 具有该独立权利要求的前序部分

5 的特征。但是，这两个文献都没有指明该芯片的几何结构或配置。

US5, 840, 417 披露了芯片的垂直配置和电接触，而 US5, 229, 647 披露了相同类型的存储器芯片的垂直配置和接触。没有一份文献涉及由于使用不同芯片而引起的问题。

10 发明内容

本发明基于该问题而提供了一种半导体存储器芯片组件，该半导体存储器芯片组件具有允许两种类型半导体存储器芯片的优点而没有上述的需要花费相当大的生产努力和长的传导路径的缺点。

这个问题是通过提供一种具有第一类型的第一存储器芯片、第二类型

15 型的第二存储器芯片和在第一和第二存储器芯片之间的电连接的半导体存储器芯片组件来解决的。根据本发明，具有不同类型的存储器芯片的半导体存储器芯片组件是这样构成的，即在不同的级层上将一存储器芯片安置在另一存储器芯片的上面并且通过垂直互连来连接。

在一特定的优选实施例中，存在第一存储器芯片的存储单元到第二

20 存储器芯片的存储单元的固定安置，相互安置的存储器芯片通过垂直连接而被直接互连。

在一特定的优选实施例中，第一种类型的存储器芯片是一非易失性存储器，具体说是 EEPROM，第二种类型的存储器芯片是一易失性存储器，例如是 SRAM。

25 本发明允许具有不同类型的存储器芯片，特别是具有由不同生产技术制造的存储器芯片的半导体存储器芯片组件的生产。根据本发明该芯片可以通过他们通常的生产过程来分别生产。在每种情况下都要求所制造的芯片的面积要相对的小。所制造的芯片随后被做成叠层式，芯片之间的连接是垂直连接，即，只需要很少的额外芯片面积。该芯片叠层随后

30 后作为一独立的单元而构成，特别是被封装在一组件中，这样它就可被安置在一智能卡中。

- 在本发明的最简单的实施例中，可以提供两个芯片级层。因为每一个半导体存储器不仅包括目前的存储单元而且还包括驱动电路，这里称之为解码器，所述的解码器可以与特定的半导体芯片一起构成。但是，在本发明的一特别有利的实施例中，提供了具有用于在另一级层中所提供的该芯片组件的所有存储器芯片的解码器的另一芯片。由于该解码器电路是在另一芯片中，所以该芯片的占有面积不会增加（在水平方向）。具有该解码器电路的芯片还通过互连到第一或第二类型的存储器芯片的垂直芯片而被连接，这取决于哪个芯片是直接位于具有该解码器电路的芯片之下。
- 10 所使用的与智能卡和智能卡终端相连接的存储器芯片中一特定特征是免受所谓电源分析的冲击。在这种冲击中，为了能够推断所保护的数据，通过特定的传感器来达到欺骗性的目的，以分析在一电路中的电流和电压的状态。如果电压和电流电平假定总是 1，或者几分之一，确保在所有的连接上所规定的级层与内部电路状态无关，这样就不会出现所述
- 15 的冲击。
- 一恒定的再充电电容，即所谓的缓冲电容，可用来将该芯片的电源电压平滑到一从外表上可识别所允许判断电路状态的电平没有变化的程度。
- 本发明的实施例中提供了一能量缓冲器，具体地说是由一集成电容
- 20 所构成的，它在芯片组件的至少一级层上构成。所述的缓冲电容占据整个芯片级层，但是在一优选的多层设计中它还可以被限定在部分的芯片区域，这样级层的其余部分可以用于存储单元、解码器电路或逻辑电路。在通过该易失性存储器执行一程序的过程结束后，所述的缓冲电容可以用来存储该程序的执行结果和在该非易失性存储器中存储的另外的数
- 25 据。在例如由于外部干扰而导致一程序异常中止的情况下，为了重新开始该程序，该数据必须能够通过缓冲电容永久地存储在非易失性存储器中。

附图说明

- 30 下面，将参考附图更详细地说明本发明的例子。

图 1 示出了根据本发明第一实施例的一半导体存储器芯片组件的俯

视图部分;

图 2 示出了根据本发明第二实施例的类似图 1 的视图部分。

具体实施

5 图 1 示出了根据本发明第一实施例的半导体存储器芯片组件 2。芯片组件 2 包括三个叠层的芯片，即底部芯片 4，这里是由其为非易失性存储器芯片的 EEPROM 所构成，中间芯片 6，这里是由其为易失性存储器芯片的 SRAM 所构成，和顶部芯片 8，它包括有两种类型的解码器电路 10 和 12。

10 存储器芯片 4 包括一预定数量的存储单元 C4。在垂直方向与此排成一行，存储器芯片 6 包括有相应数量的易失性存储单元 C6。

在存储器芯片 4 和 6 中的存储单元 C4 和 C6 垂直地排成如图 1 的垂直线所示的一行。在相互垂直安置的存储单元 C4 和 C6 之间是通过所谓的垂直芯片互连而直接电连接的，这将在下面图 2 所示的例子中详细说明。

15 明。

包括在顶部芯片 8 中的顶部级层的解码器电路 10 和 12 允许对于存储器芯片 4 和 6 有不同的寻址能力。在本实施例中，解码器电路 10（仅仅在图 1 中示出）在底部存储器芯片 4 中用作驱动存储单元 C4，而解码器电路 12 在中间存储器芯片 6 中用作驱动存储单元 C6。但是，在一实施例中，在每种情况下，解码器电路 10 和 12 还可用于两个存储器芯片 4 和 6。

图 2 示出了第二实施例的半导体存储器芯片组件 2'，该半导体存储器芯片组件 2' 是基于图 1 所示的芯片组件而构成的。

25 如像第一实施例所示，底部芯片 4 是由 EEPROM 所形成，上面一级层的芯片 6 是由 SRAM 所形成。相互垂直地排成一行的存储器单元 C4 和 C6 通过垂直芯片互连 16 而直接电连接。

以类似的垂直芯片互连来连接芯片 6 和芯片 8，该芯片 8 包括有解码器电路（未详细示出）和另外的缓冲电容 20。缓冲电容 20 同样通过直接垂直芯片互连 22a 与位于下面的存储器芯片 6 连接并且通过芯片互连 22b 与位于上面的另一芯片 16 连接，并且还通过在 24 处所指明的连接与包括在芯片 8 中的解码器电路连接。通过未示出的连接还将缓冲电

30

容 20 与底部存储器芯片 4 相连接。

图 2 所示的半导体存储器芯片组件 2' 不仅包括实际作为一能量缓冲器的缓冲电容 20, 还包括在最上部的芯片 16, 所述芯片包括例如其功能可用于所有其它芯片 4、5 和 6 的逻辑电路。

5 在图 2 所示的实施例中, 缓冲电容 20 由多个交错的电导体和电介质层所构成。使用一馈线(未示出)以保持缓冲电容 20 恒定地处于电源电压电平。在例如芯片组件 2' 的服务异常中止的情况下, 它的电容量允许数据从存储器芯片 6 的 SRAM 写入存储器芯片 4 的 EEPROM 的相应的存储单元中。

10 本发明和在图 1 和 2 中所示的一芯片组件的实施例特别适用于智能卡和智能卡终端中, 虽然本发明并不限于此。按照本发明的另一实施例, 存储器芯片的顺序可以改变。例如在 1 中的各个芯片 4、6 和 8 可以具有它们所改变的顺序。对于图 2 的构成也是一样的。缓冲电容还可以扩展到整个芯片的级层。在图 1 的上面芯片 8 中以 10 和 12 所示的解码电路
15 还可以分布到不同的芯片级层。

图 1 和 2 所示的半导体存储器芯片组件的例子包括以各个单独的生产程序所制造的芯片 4、6、8 和 16。被单独制造的芯片做成叠层式并且通过接合而垂直互连。在这种情况下, 接合是指连接各个单独的芯片或包含这些芯片的晶片。为此目的, 该芯片或晶片可以变薄, 即在生产之后它们的厚度减小。如上所述, 通过垂直芯片互连而实现单独的芯片或晶片的实际电互连。该垂直芯片互连是通过相应于单独芯片或者晶片生产期间的金属化过程的金属化处理而形成的。这就允许高的连接密度, 即如上所以述, 允许处于不同级层, 即处于不同芯片的各个存储单元被电互连。这就使得安全得以提高, 这是因为内部垂直芯片互连不易受外
20 部的影响, 并且因此不可能为了分析目的而被引出。
25 这种所得到的整个的配置被封装并且随后可用来例如安置在一智能卡中。封装包括向外引出的互连线, 由于其为常规技术, 所以这里不再详细描述。

当将根据图 1 或图 2 的半导体存储器芯片组件安置在智能卡中时,
30 该半导体存储器芯片组件以这种方式工作, 即将永久存储的数据安置在底部芯片 4 中, 也就是安置在非易失性存储器 EEPROM 中。当执行程序

底部芯片 4 中，也就是安置在非易失性存储器 EEPROM 中。当执行程序时，所需要的数据被重置于中间芯片，也就是重置于易失性存储器（SRAM）中。中间芯片 6 随后起像闪速存储器一样的作用。在例如服务异常中止的情况下，利用在缓冲电容中所存储的能量，所得到的数据
5 和被保护的数据从中间存储器芯片 6 重置到底部存储器芯片 4 中。

10

15

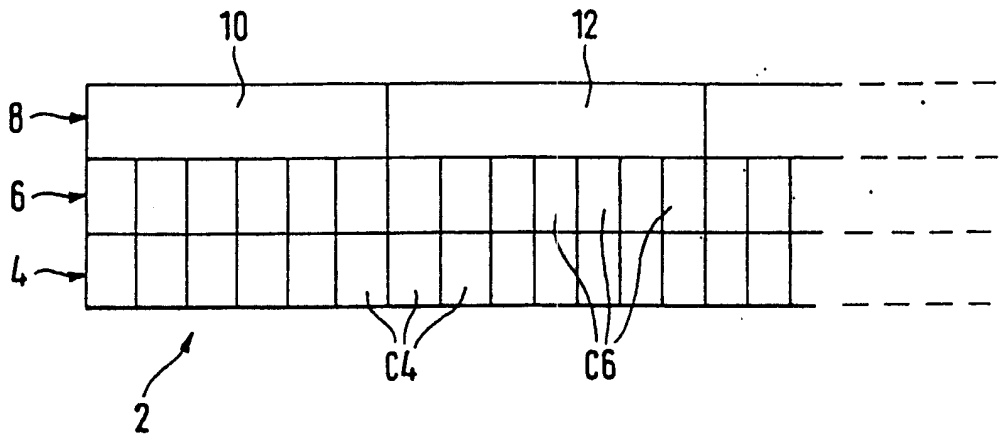


图 1

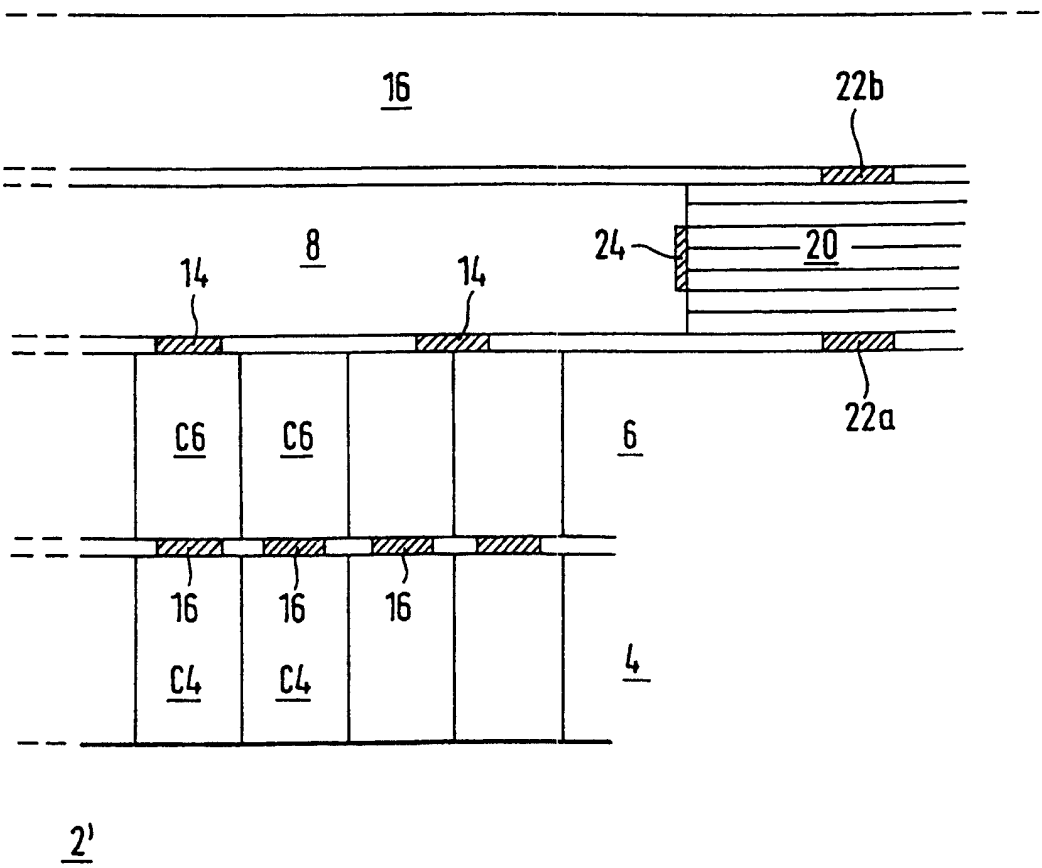


图 2