(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0090177
(43) 공개일자 2017년08월07일

(51) 국제특허분류(Int. Cl.)
G11C 29/42 (2015.01) *G11C 16/26* (2006.01)
G11C 16/32 (2006.01) *G11C 29/18* (2006.01)
(52) CPC특허분류
G11C 29/42 (2013.01)
G06F 11/1008 (2013.01)
(21) 출원번호 10-2016-0010719
(22) 출원일자 2016년01월28일
심사청구일자 없음

(71) 출원인
에스케이하이닉스 주식회사
경기도 이천시 부발읍 경충대로 2091
(72) 발명자
차재원
경기도 이천시 부발읍 경충대로2092번길 39-52, 101동 603호
박재우
경기도 수원시 권선구 동수원로145번길 73 수원아이파크시티 308동 502호
(74) 대리인
특허법인신성

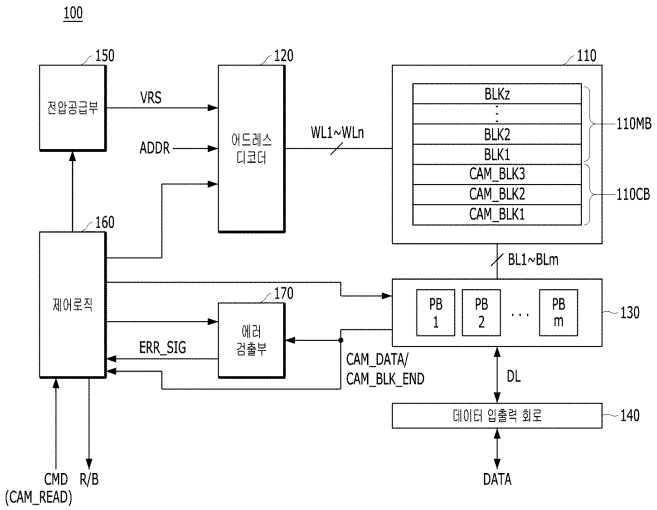
전체 청구항 수 : 총 21 항

(54) 발명의 명칭 **메모리 시스템, 반도체 메모리 장치 및 그의 동작 방법**

(57) 요 약

본 발명은 반도체 메모리 장치에 관한 것으로, 반도체 메모리 장치의 동작 제어를 위한 동작 설정 정보를 포함하는 옵션 정보와 상기 동작 설정 정보에 대한 에러 체크 정보를 저장하는 캠셀을 포함하는 캠셀 블록 및 데이터 저장을 위한 메모리 셀들을 포함하는 메모리 블록들을 포함하는 메모리 셀 어레이; 캠 리드 명령에 응답하여, 상기 캠셀 블록에 저장된 동작 설정 정보 및 에러 체크 정보를 독출하여 에러 여부를 알리는 에러 검출 신호를 출력하는 에러 검출부; 및 상기 에러 검출 신호에 따라, 레디/비지 신호의 상태를 결정하여 출력하는 제어 로직을 포함할 수 있다.

대 표 도



(52) CPC특허분류
G11C 16/26 (2013.01)
G11C 16/32 (2013.01)
G11C 29/18 (2013.01)

명 세 서

청구범위

청구항 1

반도체 메모리 장치의 동작 제어를 위한 동작 설정 정보를 포함하는 옵션 정보와 상기 동작 설정 정보에 대한 에러 체크 정보를 저장하는 캠셀을 포함하는 캠셀 블록 및 데이터 저장을 위한 메모리 셀들을 포함하는 메모리 블록들을 포함하는 메모리 셀 어레이;

캠 리드 명령에 응답하여, 상기 캠셀 블록에 저장된 동작 설정 정보 및 에러 체크 정보를 독출하여 에러 여부를 알리는 에러 검출 신호를 출력하는 에러 검출부; 및

상기 에러 검출 신호에 따라, 레디/비지 신호의 상태를 결정하여 출력하는 제어 로직

을 포함하는 반도체 메모리 장치.

청구항 2

제 1 항에 있어서,

상기 에러 체크 정보는,

에러 발생 여부를 체크하기 위한 패리티 비트를 포함하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 3

제 1 항에 있어서,

상기 옵션 정보는,

리페어 어드레스 정보 및 배드 블록 어드레스 정보를 더 포함하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 4

제 3 항에 있어서,

상기 제어 로직은,

상기 에러 검출 신호가 에러가 있음을 알리는 경우, 상기 레디/비지 신호를 하이-스턱 상태로 출력하고,

상기 에러 검출 신호가 에러가 없음을 알리는 경우, 상기 리페어 어드레스 정보 및 배드 블록 어드레스 정보를 독출하는 동작을 추가로 수행한 후 상기 레디/비지 신호를 레디 상태로 출력하는 것

을 특징으로 하는 반도체 메모리 장치.

청구항 5

제 3 항에 있어서,

상기 제어 로직은,

상기 에러 검출 신호 및 제 1 타이밍 혹은 제 3 타이밍에서 활성화되는 캠셀 블록 리드 완료 신호에 응답하여 셋(SET)되고, 파워-온 신호 또는 제 2 타이밍에서 활성화되는 레지스터 리셋 신호에 응답하여 리셋(RESET)되는 캠 리드 완료 신호를 생성하는 캠 리드 완료 신호 생성부; 및

상기 캠 리드 완료 신호에 따라, 상기 제 1 타이밍에서 상기 레디/비지 신호를 하이-스턱 상태로 출력하거나, 상기 제 3 타이밍에서 상기 레디/비지 신호를 레디 상태로 출력하는 레디/비지 신호 생성부

를 포함하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 6

제 5 항에 있어서,

상기 제 1 타이밍은, 파워-온 이후에 상기 캠셀 블록에 저장된 상기 동작 설정 정보 및 에러 체크 정보의 독출이 완료된 시점이고, 상기 제 3 타이밍은, 상기 캠셀 블록에 저장된 상기 동작 설정 정보 및 에러 체크 정보 정보, 리페어 어드레스 정보 및 배드 블록 어드레스 정보의 독출이 완료된 시점이고, 상기 제 2 타이밍은, 상기 제 1 타이밍과 제 3 타이밍 사이의 임의의 타이밍인 것

을 특징으로 하는 반도체 메모리 장치.

청구항 7

제 5 항에 있어서,

상기 캠 리드 완료 신호 생성부는,

상기 에러 검출 신호 및 상기 캠셀 블록 리드 완료 신호에 응답하여 활성화되는 셋 신호를 생성하는 셋 신호 생성부;

상기 파워-온 신호 또는 상기 레지스터 리셋 신호에 응답하여 활성화되는 리셋 신호를 생성하는 리셋 신호 생성부; 및

상기 셋 신호에 응답하여 셋되고, 상기 리셋 신호에 응답해서 리셋되는 상기 캠 리드 완료 신호를 출력하는 래치부

를 포함하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 8

제 5 항에 있어서,

상기 레디/비지 신호 생성부는,

상기 제 1 타이밍에서 상기 캠 리드 완료 신호가 비활성화된 경우, 상기 레디/비지 신호를 하이-스턱 상태로 출력하고,

상기 제 3 타이밍에서 상기 캠 리드 완료 신호가 활성화된 경우, 상기 레디/비지 신호를 레디 상태로 출력하는 것

을 특징으로 하는 반도체 메모리 장치.

청구항 9

반도체 메모리 장치의 동작 제어를 위한 동작 설정 정보를 포함하는 옵션 정보와 상기 동작 설정 정보에 대한 에러 체크 정보를 캠셀에 저장하는 단계;

캠 리드 명령에 응답하여, 상기 캠셀 블록에 저장된 동작 설정 정보 및 에러 체크 정보를 독출하여 에러 여부를 알리는 에러 검출 신호를 출력하는 단계; 및

상기 에러 검출 신호에 따라, 레디/비지 신호의 상태를 결정하여 출력하는 단계

를 포함하는 반도체 메모리 장치의 동작 방법.

청구항 10

제 9 항에 있어서,

상기 에러 체크 정보는,

에러 발생 여부를 체크하기 위한 패리티 비트를 포함하는 것을 특징으로 하는 반도체 메모리 장치의 동작 방법.

청구항 11

제 9 항에 있어서,

상기 옵션 정보는,

리페어 어드레스 정보 및 배드 블록 어드레스 정보를 더 포함하는 것을 특징으로 하는 반도체 메모리 장치의 동작 방법.

청구항 12

제 11 항에 있어서,

상기 레디/비지 신호의 상태를 결정하여 출력하는 단계는,

상기 에러 검출 신호가 에러가 있음을 알리는 경우, 상기 레디/비지 신호를 하이-스텍 상태로 출력하는 단계; 및

상기 에러 검출 신호가 에러가 없음을 알리는 경우, 상기 리페어 어드레스 정보 및 배드 블록 어드레스 정보를 독출하는 동작을 추가로 수행한 후 상기 레디/비지 신호를 레디 상태로 출력하는 단계

를 포함하는 것을 특징으로 하는 반도체 메모리 장치의 동작 방법.

청구항 13

제11 항에 있어서,

상기 레디/비지 신호의 상태를 결정하여 출력하는 단계는,

상기 에러 검출 신호 및 제 1 타이밍 혹은 제 3 타이밍에서 활성화되는 캠셀 블록 리드 완료 신호에 응답하여 셋(SET)되고, 파워-온 신호 또는 제 2 타이밍에서 활성화되는 레지스터 리셋 신호에 응답하여 리셋(RESET)되는 캠 리드 완료 신호를 생성하는 단계; 및

상기 캠 리드 완료 신호에 따라, 상기 제 1 타이밍에서 상기 레디/비지 신호를 하이-스텍 상태로 출력하거나, 상기 제 3 타이밍에서 상기 레디/비지 신호를 레디 상태로 출력하는 단계

를 포함하는 것을 특징으로 하는 반도체 메모리 장치의 동작 방법.

청구항 14

제 13 항에 있어서,

상기 제 1 타이밍은, 파워-온 이후에 상기 캠셀 블록에 저장된 상기 동작 설정 정보 및 에러 체크 정보의 독출이 완료된 시점이고, 상기 제 3 타이밍은, 상기 캠셀 블록에 저장된 상기 동작 설정 정보 및 에러 체크 정보, 리페어 어드레스 정보 및 배드 블록 어드레스 정보의 독출이 완료된 시점이고, 상기 제 2 타이밍은, 상기 제 1

타이밍과 제 3 타이밍 사이의 임의의 타이밍인 것

을 특징으로 하는 반도체 메모리 장치의 동작 방법.

청구항 15

제 13 항에 있어서,

상기 캠 리드 완료 신호에 따라, 상기 제 1 타이밍에서 상기 레디/비지 신호를 하이-스턱 상태로 출력하거나, 상기 제 3 타이밍에서 상기 레디/비지 신호를 레디 상태로 출력하는 단계는,

상기 제 1 타이밍에서 상기 캠 리드 완료 신호가 비활성화된 경우, 상기 레디/비지 신호를 하이-스턱 상태로 출력하고,

상기 제 3 타이밍에서 상기 캠 리드 완료 신호가 활성화된 경우, 상기 레디/비지 신호를 레디 상태로 출력하는 것

을 특징으로 하는 반도체 메모리 장치의 동작 방법.

청구항 16

초기화 동작을 위한 캠 리드 명령을 전송하는 컨트롤러; 및

반도체 메모리 장치의 동작 제어를 위한 동작 설정 정보를 포함하는 옵션 정보와 상기 동작 설정 정보에 대한 에러 체크 정보를 저장하는 캠셀 블록을 포함하며, 상기 캠 리드 명령에 따라 상기 캠셀 블록에 저장된 동작 설정 정보 및 에러 체크 정보를 독출하고 레디/비지 신호의 상태를 결정하여 출력하는 반도체 메모리 장치

를 포함하며, 상기 컨트롤러는 상기 레디/비지 신호의 상태에 따라 추가적인 명령어를 송부하는 메모리 시스템.

청구항 17

제 16 항에 있어서,

상기 반도체 메모리 장치는, 상기 독출된 에러 에러 체크 정보가 에러가 있음을 알리는 경우, 상기 레디/비지 신호를 하이-스턱 상태로 출력하고, 상기 독출된 에러 에러 체크 정보가 에러가 없음을 알리는 경우, 상기 레디/비지 신호를 레디 상태로 출력하고,

상기 컨트롤러는, 상기 반도체 메모리 장치가 출력하는 상기 레디/비지 신호가 계속하여 하이-스턱 상태를 유지하는 경우, 일정 시간 후에 다시 캠 리드 명령을 상기 반도체 메모리 장치로 재송부하는 것

을 특징으로 하는 메모리 시스템.

청구항 18

제 16 항에 있어서,

상기 반도체 메모리 장치는,

상기 동작 설정 정보를 포함하는 옵션 정보와 상기 동작 설정 정보에 대한 상기 에러 체크 정보를 저장하는 캠셀을 포함하는 캠셀 블록 및 데이터 저장을 위한 메모리 셀들을 포함하는 메모리 블록들을 포함하는 메모리 셀 어레이;

상기 캠 리드 명령에 응답하여, 상기 캠셀 블록에 저장된 동작 설정 정보 및 에러 체크 정보를 독출하여 에러 여부를 알리는 에러 검출 신호를 출력하는 에러 검출부; 및

상기 에러 검출 신호에 따라, 상기 레디/비지 신호의 상태를 결정하여 출력하는 제어 로직

을 포함하는 메모리 시스템.

청구항 19

제 18 항에 있어서,

상기 옵션 정보는,

리페어 어드레스 정보 및 배드 블록 어드레스 정보를 더 포함하는 것을 특징으로 하는 메모리 시스템.

청구항 20

제 19 항에 있어서,

상기 제어 로직은,

상기 에러 검출 신호 및 제 1 타이밍 혹은 제 3 타이밍에서 활성화되는 캠셀 블록 리드 완료 신호에 응답하여 셋(SET)되고, 파워-온 신호 또는 제 2 타이밍에서 활성화되는 레지스터 리셋 신호에 응답하여 리셋(RESET)되는 캠 리드 완료 신호를 생성하는 캠 리드 완료 신호 생성부; 및

상기 캠 리드 완료 신호에 따라, 상기 제 1 타이밍에서 상기 레디/비지 신호를 하이-스텍 상태로 출력하거나, 상기 제 3 타이밍에서 상기 레디/비지 신호를 레디 상태로 출력하는 레디/비지 신호 생성부

를 포함하며,

상기 제 1 타이밍은, 파워-온 이후에 상기 캠셀 블록에 저장된 상기 동작 설정 정보 및 에러 체크 정보의 독출이 완료된 시점이고, 상기 제 3 타이밍은, 상기 캠셀 블록에 저장된 상기 동작 설정 정보 및 에러 체크 정보, 리페어 어드레스 정보 및 배드 블록 어드레스 정보의 독출이 완료된 시점이고, 상기 제 2 타이밍은, 상기 제 1 타이밍과 제 3 타이밍 사이의 임의의 타이밍인 것

을 특징으로 하는 메모리 시스템.

청구항 21

제 20 항에 있어서,

상기 레디/비지 신호 생성부는,

상기 제 1 타이밍에서 상기 캠 리드 완료 신호가 비활성화된 경우, 상기 레디/비지 신호를 하이-스텍 상태로 출력하고,

상기 제 3 타이밍에서 상기 캠 리드 완료 신호가 활성화된 경우, 상기 레디/비지 신호를 레디 상태로 출력하는 것

을 특징으로 하는 메모리 시스템.

발명의 설명

기 술 분 야

[0001] 본 특허문헌은 반도체 설계 기술에 관한 것으로, 구체적으로는 캠 리드 동작을 수행하는 반도체 메모리 장치 및 그를 포함하는 메모리 시스템에 관한 것이다.

배 경 기 술

[0002] 반도체 메모리 장치는 크게 휘발성 메모리 장치(Volatile memory device)와 불휘발성 메모리 장치(Nonvolatile memory device)로 구분된다.

[0003] 휘발성 메모리 장치는 쓰기 및 읽기 속도가 빠르지만 전원 공급이 차단되면 저장된 데이터가 소실된다. 불휘발성 메모리 장치는 쓰기 및 읽기 속도가 상대적으로 느리지만 전원 공급이 차단되더라도 저장된 데이터를 유지한다. 따라서 전원 공급 여부와 관계없이 유지되어야 할 데이터를 저장하기 위해 불휘발성 메모리 장치가 사용된다. 불휘발성 메모리 장치에는 ROM(Read Only Memory), MROM(Mask ROM), PROM(Programmable ROM), EPROM(Erasable Programmable ROM), EEPROM(Electrically Erasable Programmable ROM), 플래시 메모리(Flash memory), PRAM(Phase change Random Access Memory), MRAM(Magnetic RAM), RRAM(Resistive RAM), FRAM(Ferroelectric RAM) 등이 있다. 플래시 메모리는 노어 타입과 낸드 타입으로 구분된다.

[0004] 플래시 메모리는 데이터의 프로그램과 소거가 자유로운 RAM의 장점과 전원 공급이 차단되어도 저장된 데이터를 보존할 수 있는 ROM의 장점을 가진다. 플래시 메모리는 디지털 카메라, PDA(Personal Digital Assistant) 및 MP3 플레이어와 같은 휴대용 전자기기의 저장 매체로 널리 사용되고 있다.

[0005] 한편, 반도체 메모리 장치는 동작에 있어서 필요한 각종 옵션 정보를 별도로 저장하고 있다. 상기 옵션 정보로는 프로그램, 독출 또는 소거 동작의 제어를 위한 동작 설정 정보와 리페어 어드레스 정보 및 배드 블록 정보 등의 필수적인 정보가 포함된다. 반도체 메모리 장치는 상기의 옵션 정보를 저장하기 위하여 캠(CAM; Content addressable Memory)셀을 사용한다. 캠셀에 옵션 정보를 저장하면, 패키지 공정 이후에도 옵션 정보의 수정이 용이하고, 사이즈가 큰 퓨즈부를 사용하지 않기 때문에 반도체 메모리 장치의 사이즈를 줄일 수 있다.

[0006] 도 1a 및 도 1b 는 종래의 기술에 따른 반도체 메모리 장치의 캠 리드 동작을 설명하기 위한 플로우 차트 및 타이밍도 이다.

[0007] 도 1a 를 참조하면, 반도체 메모리 장치에 외부 전원 전압이 공급되기 시작하면(S100), 외부 컨트롤러로부터 캠셀에 저장된 옵션 정보를 독출하기 위한 캠 리드 명령이 입력된다(S110).

[0008] 반도체 메모리 장치는 캠 리드 명령에 응답하여, 캠셀에 저장된 옵션 정보를 독출한다. 이 때, 옵션 정보 중 프로그램, 독출 또는 소거 동작의 제어를 위한 동작 설정 정보를 먼저 독출하고(S120), 다음으로 리페어 어드레스 정보를 독출하고(S130), 마지막으로 배드 블록 어드레스 정보를 독출하는 동작을 수행할 수 있다(S140). 이후, 반도체 메모리 장치는, 캠셀로부터 독출된 동작 설정 정보에 따라 동작 전압들을 정해진 레벨로 생성하고 리페어 어드레스 정보에 따라 리던던시 경로를 설정하고, 배드 블록 정보에 따라 불량 메모리 블록은 사용되지 않도록 설정한다. 상기와 같은 캠 리드 동작이 수행된 후, 반도체 메모리 장치는 캠 리드 동작이 완료되었음을 알리는 캠 리드 완료 신호(AUTORDDONE)를 활성화시키고(S150), 이에 응답하여 레디/비지 신호(R/B)를 다음 동작을 수행할 수 있는 상태임을 알리는 레디 상태로 컨트롤러에 출력한다(S160).

[0009] 컨트롤러는 반도체 메모리 장치에서 출력하는 레디/비지 신호(R/B)가 레디 상태임을 감지하여 추가적인 동작, 예를 들어, 리드/프로그램/소거 동작을 수행하기 위한 명령을 송부함으로써 반도체 메모리 장치가 노멀 동작을 수행할 수 있도록 한다(S170).

[0010] 도 1b 를 참조하면, 캠 리드 동작이 수행된 후, 캠 리드 동작이 완료되었음을 알리는 캠 리드 완료 신호(AUTORDDONE)가 활성화되면, 이에 응답하여 레디/비지 신호(R/B)가 다음 동작을 수행할 수 있는 상태임을 알리는 레디 상태로 출력되는 점이 도시되어 있다. 이 때, 외부 전원 전압의 전압 레벨이 불안정하거나 캠셀의 데이터가 특정 이유로 불안정한 상태에서 캠 리드 동작이 수행되는 경우, 잘못된 옵션 정보가 독출되게 된다. 이에 따라, 이후에 수행되는 프로그램, 리드 또는 소거 동작이 잘못된 옵션 정보를 토대로 수행되어 전체 메모리 시스템의 신뢰성이 저하 된다.

발명의 내용

해결하려는 과제

[0011] 본 발명의 실시예가 해결하고자 하는 기술적 과제는 파워-온 시에 캠셀에 저장된 옵션 정보 및 에러 체크 정보를 독출하고, 에러 체크 정보를 토대로 옵션 정보에 대한 에러 여부를 판단할 수 있는 반도체 메모리 장치 및 이의 동작 방법을 제공하는 데 있다.

[0012] 또한, 본 발명의 실시예가 해결하고자 하는 기술적 과제는 캠 리드 명령에 응답하여 캠셀에 저장된 옵션 정보 및 에러 체크 정보를 독출하고, 이를 토대로 에러가 검출된 경우, 캠 리드 명령에 대한 완료 신호를 비활성화시킬 수 있는 반도체 메모리 장치 및 이의 동작 방법을 제공하는 데 있다.

과제의 해결 수단

[0013] 본 발명의 일 실시예에 따르면, 반도체 메모리 장치는, 반도체 메모리 장치의 동작 제어를 위한 동작 설정 정보를 포함하는 옵션 정보와 상기 동작 설정 정보에 대한 에러 체크 정보를 저장하는 캠셀을 포함하는 캠셀 블록 및 데이터 저장을 위한 메모리 셀들을 포함하는 메모리 블록들을 포함하는 메모리 셀 어레이; 캠 리드 명령에 응답하여, 상기 캠셀 블록에 저장된 동작 설정 정보 및 에러 체크 정보를 독출하여 에러 여부를 알리는 에러 검출 신호를 출력하는 에러 검출부; 및 상기 에러 검출 신호에 따라, 레디/비지 신호의 상태를 결정하여 출력하는 제어 로직을 포함할 수 있다.

[0014] 본 발명의 다른 실시예에 따르면, 반도체 메모리 장치의 동작 방법은, 반도체 메모리 장치의 동작 제어를 위한 동작 설정 정보를 포함하는 옵션 정보와 상기 동작 설정 정보에 대한 에러 체크 정보를 캠셀에 저장하는 단계; 캠 리드 명령에 응답하여, 상기 캠셀 블록에 저장된 동작 설정 정보 및 에러 체크 정보를 독출하여 에러 여부를 알리는 에러 검출 신호를 출력하는 단계; 및 상기 에러 검출 신호에 따라, 레디/비지 신호의 상태를 결정하여 출력하는 단계를 포함할 수 있다.

[0015] 본 발명의 또 다른 실시예에 따르면, 메모리 시스템은, 초기화 동작을 위한 캠 리드 명령을 전송하는 컨트롤러; 및 반도체 메모리 장치의 동작 제어를 위한 동작 설정 정보를 포함하는 옵션 정보와 상기 동작 설정 정보에 대한 에러 체크 정보를 저장하는 캠셀 블록을 포함하며, 상기 캠 리드 명령에 따라 상기 캠셀 블록에 저장된 동작 설정 정보 및 에러 체크 정보를 독출하고 레디/비지 신호의 상태를 결정하여 출력하는 반도체 메모리 장치를 포함하며, 상기 컨트롤러는 상기 레디/비지 신호의 상태에 따라 추가적인 명령어를 송부할 수 있다.

발명의 효과

[0017] 제안된 실시예에 따른 반도체 메모리 장치는, 파워-온 시에 캠 리드 명령에 응답하여 캠셀에 저장된 옵션 정보 및 에러 체크 정보를 독출하고, 이를 토대로 에러가 검출된 경우, 캠 리드 명령에 대한 완료 신호를 비활성화시킴으로써 이후 발생될 수 있는 오동작을 방지하여 반도체 메모리 장치를 비정상 동작으로부터 보호하고, 전체 메모리 시스템의 신뢰성을 향상시킬 수 있는 효과가 있다.

도면의 간단한 설명

[0018] 도 1a 및 도 1b 는 종래의 기술에 따른 반도체 메모리 장치의 캠 리드 동작을 설명하기 위한 플로우 차트 및 타이밍도 이다.

도 2 는 본 발명의 일 실시예에 따른 반도체 메모리 장치(100)를 설명하기 위한 블록도 이다.

도 3 은 도 2 의 캠셀 블록(CAM_BLK1)을 설명하기 위한 도면이다.

도 4 는 도 3 의 캠셀 블록(CAM_BLK1)의 페이지(PAGE0)를 설명하기 위한 도면이다.

도 5 는 도 1 의 제어 로직(160)의 일부 구성(160')을 설명하기 위한 상세 블록도 이다.

도 6 은 도 5 의 캠 리드 완료 신호 생성부(610)을 설명하기 위한 회로도 이다.

도 7a 및 도 7b 는 도 5 의 제어 로직(160')의 동작을 설명하기 위한 타이밍도 이다.

도 8 은 본 발명의 일 실시예에 따른 반도체 메모리 장치의 캠 리드 동작을 설명하기 위한 플로우 차트 이다.

도 9 는 도 1 의 반도체 메모리 장치(100)를 포함하는 메모리 시스템을 보여주는 블록도 이다.

도 10 는 도 9 의 메모리 시스템의 응용 예를 보여주는 블록도 이다.

도 11 은 도 10 를 참조하여 설명된 메모리 시스템을 포함하는 컴퓨팅 시스템을 보여주는 블록도 이다.

발명을 실시하기 위한 구체적인 내용

[0019] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 설명하기로 한다. 그러나, 본 발명은 이하에서 개시되는 실시예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구성될 수 있으며, 단지 본 실시예는 본 발명의 개시가 완전하도록 하며 통상의 지식을 가진 자에게 본 발명의 범주를 완전하게 알려주기 위해 제공되는 것

이다.

[0021] 도 2 는 본 발명의 일 실시예에 따른 반도체 메모리 장치(100)를 설명하기 위한 블록도 이다.

[0022] 도 2 를 참조하면, 반도체 메모리 장치(100)는, 메모리 셀 어레이(110), 어드레스 디코더(120), 읽기 및 쓰기 회로(130), 데이터 입출력 회로(140), 전압 생성부(150), 제어 로직(160) 및 에러 검출부(170)를 포함한다.

[0023] 메모리 셀 어레이(110)는 워드 라인들(WL1~WLn)을 통해 어드레스 디코더(120)에 연결되고, 비트 라인들(BL1~BLm)을 통해 읽기 및 쓰기 회로(130)에 연결된다. 메모리 셀 어레이(110)는 복수 개의 메모리 셀들을 포함하는 메모리 블록들(BLK1~BLKz)을 포함하는 메인 블록 그룹(110MB)과 복수 개의 캠(CAM; Content addressable Memory)셀들을 포함하는 캠셀 블록들(CAM_BLK1~CAM_BLK3)을 포함하는 캠셀 블록 그룹(110CB)을 포함한다. 메모리 셀들과 캠셀은 실질적으로 동일한 구조를 가질 수 있다. 캠셀 블록들(CAM_BLK1~CAM_BLK3)은 반도체 메모리 장치(100)의 동작에 있어서 필요한 각종 옵션 정보를 저장하고 있다. 상기 옵션 정보는, 프로그램, 독출 또는 소거 동작의 제어를 위한 동작 설정 정보, 리페어 어드레스 정보 및 배드 블록 정보를 포함할 수 있다.

[0024] 본 발명의 실시예에서, 캠셀 블록들(CAM_BLK1~CAM_BLK3)은 반도체 메모리 장치(100)의 동작에 있어서 필요한 각종 옵션 정보 이외에 추가적으로 상기 옵션 정보에 대한 에러 체크 정보를 저장할 수 있다. 이하, 설명의 편의를 위해, 제 1 캠셀 블록(CAM_BLK1)에는 반도체 메모리 장치(100)의 동작 제어를 위한 동작 설정 정보 및 동작 설정 정보에 대한 에러 체크 정보가 저장되고, 제 2 캠셀 블록(CAM_BLK2)에는 리페어 어드레스 정보가 저장되고, 제 3 캠셀 블록(CAM_BLK3)에는 배드 블록 정보가 저장된 경우를 예로 들어 설명하기로 한다. 본 실시예에서는, 동작 설정 정보에 대한 에러 체크 정보 만이 저장되는 경우를 예를 들었지만, 다른 실시예에서 리페어 어드레스 정보에 대한 에러 체크 정보 및/또는 배드 블록 정보에 대한 에러 체크 정보가 제 2 캠셀 블록(CAM_BLK2) 및 제 3 캠셀 블록(CAM_BLK3)에 각각 저장될 수 있다.

[0025] 로우 방향으로 배치된 메모리 셀들 및 캠셀들은 워드 라인들(WL1~WLn)에 연결된다. 컬럼 방향으로 배치된 메모리 셀들 및 캠셀들은 비트 라인들(BL1~BLm)에 연결된다. 복수의 메모리 셀들 및 캠셀들 각각은 싱글 레벨 셀(Single Level Cell, SLC) 또는 멀티 레벨 셀(Multi Level Cell, MLC)로서 동작할 수 있다. 실시 예로서, 복수의 메모리 셀들 및 캠셀들은 불휘발성 메모리 셀들이다.

[0026] 또한, 메모리 셀 어레이(110)의 복수의 메모리 블록들(BLK1~BLKz) 및 캠셀 블록들(CAM_BLK1~CAM_BLK3) 각각은 비트 라인들(BL1~BLm)에 각각 연결된 복수의 셀 스트링들을 포함한다. 복수 개의 셀 스트링 각각은 비트 라인과 소스 라인 사이에 직렬 연결된 드레인 선택 트랜지스터, 복수 개의 메모리 셀들, 및 소스 선택 트랜지스터를 포함할 수 있다.

[0027] 어드레스 디코더(120), 읽기 및 쓰기 회로(130), 데이터 입출력 회로(140), 전압 생성부(150), 및 제어 로직(160)은 메모리 셀 어레이(110)를 구동하는 주변 회로로서 동작한다.

[0028] 어드레스 디코더(120)는 워드 라인들(WL1~WLn)을 통해 메모리 셀 어레이(110)에 연결된다. 어드레스 디코더(120)는 제어 로직(160)의 제어에 응답하여 동작하도록 구성된다. 어드레스 디코더(120)는 외부로부터의 어드레스(ADDR)를 수신한다. 어드레스 디코더(120)는 어드레스(ADDR)를 디코딩하여 블록 어드레스를 생성하고, 생성된 블록 어드레스에 따라 메모리 셀 어레이(110)의 복수의 메모리 블록들(BLK1~BLKz) 및 캠셀 블록들(CAM_BLK1~CAM_BLK3) 중 하나의 메모리 블록을 선택한다. 어드레스 디코더(120)는 어드레스(ADDR)를 디코딩하여 로우 어드레스를 생성하고, 생성된 로우 어드레스에 따라 선택된 메모리 블록에 연결된 워드 라인들(WL1~WLn) 중 하나를 선택한다. 어드레스 디코더(120)는 블록 디코더, 로우 디코더 및 어드레스 버퍼 등을 포함할 수 있다.

[0029] 읽기 및 쓰기 회로(130)는 비트 라인들(BL1~BLm)을 통해 메모리 셀 어레이(110)에 연결되고, 데이터 라인들(DL)을 통해 데이터 입출력 회로(140)에 연결된다. 읽기 및 쓰기 회로(130)는 제어 로직(160)의 제어에 응답하여 동작하도록 구성된다.

[0030] 프로그램 시에, 읽기 및 쓰기 회로(130)는 데이터 입출력 회로(140)로부터 프로그램 데이터(DATA)를 수신하고, 프로그램 데이터(DATA)를 비트 라인들(BL1~BLm)에 전달한다. 전달된 데이터는 선택된 워드 라인에 연결된 메모리 셀들에 프로그램된다. 읽기 동작 시에, 읽기 및 쓰기 회로(130)는 비트 라인들(BL1~BLm)을 통해 선택된 워드 라인에 연결된 메모리 셀들의 데이터를 읽고, 읽어진 데이터(DATA)를 데이터 라인들(DL)을 통해 데이터 입출력 회로(140)로 출력한다. 소거 동작 시에, 읽기 및 쓰기 회로(130)는 비트 라인들(BL1~BLm)을 플로팅시킬 수

있다. 실시 예로서, 읽기 및 쓰기 회로(130)는 비트 라인들(BL1~BLm)에 각각 대응되며, 대응되는 비트 라인들(BL1~BLm)을 통해 메모리 셀 어레이(110)에 연결되는 복수 개의 페이지 버퍼들(PB1~PBm)로 구성될 수 있다. 복수 개의 페이지 버퍼들(PB1~PBm) 각각은 복수의 래치들을 구비할 수 있다

[0031] 데이터 입출력 회로(140)는 데이터 라인들(DL)을 통해 읽기 및 쓰기 회로(130)와 연결된다. 데이터 입출력 회로(140)는 제어 로직(160)의 제어에 응답하여 동작한다. 데이터 입출력 회로(140)는 외부와 데이터(DATA)를 통신한다. 프로그램 동작 시에, 데이터 입출력 회로(140)는 외부로부터 프로그램 데이터(DATA)를 수신하고 프로그램 데이터(DATA)를 읽기 및 쓰기 회로(130)에 전송한다. 읽기 동작 시에, 데이터 입출력 회로(140)는 읽기 및 쓰기 회로(130)로부터 읽혀진 데이터(DATA)를 수신하고 읽혀진 데이터(DATA)를 외부로 출력한다.

[0032] 전압 공급부(150)는 제어 로직(160)의 제어에 응답하여 프로그램/리드/소거 동작을 위한 동작 전압들(VRS)을 생성한다. 상기 동작 전압들(VRS)은, 소거 전압(VERASE), 프로그램 전압(VPGM), 리드 전압(VREAD), 패스 전압(VPASS), 소스 라인 전압(VDSL, VSSL), 공통 소스 전압(VSL) 등을 포함할 수 있다.

[0033] 제어 로직(160)은 어드레스 디코더(120), 읽기 및 쓰기 회로(130), 데이터 입출력 회로(140) 및 전압 공급부(150), 에러 검출부(170)에 연결된다. 제어 로직(160)은 반도체 메모리 장치(100)의 입출력 버퍼(미도시)를 통해 커맨드(CMD)를 수신하고, 이에 응답하여 반도체 메모리 장치(100)의 제반 동작을 제어하도록 구성될 수 있다. 제어 로직(160)은, 파워-온 시에 캠 리드 명령(CAM_READ)에 대응하는 커맨드(CMD)에 응답하여 어드레스 디코더(120), 읽기 및 쓰기 회로(130), 및 전압 생성부(150)를 제어하여 캠셀 블록들(CAM_BLK1~CAM_BLK3)로부터 독출된 옵션 정보를 독출하여 내부의 레지스터(미도시)에 저장한다. 그리고 레지스터에 저장된 옵션 정보를 이용해서 반도체 메모리 장치(100)의 제반 동작을 제어하기 위한 제어 신호들을 생성할 수 있다.

[0034] 본 발명의 실시예에서, 제어 로직(160)은, 파워-온 시에 캠 리드 명령(CAM_READ)에 대응하는 커맨드(CMD)에 응답하여 제 1 캠셀 블록(CAM_BLK1)에 저장된 동작 설정 정보 및 동작 설정 정보에 대한 에러 체크 정보를 독출하기 위한 캠 리드 동작을 수행 한다. 또한, 제어 로직(160)은 에러 검출부(170)로부터 출력되는 에러 검출 신호(ERR_SIG)에 따라 하이 레벨로 고정된 상태(이하, '하이-스턱 상태'라 한다.)를 나타내는 레디/비지 신호(R/B)를 외부의 컨트롤러(미도시)로 출력하거나, 제 2 캠셀 블록(CAM_BLK2)에 저장된 리페어 어드레스 정보 및 제 3 캠셀 블록(CAM_BLK3)에 저장된 배드 블록 정보를 독출하는 동작을 추가적으로 수행하여 캠 리드 동작을 종료한 후 레디 상태를 나타내는 레디/비지 신호(R/B)를 외부의 컨트롤러(미도시)로 출력할 수 있다.

[0035] 에러 검출 신호(ERR_SIG)가 로직 하이 레벨로 활성화될 때, 즉, 에러가 있음을 알릴 때, 제어 로직(160)은 레디/비지 신호(R/B)를 하이-스턱 상태로 출력할 수 있다. 제어 로직(160)은, 제 2 캠셀 블록(CAM_BLK2)에 저장된 리페어 어드레스 정보 및 제 3 캠셀 블록(CAM_BLK3)에 저장된 배드 블록 정보를 독출하는 동작을 수행하지 않고 캠 리드 동작을 종료할 수 있다. 이 때, 레디/비지 신호(R/B)가 하이-스턱 상태이므로 컨트롤러가 추가적인 동작을 위한 커맨드를 보내더라도 반도체 메모리 장치(100)는 추가적인 동작을 수행하지 않아 오동작을 방지할 수 있다. 컨트롤러는 반도체 메모리 장치(100)가 계속하여 하이-스턱 상태를 유지하는 경우, 일정 시간 후에 다시 캠 리드 명령(CAM_READ) 혹은 그를 포함하는 파워 부팅 명령에 대응하는 커맨드(CMD)를 반도체 메모리 장치(100)로 재송부하여 파워 부팅 시퀀스 동작 혹은 캠 리드 동작을 재수행할 수 있도록 한다.

[0036] 반면, 에러 검출 신호(ERR_SIG)가 로직 로우 레벨로 비활성화될 때, 즉, 에러가 없음을 알릴 때, 제어 로직(160)은, 제 2 캠셀 블록(CAM_BLK2)에 저장된 리페어 어드레스 정보 및 제 3 캠셀 블록(CAM_BLK3)에 저장된 배드 블록 정보를 독출하는 동작을 추가적으로 수행하여 캠 리드 동작을 종료한 후, 레디/비지 신호(R/B)를 레디 상태로 출력할 수 있다. 따라서, 독출된 동작 설정 정보에 따라 동작 전압들을 정해진 레벨로 생성하고, 리페어 어드레스 정보에 따라 리던던시 경로를 설정하고, 배드 블록 정보에 따라 불량 메모리 블록은 사용되지 않도록 반도체 메모리 장치(100)의 설정을 수행하여 이후 정상적인 동작을 수행할 수 있다.

[0037] 에러 검출부(170)는, 제어 로직(160)의 제어에 응답하여 제 1 캠셀 블록(CAM_BLK1)로부터 독출되는 동작 설정 정보 및 에러 체크 정보를 저장하고, 에러 체크 정보를 이용하여 동작 설정 정보의 에러 여부를 판단할 수 있다. 에러 검출부(170)는, 판단한 에러 여부에 따라 에러 검출 신호(ERR_SIG)를 제어 로직(160)으로 출력한다. 본 발명의 실시예에서, 상기 에러 체크 정보는 패리티 비트(parity bit)를 포함할 수 있다.

[0038] 일반적으로, 제어 로직(160)은 캠셀 블록들(CAM_BLK1~CAM_BLK3)로부터 독출된 옵션 정보를 내부의 레지스터에 저장하고 이를 토대로 반도체 메모리 장치(100)의 제반 동작을 제어하기 위한 제어 신호를 생성할 수 있다. 이 때, 캠셀 블록들(CAM_BLK1~CAM_BLK3)에 저장된 정보에 오류가 발생하거나, 전원 레벨의 불안정으로 인해 오류가 발생하거나, 저장된 정보를 로딩하는 과정에서 오류가 발생되었을 경우에 반도체 메모리 장치(100)의 동작 제어

를 하는데 문제가 발생한다. 이를 방지하기 위해서, 본 발명의 실시예에서는, 캠셀 블록들(CAM_BLK1~CAM_BLK3) 중 일부, 즉, 제 1 캠셀 블록(CAM_BLK1)에 동작 설정 정보 및 동작 설정 정보에 대한 에러 체크 정보, 예를 들어 패리티 비트(parity bit)를 저장한다. 패리티 비트(parity bit)는 일반적으로 사용되는 에러 체크 방식으로, 데이터 전달 과정에서 오류가 생겼는지를 검사하기 위해 전송하고자 하는 데이터의 각 문자에 1 비트를 더하여 전송하는 방법이다.

[0039] 즉, 에러 검출부(170)는, 캠셀 블록들(CAM_BLK1~CAM_BLK3)의 옵션 정보를 독출할 때, 에러 체크 정보도 함께 독출하여 로딩하고, 동작 설정 정보의 에러 여부를 판단 한다. 이를 위해서 에러 검출부(170)는 EDC (ERROR DETECTION CODE) 체크 기능을 갖는다. 에러 검출부(170)는, 동작 설정 정보에 대한 에러 여부를 판단하여 에러 검출 신호(ERR_SIG)를 제어 로직(160)으로 출력한다.

[0040] 참고로, 도 2 에 도시된 도면 부호 'CAM_DATA' 는 캠셀 블록들(CAM_BLK1~CAM_BLK3)로부터 독출된 동작 설정 정보 및 동작 설정 정보에 대한 에러 체크 정보, 리페어 어드레스 정보 및 배드 블록 정보를 모두 포함하는 캠셀 데이터(CAM_DATA)이며, 본 발명의 실시예에서는 캠셀 데이터(CAM_DATA) 중 제 1 캠셀 블록(CAM_BLK1)에 저장된 동작 설정 정보 및 동작 설정 정보에 대한 에러 체크 정보만이 에러 검출부(170)로 입력될 수 있다. 또한, 도면 부호 'CAM_BLK_END' 는 제 1 캠셀 블록(CAM_BLK1)으로부터 에러 검출을 위한 정보(즉, 반도체 메모리 장치(100)의 동작 제어를 위한 동작 설정 정보 및 동작 설정 정보)를 독출하는 캠 리드 동작이 완료될 때 활성화되거나, 제 1 내지 제 3 캠셀 블록들(CAM_BLK1~CAM_BLK3)로부터 모든 정보를 독출하는 캠 리드 동작이 완료될 때 활성화되는 캠셀 블록 리드 완료 신호(CAM_BLK_END)이다.

[0042] 도 3 은 도 2 의 제 1 캠셀 블록(CAM_BLK1)을 설명하기 위한 도면이다. 도 4 는 도 3 의 제 1 캠셀 블록(CAM_BLK1)의 페이지(PAGE1)를 설명하기 위한 도면이다.

[0043] 도 3 을 참조하면, 제 1 캠셀 블록(CAM_BLK1)은 비트 라인들(BL1~BLm)에 각각 연결된 복수의 셀 스트링들(ST1~STm)을 포함한다. 복수 개의 셀 스트링(ST1~STm) 각각은 비트 라인(BL)과 소스 라인(CSL) 사이에 직렬 연결된 드레인 선택 트랜지스터(DST), 복수 개의 메모리 셀들(MC1~MCn), 및 소스 선택 트랜지스터(SST)를 포함할 수 있다. 드레인 선택 트랜지스터(DST)의 게이트는 드레인 선택 라인(DSL)과 연결되며, 소스 선택 트랜지스터(SST)의 게이트는 소스 선택 라인(SSL)과 연결된다. 복수 개의 메모리 셀들(MC1~MCn) 각각은 워드 라인(WL1~WLn)에 연결된다. 동일 워드 라인(WL1)에 연결된 다수 개의 메모리 셀들을 하나의 물리적 페이지(PAGE1)로 정의되며, 이러한 페이지는 프로그램 동작 또는 리드 동작의 기본 단위가 된다. 된다. 참고로, 제 2 캠셀 블록(CAM_BLK2) 및 제 3 캠셀 블록(CAM_BLK3)도 제 1 캠셀 블록(CAM_BLK1)과 실질적으로 동일한 구성을 가질 수 있다.

[0044] 도 4 를 참조하면, 제 1 캠셀 블록(CAM_BLK1)의 페이지(PAGE1)는 동작 제어를 위한 동작 설정 정보(MAIN_DATA) 및 동작 설정 정보에 대한 에러 체크 정보(PARITY)가 저장된다. 일 실시예에서, 동작 설정 정보(MAIN_DATA)는, 프로그램, 독출 또는 소거 동작의 제어를 위한 동작 전압들을 포함할 수 있다. 상기 동작 전압들은, 소거 전압(VERASE), 프로그램 전압(VPGM), 리드 전압(VREAD), 패스 전압(VPASS), 소스 라인 전압(VDSL, VSSL), 공통 소스 전압(VSL) 등을 포함할 수 있다. 일 실시예에서, 에러 체크 정보(PARITY)는, 패리티 비트(parity bit)를 포함할 수 있다. 패리티 비트(parity bit)는 동작 설정 정보(MAIN_DATA)를 토대로 생성된 정보를 포함하며, 동작 설정 정보(MAIN_DATA)에 포함된 1 비트의 전체 개수가 짝수나 홀수 개를 유지하도록 추가될 수 있다.

[0045] 도 2 의 에러 검출부(170)는 제 1 캠셀 블록(CAM_BLK1)로부터 독출되는 동작 설정 정보(MAIN_DATA) 및 에러 체크 정보(PARITY)를 저장하고, 에러 체크 정보(PARITY)에 포함된 패리티 비트(parity bit)를 토대로 독출된 동작 설정 정보(MAIN_DATA)의 에러 여부를 판단할 수 있다. 일 실시예에서, 에러 검출부(170)는 라이트 시 생성된 에러 정보를 저장하고, 리드 시 독출된 에러 체크 정보(PARITY)와 저장된 에러 정보를 비교하여 에러 여부를 판단할 수 있다.

[0047] 도 5 는 도 1 의 제어 로직(160)의 일부 구성(160')을 설명하기 위한 상세 블록도 이다. 참고로, 도 5 에 도시된 구성은 도 1 의 제어 로직(160)의 전체 구성 중 본 발명의 특징을 구현하기 위한 일부 구성(160')을 도시한 도면 이다.

[0048] 도 5 를 참조하면, 제어 로직(160')은 캠 리드 완료 신호 생성부(610) 및 레디/비지 신호 생성부(630)을 포함

한다.

[0049] 캠 리드 완료 신호 생성부(610)는, 에러 검출 신호(ERR_SIG), 캠셀 블록 리드 완료 신호(CAM_BLK_END), 파워-온 신호(POR) 및 레지스터 리셋 신호(MC_EXTREGRST)에 응답하여 캠 리드 완료 신호(AUTORDDONE)를 생성한다. 더욱 상세하게, 캠 리드 완료 신호 생성부(610)는, 에러 검출 신호(ERR_SIG) 및 캠셀 블록 리드 완료 신호(CAM_BLK_END)에 응답하여 셋(SET)되고, 파워-온 신호(POR) 또는 레지스터 리셋 신호(MC_EXTREGRST)에 응답하여 리셋(RESET)되는 캠 리드 완료 신호(AUTORDDONE)를 생성할 수 있다.

[0050] 레디/비지 신호 생성부(630)는, 캠 리드 완료 신호(AUTORDDONE)에 응답하여, 하이-스텍 상태를 나타내는 레디/비지 신호(R/B)를 외부의 컨트롤러(미도시)로 출력하거나, 레디 상태를 나타내는 레디/비지 신호(R/B)를 외부의 컨트롤러로 출력한다. 더욱 상세하게, 레디/비지 신호 생성부(630)는, 제 1 타이밍(T1)에서 캠 리드 완료 신호(AUTORDDONE)가 비활성화된 경우, 레디/비지 신호(R/B)를 하이-스텍 상태로 출력하거나, 제 3 타이밍(T3)에서 캠 리드 완료 신호(AUTORDDONE)가 활성화된 경우, 레디/비지 신호(R/B)를 레디 상태로 출력할 수 있다.

[0051] 참고로, 제 1 타이밍(T1)은 파워-온(T0) 이후 제 1 캠셀 블록(CAM_BLK1)로부터 반도체 메모리 장치(100)의 동작 제어를 위한 동작 설정 정보 및 동작 설정 정보에 대한 에러 체크 정보의 독출이 완료된 시점을 의미하고, 제 3 타이밍(T3)은 제 1 내지 제 3 캠셀 블록들(CAM_BLK1~CAM_BLK3)로부터 모든 정보의 독출이 완료된 시점을 의미하고, 제 2 타이밍(T2)은 제 1 타이밍(T1)과 제 3 타이밍(T3) 사이의 임의의 타이밍을 의미한다. 에러 검출 신호(ERR_SIG)는 에러 체크 정보(PARITY)가 에러가 있음을 알릴 때 로직 하이 레벨로 활성화되는 신호 이고, 레지스터 리셋 신호(MC_EXTREGRST)는 제 2 타이밍(T2)에서 활성화되는 신호 이고, 캠셀 블록 리드 완료 신호(CAM_BLK_END)는 제 1 타이밍(T1)과 제 3 타이밍(T3)에서 활성화되는 신호이다.

[0053] 도 6 은 도 5 의 캠 리드 완료 신호 생성부(610)을 설명하기 위한 회로도 이다.

[0054] 도 6 을 참조하면, 캠 리드 완료 신호 생성부(610)는, 셋 신호 생성부(612), 리셋 신호 생성부(614) 및 래치부(616)를 포함한다.

[0055] 셋 신호 생성부(612)는, 에러 검출 신호(ERR_SIG) 및 캠셀 블록 리드 완료 신호(CAM_BLK_END)에 응답하여 활성화되는 셋 신호(AUTORDDONE_SET)를 생성한다. 보다 상세하게, 셋 신호 생성부(612)는, 에러 검출 신호(ERR_SIG)가 로직 하이 레벨로 활성화될 때 캠셀 블록 리드 완료 신호(CAM_BLK_END)를 마스킹하여 셋 신호(AUTORDDONE_SET)로 출력하고, 에러 검출 신호(ERR_SIG)가 로직 로우 레벨로 비활성화될 때 캠셀 블록 리드 완료 신호(CAM_BLK_END)를 셋 신호(AUTORDDONE_SET)로 출력한다. 즉, 셋 신호 생성부(612)는, 에러 체크 정보(PARITY)가 에러가 있음을 알리는 경우에는 셋 신호(AUTORDDONE_SET)가 비활성화되도록 출력하고, 에러 체크 정보(PARITY)가 에러가 없음을 알리는 경우에는 셋 신호(AUTORDDONE_SET)가 제 1 타이밍(T1)과 제 3 타이밍(T3)에서 활성화되도록 출력할 수 있다.

[0056] 리셋 신호 생성부(614)는, 파워-온 신호(POR) 또는 레지스터 리셋 신호(MC_EXTREGRST)에 응답하여 활성화되는 리셋 신호(INT_POR_NEW)를 생성한다. 종래의 기술에서는 파워-온 신호(POR)를 리셋 신호로 이용하였으나, 본 발명에서는, 파워-온 신호(POR) 또는 레지스터 리셋 신호(MC_EXTREGRST)에 응답해서 활성화되는 리셋 신호(INT_POR_NEW)를 이용할 수 있다.

[0057] 래치부(616)는 셋 신호(AUTORDDONE_SET)에 응답하여 셋되고, 리셋 신호(INT_POR_NEW)에 응답해서 리셋되는 캠 리드 완료 신호(AUTORDDONE)를 생성한다.

[0059] 이하, 도 7a 및 도 7b 를 참조하여, 도 5 내지 도 6 에 도시된 제어 로직(160')에서 출력되는 캠 리드 완료 신호(AUTORDDONE) 및 레디/비지 신호(R/B)를 설명하기로 한다.

[0060] 도 7a 및 도 7b 는 도 5 의 제어 로직(160')의 동작을 설명하기 위한 타이밍도 이다.

[0061] 도 7a 를 참조하면, 에러 검출 신호(ERR_SIG)가 로직 하이 레벨로 활성화될 때, 즉, 제 1 캠셀 블록(CAM_BLK1)에 저장된 동작 설정 정보 및 동작 설정 정보에 대한 에러 체크 정보가 에러가 있음을 알리는 경우가 도시되어 있다.

[0062] 이 경우, 에러 검출 신호(ERR_SIG)가 로직 하이 레벨로 활성화되어 있어, 캠 리드 완료 신호 생성부(610)의 셋 신호 생성부(612)는 셋 신호(AUTORDDONE_SET)가 비활성화되도록 출력한다. 따라서, 캠 리드 완료 신호 생성부

(610)의 래치부(616)는 로직 로우 레벨로 비활성화된 캠 리드 완료 신호(AUTORDDONE)를 출력한다. 레디/비지 신호 생성부(630)는, 제 1 타이밍(T1)에서 캠 리드 완료 신호(AUTORDDONE)가 로직 로우 레벨로 비활성화된 경우, 하이-스텍 상태를 나타내는 레디/비지 신호(R/B)를 외부의 컨트롤러(미도시)로 출력한다.

[0063] 이 후, 제어 로직(160)은, 제 2 캠셀 블록(CAM_BLK2)에 저장된 리페어 어드레스 정보 및 제 3 캠셀 블록(CAM_BLK3)에 저장된 배드 블록 정보를 독출하는 동작을 수행하지 않고 캠 리드 동작을 종료할 수 있다. 이 때, 레디/비지 신호(R/B)가 하이-스텍 상태이므로 컨트롤러가 추가적인 동작을 위한 커맨드를 보내더라도 반도체 메모리 장치(100)는 추가적인 동작을 수행하지 않아 오동작을 방지할 수 있다. 컨트롤러는 반도체 메모리 장치(100)가 계속하여 하이-스텍 상태를 유지하는 경우, 일정 시간 후에 다시 캠 리드 명령(CAM_READ) 혹은 그를 포함하는 파워 부팅 명령에 대응하는 커맨드(CMD)를 반도체 메모리 장치(100)로 재송부하여 파워 부팅 시퀀스 동작 및 캠 리드 동작을 재수행할 수 있도록 한다.

[0064] 도 7b 를 참조하면, 에러 검출 신호(ERR_SIG)가 로직 로우 레벨로 비활성화될 때, 즉, 제 1 캠셀 블록(CAM_BLK1)에 저장된 동작 설정 정보 및 동작 설정 정보에 대한 에러 체크 정보가 에러가 없음을 알리는 경우가 도시되어 있다.

[0065] 이 경우, 에러 검출 신호(ERR_SIG)가 로직 로우 레벨로 비활성화되어 있어, 캠 리드 완료 신호 생성부(610)의 셋 신호 생성부(612)는 제 1 타이밍(T1)과 제 3 타이밍(T3)에서 활성화되는 캠셀 블록 리드 완료 신호(CAM_BLK_END)를 그대로 셋 신호(AUTORDDONE_SET)로 출력한다. 따라서, 캠 리드 완료 신호 생성부(610)의 래치부(616)는 제 1 타이밍(T1)에서 셋되고, 제 2 타이밍(T2)에서 리셋된 후 제 3 타이밍(T3)에서 다시 셋되는 캠 리드 완료 신호(AUTORDDONE)를 출력한다. 이 때, 제어 로직(160)은, 제 1 타이밍(T1) 이후 제 2 캠셀 블록(CAM_BLK2)에 저장된 리페어 어드레스 정보 및 제 3 캠셀 블록(CAM_BLK3)에 저장된 배드 블록 정보를 독출하는 동작을 추가적으로 수행하여 제 3 타이밍(T3)에서 캠 리드 동작을 종료할 수 있다. 레디/비지 신호 생성부(630)는, 제 3 타이밍(T3)에서 캠 리드 완료 신호(AUTORDDONE)가 활성화된 경우, 레디 상태를 나타내는 레디/비지 신호(R/B)를 외부의 컨트롤러(미도시)로 출력한다.

[0066] 이 후, 제어 로직(160)은, 독출된 동작 설정 정보에 따라 동작 전압들을 정해진 레벨로 생성하고, 리페어 어드레스 정보에 따라 리던던시 경로를 설정하고, 배드 블록 정보에 따라 불량 메모리 블록은 사용되지 않도록 반도체 메모리 장치(100)의 설정을 수행하여 이후 정상적인 동작을 수행할 수 있다.

[0068] 이하, 도 2 및 도 5 내지 도 7b 를 참조하여, 본 발명의 일 실시예에 따른 반도체 메모리 장치의 동작을 설명하기로 한다.

[0069] 도 8 은 본 발명의 일 실시예에 따른 반도체 메모리 장치의 캠 리드 동작을 설명하기 위한 플로우 차트 이다.

[0070] 도 8 을 참조하면, 반도체 메모리 장치(100)에 외부 전원 전압이 공급되기 시작하면 파워-온 신호(POR)가 활성화되고(S1000), 외부 컨트롤러로부터 캠셀에 저장된 옵션 정보를 독출하기 위한 캠 리드 명령(CAM_READ)이 입력된다(S1100). 파워-온 신호(POR)가 활성화될 때, 캠 리드 완료 신호(AUTORDDONE) 및 레디/비지 신호(R/B)는 초기화될 수 있다.

[0071] 반도체 메모리 장치(100)는 캠 리드 명령에 응답하여, 제 1 캠셀 블록(CAM_BLK1)에 저장된 동작 설정 정보 및 동작 설정 정보에 대한 에러 체크 정보를 독출하기 위한 캠 리드 동작을 수행 한다(S1200). 참고로, 제 1 캠셀 블록(CAM_BLK1)에 저장된 동작 설정 정보 및 동작 설정 정보에 대한 에러 체크 정보를 독출하는 캠 리드 동작이 완료되는 제 1 타이밍(T1)에서, 캠셀 블록 리드 완료 신호(CAM_BLK_END)가 활성화될 수 있다.

[0072] 에러 검출부(170)는 제 1 캠셀 블록(CAM_BLK1)로부터 독출되는 동작 설정 정보 및 에러 체크 정보를 토대로, 동작 설정 정보의 에러 여부를 판단하여 에러 검출 신호(ERR_SIG)를 제어 로직(160)으로 출력한다.

[0073] 에러 검출 신호(ERR_SIG)가 로직 하이 레벨로 활성화될 때(S1300의 Yes), 즉, 에러가 있음을 알릴 때, 제어 로직(160)은 레디/비지 신호(R/B)를 하이-스텍 상태로 출력할 수 있다(S1400). 제어 로직(160)은, 제 2 캠셀 블록(CAM_BLK2)에 저장된 리페어 어드레스 정보 및 제 3 캠셀 블록(CAM_BLK3)에 저장된 배드 블록 정보를 독출하는 동작을 수행하지 않고 캠 리드 동작을 종료할 수 있다. 이 때, 레디/비지 신호(R/B)가 하이-스텍 상태이므로 컨트롤러가 추가적인 동작을 위한 커맨드를 보내더라도 반도체 메모리 장치(100)는 추가적인 동작을 수행하지 않아 오동작을 방지할 수 있다. 컨트롤러는 반도체 메모리 장치(100)가 계속하여 하이-스텍 상태를 유지하는 경우, 일정 시간 후에 다시 캠 리드 명령(CAM_READ) 혹은 그를 포함하는 파워 부팅 명령에 대응하는 커맨드

(CMD)를 반도체 메모리 장치(100)로 재송부하여 파워 부팅 시퀀스 동작 혹은 캠 리드 동작을 재수행할 수 있도록 한다.

[0074] 반면, 에러 검출 신호(ERR_SIG)가 로직 로우 레벨로 비활성화될 때(S1300의 No), 즉, 에러가 없음을 알릴 때, 제어 로직(160)은, 제 1 타이밍(T1)에서 캠 리드 완료 신호(AUTORDDONE)를 셋하고(S1510), 제 2 타이밍(T2)에서 캠 리드 완료 신호(AUTORDDONE)를 리셋한다(S1520). 이 후, 반도체 메모리 장치(100)는 제 2 캠셀 블록(CAM_BLK2)에 저장된 리페어 어드레스 정보를 독출하는 동작(S1530) 및 제 3 캠셀 블록(CAM_BLK3)에 저장된 배드 블록 정보를 독출하는 동작(S1540)을 추가적으로 수행할 수 있다. 반도체 메모리 장치(100)는, 캠셀 블록들(CAM_BLK1~CAM_BLK3)으로부터 독출된 동작 설정 정보에 따라 동작 전압들을 정해진 레벨로 생성하고 리페어 어드레스 정보에 따라 리던던시 경로를 설정하고, 배드 블록 정보에 따라 불량 메모리 블록은 사용되지 않도록 설정한다. 상기와 같은 캠 리드 동작이 수행된 후, 제어 로직(160)은, 제 3 타이밍(T3)에서 다시 캠 리드 완료 신호(AUTORDDONE)를 셋하고, 제 3 타이밍(T3)에서 활성화된 캠 리드 완료 신호(AUTORDDONE)에 응답하여 레디/비지 신호(R/B)를 다음 동작을 수행할 수 있는 상태임을 알리는 레디 상태로 출력할 수 있다(S1550).

[0075] 따라서, 컨트롤러는 반도체 메모리 장치에서 출력하는 레디/비지 신호(R/B)가 레디 상태임을 감지하여 추가적인 동작, 예를 들어, 리드/프로그램/소거 동작을 수행하기 위한 명령을 송부함으로써 반도체 메모리 장치가 노멀 동작을 수행할 수 있도록 한다.

[0076] 상기와 같이, 본 발명의 일실시예에 따른 반도체 메모리 장치는, 파워-온 시에 캠셀에 저장된 옵션 정보 및 에러 체크 정보를 독출하고, 에러 체크 정보를 토대로 옵션 정보에 대한 에러 여부를 판단할 수 있다. 또한, 에러가 검출되지 않은 경우, 캠 리드 명령에 대한 완료 신호를 활성화시켜 정상적인 동작이 수행될 수 있도록 하고, 에러가 검출된 경우, 캠 리드 명령에 대한 완료 신호를 비활성화시킴으로써 이후 발생될 수 있는 오동작을 방지하여 반도체 메모리 장치를 비정상 동작으로부터 보호하고, 전체 메모리 시스템의 신뢰성을 향상시킬 수 있다.

[0078] 도 9 는 도 1 의 반도체 메모리 장치(100)를 포함하는 메모리 시스템을 보여주는 블록도 이다

[0079] 도 9 를 참조하면, 메모리 시스템(1000)은 반도체 메모리 장치(100) 및 컨트롤러(1100)를 포함한다.

[0080] 반도체 메모리 장치(100)는 도 2 를 참조하여 설명된 바와 마찬가지로 구성되고, 동작할 수 있다. 본 발명의 실시예에 따르면, 메모리 장치(100)가 하이-스틱 상태의 레디/비지 신호(R/B)를 출력하는 경우, 컨트롤러(1100)가 추가적인 동작을 위한 커맨드를 반도체 메모리 장치(100)에 보내더라도, 반도체 메모리 장치(100)는 추가적인 동작을 수행하지 않아 오동작을 방지할 수 있다. 컨트롤러(1100)는 반도체 메모리 장치(100)가 계속하여 하이-스틱 상태를 유지하는 경우, 일정 시간 후에 다시 캠 리드 명령(CAM_READ) 혹은 그를 포함하는 파워 부팅 명령에 대응하는 커맨드(CMD)를 반도체 메모리 장치(100)로 재송부하여 파워 부팅 시퀀스 동작 및 캠 리드 동작을 재수행할 수 있도록 한다. 이하, 중복되는 설명은 생략된다.

[0081] 컨트롤러(1100)는 호스트(Host) 및 반도체 메모리 장치(100)에 연결된다. 호스트(Host)로부터의 요청에 응답하여, 컨트롤러(1100)는 반도체 메모리 장치(100)를 액세스하도록 구성된다. 예를 들면, 컨트롤러(1100)는 반도체 메모리 장치(100)의 읽기, 쓰기, 소거, 그리고 배경(background) 동작을 제어하도록 구성된다. 컨트롤러(1100)는 반도체 메모리 장치(100) 및 호스트(Host) 사이에 인터페이스를 제공하도록 구성된다. 컨트롤러(1100)는 반도체 메모리 장치(100)를 제어하기 위한 펌웨어(firmware)를 구동하도록 구성된다.

[0082] 컨트롤러(1100)는 램(1110, Random Access Memory), 프로세싱 유닛(1120, processing unit), 호스트 인터페이스(1130, host interface), 메모리 인터페이스(1140, memory interface) 및 에러 정정 블록(1150)을 포함한다. 램(1110)은 프로세싱 유닛(1120)의 동작 메모리, 반도체 메모리 장치(100) 및 호스트(Host) 사이의 캐시 메모리, 그리고 반도체 메모리 장치(100) 및 호스트(Host) 사이의 버퍼 메모리 중 적어도 하나로서 이용된다. 프로세싱 유닛(1120)은 컨트롤러(1100)의 제반 동작을 제어한다. 또한 컨트롤러(1100)는 쓰기 동작시 호스트(Host)로부터 제공되는 프로그램 데이터를 임시 저장할 수 있다.

[0083] 호스트 인터페이스(1130)는 호스트(Host) 및 컨트롤러(1100) 사이의 데이터 교환을 수행하기 위한 프로토콜을 포함한다. 예시적인 실시 예로서, 컨트롤러(1200)는 USB (Universal Serial Bus) 프로토콜, MMC (multimedia card) 프로토콜, PCI (peripheral component interconnection) 프로토콜, PCI-E (PCI-express) 프로토콜, ATA (Advanced Technology Attachment) 프로토콜, Serial-ATA 프로토콜, Parallel-ATA 프로토콜, SCSI (small computer small interface) 프로토콜, ESDI (enhanced small disk interface) 프로토콜, 그리고 IDE (Integrated Drive Electronics) 프로토콜, 사유(private) 프로토콜 등과 같은 다양한 인터페이스 프로토콜들

중 적어도 하나를 통해 호스트(Host)와 통신하도록 구성된다.

[0084] 메모리 인터페이스(1140)는 반도체 메모리 장치(100)와 인터페이싱한다. 예를 들면, 메모리 인터페이스는 낸드 인터페이스 또는 노어 인터페이스를 포함한다.

[0085] 에러 정정 블록(1150)은 에러 정정 코드(ECC, Error Correcting Code)를 이용하여 반도체 메모리 장치(100)로부터 수신된 데이터의 에러를 검출하고, 정정하도록 구성된다. 참고로, 도 1 에서는 반도체 메모리 장치(100) 내에 에러 검출부(170)가 포함되고, 도 9 에서는 컨트롤러(1100) 내에 에러 정정 블록(1150)이 포함된 경우가 도시되어 있지만, 에러 검출부(170) 및 에러 정정 블록(1150)은 동일 구성으로 구현될 수 있다. 즉, 다른 실시 예에서, 하나의 에러 검출/정정 블록이 컨트롤러 혹은 반도체 메모리 장치 내에 구비될 수 있다.

[0086] 프로세싱 유닛(1120)은 에러 정정 블록(1150)의 에러 검출 결과에 따라 읽기 전압을 조절하고, 재 읽기를 수행하도록 반도체 메모리 장치(100)를 제어할 것이다. 예시적인 실시 예로서, 에러 정정 블록은 컨트롤러(1100)의 구성 요소로서 제공될 수 있다.

[0087] 컨트롤러(1100) 및 반도체 메모리 장치(100)는 하나의 반도체 장치로 집적될 수 있다. 예시적인 실시 예로서, 컨트롤러(1100) 및 반도체 메모리 장치(100)는 하나의 반도체 장치로 집적되어, 메모리 카드를 구성할 수 있다. 예를 들면, 컨트롤러(1100) 및 반도체 메모리 장치(100)는 하나의 반도체 장치로 집적되어 PC 카드(PCMCIA, personal computer memory card international association), 컴팩트 플래시 카드(CF), 스마트 미디어 카드(SM, SMC), 메모리 스틱, 멀티미디어 카드(MMC, RS-MMC, MMCmicro), SD 카드(SD, miniSD, microSD, SDHC), 유니버설 플래시 기억장치(UFS) 등과 같은 메모리 카드를 구성할 것이다.

[0088] 컨트롤러(1100) 및 반도체 메모리 장치(100)는 하나의 반도체 장치로 집적되어 반도체 드라이브(SSD, Solid State Drive)를 구성할 수 있다. 반도체 드라이브(SSD)는 반도체 메모리에 데이터를 저장하도록 구성되는 저장 장치를 포함한다. 메모리 시스템(2000)이 반도체 드라이브(SSD)로 이용되는 경우, 메모리 시스템(2000)에 연결된 호스트(Host)의 동작 속도는 획기적으로 개선된다.

[0089] 다른 예로서, 메모리 시스템(1000)은 컴퓨터, UMPC (Ultra Mobile PC), 워크스테이션, 넷북(net-book), PDA (Personal Digital Assistants), 포터블(portable) 컴퓨터, 웹 타블렛(web tablet), 무선 전화기(wireless phone), 모바일 폰(mobile phone), 스마트폰(smart phone), e-북(e-book), PMP(portable multimedia player), 휴대용 게임기, 네비게이션(navigation) 장치, 블랙박스(black box), 디지털 카메라(digital camera), 3차원 수상기(3-dimensional television), 디지털 음성 녹음기(digital audio recorder), 디지털 음성 재생기(digital audio player), 디지털 영상 녹화기(digital picture recorder), 디지털 영상 재생기(digital picture player), 디지털 동영상 녹화기(digital video recorder), 디지털 동영상 재생기(digital video player), 정보를 무선 환경에서 송수신할 수 있는 장치, 홈 네트워크를 구성하는 다양한 전자 장치들 중 하나, 컴퓨터 네트워크를 구성하는 다양한 전자 장치들 중 하나, 텔레매틱스 네트워크를 구성하는 다양한 전자 장치들 중 하나, RFID 장치, 또는 컴퓨팅 시스템을 구성하는 다양한 구성 요소들 중 하나 등과 같은 전자 장치의 다양한 구성 요소들 중 하나로 제공된다.

[0090] 예시적인 실시 예로서, 반도체 메모리 장치(100) 또는 메모리 시스템(1000)은 다양한 형태들의 패키지로 실장될 수 있다. 예를 들면, 반도체 메모리 장치(100) 또는 메모리 시스템(2000)은 PoP(Package on Package), Ball grid arrays(BGAs), Chip scale packages(CSPs), Plastic Leaded Chip Carrier(PLCC), Plastic Dual In Line Package(PDIP), Die in Waffle Pack, Die in Wafer Form, Chip On Board(COB), Ceramic Dual In Line Package(CERDIP), Plastic Metric Quad Flat Pack(MQFP), Thin Quad Flatpack(TQFP), Small Outline(SOIC), Shrink Small Outline Package(SSOP), Thin Small Outline(TSOP), Thin Quad Flatpack(TQFP), System In Package(SIP), Multi Chip Package(MCP), Wafer-level Fabricated Package(WFP), Wafer-Level Processed Stack Package(WSP) 등과 같은 방식으로 패키지화되어 실장될 수 있다.

[0092] 도 10 은 도 9 의 메모리 시스템의 응용 예를 보여주는 블록도 이다.

[0093] 도 10 을 참조하면, 메모리 시스템(2000)은 반도체 메모리 장치(2100) 및 컨트롤러(2200)를 포함한다. 반도체 메모리 장치(2100)는 다수의 반도체 메모리 칩들을 포함한다. 다수의 반도체 메모리 칩들은 다수의 그룹들로 분할된다.

[0094] 도 10 에서, 다수의 그룹들은 각각 제 1 내지 제 k 채널들(CH1~CHk)을 통해 컨트롤러(2200)와 통신하는 것으로

도시되어 있다. 각 반도체 메모리 칩은 도 2 를 참조하여 설명된 반도체 메모리 장치(100) 중 하나와 마찬가지로 구성되고, 동작할 것이다.

[0095] 각 그룹은 하나의 공통 채널을 통해 컨트롤러(2200)와 통신하도록 구성된다. 컨트롤러(2200)는 도 9 를 참조하여 설명된 컨트롤러(1100)와 마찬가지로 구성되고, 다수의 채널들(CH1~CHk)을 통해 반도체 메모리 장치(2100)의 다수의 메모리 칩들을 제어하도록 구성된다.

[0097] 도 11 은 도 10 을 참조하여 설명된 메모리 시스템을 포함하는 컴퓨팅 시스템을 보여주는 블록도이다.

[0098] 도 11 을 참조하면, 컴퓨팅 시스템(3000)은 중앙 처리 장치(3100), 램(3200, RAM, Random Access Memory), 사용자 인터페이스(3300), 전원(3400), 시스템 버스(3500), 그리고 메모리 시스템(2000)을 포함한다.

[0099] 메모리 시스템(2000)은 시스템 버스(3500)를 통해, 중앙처리장치(3100), 램(3200), 사용자 인터페이스(3300), 그리고 전원(3400)에 전기적으로 연결된다. 사용자 인터페이스(3300)를 통해 제공되거나, 중앙 처리 장치(3100)에 의해서 처리된 데이터는 메모리 시스템(2000)에 저장된다.

[0100] 도 11 에서, 반도체 메모리 장치(2100)는 컨트롤러(2200)를 통해 시스템 버스(3500)에 연결되는 것으로 도시되어 있다. 그러나, 반도체 메모리 장치(2100)는 시스템 버스(3500)에 직접 연결되도록 구성될 수 있다. 이 때, 컨트롤러(2200)의 기능은 중앙 처리 장치(3100) 및 램(3200)에 의해 수행될 것이다.

[0101] 도 11 에서, 도 10 을 참조하여 설명된 메모리 시스템(2000)이 제공되는 것으로 도시되어 있다. 그러나, 메모리 시스템(2000)은 도 9 를 참조하여 설명된 메모리 시스템(1000)으로 대체될 수 있다. 예시적인 실시 예로서, 컴퓨팅 시스템(3000)은 도 9 및 도 10 을 참조하여 설명된 메모리 시스템들(1000, 2000)을 모두 포함하도록 구성될 수 있다.

[0103] 본 발명의 기술 사상은 상기 바람직한 실시예에 따라 구체적으로 기록되었으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술 사상의 범위 내에서 다양한 실시예가 가능함을 이해할 수 있을 것이다.

[0104] 예컨대, 전술한 실시예에서 예시한 논리 게이트 및 트랜지스터는 입력되는 신호의 극성에 따라 그 위치 및 종류가 다르게 구현되어야 할 것이다.

부호의 설명

[0106] 100: 반도체 메모리 장치 110: 메모리 셀 어레이

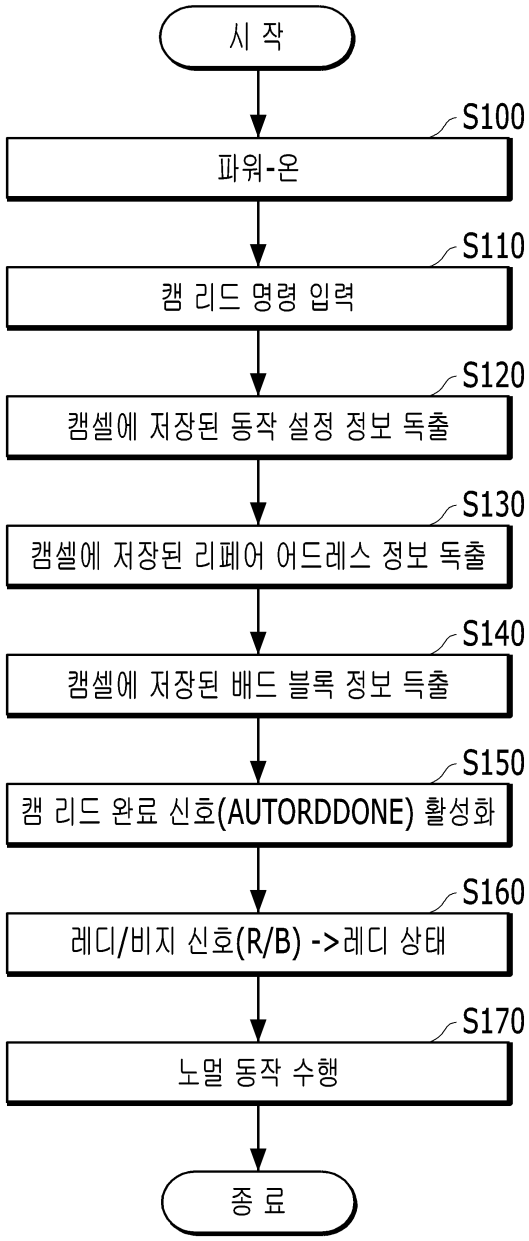
120: 어드레스 디코더 130: 읽기 및 쓰기 회로

140: 데이터 입출력 회로 150: 전압 공급부

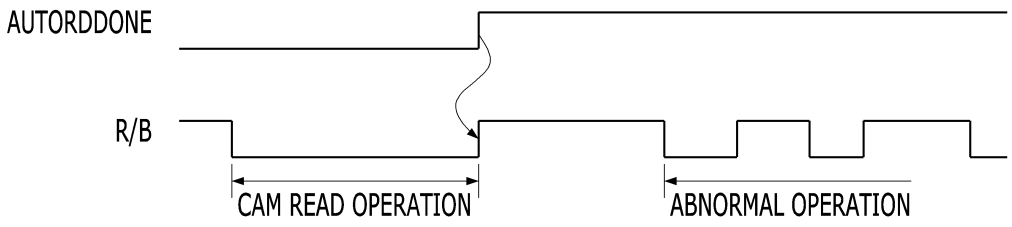
160: 제어 로직 170: 에러 검출부

도면

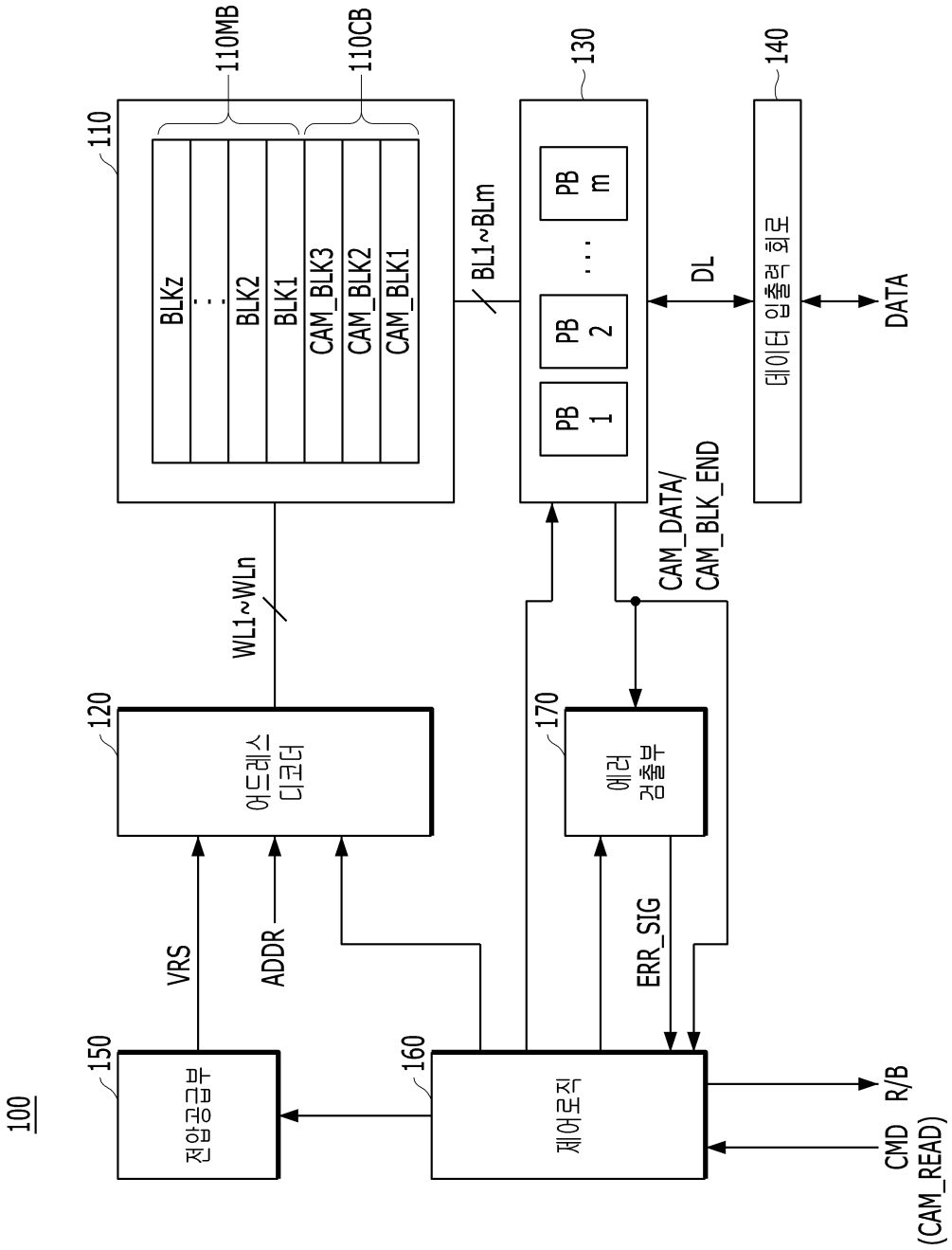
도면1a


시 작
S100
파워-온
S110
캠 리드 명령 입력
S120
캠셀에 저장된 동작 설정 정보 독출
S130
캠셀에 저장된 리페어 어드레스 정보 독출
S140
캠셀에 저장된 배드 블록 정보 득출
S150
캠 리드 완료 신호(AUTORDDONE) 활성화
S160
레디/비지 신호(R/B) ->레디 상태
S170
노멀 동작 수행
종 료

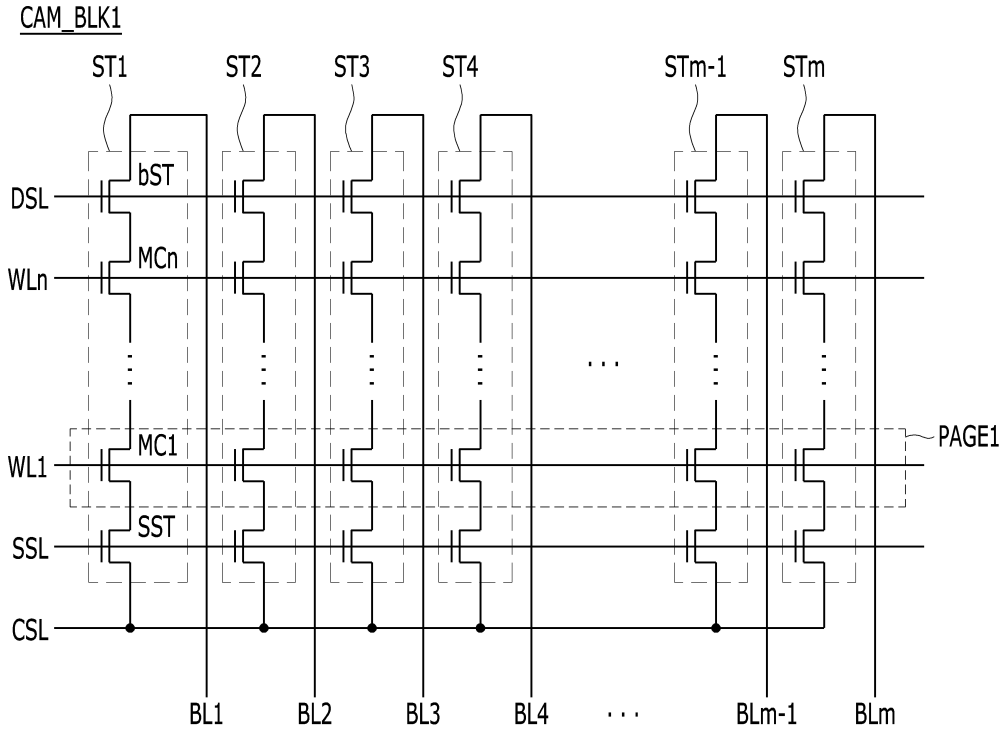
도면1b


AUTORDDONE
R/B
CAM READ OPERATION
ABNORMAL OPERATION

도면2


100
110
110MB
110CB
BLKz
BLK2
BLK1
CAM_BLK3
CAM_BLK2
CAM_BLK1
BL1~BLm
130
PB 1
PB 2
PB m
DL
140
데이터 입출력 회로
DATA
WL1~WLn
120
어드레스 디코더
170
에러 검출부
CAM_DATA/
CAM_BLK_END
VRS
ADDR
ERR_SIG
150
전압공급부
160
제어로직
CMD
(CAM_READ)
R/B

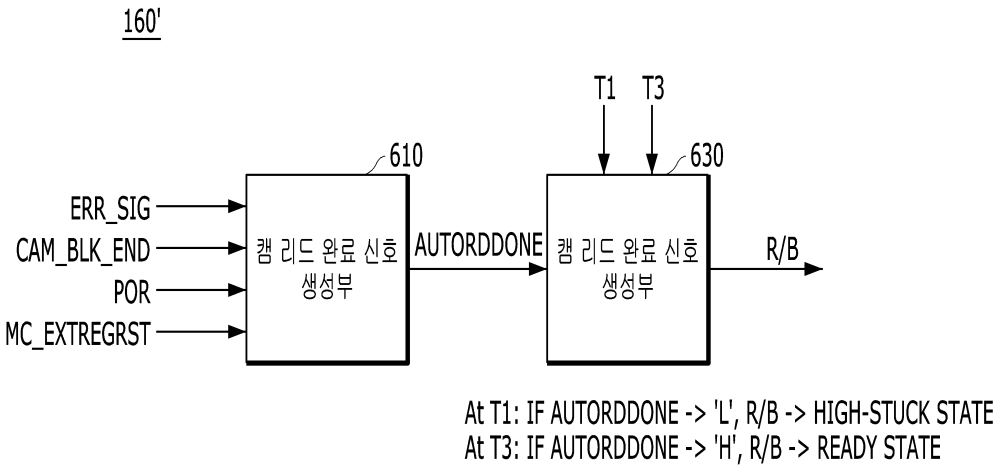
도면3


CAM_BLK1
ST1
ST2
ST3
ST4
STm-1
STm
bST
DSL
MCn
WLn
MC1
WL1
SST
SSL
CSL
PAGE1
BL1
BL2
BL3
BL4
BLm-1
BLm

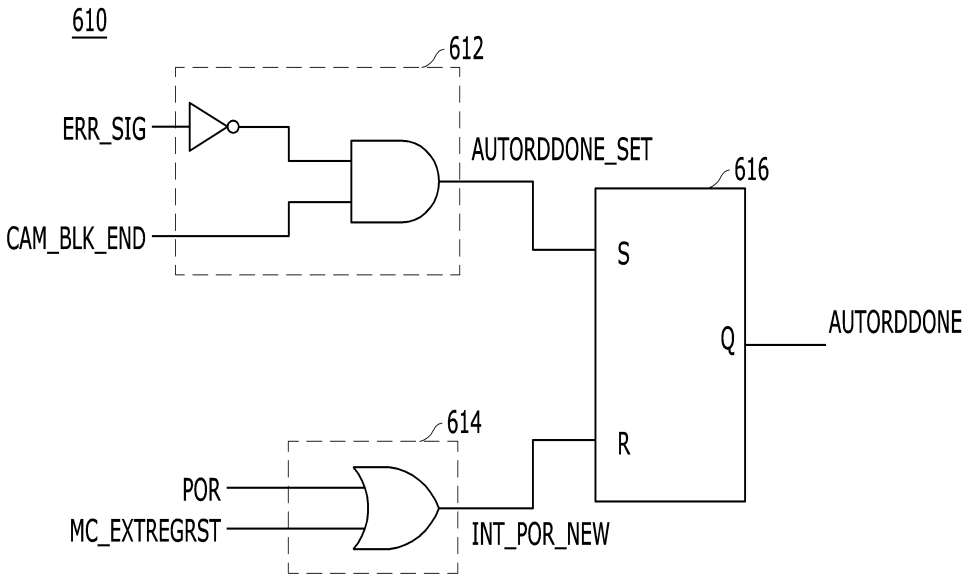
도면4


PAGE1
MAIN DATA
Parity

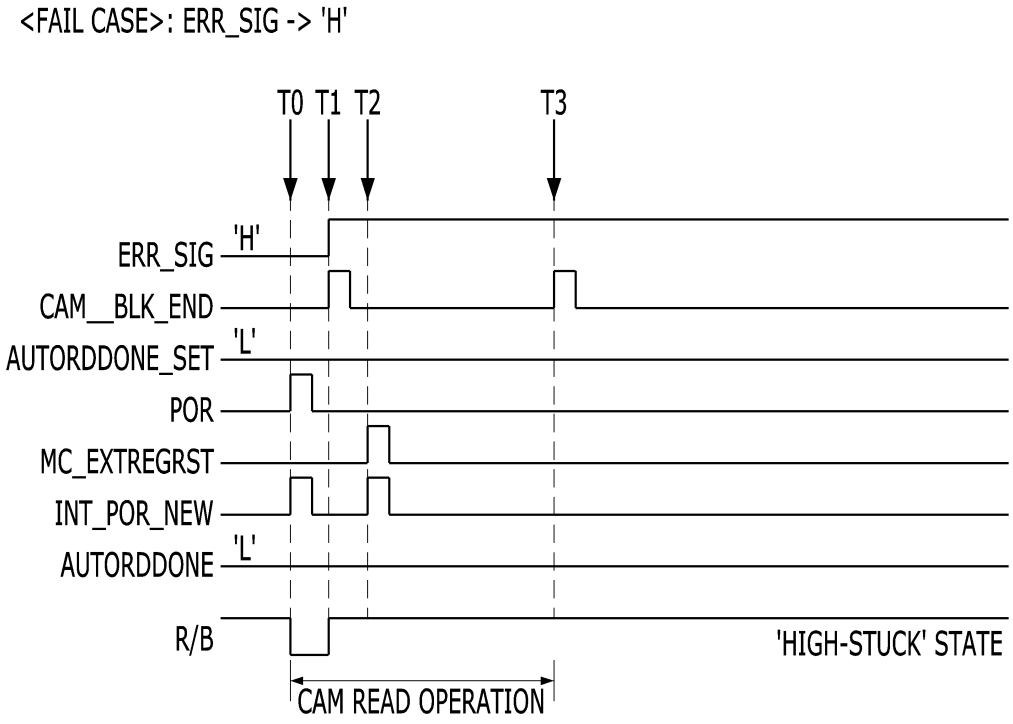
도면5


160'
T1
T3
610
630
ERR_SIG
CAM_BLK_END
POR
MC_EXTREGRST
캠 리드 완료 신호 생성부
AUTORDDONE
캠 리드 완료 신호 생성부
R/B
At T1: IF AUTORDDONE -> 'L', R/B -> HIGH-STUCK STATE
At T3: IF AUTORDDONE -> 'H', R/B -> READY STATE

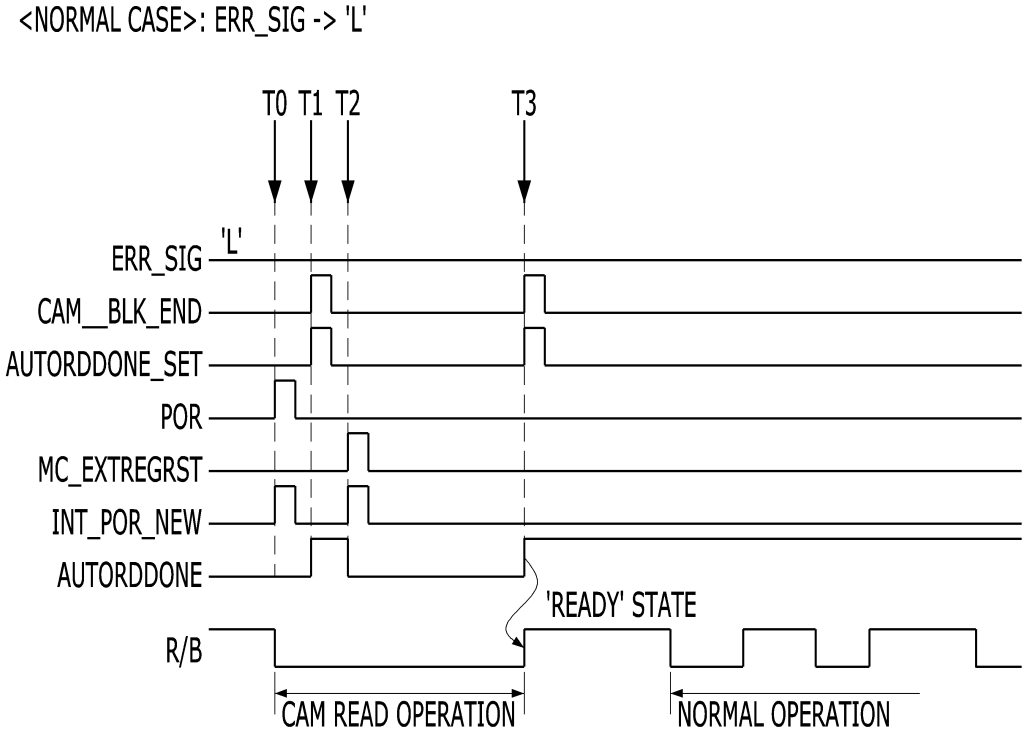
도면6


610
612
ERR_SIG
CAM_BLK_END
AUTORDDONE_SET
616
S
Q
R
AUTORDDONE
614
POR
MC_EXTREGRST
INT_POR_NEW

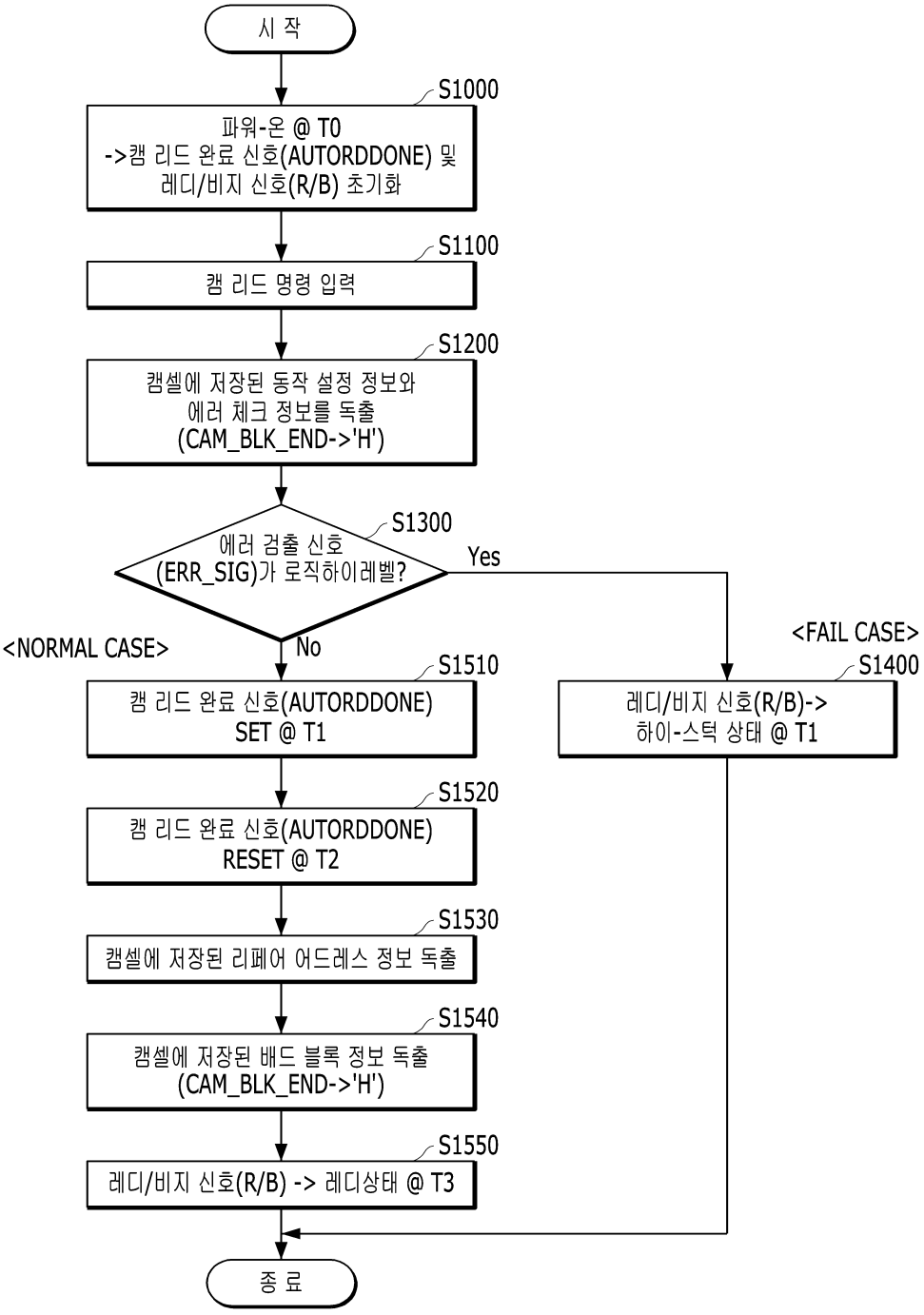
도면7a


<FAIL CASE>: ERR_SIG -> 'H'
T0 T1 T2
T3
ERR_SIG
'H'
CAM__BLK_END
AUTORDDONE_SET
'L'
POR
MC_EXTREGRST
INT_POR_NEW
AUTORDDONE
'L'
R/B
'HIGH-STUCK' STATE
CAM READ OPERATION

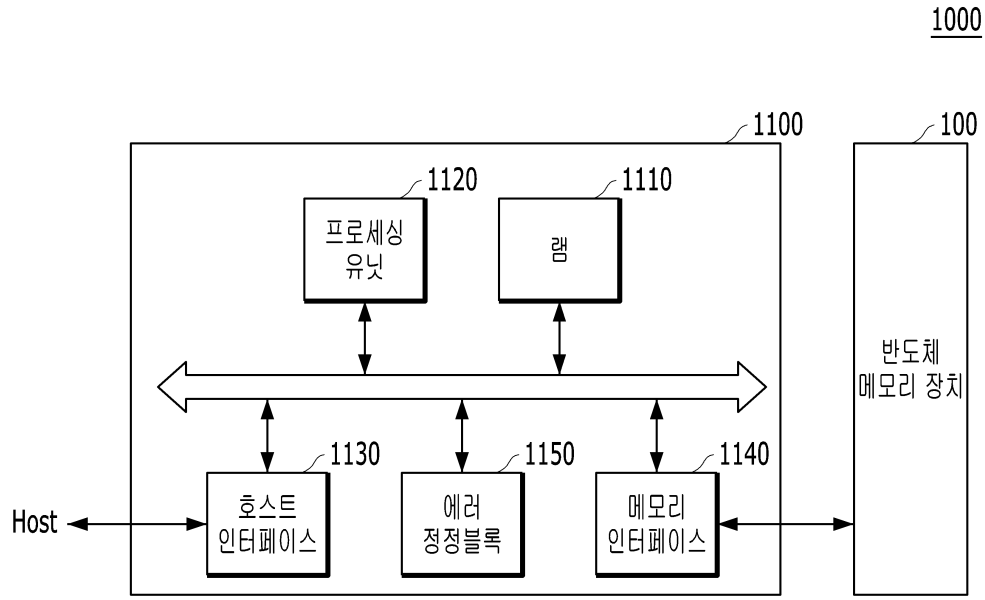
도면7b


<NORMAL CASE>: ERR_SIG -> 'L'
T0 T1 T2
T3
'L'
ERR_SIG
CAM__BLK_END
AUTORDDONE_SET
POR
MC_EXTREGRST
INT_POR_NEW
AUTORDDONE
'READY' STATE
R/B
CAM READ OPERATION
NORMAL OPERATION

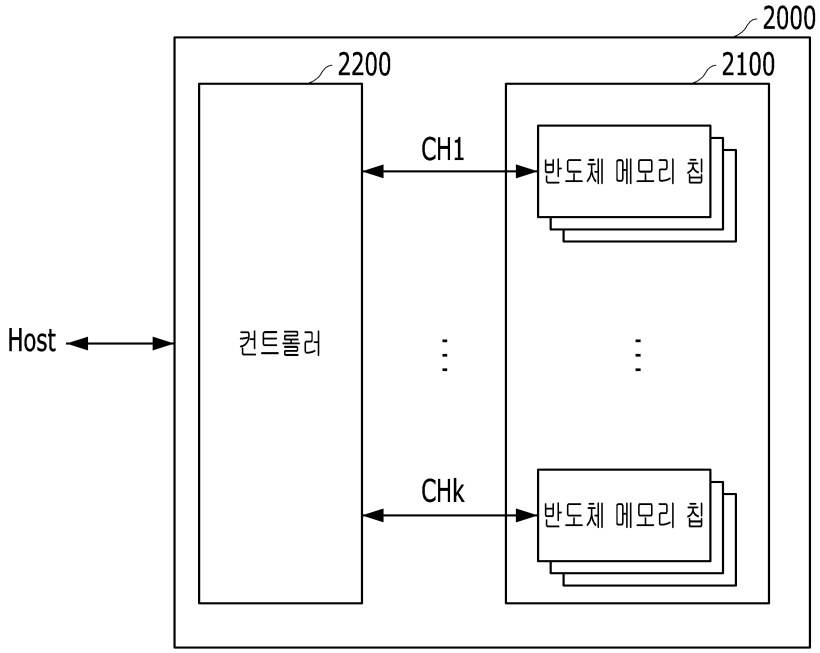
도면8


시 작
S1000
파워-온 @ T0
->캠 리드 완료 신호(AUTORDDONE) 및
레디/비지 신호(R/B) 초기화
S1100
캠 리드 명령 입력
S1200
캠셀에 저장된 동작 설정 정보와
에러 체크 정보를 독출
(CAM_BLK_END->'H')
S1300
에러 검출 신호
(ERR_SIG)가 로직하이레벨?
Yes
No
<NORMAL CASE>
<FAIL CASE>
S1510
캠 리드 완료 신호(AUTORDDONE)
SET @ T1
S1400
레디/비지 신호(R/B)->
하이-스텍 상태 @ T1
S1520
캠 리드 완료 신호(AUTORDDONE)
RESET @ T2
S1530
캠셀에 저장된 리페어 어드레스 정보 독출
S1540
캠셀에 저장된 배드 블록 정보 독출
(CAM_BLK_END->'H')
S1550
레디/비지 신호(R/B) -> 레디상태 @ T3
종 료

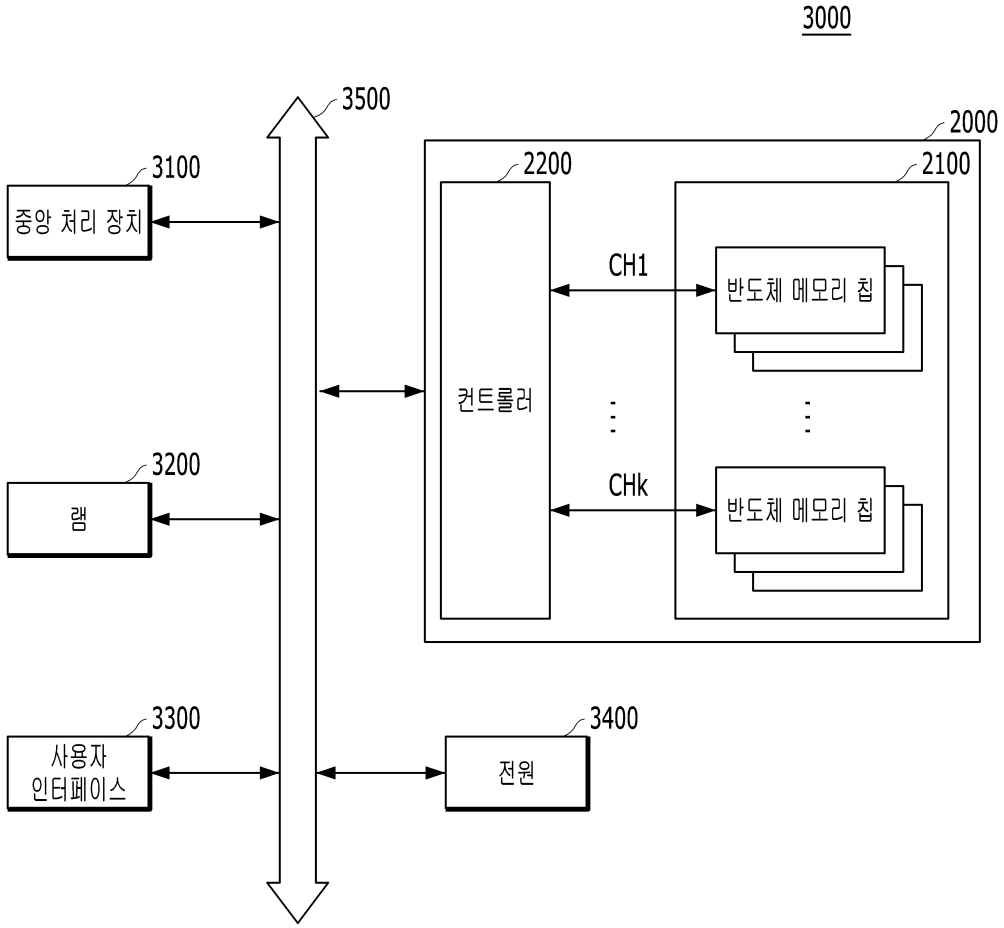
도면9


1000
1100
100
1120
1110
프로세싱 유닛
램
반도체 메모리 장치
1130
1150
1140
Host
호스트 인터페이스
에러 정정블록
메모리 인터페이스

도면10


2000
2200
2100
CH1
반도체 메모리 칩
Host
컨트롤러
CHk
반도체 메모리 칩

도면11


3000
3500
2000
3100
중앙 처리 장치
2200
2100
CH1
반도체 메모리 칩
컨트롤러
3200
램
CHk
반도체 메모리 칩
3300
사용자
인터페이스
3400
전원