

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7320552号
(P7320552)

(45)発行日 令和5年8月3日(2023.8.3)

(24)登録日 令和5年7月26日(2023.7.26)

(51)国際特許分類	F I			
H 0 1 L 21/336(2006.01)	H 0 1 L	29/78	3 0 1 G	
H 0 1 L 29/78(2006.01)	H 0 1 L	29/78	3 0 1 D	
H 0 1 L 21/8234(2006.01)	H 0 1 L	29/78	3 0 1 S	
H 0 1 L 27/088(2006.01)	H 0 1 L	27/088	C	
	H 0 1 L	27/088	B	
請求項の数 15 (全27頁)				

(21)出願番号	特願2021-68262(P2021-68262)	(73)特許権者	519009105 合肥晶合集成電路股 ぶん 有限公司 中華人民共和國安徽省合肥市新站區合肥 綜合保稅區內西肥河路 8 8 号
(22)出願日	令和3年4月14日(2021.4.14)	(74)代理人	110001210 弁理士法人 Y K I 国際特許事務所
(65)公開番号	特開2022-163385(P2022-163385 A)	(72)発明者	田矢 真敏 東京都立川市曙町 1 - 1 3 - 1 1 立川 クレストビル 2 階 晶合日本株式会社内
(43)公開日	令和4年10月26日(2022.10.26)	(72)発明者	石田 浩 東京都立川市曙町 1 - 1 3 - 1 1 立川 クレストビル 2 階 晶合日本株式会社内
審査請求日	令和3年4月14日(2021.4.14)	(72)発明者	熊谷 裕弘 東京都立川市曙町 1 - 1 3 - 1 1 立川 クレストビル 2 階 晶合日本株式会社内 最終頁に続く

(54)【発明の名称】 半導体デバイス及び半導体デバイスの製造方法

(57)【特許請求の範囲】

【請求項 1】

半導体デバイスであって、
第 1 導電型の半導体の基板と、
前記基板内において前記第 1 導電型と反対の第 2 導電型であるソース領域及びドレイン領域と、

前記基板上に形成され、厚さが 6 0 n m 以上であるゲート絶縁層と、

前記ゲート絶縁層上に形成されたゲート電極と、

前記ゲート絶縁層下に設けられたチャンネル領域と、

前記ドレイン領域と前記チャンネル領域との間に絶縁領域と、

を備え、

前記ドレイン領域は前記ソース領域より前記ゲート電極から離れた位置に配置され、前記ゲート電極に対して前記ソース領域と前記ドレイン領域が非対称とされている非対称電界効果トランジスタであり、

前記ゲート絶縁層は、前記ソース領域側において前記ゲート電極よりもマージン距離だけ拡げられた拡張絶縁領域を有し、

前記ソース領域から前記ゲート電極の間には前記拡張絶縁領域以外の絶縁領域を有さず、前記ソース領域から前記ゲート絶縁層の前記拡張絶縁領域下を介して前記ゲート電極下の前記基板内の領域まで延設された前記第 2 導電型の拡張ソース領域を有し、

前記ソース領域は、前記拡張ソース領域内に形成されていることを特徴とする半導体デ

バイス。

【請求項 2】

請求項 1 に記載の半導体デバイスであって、
前記基板内において前記第 2 導電型であるドリフト領域が形成され、
前記ドレイン領域は、前記ドリフト領域内に配置され、
前記拡張ソース領域は、前記基板の表面から前記ドリフト領域よりも浅いことを特徴とする半導体デバイス。

【請求項 3】

請求項 1 又は 2 に記載の半導体デバイスであって、
前記ゲート絶縁層と前記ゲート電極が重なり合った領域から前記ドレイン領域の前記ゲート電極側の端部又はその近傍に亘って前記基板内に形成された絶縁領域を有することを特徴とする半導体デバイス。

10

【請求項 4】

請求項 1 ~ 3 のいずれか 1 項に記載の半導体デバイスであって、
前記ゲート絶縁層の厚さは、100 nm 以下であることを特徴とする半導体デバイス。

【請求項 5】

請求項 1 ~ 4 のいずれか 1 項に記載の半導体デバイスであって、
前記拡張ソース領域は、前記基板内に形成された前記第 1 導電型のウェル領域内に形成されていることを特徴とする半導体デバイス。

【請求項 6】

請求項 1 ~ 5 のいずれか 1 項に記載の半導体デバイスであって、
前記非対称電界効果トランジスタの動作電圧は 25 V 以上 40 V 以下であることを特徴とする半導体デバイス。

20

【請求項 7】

請求項 1 ~ 6 のいずれか 1 項に記載の半導体デバイスであって、
前記基板を共通として、前記非対称電界効果トランジスタの前記ゲート絶縁層の厚さより薄い第 2 のゲート絶縁層を有する電界効果トランジスタであって、当該電界効果トランジスタを構成する前記第 2 のゲート絶縁層に対して第 2 のソース領域及び第 2 のドレイン領域が対称となるように配置された対称電界効果トランジスタを含むことを特徴とする半導体デバイス。

30

【請求項 8】

請求項 7 に記載の半導体デバイスであって、
前記対称電界効果トランジスタは、ゲート長が 100 nm 以下であることを特徴とする半導体デバイス。

【請求項 9】

請求項 7 に記載の半導体デバイスであって、
前記対称電界効果トランジスタは、ゲート絶縁層の厚さが 10 nm 以上 20 nm 以下であることを特徴とする半導体デバイス。

【請求項 10】

請求項 7 に記載の半導体デバイスであって、
前記対称電界効果トランジスタとして、
ゲート長が 100 nm 以下である第 1 の電界効果トランジスタと、
ゲート絶縁層の厚さが 10 nm 以上 20 nm 以下である第 2 の電界効果トランジスタと、
を含むことを特徴とする半導体デバイス。

40

【請求項 11】

半導体デバイスの製造方法であって、
第 1 導電型の半導体の基板と、
前記基板内において前記第 1 導電型と反対の第 2 導電型である第 1 ソース領域及び第 1 ドレイン領域と、
前記基板上に形成され、厚さが 60 nm 以上である第 1 ゲート絶縁層と、

50

前記第 1 ゲート絶縁層上に形成された第 1 ゲート電極と、
 前記第 1 ゲート絶縁層下に設けられたチャンネル領域と、
 前記第 1 ドレイン領域と前記チャンネル領域との間に絶縁領域と、
 を備え、

前記第 1 ドレイン領域は前記第 1 ソース領域より前記第 1 ゲート電極から離れた位置に配置され、前記第 1 ゲート電極に対して前記第 1 ソース領域と前記第 1 ドレイン領域が非対称とされており、

前記第 1 ゲート絶縁層は、前記第 1 ソース領域側において前記第 1 ゲート電極よりもマージン距離だけ広げられた拡張絶縁領域を有し、

前記第 1 ソース領域から前記第 1 ゲート電極の間には前記拡張絶縁領域以外の絶縁領域を有さず、

10

前記第 1 ソース領域から前記第 1 ゲート絶縁層の前記拡張絶縁領域下を介して前記第 1 ゲート電極下の前記基板内の領域まで延設された前記第 2 導電型の拡張ソース領域を有し、

前記第 1 ソース領域は、前記拡張ソース領域内に形成されている第 1 電界効果トランジスタと、

前記基板内において第 2 ソース領域及び第 2 ドレイン領域と、

前記基板上に形成された第 2 ゲート絶縁層と、

前記第 2 ゲート絶縁層上に形成された第 2 ゲート電極と、
 を備え、

前記第 2 ゲート絶縁層は前記第 1 電界効果トランジスタの前記第 1 ゲート絶縁層の厚さより薄く、前記第 1 電界効果トランジスタよりも低い動作電圧を有する第 2 電界効果トランジスタと、

20

を含む半導体デバイスの製造方法であり、

前記拡張ソース領域と前記第 2 ソース領域の少なくとも一部を同一の製造工程にて形成することを特徴とする半導体デバイスの製造方法。

【請求項 1 2】

半導体デバイスの製造方法であって、

第 1 導電型の半導体の基板と、

前記基板内において前記第 1 導電型と反対の第 2 導電型である第 1 ソース領域及び第 1 ドレイン領域と、

30

前記基板上に形成され、厚さが 60 nm 以上である第 1 ゲート絶縁層と、

前記第 1 ゲート絶縁層上に形成された第 1 ゲート電極と、

前記第 1 ゲート絶縁層下に設けられたチャンネル領域と、

前記第 1 ドレイン領域と前記チャンネル領域との間に絶縁領域と、

を備え、

前記第 1 ドレイン領域は前記第 1 ソース領域より前記第 1 ゲート電極から離れた位置に配置され、前記第 1 ゲート電極に対して前記第 1 ソース領域と前記第 1 ドレイン領域が非対称とされており、

前記第 1 ゲート絶縁層は、前記第 1 ソース領域側において前記第 1 ゲート電極よりもマージン距離だけ広げられた拡張絶縁領域を有し、

40

前記第 1 ソース領域から前記第 1 ゲート電極の間には前記拡張絶縁領域以外の絶縁領域を有さず、

前記第 1 ソース領域から前記第 1 ゲート絶縁層の前記拡張絶縁領域下を介して前記第 1 ゲート電極下の前記基板内の領域まで延設された前記第 2 導電型の拡張ソース領域を有し、

前記第 1 ソース領域は、前記拡張ソース領域内に形成されている第 1 電界効果トランジスタと、

前記基板内において前記第 2 導電型であるウェル領域と、

前記ウェル領域内において前記第 1 導電型の第 2 ソース領域及び第 2 ドレイン領域と、

前記基板上に形成された第 2 ゲート絶縁層と、

前記第 2 ゲート絶縁層上に形成された第 2 ゲート電極と、

50

を備え、

前記第2ゲート絶縁層は前記第1電界効果トランジスタの前記第1ゲート絶縁層の厚さより薄く、前記第1電界効果トランジスタよりも低い動作電圧を有する第2電界効果トランジスタと、

を含む半導体デバイスの製造方法であり、

前記拡張ソース領域と前記ウェル領域を同一の製造工程にて形成することを特徴とする半導体デバイスの製造方法。

【請求項13】

請求項11又は12に記載の半導体デバイスの製造方法であって、

前記半導体デバイスは、さらに、

前記基板内において第3ソース領域及び第3ドレイン領域と、

前記基板上に形成された第3ゲート絶縁層と、

前記第3ゲート絶縁層上に形成された第3ゲート電極と、

を備え、前記第2電界効果トランジスタの前記第2ゲート絶縁層の厚さより薄い前記第3ゲート絶縁層を有し、前記第2電界効果トランジスタよりも低い動作電圧を有する第3電界効果トランジスタを含み、

前記第1ソース領域の少なくとも一部と前記第3ソース領域の少なくとも一部を同一の製造工程にて形成することを特徴とする半導体デバイスの製造方法。

【請求項14】

請求項13に記載の半導体デバイスの製造方法であって、

前記第3電界効果トランジスタのゲート長は100nm以下であることを特徴とする半導体デバイスの製造方法。

【請求項15】

請求項11～14のいずれか1項に記載の半導体デバイスの製造方法であって、

前記第1ゲート絶縁層の厚さは、60nm以上100nm以下であり、

前記第2ゲート絶縁層の厚さは、10nm以上20nm以下であることを特徴とする半導体デバイスの製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体デバイス及び半導体デバイスの製造方法に関する。

【背景技術】

【0002】

小型のパネルディスプレイのドライバICでは、動作電圧が25V～40V程度の非対称高耐圧電界効果トランジスタ(HVMOS: High Voltage Metal Oxide Semiconductor)が必要とされている。

【0003】

図14に、従来の非対称HVMOS200の構造の断面図を示す。図14では、例として、N型の非対称HVN MOSを示している。非対称HVMOS200は、P型の半導体基板10、N型のドリフト領域12、P型のガードリング領域14、高濃度N型のソース領域16、高濃度N型のドレイン領域18、高濃度P型のタップ領域20、絶縁領域22、絶縁領域24、ゲート絶縁層26及びポリシリコン等のゲート電極28を含んで構成される。非対称HVMOS200では、60nm～100nmの比較的厚いゲート絶縁層26が形成される。ゲート絶縁層26の面積はその上に形成されるゲート電極28の面積よりも大きく、ゲート絶縁層26のソース領域16側の端部はゲート電極28を越えて0.1μm～0.2μmほどの距離X1だけソース領域16に向けて横方向に延設される。非対称HVMOS200では、ソース領域16がゲート絶縁層26を超えてゲート電極28の領域下まで伸びており、ゲート電極28のソース領域16側の端部からドリフト領域12内に形成された絶縁領域22の端部までがチャンネル領域Cとなる。すなわち、ソース領域16がチャンネル領域Cまで直接延設されている。

10

20

30

40

50

【0004】

現在のチップ設計では、図15に示すように、高耐圧のHV MOSと低耐圧の電界効果トランジスタ(LV MOS: Low Voltage Metal Oxide Semiconductor)は同じ半導体基板10に統合されることが多い。なお、図15では、HV MOSについて本願において重要であるソース領域16側の構造のみを示している。

【0005】

LV MOSは、P型のウェル領域30内に形成された高濃度N型のソース領域32及びドレイン領域34、ソース領域32及びドレイン領域34から広がった低濃度N型の拡張領域36、ソース領域32からドレイン領域34に跨がって形成されたゲート絶縁層38、ゲート絶縁層38上に形成されたポリシリコン等のゲート電極40から構成される。LV MOSは、絶縁領域24によって半導体基板10上の他の素子から絶縁される。

10

【0006】

HV MOSの高濃度N型のソース領域16とLV MOSの高濃度N型のソース領域32/ドレイン領域34は同じイオン注入プロセスによって形成される。すなわち、燐や砒素等のN型ドーパントをHV MOSのソース領域16及びドレイン領域18にイオン注入すると同時にLV MOSのソース領域32及びドレイン領域34にイオン注入する処理が行われる。ソース領域16へのイオン注入は、ゲート電極28からソース領域16側へX1の距離だけ延設されたゲート絶縁層26を突き抜けて基板10に到達し、チャンネル領域まで至るソース領域16を形成することができる。

【0007】

特許文献1及び2には、対称型のHV MOSを含む半導体デバイスが開示されている。当該文献では、同一基板上にゲート酸化膜の厚さを変えることによって高耐圧、中耐圧及び低耐圧の3つの異なる耐電圧を有するMOSを形成する方法が開示されている。

20

【0008】

また、特許文献3には、非対称のソース領域及びドレイン領域を有するHVNMOSが開示されている。当該構成では、ソース領域にソース拡張領域が設けられている。当該構成では、高電圧領域と低電圧領域のソース拡張領域が同じイオン注入工程で形成される。

【先行技術文献】

【特許文献】

【0009】

【文献】米国特許公開第2006/099753号公報
米国特許公開第2008/299729号公報
特開2011-108758号公報

30

【発明の概要】

【発明が解決しようとする課題】

【0010】

HV MOSとLV MOSとが同一の基板上に形成された半導体集積デバイスでは、LV MOSの要件に沿って注入条件が最適化される。組み合わせるLV MOSの微細化が進むほど、ゲート電極40の幅が短く(例えば、100nm未満)、高濃度N型のソース領域32やドレイン領域34の接合深さが浅くなるように製造される。そのためにはソース領域32やドレイン領域34を形成するためのドーパントのイオン注入エネルギーを下げる必要がある。その結果、HV MOSのソース領域16に対して同時にドーパントのイオン注入を行おうとすると、イオン注入エネルギーがHV MOSのゲート絶縁層26のソース領域16側において距離X1を超えて拡がるのが困難になる。その結果、HVNMOSのソース領域16とゲート電極28下に形成されたチャンネル領域Cとの間にギャップが生ずるおそれがある。このギャップは、HV MOSにおいて閾値電圧 V_{th} を高くし、動作電流 I_d を低下させる原因になり、HV MOSの動作性能を低下させる可能性がある。

40

【0011】

特許文献1及び2に開示されている構成は、対称構造のHV MOSである。対称構造のHV MOSではソース領域とドレイン領域の下に形成された低濃度ドーパ領域は主に電界

50

を緩和するために使用され、動作電圧に応じた適切な幅が必要である。したがって、本願発明における非対称構造のHVN MOSとは異なる。具体的には、非対称構造のHVN MOSでは、ソース領域16とガードリング領域14の電圧は同じであり、電界を緩和するためのLDD領域は必要ない。

【0012】

また、特許文献3では、高電圧領域のゲート絶縁層は低電圧領域のゲート絶縁層と同じくらい薄い(約7nm)構成とされており、ゲート絶縁層の端部はゲート電極を超えるまで横方向に延設されていない。これに対して、本願発明の対象としている非対称構造のHV MOSは、LV MOSとは異なるゲート絶縁層の厚さを有し、HV MOSのゲート絶縁層の端部はゲート電極を越えて横方向に延設される構成を有する。

10

【0013】

以上のように、特許文献1~3に開示された半導体デバイスの構造は、本願が対象とするHV MOSを含む半導体デバイスとは異なる構造を有するものであり、本願が対象とするHV MOSを含む半導体デバイスに適用できるものではない。

【課題を解決するための手段】

【0014】

本発明の1つの態様は、半導体デバイスであって、第1導電型の半導体の基板と、前記基板内において前記第1導電型と反対の第2導電型であるソース領域及びドレイン領域と、前記基板上に形成され、厚さが60nm以上であるゲート絶縁層と、前記ゲート絶縁層上に形成されたゲート電極と、を備え、前記ドレイン領域は前記ソース領域より前記ゲート電極から離れた位置に配置され、前記ゲート電極に対して前記ソース領域と前記ドレイン領域が非対称とされている非対称電界効果トランジスタであり、前記ゲート絶縁層は、前記ソース領域側において前記ゲート電極よりもマージン距離だけ拡げられた拡張絶縁領域を有し、前記ソース領域から前記ゲート電極の間には前記拡張絶縁領域以外の絶縁領域を有さず、前記ソース領域から前記ゲート絶縁層の前記拡張絶縁領域下を介して前記ゲート電極下の前記基板内の領域まで延設された前記第2導電型の拡張ソース領域を有することを特徴とする半導体デバイスである。

20

【0015】

ここで、前記基板内において前記第2導電型であるドリフト領域が形成され、前記ドレイン領域は、前記ドリフト領域内に配置され、前記拡張ソース領域は、前記基板の表面から前記ドリフト領域よりも浅いことが好適である。

30

【0016】

また、前記ゲート絶縁層と前記ゲート電極が重なり合った領域から前記ドレイン領域の前記ゲート電極側の端部又はその近傍に亘って前記基板内に形成された絶縁領域を有することが好適である。

【0017】

また、前記ゲート絶縁層の厚さは、100nm以下であることが好適である。

【0018】

また、前記拡張ソース領域は、前記基板内に形成された前記第1導電型のウェル領域内に形成され、前記ソース領域は、前記拡張ソース領域内に形成されていることが好適である。

40

【0019】

また、前記非対称電界効果トランジスタの動作電圧は25V以上40V以下であることが好適である。

【0020】

また、前記基板を共通として、前記非対称電界効果トランジスタの前記ゲート絶縁層の厚さより薄い第2のゲート絶縁層を有する電界効果トランジスタであって、当該電界効果トランジスタを構成する前記第2のゲート電極に対して第2のソース領域及び第2のドレイン領域が対称となるように配置された対称電界効果トランジスタを含むことが好適である。

50

【 0 0 2 1 】

また、前記対称電界効果トランジスタは、ゲート長が100nm以下であることが好適である。

【 0 0 2 2 】

また、前記対称電界効果トランジスタは、ゲート絶縁層の厚さが10nm以上20nm以下であることが好適である。

【 0 0 2 3 】

また、前記対称電界効果トランジスタとして、ゲート長が100nm以下である第1の電界効果トランジスタと、ゲート絶縁層の厚さが10nm以上20nm以下である第2の電界効果トランジスタと、を含むことが好適である。

10

【 0 0 2 4 】

本発明の別の態様は、第1導電型の半導体の基板と、前記基板内において前記第1導電型と反対の第2導電型である第1ソース領域及び第1ドレイン領域と、前記基板上に形成され、厚さが60nm以上である第1ゲート絶縁層と、前記第1ゲート絶縁層上に形成された第1ゲート電極と、を備え、前記第1ドレイン領域は前記第1ソース領域より前記第1ゲート電極から離れた位置に配置され、前記第1ゲート電極に対して前記第1ソース領域と前記第1ドレイン領域が非対称とされており、前記第1ゲート絶縁層は、前記第1ソース領域側において前記第1ゲート電極よりもマージン距離だけ上げられた拡張絶縁領域を有し、前記ソース領域から前記ゲート電極の間には前記拡張絶縁領域以外の絶縁領域を有さず、前記第1ソース領域から前記第1ゲート絶縁層の前記拡張絶縁領域下を介して前記第1ゲート電極下の前記基板内の領域まで延設された前記第2導電型の拡張ソース領域を有する第1電界効果トランジスタと、前記基板内において第2ソース領域及び第2ドレイン領域と、前記基板上に形成された第2ゲート絶縁層と、前記第2ゲート絶縁層上に形成された第2ゲート電極と、を備え、前記第1電界効果トランジスタの前記ゲート絶縁層の厚さより薄いゲート絶縁層を有し、前記第1電界効果トランジスタよりも低い動作電圧を有する第2電界効果トランジスタと、を含む半導体デバイスの製造方法であり、前記拡張ソース領域と前記第2ソース領域の少なくとも一部を同一の製造工程にて形成することを特徴とする半導体デバイスの製造方法である。

20

【 0 0 2 5 】

本発明の別の態様は、半導体デバイスの製造方法であって、第1導電型の半導体の基板と、前記基板内において前記第1導電型と反対の第2導電型である第1ソース領域及び第1ドレイン領域と、前記基板上に形成され、厚さが60nm以上である第1ゲート絶縁層と、前記第1ゲート絶縁層上に形成された第1ゲート電極と、を備え、前記第1ドレイン領域は前記第1ソース領域より前記第1ゲート電極から離れた位置に配置され、前記第1ゲート電極に対して前記第1ソース領域と前記第1ドレイン領域が非対称とされており、前記第1ゲート絶縁層は、前記第1ソース領域側において前記第1ゲート電極よりもマージン距離だけ上げられた拡張絶縁領域を有し、前記第1ソース領域から前記第1ゲート電極の間には前記拡張絶縁領域以外の絶縁領域を有さず、前記第1ソース領域から前記第1ゲート絶縁層の前記拡張絶縁領域下を介して前記第1ゲート電極下の前記基板内の領域まで延設された前記第2導電型の拡張ソース領域を有する第1電界効果トランジスタと、前記基板内において前記第2導電型であるウェル領域と、前記ウェル領域内において前記第1導電型の第2ソース領域及び第2ドレイン領域と、前記基板上に形成された第2ゲート絶縁層と、前記第2ゲート絶縁層上に形成された第2ゲート電極と、を備え、前記第1電界効果トランジスタの前記ゲート絶縁層の厚さより薄いゲート絶縁層を有し、前記第1電界効果トランジスタよりも低い動作電圧を有する第2電界効果トランジスタと、を含む半導体デバイスの製造方法であり、前記拡張ソース領域と前記ウェル領域を同一の製造工程にて形成することを特徴とする半導体デバイスの製造方法である。

30

40

【 0 0 2 6 】

ここで、前記半導体デバイスは、さらに、前記基板内において第3ソース領域及び第3ドレイン領域と、前記基板上に形成された第3ゲート絶縁層と、前記第3ゲート絶縁層上

50

に形成された第3ゲート電極と、を備え、前記第2電界効果トランジスタの前記ゲート絶縁層の厚さより薄いゲート絶縁層を有し、前記第2電界効果トランジスタよりも低い動作電圧を有する第3電界効果トランジスタを含み、前記第1ソース領域の少なくとも一部と前記第3ソース領域の少なくとも一部を同一の製造工程にて形成することが好適である。

【0027】

また、前記第3電界効果トランジスタのゲート長は100nm以下であることが好適である。

【0028】

また、前記第1ゲート絶縁層の厚さは、60nm以上100nm以下であり、前記第2ゲート絶縁層の厚さは、10nm以上20nm以下であることが好適である。

10

【発明の効果】

【0029】

本発明によれば、高耐圧電界効果トランジスタ(HVMOS)を含む半導体デバイスの特性を向上させることができる。

【図面の簡単な説明】

【0030】

【図1】本発明の実施の形態における半導体デバイスの基本構成を示す断面模式図である。

【図2】本発明の実施の形態における半導体デバイスの基本構成を示す平面模式図である。

【図3】本発明の実施の形態における半導体デバイスの基本構成における好適な寸法を示す図である。

20

【図4】本発明の実施の形態における半導体デバイスの基本構成を示す断面模式図である。

【図5】本発明の実施の形態における半導体デバイスの基本構成の製造方法を示す図である。

【図6】本発明の実施の形態における半導体デバイスの基本構成の製造方法を示す図である。

【図7】本発明の実施の形態における半導体デバイスの変形例の構成を示す断面模式図する図である。

【図8】本発明の実施の形態における半導体デバイスの変形例の製造方法を示す図である。

【図9】本発明の実施の形態における半導体デバイスの変形例の製造方法を示す図である。

【図10】半導体デバイスのHVMOSのソース領域における濃度プロファイルのシミュレーション結果を示す図である。

30

【図11】半導体デバイスのHVMOSのソース領域における濃度プロファイルのシミュレーション結果を示す図である。

【図12】半導体デバイスのHVMOSのソース-ゲート電圧 V_{gs} に対するドレイン-ソース電流 I_{ds} の関係を示すシミュレーション結果を示す図である。

【図13】半導体デバイスのHVMOSのゲート絶縁層の膜厚に対する閾値電圧及びドレイン-ソース電流 I_{ds} の関係を示すシミュレーション結果を示す図である。

【図14】従来の半導体デバイスの基本構成を示す断面模式図である。

【図15】従来の半導体デバイスの基本構成を示す断面模式図である。

【発明を実施するための形態】

40

【0031】

[基本構成]

図1は、本発明の実施の形態における半導体デバイス100に含まれる非対称高耐圧電界効果トランジスタ(HVMOS: High Voltage MOS)の基本構成の断面模式図を示す。図2は、HVMOSの基本構成の平面模式図を示す。HVMOSは、例えば、動作電圧が25V以上40V以下であることが好適である。HVMOSは、例えば、ディスプレイドライバに用いられる。図3は、HVMOSの各部の寸法を示す。

【0032】

なお、図1及び図2は半導体デバイス100に含まれるHVMOSの基本構成を説明するための模式図であり、HVMOSを構成する各部を強調して示しており、各部の平面方

50

向の寸法及び厚さ方向の寸法は実際の比を示していない場合がある。また、図2では、説明を明確にするためにHVMOSの構成の一部（主として絶縁体層）を除外して記載している。

【0033】

また、以下の説明において、各部の好適な寸法は、HVMOSの基本構成の断面模式図においてチャンネルの移動方向に沿った長さ方向（X方向）及び膜厚方向（Z方向）に沿った寸法を示す。なお、幅方向（Y方向）に沿った寸法は、HVMOSにおいて必要とされる最大容量等に応じて適宜設定すればよい。

【0034】

HVMOSは、半導体基板10、ドリフト領域12、ガードリング領域14、拡張ソース領域16a、ソース領域16b、ドレイン領域18、タップ領域20、絶縁領域22、絶縁領域24、ゲート絶縁層26及びゲート電極28を含んで構成される。

10

【0035】

以下、半導体デバイス100に含まれるHVMOSは、n型チャンネルのHVMOSとして説明する。この場合、以下の説明において、第1導電型はp型であり、第1導電型の反対の第2導電型はn型である。ただし、半導体デバイス100に含まれるHVMOSは、n型チャンネルのHVMOSに限定されるものではなく、p型チャンネルのHVMOSとしてもよい。この場合、第1導電型はn型であり、第1導電型の反対の第2導電型はp型として読み替えればよい。

【0036】

半導体基板10は、HVMOSが表面に形成される基板である。半導体基板10は、例えばシリコン基板することができる。半導体基板10は、第1導電型とする。

20

【0037】

ドリフト領域12は、HVMOSの動作時において空乏層が形成されてキャリアがドリフトされる領域である。ドリフト領域12は、第1導電型とは反対の第2導電型とする。ドリフト領域12のドーパント濃度は、 $1 \times 10^{16} / \text{cm}^3$ 以上 $5 \times 10^{17} / \text{cm}^3$ 以下とすることが好適である。ドリフト領域12は、その一端がゲート電極28下の中央付近であり、他端がゲート電極28の端部から $2.5 \mu\text{m}$ 以上 $4 \mu\text{m}$ 以下まで離れた位置とすることが好適である。

【0038】

ガードリング領域14は、HVMOSのドリフト領域12、ゲート絶縁層26及びゲート電極28を含むデバイス領域を取り囲み、他の素子からHVMOSを分離するためのウェルである。ガードリング領域14は、第1導電型とする。ガードリング領域14のドーパント濃度は、 $1 \times 10^{16} / \text{cm}^3$ 以上 $5 \times 10^{17} / \text{cm}^3$ 以下とすることが好適である。また、拡張ソース領域16a及びソース領域16bが設けられる側のガードリング領域14はゲート絶縁層26及びゲート電極28に重なり合う領域まで延設され、当該領域はHVMOSの第1導電型のウェルとして機能する。

30

【0039】

拡張ソース領域16a及びソース領域16bは、HVMOSのソースとなる領域である。拡張ソース領域16aは、ドリフト領域12と同じ導電型、すなわち第2導電型とする。拡張ソース領域16aのドーパント濃度は、 $1 \times 10^{18} / \text{cm}^3$ 以上 $1 \times 10^{19} / \text{cm}^3$ 以下とすることが好適である。拡張ソース領域16aは、ガードリング領域14内においてゲート絶縁層26及びゲート電極28に重畳した領域まで延設される。すなわち、拡張ソース領域16aは、ゲート電極28下のチャンネル領域Cに至るまで延設される。具体的には、拡張ソース領域16aは、 $0.05 \mu\text{m}$ 以上 $0.15 \mu\text{m}$ 以下の範囲においてゲート電極28と重畳させることが好適である。また、拡張ソース領域16aは、半導体基板10の表面からドリフト領域12よりも浅い領域に形成される。

40

【0040】

HVMOSの拡張ソース領域16aは、ソース領域16bとHVMOSのチャンネル領域Cとを繋ぐ領域として機能する。したがって、HVMOSの拡張ソース領域16aを設け

50

ることによって、非対称HVMOSの閾値電圧 V_{th} のばらつきを抑制し、非対称HVMOSの特性を安定化させることができる。

【0041】

ソース領域16bは、ドリフト領域12と同じ導電型、すなわち第2導電型とする。ソース領域16bのドーパント濃度は、拡張ソース領域16aよりも高濃度とされ、 $1 \times 10^{19} / \text{cm}^3$ 以上 $1 \times 10^{21} / \text{cm}^3$ 以下とすることが好適である。ソース領域16bは、拡張ソース領域16aと連続するように形成される。本実施の形態では、ソース領域16bは、拡張ソース領域16a内において、絶縁領域24の端部からゲート絶縁層26の端部付近又は端部よりもゲート電極28側に至るまで延設される。ソース領域16bの長さ(X方向)は、 $0.6 \mu\text{m}$ 以上 $0.9 \mu\text{m}$ 以下とすることが好適である。

10

【0042】

ドレイン領域18は、HVMOSのドレインとなる領域である。ドレイン領域18は、ドリフト領域12内においてゲート絶縁層26及びゲート電極28から離れた領域に配置される。具体的には、ドレイン領域18は、拡張ソース領域16a及びソース領域16bよりゲート電極28から離れた位置に配置される。すなわち、ゲート電極28に対して拡張ソース領域16a及びソース領域16bとドレイン領域18とが非対称となるように配置される。ドレイン領域18は、ドリフト領域12と同じ導電型、すなわち第2導電型とする。ドレイン領域18のドーパント濃度は、 $1 \times 10^{19} / \text{cm}^3$ 以上 $1 \times 10^{21} / \text{cm}^3$ 以下とすることが好適である。ドレイン領域18の長さ(X方向)は、 $0.3 \mu\text{m}$ 以上 $0.5 \mu\text{m}$ 以下とすることが好適である。

20

【0043】

タップ領域20は、ガードリング領域14に電圧を印加するための領域である。タップ領域20は、ガードリング領域14内に形成され、ドリフト領域12、ゲート絶縁層26及びゲート電極28を含むデバイス領域を取り囲むように配置される。タップ領域20は、ガードリング領域14と同じ導電型、すなわち第1導電型とする。タップ領域20のドーパント濃度は、 $1 \times 10^{19} / \text{cm}^3$ 以上 $1 \times 10^{21} / \text{cm}^3$ 以下とすることが好適である。タップ領域20の長さ(X方向)は、 $0.3 \mu\text{m}$ 以上 $0.5 \mu\text{m}$ 以下とすることが好適である。

【0044】

絶縁領域22は、ドレイン領域18とゲート電極28との間の電界を緩和するために設けられる絶縁体領域である。絶縁領域22は、これに限定されるものではないが、シャロートレンチアイソレーション領域(STI領域)とすることができ、半導体基板10がシリコンである場合、絶縁領域22は、シリコン酸化膜(SiO_2)やシリコン窒化膜(SiN)等とすることができ、絶縁領域22は、ドリフト領域12内においてゲート絶縁層26及びゲート電極28と重なり合う領域からドレイン領域18に近接する領域までに亘って配置される。絶縁領域22の半導体基板10の深さ方向への厚さは 250nm 以上 300nm 以下とすることが好適である。また、絶縁領域22の長さ(X方向)は、 $2 \mu\text{m}$ 以上 $3 \mu\text{m}$ 以下とすることが好適である。また、絶縁領域22の長さ(X方向)の中央の位置がゲート電極28の端部付近に位置するように配置することが好適である。

30

【0045】

絶縁領域24は、HVMOSの構成要素を互いに絶縁するための領域である。半導体基板10がシリコンである場合、絶縁領域24は、シリコン酸化膜(SiO_2)やシリコン窒化膜(SiN)等とすることができ、ソース領域16bとタップ領域20との間に設けられた絶縁領域24の長さ(X方向)は、 $0.4 \mu\text{m}$ 以上 $0.8 \mu\text{m}$ 以下とすることが好適である。また、ドレイン領域18とタップ領域20との間に設けられた24の長さ(X方向)は、 $1.8 \mu\text{m}$ 以上 $3.2 \mu\text{m}$ とすることが好適である。

40

【0046】

ゲート絶縁層26は、HVMOSのゲートを構成する絶縁層である。半導体基板10がシリコンである場合、ゲート絶縁層26は、シリコン酸化層(SiO_2)、シリコン窒化層(SiN)、シリコン酸窒化膜(SiO_xN_y)とすることができ、ゲート絶縁層2

50

6は、ガードリング領域14のウェル領域、ドリフト領域12の一部及び絶縁領域22に亘る領域上に設けられる。ゲート絶縁層26の膜厚は、HVMOSの動作電圧範囲を25V~40V程度にするためには60nm以上100nm以下とすることが好適である。

【0047】

ゲート電極28は、ゲート絶縁層26にゲート電圧を印加するための電極である。ゲート電極28は、多結晶シリコン層、金属層、シリサイド又はこれらの積層構造とすることができる。ゲート電極28は、ゲート絶縁層26上の領域に設けられる。ゲート電極28を多結晶シリコン層とした場合、ゲート電極28の膜厚は100nm以上200nm以下とすることが好適である。ゲート電極28のゲート領域の長さは2 μ m以上3 μ m以下とする。また、ゲート電極28の端部は絶縁領域22の中央付近まで延設することが好適である。なお、半導体基板10に対してゲート絶縁層26を介してゲート電極28が設けられている領域のうち、ゲート電極28の拡張ソース領域16a側の端部からドリフト領域12の端部までの領域がチャンネル領域Cである。

10

【0048】

半導体デバイス100では、少なくともソース領域16b側において、ゲート絶縁層26の領域はゲート電極28の領域に対して重ね合わせの-margin距離X1だけ広い拡張絶縁領域を有する。margin距離X1は、例えば、0.1 μ m~0.2 μ mとすることが好適である。

【0049】

本実施の形態における半導体デバイス100では、図4に示すように、HVMOSのみならず、中耐圧電界効果トランジスタ(MVMOS: Middle Voltage Metal Oxide Semiconductor)及び低耐圧電界効果トランジスタ(LVMOS: Low Voltage Metal Oxide Semiconductor)が同じ半導体基板10に形成されている。なお、図4では、HVMOSについて本願において重要である拡張ソース領域16a及びソース領域16b側の構造のみを示している。

20

【0050】

MVMOS及びLVMOSは、N型の半導体基板10の表面領域に形成されたP型のウェル領域30、ウェル領域30内に形成された高濃度N型のソース領域32及びドレイン領域34、ソース領域32及びドレイン領域34から拡がり、ソース領域32及びドレイン領域34より低濃度のN型の拡張領域36、ソース領域32からドレイン領域34に跨がって形成されたゲート絶縁層38、ゲート絶縁層38上に形成されたポリシリコン等のゲート電極40から構成される。MVMOS及びLVMOSは、絶縁領域24によって半導体基板10上の他の素子から絶縁される。

30

【0051】

一般的に半導体デバイス100において、HVMOSは動作電圧範囲が25V~40V程度であり、MVMOSは動作電圧範囲が5V~7V程度であり、LVMOSは動作電圧範囲が1.2V~1.5V程度である。このような動作電圧範囲では、例えば、MVMOSのゲート絶縁層38の厚さは10nm~20nm程度とされ、LVMOSのゲート絶縁層38の厚さは4nm以下とされる。ただし、半導体デバイス100におけるHVMOS、MVMOS及びLVMOSの動作電圧範囲やゲート絶縁層38の厚さはこれらに限定されるものではない。すなわち、半導体デバイス100において、MVMOSの動作電圧範囲がHVMOSの動作電圧範囲より小さければよく、LVMOSの動作電圧範囲がMVMOSの動作電圧範囲がより小さければよい。また、半導体デバイス100において、MVMOSのゲート絶縁層38の厚さがHVMOSのゲート絶縁層26の厚さより薄ければよく、LVMOSのゲート絶縁層38の厚さがMVMOSのゲート絶縁層38の厚さより薄ければよい。

40

【0052】

また、半導体デバイス100では、LVMOSのゲート長が100nm以下であることが好適である。

【0053】

50

MVMOSに拡張領域36を設けることによって、MVMOSのドレイン領域34の電界を緩和することができる。同様に、LVMOSに拡張領域36を設けることによって、LVMOSのドレイン領域34の電界を緩和することができる。

【0054】

[製造方法]

図5及び図6は、半導体デバイス100の製造方法を示す。図5及び図6は半導体デバイス100の製造方法を示す断面模式図であり、半導体デバイス100を構成する各部を強調して示しており、各部の平面方向の寸法及び厚さ方向の寸法は実際の比を示していない場合がある。

【0055】

以下、n型チャンネルのHVMOS、MVMOS及びLVMOSを含む半導体デバイス100の製造方法について説明する。半導体基板10は、第1導電型としてp型にドーピングされたシリコン基板として説明する。なお、p型チャンネルのHVMOSを含む半導体デバイス100とする場合、第1導電型をn型、第2導電型をp型として読み替えればよい。

【0056】

ステップS10では、ドリフト領域12及びガードリング領域14が形成される。ドリフト領域12及びガードリング領域14は、ドーパントのイオン注入処理及びアニールによる拡散処理によって形成される。

【0057】

半導体基板10の表面においてドリフト領域12に対応する領域が開口領域であるマスクとして機能するレジスト層を形成する。レジスト層は、フォトリソグラフィ技術を用いてパターニングすることができる。第2導電型がn型である場合、レジスト層をマスクとして、n型ドーパント(燐P又は砒素As)を半導体基板10の表面にイオン注入する。ここでは、浅い領域へのイオン注入と、当該浅い領域へのイオン注入よりも高い注入エネルギーを用いたより深い領域へのイオン注入とを組み合わせた2段階注入を行うことが好適である。例えば、浅い領域へのイオン注入では、燐Pを200keV以上300keV以下のイオン注入エネルギーで 1×10^{12} 以上 $2 \times 10^{12} / \text{cm}^2$ 以下の密度となるようにイオン注入する。また、より深い領域へのイオン注入では、600keV以上700keV以下のイオン注入エネルギーで 4×10^{12} 以上 $6 \times 10^{12} / \text{cm}^2$ 以下の密度となるようにイオン注入する。ただし、イオン注入されるドーパントの密度、注入深さ等はHVMOSのサイズや特性に応じて適宜設定すればよい。イオン注入後、レジスト層は除去する。

【0058】

また、ガードリング領域14へのドーパントのイオン注入処理が行われる。半導体基板10においてガードリング領域14に対応する領域が開口領域となるようにレジスト層を形成する。レジスト層は、フォトリソグラフィ技術を用いてパターニングすることができる。第1導電型がp型である場合、レジスト層をマスクとして、p型ドーパント(ボロンB又は二フッ化ボロン BF_2)を半導体基板10の表面にイオン注入する。ここでは、浅い領域へのイオン注入と、当該浅い領域へのイオン注入よりも高い注入エネルギーを用いたより深い領域へのイオン注入とを組み合わせた2段階注入を行うことが好適である。例えば、浅い領域へのイオン注入では、ボロンBを100keV以上150keV以下のイオン注入エネルギーで 1×10^{12} 以上 $2 \times 10^{12} / \text{cm}^2$ 以下の密度となるようにイオン注入する。また、より深い領域へのイオン注入では、300keV以上400keV以下のイオン注入エネルギーで 1×10^{13} 以上 $2 \times 10^{13} / \text{cm}^2$ 以下の密度となるようにイオン注入する。ただし、イオン注入されるドーパントの密度、注入深さ等はHVMOSのサイズや特性に応じて適宜設定すればよい。イオン注入後、レジスト層は除去する。

【0059】

その後、イオン拡散処理が行われる。ドリフト領域12及びガードリング領域14へドーパントを注入した後、半導体基板10を900 ~ 1300 程度の高温でアニール(加熱)することによって半導体基板10内にドーパントを拡散させる。例えば、1100

10

20

30

40

50

で5時間～7時間のアニール処理を行う。ただし、加熱温度及び時間は、HVMOSのサイズや特性に応じて適宜設定すればよい。第2導電型のドーパントが拡散した領域はドリフト領域12となり、第1導電型のドーパントが拡散した領域はガードリング領域14となる。

【0060】

ステップS12では、絶縁領域22及び絶縁領域24が形成される。絶縁領域22及び絶縁領域24は、マスクを利用した既存のLOCOSプロセス又はSTIプロセスによって形成することができる。LOCOSプロセスでは、シリコン酸化膜(SiO_2)やシリコン窒化膜(SiN)をマスクとして、酸素(O_2)を供給しつつ半導体基板10を加熱することによって半導体基板10の表面においてマスクの開口領域を熱酸化することによって絶縁領域22又は絶縁領域24を形成することができる。また、STIプロセスでは、開口領域をトレンチエッチングし、その溝内に高密度プラズマCVD等を用いて絶縁膜を埋め込んだ後、当該領域を化学機械研磨法(CMP)で平坦化することで絶縁領域22又は絶縁領域24を形成することができる。

10

【0061】

ステップS14では、ゲート絶縁層26が形成される。ゲート絶縁層26は、テトラエトキシシラン(TEOS)を用いた化学気相成長法(CVD)により形成することができる。また、ゲート絶縁層26は、酸素(O_2)等の酸素含有ガスや窒素(N_2)等の窒素含有ガスを用いた熱酸化法により形成してもよい。レジストを用いたフォトリソグラフィ及びエッチングを適用して、半導体基板10の表面においてガードリング領域14及びドリフト領域12の一部並びに絶縁領域22の一部に跨がる領域にゲート絶縁層26が残るように形成される。HVMOSの動作電圧範囲を25V～40V程度とする場合、ゲート絶縁層26の膜厚は60nm以上100nm以下とすることが好適である。

20

【0062】

ステップS16では、MVMOS及びLVMOSにおけるウェル領域30並びにゲート絶縁層38が形成される。MVMOS及びLVMOSにおけるウェル領域30は、ドーパントのイオン注入処理及びアニールによる拡散処理によって形成される。

【0063】

半導体基板10の表面においてLVMOSのウェル領域30に対応する領域が開口領域であるマスクとして機能するレジスト層を形成する。レジスト層は、フォトリソグラフィ技術を用いてパターニングすることができる。レジスト層をマスクとして、p型ドーパント(ボロンB又は二フッ化ボロン BF_2)を半導体基板10の表面にイオン注入する。イオン注入では、ボロンBを150keV以上250keV以下のイオン注入エネルギーで 1.5×10^{13} 以上 $2.5 \times 10^{13} / \text{cm}^2$ 以下の密度となるようにイオン注入、ボロンBを80keV以上120keV以下のイオン注入エネルギーで 4×10^{12} 以上 $1 \times 10^{13} / \text{cm}^2$ 以下の密度となるようにイオン注入、さらにボロンBを7keV以上20keV以下のイオン注入エネルギーで 1×10^{13} 以上 $3 \times 10^{13} / \text{cm}^2$ 以下の密度となるようにイオン注入する。ただし、イオン注入されるドーパントの密度、注入深さ等はLVMOSのサイズや特性に応じて適宜設定すればよい。イオン注入後、レジスト層は除去する。

30

40

【0064】

また、半導体基板10の表面においてMVMOSのウェル領域30に対応する領域が開口領域であるマスクとして機能するレジスト層を形成する。レジスト層は、フォトリソグラフィ技術を用いてパターニングすることができる。レジスト層をマスクとして、p型ドーパント(ボロンB又は二フッ化ボロン BF_2)を半導体基板10の表面にイオン注入する。イオン注入では、ボロンBを150keV以上250keV以下のイオン注入エネルギーで 1.5×10^{13} 以上 $2.5 \times 10^{13} / \text{cm}^2$ 以下の密度となるようにイオン注入、ボロンBを80keV以上120keV以下のイオン注入エネルギーで 4×10^{12} 以上 $1 \times 10^{13} / \text{cm}^2$ 以下の密度となるようにイオン注入、さらにボロンBを20keV以上30keV以下のイオン注入エネルギーで 1×10^{12} 以上 $3 \times 10^{12} / \text{cm}^2$ 以下

50

の密度となるようにイオン注入する。ただし、イオン注入されるドーパントの密度、注入深さ等はMVMOSのサイズや特性に応じて適宜設定すればよい。イオン注入後、レジスト層は除去する。

【0065】

その後、イオン活性化処理が行われる。MVMOS及びLVMOSのウェル領域30へドーパントを注入した後、半導体基板10を900～1100程度の高温でアニール（加熱）することによって半導体基板10内のドーパントを活性化させる。例えば、1050で30秒～60秒のアニール処理を行う。ただし、加熱温度及び時間は、MVMOS及びLVMOSのサイズや特性に応じて適宜設定すればよい。第1導電型のドーパントが活性化した領域はMVMOS及びLVMOSのウェル領域30となる。

10

【0066】

続いて、半導体基板10の表面においてMVMOS及びLVMOSのウェル領域30が形成された領域上にMVMOS及びLVMOSのゲート絶縁層38が形成される。ゲート絶縁層38は、酸素（O₂）等の酸素含有ガスや窒素（N₂）等の窒素含有ガスを用いた熱酸化法により形成することができる。レジストを用いたフォトリソグラフィ及びエッチングを適用して、半導体基板10の表面においてLVMOSのウェル領域30内に形成されたMVMOSのゲート絶縁層38を除去した後にLVMOSのゲート絶縁層38を形成する。MVMOSの動作電圧範囲を5V～7V程度とする場合、MVMOSのゲート絶縁層38の膜厚は10nm～20nm程度とすることが好適である。また、LVMOSの動作電圧範囲を1.2V～1.5V程度とする場合、LVMOSのゲート絶縁層38の厚さは4nm以下とすることが好適である。

20

【0067】

ステップS18では、HVMOSのゲート電極28並びにMVMOS及びLVMOSのゲート電極40が形成される。さらに、HVMOSの拡張ソース領域16a及びMVMOSの拡張領域36が形成される。

【0068】

HVMOSのゲート絶縁層26上にゲート電極28並びにMVMOS及びLVMOSのゲート絶縁層38上にゲート電極40が形成される。ゲート電極28及びゲート電極40の形成方法は、特に限定されるものではないが、多結晶シリコン層とする場合にはシラン（SiH₄）等のシリコン含有ガスを用いた化学気相成長法（CVD法）とすることができる。ゲート電極28及びゲート電極40を金属層とする場合、蒸着法、スパッタリング法、化学気相成長法（CVD法）等を適用することができる。レジストを用いたフォトリソグラフィ及びエッチングを適用して、HVMOSのゲート電極28並びにMVMOS及びLVMOSのゲート電極40が必要な領域に形成される。このとき、ゲート絶縁層26の領域は、ゲート電極28の領域よりマージン距離X1（=0.1μm～0.2μm程度の重ねマージン分）だけ広くされる。

30

【0069】

次に、HVMOSの拡張ソース領域16a及びMVMOSの拡張領域36のためのイオン注入処理が行われる。図5に示すように、HVMOSの拡張ソース領域16a及びMVMOSが形成される領域以外の領域にマスクとして機能するレジスト層Rを形成する。レジスト層Rは、フォトリソグラフィ技術を用いてパターンニングすることができる。そして、第2導電型がn型である場合、レジスト層Rをマスクとして、n型ドーパント（燐P又は砒素As）を半導体基板10の表面にイオン注入する。ここでは、燐Pを60keV以上100keV以下のイオン注入エネルギーで 1×10^{13} 以上 $3 \times 10^{13} / \text{cm}^2$ 以下の密度となるようにイオン注入する。ただし、イオン注入されるドーパントの密度、注入深さ等はHVMOSの拡張ソース領域16a及びMVMOSの拡張領域36として必要な特性に応じて適宜設定すればよい。イオン注入後、レジスト層Rは除去する。

40

【0070】

その後、イオン活性化処理が行われる。HVMOSの拡張ソース領域16a及びMVMOSの拡張領域36へドーパントを注入した後、半導体基板10を900～1050

50

程度の高温でアニール（加熱）することによって半導体基板 10 内のドーパントを活性化させる。例えば、10 秒～30 秒のアニール処理を行う。ただし、加熱温度及び時間は、HVMOS の拡張ソース領域 16 a 及び MV MOS の拡張領域 36 として必要な特性に応じて適宜設定すればよい。ドーパントが活性化した領域は HVMOS の拡張ソース領域 16 a 及び MV MOS の拡張領域 36 となる。

【0071】

ここで、MV MOS の拡張領域 36 に対するドーパントのイオン注入エネルギーを適切に設定することによって、ゲート電極 28 が重畳されていないゲート絶縁層 26 のマージン距離 X 1 下の半導体基板 10 内にも同時にドーパントをイオン注入することができる。例えば、MV MOS の拡張領域 36 に対するドーパントのイオン注入エネルギーを 60 keV 以上 100 keV とすることで、60 nm～100 nm の膜厚を有するゲート絶縁層 26 を通して半導体基板 10 にドーパントをイオン注入することができる。そして、イオン活性化処理を施すことによって、MV MOS の拡張領域 36 を形成すると同時に、距離 X 1 を超えてゲート電極 28 下のチャネル領域 C に到達する HVMOS の拡張ソース領域 16 a をガードリング領域 14 内に形成することができる。これにより、半導体デバイス 100 の製造工程数を少なくすることができる。また、ゲート電極 28 の端部に対して HVMOS の拡張ソース領域 16 a が自己整合（セルフアライメント）で形成されるので、ゲート長さの変化に対して HVMOS の拡張ソース領域 16 a の配置の精度を高めることができる。

【0072】

なお、HVMOS の拡張ソース領域 16 a と MV MOS の拡張領域 36 とはその機能が異なる。すなわち、HVMOS の拡張ソース領域 16 a は、ソース領域 16 b と HVMOS のチャネル領域 C とを繋ぐ領域として機能する。したがって、HVMOS の拡張ソース領域 16 a を設けることによって、非対称 HVMOS の閾値電圧 V_{th} のばらつきを抑制することができる。一方、MV MOS の拡張領域 36 は、MV MOS のドレイン領域 34 の電界を緩和する領域として機能する。

【0073】

ステップ S 20 では、LV MOS の拡張領域 36 が形成される。LV MOS の拡張領域 36 が形成される領域以外の領域にマスクとして機能するレジスト層を形成する。レジスト層は、フォトリソグラフィ技術を用いてパターニングすることができる。そして、第 2 導電型が n 型である場合、レジスト層をマスクとして、n 型ドーパント（燐 P 又は砒素 As）を半導体基板 10 の表面にイオン注入する。ここでは、砒素 As を 2 keV 以上 4 keV 以下のイオン注入エネルギーで 6×10^{14} 以上 $2 \times 10^{15} / \text{cm}^2$ 以下の密度となるようにイオン注入する。ただし、イオン注入されるドーパントの密度、注入深さ等は LV MOS の拡張領域 36 として必要な特性に応じて適宜設定すればよい。イオン注入後、レジスト層は除去する。

【0074】

その後、イオン活性化処理が行われる。LV MOS の拡張領域 36 へドーパントを注入した後、半導体基板 10 を 1000 ～ 1050 程度の高温でスパイクアニール（加熱）することによって半導体基板 10 内のドーパントを活性化させる。ただし、加熱温度及び時間は、LV MOS の拡張領域 36 として必要な特性に応じて適宜設定すればよい。ドーパントが活性化した領域は LV MOS の拡張領域 36 となる。

【0075】

ステップ S 22 では、HVMOS のゲート電極 28 並びに MV MOS 及び LV MOS のゲート電極 40 の側面に絶縁体からなるサイドウォール S が形成される。サイドウォール S は、テトラエトキシシラン（TEOS）を用いた化学気相成長法（CVD）により形成することができる。また、サイドウォール S は、酸素（ O_2 ）等の酸素含有ガスや窒素（ N_2 ）等の窒素含有ガスを用いた化学気相成長法（CVD）により形成してもよい。エッチングを適用して、HVMOS のゲート電極 28 並びに MV MOS 及び LV MOS のゲート電極 40 の側面にサイドウォール S が残るように形成される。

【 0 0 7 6 】

ステップ S 2 4 では、H V M O S のソース領域 1 6 b 及びドレイン領域 1 8 並びに M V M O S 及び L V M O S のソース領域 3 2 及びドレイン領域 3 4 が形成される。H V M O S のソース領域 1 6 b 及びドレイン領域 1 8 並びに M V M O S 及び L V M O S のソース領域 3 2 及びドレイン領域 3 4 は、ドーパントのイオン注入処理及びアニールによる拡散処理によって形成される。

【 0 0 7 7 】

半導体基板 1 0 の表面において H V M O S のソース領域 1 6 b 及びドレイン領域 1 8 並びに M V M O S 及び L V M O S のソース領域 3 2 及びドレイン領域 3 4 に対応する領域が開口領域であるマスクとして機能するレジスト層を形成する。レジスト層は、フォトリソグラフィ技術を用いてパターニングすることができる。レジスト層をマスクとして、そして、第 2 導電型が n 型である場合、レジスト層をマスクとして、n 型ドーパント（リン P 又は砒素 A s ）を半導体基板 1 0 の表面にイオン注入する。ここでは、砒素 A s を 2 0 k e V 以上 2 5 k e V 以下のイオン注入エネルギーで $2 \times 1 0^{15} / \text{cm}^2$ 以上 $5 \times 1 0^{15} / \text{cm}^2$ 以下の密度となるようにイオン注入する。さらに、リン P を 2 0 k e V 以上 3 0 k e V 以下のイオン注入エネルギーで $3 \times 1 0^{13}$ 以上 $1 \times 1 0^{14} / \text{cm}^2$ 以下の密度となるようにイオン注入する。ただし、イオン注入されるドーパントの密度、注入深さ等は H V M O S のソース領域 1 6 b 及びドレイン領域 1 8 並びに M V M O S 及び L V M O S のソース領域 3 2 及びドレイン領域 3 4 として必要な特性に応じて適宜設定すればよい。イオン注入後、レジスト層は除去する。

【 0 0 7 8 】

このように、H V M O S のソース領域 1 6 b 及びドレイン領域 1 8 並びに M V M O S 及び L V M O S のソース領域 3 2 及びドレイン領域 3 4 に対してドーパントのイオン注入を同時に行うことで半導体デバイス 1 0 0 の製造工程数を少なくすることができる。

【 0 0 7 9 】

ステップ S 2 6 では、H V M O S のタップ領域 2 0 が形成される。H V M O S のタップ領域 2 0 は、ドーパントのイオン注入処理及びアニールによる拡散処理によって形成される。

【 0 0 8 0 】

半導体基板 1 0 の表面において H V M O S のタップ領域 2 0 に対応する領域が開口領域であるマスクとして機能するレジスト層を形成する。レジスト層は、フォトリソグラフィ技術を用いてパターニングすることができる。レジスト層をマスクとして、p 型ドーパント（ボロン B 又は二フッ化ボロン BF_2 ）を半導体基板 1 0 の表面にイオン注入する。イオン注入では、二フッ化ボロン BF_2 を 5 k e V 以上 1 0 k e V 以下のイオン注入エネルギーで $2 \times 1 0^{15}$ 以上 $3 \times 1 0^{15} / \text{cm}^2$ 以下の密度となるようにイオン注入する。さらに、例えば、ボロン B を 5 k e V 以上 1 0 k e V 以下のイオン注入エネルギーで $2 \times 1 0^{13}$ 以上 $5 \times 1 0^{13} / \text{cm}^2$ 以下の密度となるようにイオン注入する。ただし、イオン注入されるドーパントの密度、注入深さ等は H V M O S のサイズや特性に応じて適宜設定すればよい。イオン注入後、レジスト層は除去する。

【 0 0 8 1 】

その後、イオン活性化処理が行われる。H V M O S のタップ領域 2 0 へドーパントを注入した後、半導体基板 1 0 を 1 0 0 0 ~ 1 0 5 0 程度の高温でスパイクアニール（加熱）することによって半導体基板 1 0 内のドーパントを活性化させる。ドーパントが活性化した領域は H V M O S のソース領域 1 6 b 及びドレイン領域 1 8 並びに M V M O S 及び L V M O S のソース領域 3 2 及びドレイン領域 3 4 並びに H V M O S のタップ領域 2 0 となる。

【 0 0 8 2 】

[変形例]

図 7 は、半導体デバイス 1 0 0 の変形例における半導体デバイス 1 0 2 の構成の断面模式図を示す。半導体デバイス 1 0 2 も、非対称構造の H V M O S 、対象構造の M V M O S

10

20

30

40

50

及びLVMOSを含んで構成される。

【0083】

なお、図7では、半導体デバイス102のHV MOSにおいて重要である拡張ソース領域16a及びソース領域16b側の構造のみを示している。また、図7は半導体デバイス102の基本構成を説明するための模式図であり、半導体デバイス102を構成する各部を強調して示しており、各部の平面方向の寸法及び厚さ方向の寸法は実際の比を示していない場合がある。

【0084】

半導体デバイス102のHV MOSは、半導体基板10、ドリフト領域12、ガードリング領域14、拡張ソース領域16a、ソース領域16b、ドレイン領域18、タップ領域20、絶縁領域22、絶縁領域24、ゲート絶縁層26及びゲート電極28を含んで構成される。

10

【0085】

半導体デバイス102は、半導体デバイス100と拡張ソース領域16aが異なっている。拡張ソース領域16aは、HV MOSのソースの一部を構成する領域である。拡張ソース領域16aは、ドリフト領域12と同じ導電型、すなわち第2導電型とする。拡張ソース領域16aのドーパント濃度は、 $1 \times 10^{17} / \text{cm}^3$ 以上 $1 \times 10^{18} / \text{cm}^3$ 以下とすることが好適である。拡張ソース領域16aは、ガードリング領域14内において絶縁領域24の領域下からゲート絶縁層26及びゲート電極28に重畳した領域まで延設される。すなわち、拡張ソース領域16aは、ゲート電極28下のチャンネル領域Cに至るまで延設される。

20

【0086】

また、半導体デバイス102では、HV MOSのみならず、中耐圧電界効果トランジスタ(MV MOS: Middle Voltage Metal Oxide Semiconductor)及び低耐圧電界効果トランジスタ(LV MOS: Low Voltage Metal Oxide Semiconductor)が同じ半導体基板10に形成されている。

【0087】

半導体デバイス102のMV MOSでは、P型の半導体基板10にN型のウェル領域30bが形成され、当該N型のウェル領域30b内に高濃度P型のソース領域32b及びドレイン領域34b、ソース領域32b及びドレイン領域34bから拡がったソース領域32b及びドレイン領域34bより低濃度のP型の拡張領域36b、ソース領域32bからドレイン領域34bに跨がって形成されたゲート絶縁層38、ゲート絶縁層38上に形成されたポリシリコン等のゲート電極40から構成される。

30

【0088】

[製造方法]

図8及び図9は、半導体デバイス102の製造方法を示す。図8及び図9は半導体デバイス102の製造方法を示す断面模式図であり、半導体デバイス102を構成する各部を強調して示しており、各部の平面方向の寸法及び厚さ方向の寸法は実際の比を示していない場合がある。

【0089】

半導体基板10は、第1導電型としてp型にドーピングされたシリコン基板として説明する。なお、p型チャンネルのHV MOSを含む半導体デバイス102とする場合、第1導電型をn型、第2導電型をp型として読み替えればよい。

40

【0090】

ステップS30では、ドリフト領域12及びガードリング領域14が形成される。ドリフト領域12及びガードリング領域14は、ドーパントのイオン注入処理及びアニールによる拡散処理によって形成される。当該ステップにおける処理は、半導体デバイス100の製造方法におけるステップS10と同様であるので説明を省略する。

【0091】

ステップS32では、絶縁領域22及び絶縁領域24が形成される。当該ステップにお

50

ける処理は、半導体デバイス100の製造方法におけるステップS12と同様であるので説明を省略する。

【0092】

ステップS34では、ゲート絶縁層26が形成される。当該ステップにおける処理は、半導体デバイス100の製造方法におけるステップS14と同様であるので説明を省略する。

【0093】

ステップS36では、LVMOSにおけるウェル領域30が形成される。また、MVMOSのウェル領域30b及びHV MOSの拡張ソース領域16aへのイオン注入処理が行われる。

【0094】

半導体基板10の表面においてLVMOSのウェル領域30に対応する領域が開口領域であるマスクとして機能するレジスト層を形成する。レジスト層は、フォトリソグラフィ技術を用いてパターンニングすることができる。レジスト層をマスクとして、p型ドーパント(ボロンB又は二フッ化ボロン BF_2)を半導体基板10の表面にイオン注入する。イオン注入では、ボロンBを150keV以上250keV以下のイオン注入エネルギーで 1.5×10^{13} 以上 $2.5 \times 10^{13} / cm^2$ 以下の密度となるようにイオン注入、ボロンBを80keV以上120keV以下のイオン注入エネルギーで 4×10^{12} 以上 $1 \times 10^{13} / cm^2$ 以下の密度となるようにイオン注入、さらにボロンBを7keV以上20keV以下のイオン注入エネルギーで 1×10^{13} 以上 $3 \times 10^{13} / cm^2$ 以下の密度となるようにイオン注入する。ただし、イオン注入されるドーパントの密度、注入深さ等はLVMOSのサイズや特性に応じて適宜設定すればよい。イオン注入後、レジスト層は除去する。

【0095】

半導体基板10の表面においてMVMOSのウェル領域30b及びHV MOSの拡張ソース領域16aに対応する領域が開口領域であるマスクとして機能するレジスト層Rを形成する。レジスト層Rは、フォトリソグラフィ技術を用いてパターンニングすることができる。ここで、レジスト層Rは、後述するゲート絶縁層26のマージン距離X1となる領域も開口部となるように形成される。レジスト層Rをマスクとして、n型ドーパント(燐P又は砒素As)を半導体基板10の表面にイオン注入する。イオン注入では、燐Pを400keV以上600keV以下のイオン注入エネルギーで 1.5×10^{13} 以上 $2.5 \times 10^{13} / cm^2$ 以下の密度となるようにイオン注入、燐Pを200keV以上300keV以下のイオン注入エネルギーで 5×10^{12} 以上 $1 \times 10^{13} / cm^2$ 以下の密度となるようにイオン注入、さらに燐Pを60keV以上80keV以下のイオン注入エネルギーで 1×10^{12} 以上 $3 \times 10^{12} / cm^2$ 以下の密度となるようにイオン注入する。ただし、イオン注入されるドーパントの密度、注入深さ等はMVMOSのウェル領域30b及びHV MOSの拡張ソース領域16aとして必要な特性に応じて適宜設定すればよい。イオン注入後、レジスト層Rは除去する。

【0096】

その後、イオン活性化処理が行われる。LVMOSのウェル領域30並びにMVMOSのウェル領域30b及びHV MOSの拡張ソース領域16aへドーパントを注入した後、半導体基板10を900 ~ 1100 程度の高温でアニール(加熱)することによって半導体基板10内のドーパントを活性化させる。例えば、1050 で30秒~60秒のアニール処理を行う。ただし、加熱温度及び時間は、MVMOS及びLVMOSのサイズや特性に応じて適宜設定すればよい。これによって、LVMOSのウェル領域30並びにMVMOSのウェル領域30b及びHV MOSの拡張ソース領域16aが形成される。

【0097】

ここで、一般的にMVMOSのウェル領域30bに対するドーパントのイオン注入エネルギーでは60nm~100nmの厚さのゲート絶縁層26を容易に透過するので、ゲート絶縁層26のマージン距離X1下の半導体基板10内にも同時にドーパントをイオン注

10

20

30

40

50

入することができる。そして、イオン活性化処理を施すことによって、MVMOSのウェル領域30bを形成すると同時に、距離X1を超えてゲート電極28下のチャンネル領域Cに到達するHVMOSの拡張ソース領域16aをガードリング領域14内に形成することができる。これにより、半導体デバイス102の製造工程数を少なくすることができる。

【0098】

ステップS38では、MVMOS及びLVMOSのゲート絶縁層38が形成される。さらに、HVMOSのゲート電極28並びにMVMOS及びLVMOSのゲート電極40が形成される。

【0099】

半導体基板10の表面においてMVMOSのウェル領域30b及びLVMOSのウェル領域30が形成された領域上にMVMOS及びLVMOSのゲート絶縁層38が形成される。ゲート絶縁層38は、酸素(O₂)等の酸素含有ガスや窒素(N₂)等の窒素含有ガスを用いた熱酸化法により形成することができる。フォトリソグラフィングプロセスを使用することにより、半導体基板10の表面上にLVMOSのゲート絶縁層38及びMVMOSのゲート絶縁層38を形成する。LVMOSのゲート絶縁層38は、LVMOSのウェル領域30上に配置される。MVMOSのゲート絶縁層38は、MVMOSのウェル領域30b上に配置される。例えば、半導体基板10の表面のパッド酸化物層を最初に除去し、パターン化されたフォトリソグラフィ層をマスクとして使用して熱酸化によってMVMOSのウェル領域30b上にMVMOSのゲート絶縁層38を形成し、フォトリソグラフィ層を除去する。その後、別のパターン化されたフォトリソグラフィ層をマスクとして使用して、熱酸化によってLVMOSのウェル領域30上にLVMOSのゲート絶縁層38を形成する。MVMOSの動作電圧範囲を5V~7V程度とする場合、MVMOSのゲート絶縁層38の膜厚は10nm~20nm程度とすることが好適である。また、LVMOSの動作電圧範囲を1.2V~1.5V程度とする場合、LVMOSのゲート絶縁層38の厚さは4nm以下とすることが好適である。

【0100】

また、HVMOSのゲート電極28並びにMVMOS及びLVMOSのゲート電極40が形成される。HVMOSのゲート絶縁層26上にゲート電極28並びにMVMOS及びLVMOSのゲート絶縁層38上にゲート電極40が形成される。ゲート電極28及びゲート電極40の形成方法は、特に限定されるものではないが、多結晶シリコン層とする場合にはシラン(SiH₄)等のシリコン含有ガスを用いた化学気相成長法(CVD法)とすることができる。ゲート電極28及びゲート電極40を金属層とする場合、蒸着法、スパッタリング法、化学気相成長法(CVD法)等を適用することができる。レジストを用いたフォトリソグラフィ及びエッチングを適用して、HVMOSのゲート電極28並びにMVMOS及びLVMOSのゲート電極40が必要な領域に形成される。このとき、ゲート絶縁層26の領域は、ゲート電極28の領域よりマージン距離X1(=0.1μm~0.2μm程度の重ねマージン分)だけ広くされる。

【0101】

ステップS40では、MVMOSの拡張領域36b及びLVMOSの拡張領域36が形成される。

【0102】

MVMOSの拡張領域36bのためのイオン注入処理が行われる。MVMOSの拡張領域36bが形成される領域以外の領域にマスクとして機能するレジスト層を形成する。レジスト層は、フォトリソグラフィ技術を用いてパターンニングすることができる。そして、レジスト層をマスクとして、p型ドーパント(ボロンB又は二フッ化ボロンBF₂)を半導体基板10の表面にイオン注入する。イオン注入では、ボロンBを15keV以上25keV以下のイオン注入エネルギーで 1×10^{13} 以上 $3 \times 10^{13} / \text{cm}^2$ 以下の密度となるようにイオン注入する。ただし、イオン注入されるドーパントの密度、注入深さ等はMVMOSの拡張領域36bとして必要な特性に応じて適宜設定すればよい。イオン注入後、レジスト層は除去する。

10

20

30

40

50

【 0 1 0 3 】

また、LVMOSの拡張領域36のためのイオン注入処理が行われる。LVMOSの拡張領域36が形成される領域以外の領域にマスクとして機能するレジスト層を形成する。レジスト層は、フォトリソグラフィ技術を用いてパターニングすることができる。そして、レジスト層をマスクとして、n型ドーパント（燐P又は砒素As）を半導体基板10の表面にイオン注入する。ここでは、砒素Asを2keV以上4keV以下のイオン注入エネルギーで 6×10^{14} 以上 $2 \times 10^{15} / \text{cm}^2$ 以下の密度となるようにイオン注入する。ただし、イオン注入されるドーパントの密度、注入深さ等はLVMOSの拡張領域36として必要な特性に応じて適宜設定すればよい。イオン注入後、レジスト層は除去する。

【 0 1 0 4 】

その後、イオン活性化処理が行われる。MVMOSの拡張領域36b及びLVMOSの拡張領域36へドーパントを注入した後、半導体基板10を1000～1050程度の高温でスパイクアニール（加熱）することによって半導体基板10内のドーパントを活性化させる。ただし、加熱温度及び時間は、MVMOSの拡張領域36b及びLVMOSの拡張領域36として必要な特性に応じて適宜設定すればよい。ドーパントが活性化した領域はMVMOSの拡張領域36b及びLVMOSの拡張領域36となる。

【 0 1 0 5 】

ステップS42では、HVMOSのゲート電極28並びにMVMOS及びLVMOSのゲート電極40の側面に絶縁体からなるサイドウォールSが形成される。当該ステップにおける処理は、半導体デバイス100の製造方法におけるステップS22と同様であるので説明を省略する。

【 0 1 0 6 】

ステップS44では、HVMOSのソース領域16b及びドレイン領域18並びにLVMOSのソース領域32及びドレイン領域34を形成するためのイオン注入処理が行われる。

【 0 1 0 7 】

半導体基板10の表面においてHVMOSのソース領域16b及びドレイン領域18並びにLVMOSのソース領域32及びドレイン領域34に対応する領域が開口領域であるマスクとして機能するレジスト層Rを形成する（図9のステップS44参照）。レジスト層Rは、フォトリソグラフィ技術を用いてパターニングすることができる。そして、レジスト層Rをマスクとして、n型ドーパント（燐P又は砒素As）を半導体基板10の表面にイオン注入する。ここでは、砒素Asを20keV以上25keV以下のイオン注入エネルギーで $2 \times 10^{15} / \text{cm}^2$ 以上 $5 \times 10^{15} / \text{cm}^2$ 以下の密度となるようにイオン注入する。さらに、燐Pを20keV以上30keV以下のイオン注入エネルギーで 3×10^{13} 以上 $1 \times 10^{14} / \text{cm}^2$ 以下の密度となるようにイオン注入する。ただし、イオン注入されるドーパントの密度、注入深さ等はHVMOSのソース領域16b及びドレイン領域18並びにLVMOSのソース領域32及びドレイン領域34として必要な特性に応じて適宜設定すればよい。イオン注入後、レジスト層Rは除去する。

【 0 1 0 8 】

ステップS46では、HVMOSのタップ領域20並びにMVMOSのソース領域32b及びドレイン領域34bを形成するためのイオン注入処理が行われる。

【 0 1 0 9 】

半導体基板10の表面においてHVMOSのタップ領域20並びにMVMOSのソース領域32b及びドレイン領域34bに対応する領域が開口領域であるマスクとして機能するレジスト層を形成する。レジスト層は、フォトリソグラフィ技術を用いてパターニングすることができる。そして、レジスト層をマスクとして、p型ドーパント（ボロンB又は二フッ化ボロンBF₂）を半導体基板10の表面にイオン注入する。ここでは、イオン注入では、二フッ化ボロンBF₂を5keV以上10keV以下のイオン注入エネルギーで 2×10^{15} 以上 $3 \times 10^{15} / \text{cm}^2$ 以下の密度となるようにイオン注入する。さらに、例えば、ボロンBを5keV以上10keV以下のイオン注入エネルギーで 2×10^{13}

10

20

30

40

50

以上 $5 \times 10^{13} / \text{cm}^2$ 以下の密度となるようにイオン注入する。ただし、イオン注入されるドーパントの密度、注入深さ等はHV MOSのタップ領域20並びにMV MOSのソース領域32b及びドレイン領域34bとして必要な特性に応じて適宜設定すればよい。イオン注入後、レジスト層は除去する。

【0110】

その後、イオン活性化処理が行われる。HV MOSのソース領域16b及びドレイン領域18並びにLV MOSのソース領域32及びドレイン領域34並びにHV MOSのタップ領域20並びにMV MOSのソース領域32b及びドレイン領域34bへドーパントを注入した後、半導体基板10を1000 ~ 1050 程度の高温でスパイクアニール（加熱）することによって半導体基板10内のドーパントを活性化させる。ただし、加熱温度及び時間は、HV MOSのソース領域16b及びドレイン領域18並びにLV MOSのソース領域32及びドレイン領域34並びにHV MOSのタップ領域20並びにMV MOSのソース領域32b及びドレイン領域34bとして必要な特性に応じて適宜設定すればよい。ドーパントが活性化した領域はHV MOSのソース領域16b及びドレイン領域18並びにLV MOSのソース領域32及びドレイン領域34並びにHV MOSのタップ領域20並びにMV MOSのソース領域32b及びドレイン領域34bとなる。

10

【0111】

[本実施の形態における半導体デバイスの特性]

図10及び図11は、従来の非対称HV MOSの構造及び本実施の形態における半導体デバイス100の構造とした場合のソース領域近傍のドーパントの2次元濃度プロファイルを示す。当該シミュレーションは、LV MOSのゲート長が100nm以下となり、LV MOSのソース領域32及びドレイン領域34のイオン注入エネルギーが小さくされた場合について想定したものである。図10(a)は、従来の非対称HV MOSの構造においてゲート絶縁層26の厚さを77nmとした場合のドーパントの2次元濃度プロファイルを示す。また、図10(b)は、本実施の形態における半導体デバイス100の構造においてゲート絶縁層26の厚さを77nmとした場合の2次元濃度プロファイルを示す。図11(a)は、従来の非対称HV MOSの構造においてゲート絶縁層26の厚さを87nmとした場合のドーパントの2次元濃度プロファイルを示す。また、図11(b)は、本実施の形態における半導体デバイス100の構造においてゲート絶縁層26の厚さを87nmとした場合の2次元濃度プロファイルを示す。

20

30

【0112】

図10(a)及び図11(a)に示されるように、ゲート絶縁層26の厚さが77nm及び87nmのいずれにおいても、従来の非対称HV MOSの構造の場合にはソース領域におけるドーパントの拡がり十分でなく、ゲート電極28に対するゲート絶縁層26の幅のマーヅン距離X1を超えてゲート電極28下のチャンネル領域Cまでドーパントが拡がらなかった。一方、図10(b)及び図11(b)に示されるように、ゲート絶縁層26の厚さが77nm及び87nmのいずれにおいても、拡張ソース領域16aを設けた本実施の形態における半導体デバイス100の構造の場合には拡張ソース領域16a及びソース領域16bにおける電界の拡がりが大きくなり、ゲート電極28に対するゲート絶縁層26の幅のマーヅン距離X1を超えてゲート電極28下のチャンネル領域Cまで十分にドーパントが拡がった。

40

【0113】

図12は、従来の非対称HV MOSの構造及び本実施の形態における半導体デバイス100の構造とした場合のゲート-ソース電圧(V_{gs})とドレイン-ソース電流(I_{ds})との関係をTCADシミュレーションした結果を示す。図12(a)は、従来の非対称HV MOSの構造に対するゲート-ソース電圧(V_{gs})とドレイン-ソース電流(I_{ds})との関係を示す。図12(b)は、半導体デバイス100の構造に対するゲート-ソース電圧(V_{gs})とドレイン-ソース電流(I_{ds})との関係を示す。

【0114】

従来の非対称HV MOSの構造では、ゲート絶縁層26の厚さを77nmから87nm

50

へ増加させると、ゲート - ソース電圧 (V_{gs}) とドレイン - ソース電流 (I_{ds}) との関係が大きく変動した。これに対して、本実施の形態における半導体デバイス 100 の構造では、ゲート絶縁層 26 の厚さを 77 nm から 87 nm へ増加させたとしてもゲート - ソース電圧 (V_{gs}) とドレイン - ソース電流 (I_{ds}) との関係の変動は従来の非対称 HVMOS の構造より小さくなった。

【0115】

図 13 (a) 及び図 13 (b) は、それぞれ従来の非対称 HVMOS の構造及び本実施の形態の半導体デバイス 100 におけるゲート絶縁層 26 の膜厚と閾値電圧 (V_{th}) とドレイン - ソース電流 (I_{ds}) との関係を示す。

【0116】

図 13 (a) に示されるように、本実施の形態の半導体デバイス 100 におけるゲート絶縁層 26 の膜厚の変化に対する閾値電圧 (V_{th}) の変化の幅は、従来の非対称 HVMOS の構造における閾値電圧 (V_{th}) の変化の幅より小さくなった。すなわち、本実施の形態の半導体デバイス 100 では、ゲート絶縁層 26 の膜厚に対して閾値電圧 (V_{th}) を安定にすることができた。

【0117】

また、図 13 (b) に示されるように、本実施の形態の半導体デバイス 100 におけるゲート絶縁層 26 の膜厚の変化に対するドレイン - ソース電流 (I_{ds}) の変化の幅は、従来の非対称 HVMOS の構造におけるドレイン - ソース電流 (I_{ds}) の変化の幅より小さくなった。すなわち、本実施の形態の半導体デバイス 100 では、ゲート絶縁層 26 の膜厚に対してドレイン - ソース電流 (I_{ds}) を安定にすることができた。

【0118】

なお、ゲート絶縁層 26 の膜厚に対してのみならず、マージン距離 X1 のばらつきに対しても閾値電圧 (V_{th}) やソース - ドレイン電流 (I_{ds}) の素子毎のバラツキを抑制することができる。

【0119】

以上のように、本発明によれば、非対称構造の HVMOS を含む半導体デバイスの特性を向上させる。すなわち、非対称構造の HVMOS を含む半導体デバイスにおいて閾値電圧 (V_{th}) やソース - ドレイン電流 (I_{ds}) の素子毎のバラツキを抑制し、デバイス性能を安定化させることができる。特に、LVMOS のゲート長が 100 nm 以下であるような構成において有効である。また、そのような良好な特性を有する非対称構造の HVMOS と MVMOS 及び LVMOS を含む半導体デバイスにおいて製造工程を簡素化することを可能とし、製造コストを低減させることができる。

【符号の説明】

【0120】

10 半導体基板、12 ドリフト領域、14 ガードリング領域、16 ソース領域、16a 拡張ソース領域、16b ソース領域、18 ドレイン領域、20 タップ領域、22 絶縁領域、24 絶縁領域、26 ゲート絶縁層、28 ゲート電極、30 ウェル領域、30b ウェル領域、32 ソース領域、32b ソース領域、34 ドレイン領域、34b ドレイン領域、36 拡張領域、36b 拡張領域、38 ゲート絶縁層、40 ゲート電極、100, 102 半導体デバイス。

10

20

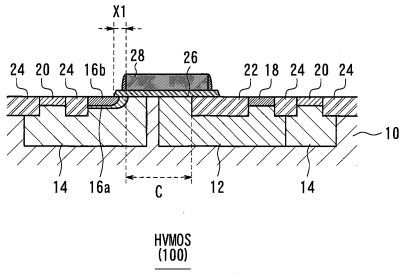
30

40

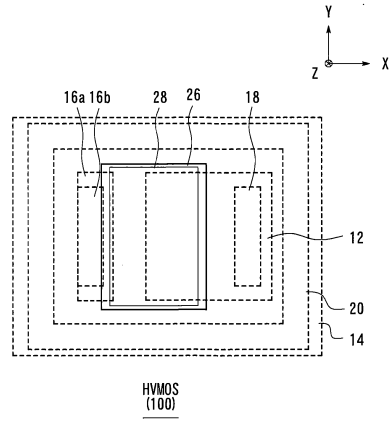
50

【図面】

【図 1】

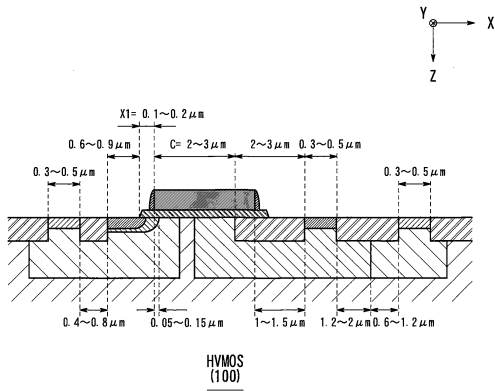


【図 2】

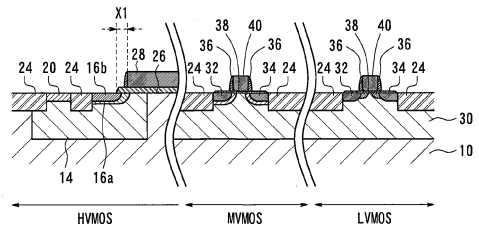


10

【図 3】



【図 4】



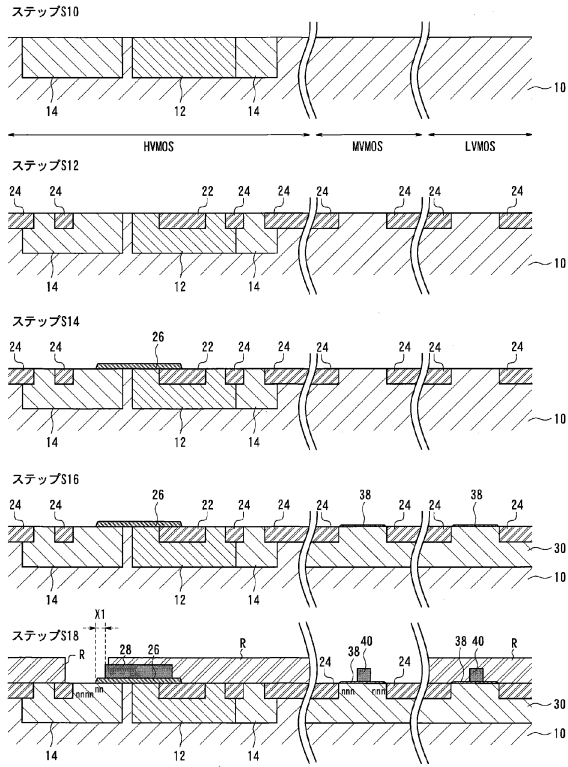
20

30

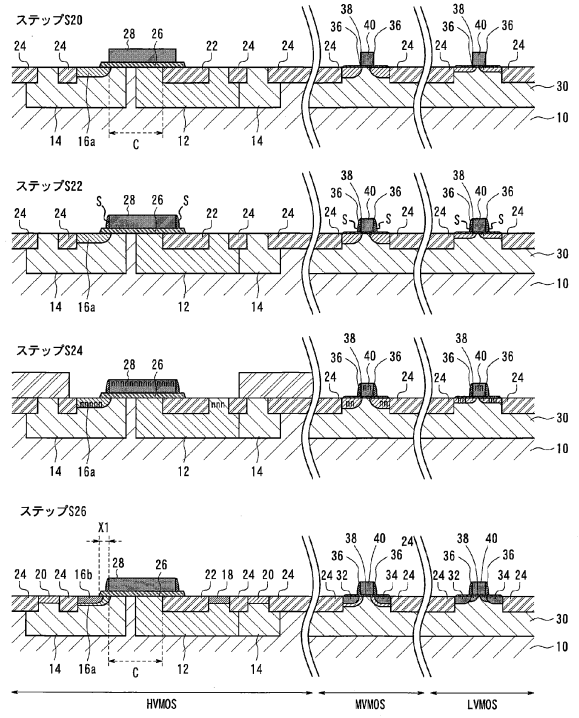
40

50

【 図 5 】



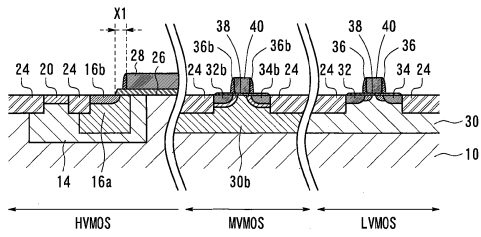
【 図 6 】



10

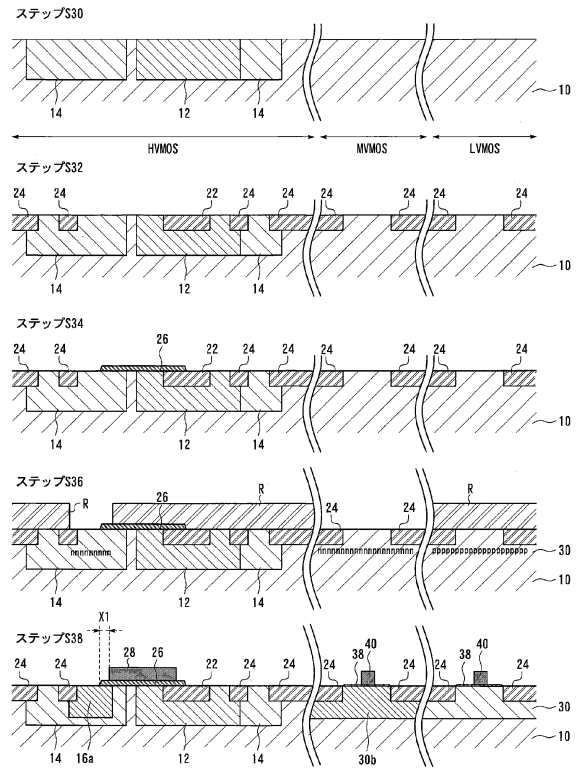
20

【 図 7 】



102

【 図 8 】

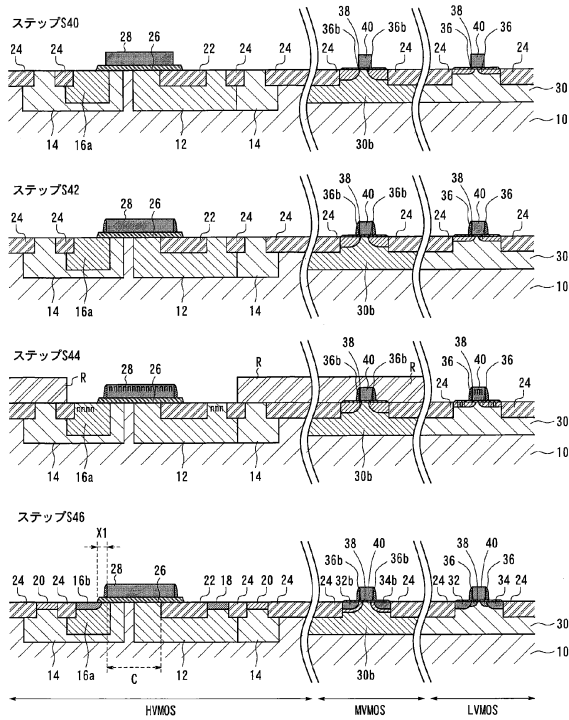


30

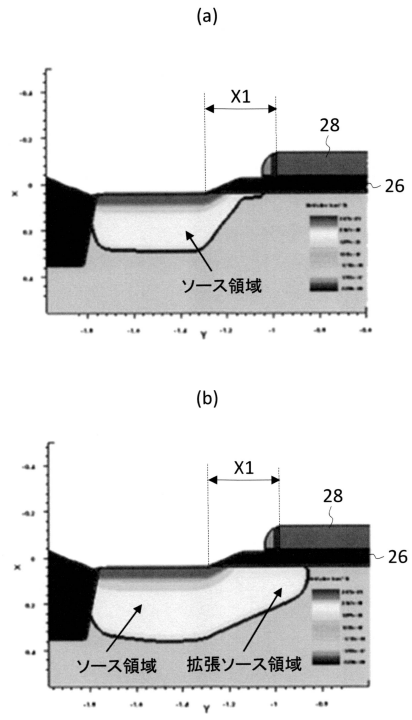
40

50

【図 9】



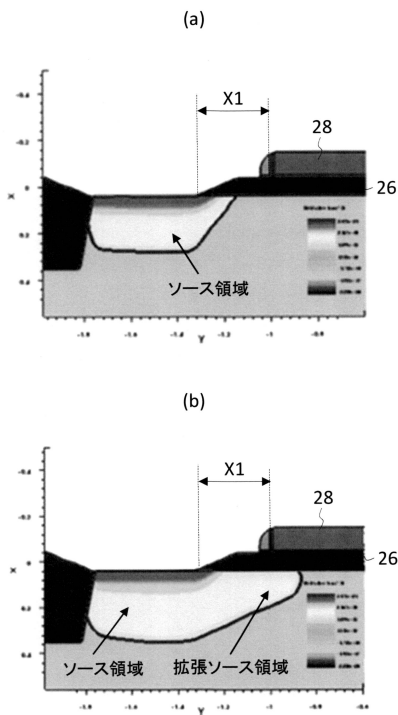
【図 10】



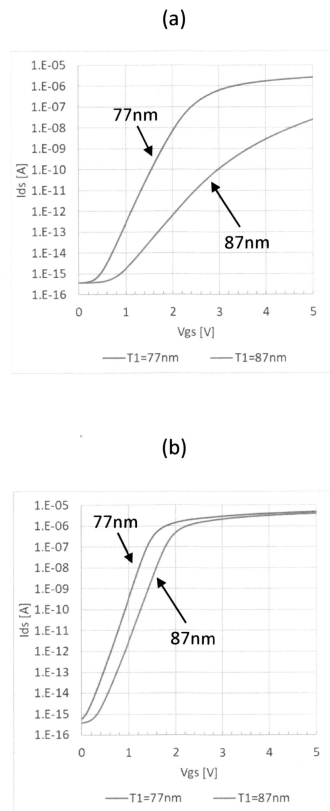
10

20

【図 11】



【図 12】

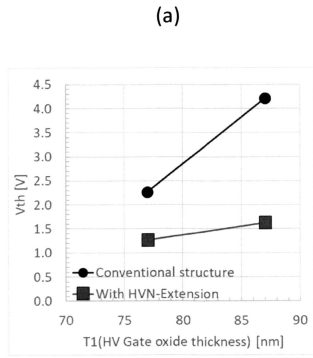


30

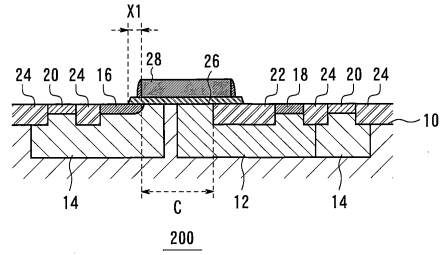
40

50

【 図 1 3 】

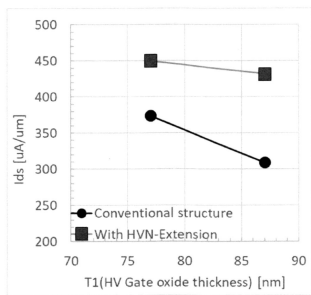


【 図 1 4 】



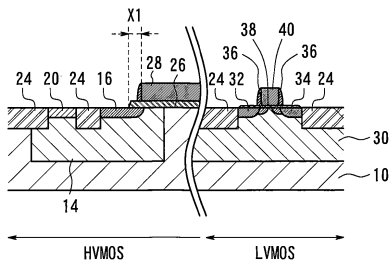
10

(b)



20

【 図 1 5 】



30

40

50

フロントページの続き

審査官 岩本 勉

- (56)参考文献 特開2009-290140(JP,A)
特開2007-287798(JP,A)
特開2012-099541(JP,A)
特開2019-046874(JP,A)
特開2005-123644(JP,A)
特開2002-026140(JP,A)
特開2010-118622(JP,A)
- (58)調査した分野 (Int.Cl., DB名)
H01L 29/78
H01L 27/088
H01L 21/336
H01L 21/8234