

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-66691

(P2006-66691A)

(43) 公開日 平成18年3月9日(2006.3.9)

(51) Int. Cl.	F I	テーマコード (参考)
H O 1 L 29/786 (2006.01)	H O 1 L 29/78 6 2 6 Z	4 M 1 0 4
H O 1 L 21/28 (2006.01)	H O 1 L 21/28 3 0 1 S	5 F 0 4 8
H O 1 L 27/08 (2006.01)	H O 1 L 27/08 3 3 1 E	5 F 0 8 3
H O 1 L 29/872 (2006.01)	H O 1 L 29/48 M	5 F 1 1 0
H O 1 L 29/47 (2006.01)	H O 1 L 27/08 1 0 2 D	
審査請求 未請求 請求項の数 17 O L (全 29 頁) 最終頁に続く		

(21) 出願番号 特願2004-248181 (P2004-248181)

(22) 出願日 平成16年8月27日(2004.8.27)

(71) 出願人 503121103

株式会社ルネサステクノロジ

東京都千代田区丸の内二丁目4番1号

(74) 代理人 100089233

弁理士 吉田 茂明

(74) 代理人 100088672

弁理士 吉竹 英俊

(74) 代理人 100088845

弁理士 有田 貴弘

(72) 発明者 一法師 隆志

東京都千代田区丸の内二丁目4番1号 株

式会社ルネサステクノロジ内

(72) 発明者 岩松 俊明

東京都千代田区丸の内二丁目4番1号 株

式会社ルネサステクノロジ内

最終頁に続く

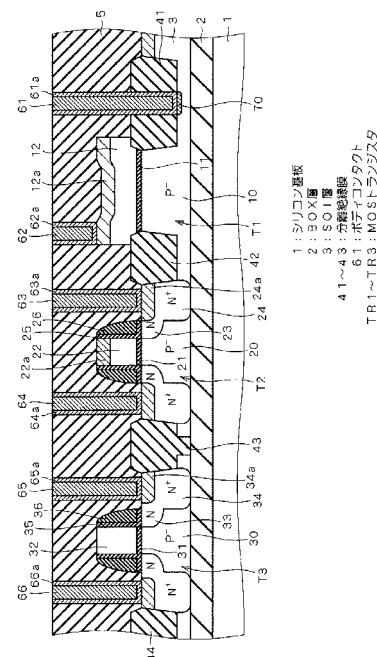
(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 ボディコンタクトを有するSOIデバイスにおいて、ボディコンタクトとボディ領域との間に所望の抵抗値を持たせると共に、当該抵抗値のばらつきを抑制する。

【解決手段】 SOI層3におけるコンタクト61との接続部分（即ち、素子分離絶縁膜41の下）に、不純物濃度の高いP⁺領域を形成せずに、SOI層3とボディコンタクト61とをショットキー接合させる。また、ボディコンタクト61の表面にはバリアメタル61aが形成されており、ボディコンタクト61とSOI層3との間に、バリアメタル61aとSOI層3とが反応したシリサイド70が形成される。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

絶縁体層の上に配設された半導体層と、
前記半導体層に形成された半導体素子と、
前記半導体素子のボディ領域に電氣的に接続するように、前記半導体層に接続するボディコンタクトとを備え、
前記ボディコンタクトと前記半導体層との接続は、ショットキー接合を介して成されている
ことを特徴とする半導体装置。

【請求項 2】

請求項 1 記載の半導体装置であって、
前記半導体層において、前記ボディコンタクトとの接続部分の近傍に、局所的にその周囲と不純物濃度が異なる領域が形成されている
ことを特徴とする半導体装置。

【請求項 3】

請求項 1 または請求項 2 記載の半導体装置であって、
前記半導体素子の形成領域は、前記半導体層の上部に形成された分離絶縁膜により規定されており、
前記ボディコンタクトと前記半導体層との接続は、前記ボディコンタクトが前記分離絶縁膜を貫通して、当該分離絶縁膜の下の前記半導体層に達することにより成されている
ことを特徴とする半導体装置。

【請求項 4】

請求項 3 記載の半導体装置であって、
前記ボディコンタクトは、前記分離絶縁膜の下の前記半導体層も貫通して、前記絶縁体層にまで達している
ことを特徴とする半導体装置。

【請求項 5】

請求項 1 から請求項 4 のいずれか記載の半導体装置であって、
前記ボディコンタクトと前記半導体層との接続部分には、シリサイドが形成されており、
前記ショットキー接合は、前記シリサイドと前記半導体層との間で成されている
ことを特徴とする半導体装置。

【請求項 6】

請求項 5 記載の半導体装置であって、
前記ボディコンタクトは、表面にバリアメタルを有しており、
前記シリサイドは、前記バリアメタルと前記半導体層とが反応して形成されたものである
ことを特徴とする半導体装置。

【請求項 7】

請求項 5 または請求項 6 記載の半導体装置であって、
前記シリサイドは、前記絶縁体層にまで達している
ことを特徴とする半導体装置。

【請求項 8】

絶縁体層の上に配設された半導体層と、
前記半導体層に形成された半導体素子と、
前記半導体素子のボディ領域に電氣的に接続するように、前記半導体層に接続するボディコンタクトとを備え、
前記ボディコンタクトと前記半導体層との接続部分には、シリサイドが形成されており、
前記シリサイドは、前記絶縁体層にまで達している

10

20

30

40

50

ことを特徴とする半導体装置。

【請求項 9】

請求項 8 記載の半導体装置であって、

前記ボディコンタクトは、表面にバリアメタルを有しており、

前記シリサイドは、前記バリアメタルと前記半導体層とが反応して形成されたものである

ことを特徴とする半導体装置。

【請求項 10】

請求項 8 または請求項 9 記載の半導体装置であって、

前記半導体層において、前記シリサイドの近傍に、局所的にその周囲と不純物濃度が異なる領域が形成されている

ことを特徴とする半導体装置。

【請求項 11】

請求項 8 から請求項 10 のいずれか記載の半導体装置であって、

前記半導体素子の形成領域は、前記半導体層の上部に形成された分離絶縁膜により規定されており、

前記ボディコンタクトと前記半導体層との接続は、前記ボディコンタクトが前記分離絶縁膜を貫通して、当該分離絶縁膜の下の前記半導体層に達することにより成されている

ことを特徴とする半導体装置。

【請求項 12】

絶縁体層の上に配設された半導体層と、

前記半導体層に形成された半導体素子と、

前記半導体素子のボディ領域に電氣的に接続するように、前記半導体層に接続するボディコンタクトとを備え、

前記ボディコンタクトは、ポリシリコンで形成されている

ことを特徴とする半導体装置。

【請求項 13】

請求項 12 記載の半導体装置であって、

前記半導体素子に接続する前記ボディコンタクト以外のコンタクトは、金属で形成されている

ことを特徴とする半導体装置。

【請求項 14】

(a) 絶縁体層上に配設された半導体層に、所定の半導体素子を形成する工程と、

(b) 前記半導体素子上を覆う層間絶縁膜を形成する工程と、

(c) 前記層間絶縁膜に、前記半導体素子のボディ領域に接続するボディコンタクトのためのコンタクトホールを、前記半導体層に達するように形成する工程と、

(d) 前記コンタクトホール内に露出した前記半導体層に、前記絶縁体層にまでするシリサイドを形成する工程とを備える

ことを特徴とする半導体装置の製造方法。

【請求項 15】

請求項 14 記載の半導体装置の製造方法であって、

前記工程 (d) の前に、

(e) 前記コンタクトホール内に露出した前記半導体層にイオンを注入する工程が行われる

ことを特徴とする半導体装置の製造方法。

【請求項 16】

(a) 絶縁体層上に配設された半導体層の上部に、素子形成領域を規定する分離絶縁膜を形成する工程と、

(b) 前記半導体層の素子形成領域に、所定の半導体素子を形成する工程と、

(c) 前記分離絶縁膜に、当該分離絶縁膜の下の前記半導体層に達する開口を形成する

10

20

30

40

50

工程と、

(d) 前記開口内に露出した前記半導体層に、前記絶縁体層にまで達するシリサイドを形成する工程と、

(e) 前記半導体素子を覆う層間絶縁膜を形成する工程と、

(f) 前記層間絶縁膜に、前記シリサイドに接続するコンタクトを形成する工程とを備える

ことを特徴とする半導体装置の製造方法。

【請求項 17】

請求項 16 記載の半導体装置の製造方法であって、

前記工程 (d) の前に、

(e) 前記開口内に露出した前記半導体層にイオンを注入する工程が行われることを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は半導体装置およびその製造方法に関し、特に、半導体素子のボディ領域に接続するコンタクトを備える半導体装置に関する。

【背景技術】

【0002】

シリコン基板上に配設された酸化膜層 (BOX (Buried Oxide) 層) 上にシリコン層 (SOI (Silicon On Insulator) 層) が形成されて成る SOI 基板を用いた半導体装置 (以下「SOI デバイス」と称する) が広く知られている。SOI デバイスは、寄生容量の低減、消費電力の低減および動作の高速化が可能であり、通信用 LSI や携帯機器などに広く使用されている。

【0003】

通常、SOI デバイスの動作の高速化を図る手段としては、配線およびコンタクトの低抵抗化技術が必須である。一般に、そのような低抵抗化技術としては、トランジスタのゲート配線上部やソース・ドレイン領域上部など、SOI デバイスとコンタクトの接続部分にシリコンと金属との化合物層 (シリサイド層) を形成する手法が用いられる。例えば下記の特許文献 1 のように、SOI 層に形成されたソース・ドレイン領域上部およびポリシリコンで形成されたゲート電極上部に、Ti (チタン) や Co (コバルト) 等の金属層をスパッタリング等で堆積し、熱処理を行うことで、シリサイド層を形成する。

【0004】

また、SOI デバイスに、そのボディ領域に電氣的に接続するコンタクト (ボディコンタクト) を形成して、当該ボディ領域の電位を制御することで、デバイスの動作の安定化および高速化を図る技術が知られている。例えば、MOS トランジスタのゲート電極をボディコンタクトを介してボディ領域に接続した DTMOS (Dynamic Threshold Voltage Metal-Oxide-Silicon) トランジスタが知られている (例えば特許文献 2)。

【0005】

【特許文献 1】特開平 6-204334 号公報 (図 83-84)

【特許文献 2】特開 2001-77368 号公報

【発明の開示】

【発明が解決しようとする課題】

【0006】

ボディコンタクトを有する SOI デバイスにおいては、ボディコンタクトからボディ領域にリーク電流が流れ込みやすいため、ボディコンタクトとボディ領域との間に、ある程度の大きさの抵抗値を持たせ、該リーク電流を抑制して消費電力を削減することが望ましい。しかし、その抵抗値にばらつきがあるとデバイスの電氣的特性がばらついてしまい問題となる。

【0007】

10

20

30

40

50

本発明は以上のような課題を解決するためになされたものであり、ボディコンタクトを有するSOIデバイスにおいて、ボディコンタクトとボディ領域との間に所望の抵抗値を持たせることを第1の目的とし、当該抵抗値のばらつきを抑制することを第2の目的とする。

【課題を解決するための手段】

【0008】

本発明の第1の局面に係る半導体装置は、絶縁体層の上に配設された半導体層と、前記半導体層に形成された半導体素子と、前記半導体素子のボディ領域に電氣的に接続するように、前記半導体層に接続するボディコンタクトとを備え、前記ボディコンタクトと前記半導体層との接続が、ショットキー接合を介して成されているものである。

10

【0009】

本発明の第2の局面に係る半導体装置は、絶縁体層の上に配設された半導体層と、前記半導体層に形成された半導体素子と、前記半導体素子のボディ領域に電氣的に接続するように、前記半導体層に接続するボディコンタクトとを備え、前記ボディコンタクトと前記半導体層との接続部分には、シリサイドが形成されており、前記シリサイドが、前記絶縁体層にまで達しているものである。

【0010】

本発明の第3の局面に係る半導体装置は、絶縁体層の上に配設された半導体層と、前記半導体層に形成された半導体素子と、前記半導体素子のボディ領域に電氣的に接続するように、前記半導体層に接続するボディコンタクトとを備え、前記ボディコンタクトが、ポリシリコンで形成されているものである。

20

【0011】

本発明の第4の局面に係る半導体装置の製造方法は、(a)絶縁体層上に配設された半導体層に、所定の半導体素子を形成する工程と、(b)前記半導体素子上を覆う層間絶縁膜を形成する工程と、(c)前記層間絶縁膜に、前記半導体素子のボディ領域に接続するボディコンタクトのためのコンタクトホールを、前記半導体層に達するように形成する工程と、(d)前記コンタクトホール内に露出した前記半導体層に、前記絶縁体層にまで達するシリサイドを形成する工程とを備えるものである。

【0012】

本発明の第5の局面に係る半導体装置の製造方法は、(a)絶縁体層上に配設された半導体層の上部に、素子形成領域を規定する分離絶縁膜を形成する工程と、(b)前記半導体層の素子形成領域に、所定の半導体素子を形成する工程と、(c)前記分離絶縁膜に、当該分離絶縁膜の下の前記半導体層に達する開口を形成する工程と、(d)前記開口内に露出した前記半導体層に、前記絶縁体層にまで達するシリサイドを形成する工程と、(e)前記半導体素子を覆う層間絶縁膜を形成する工程と、(f)前記層間絶縁膜に、前記シリサイドに接続するコンタクトを形成する工程とを備えるものである。

30

【発明の効果】

【0013】

本発明の第1の局面に係る半導体装置によれば、ボディコンタクトと半導体層との接続が、ショットキー接合を介して成されているので、従来構造よりもボディコンタクトと半導体層との間の接続抵抗が高くなる。よって、ボディコンタクトを通して半導体素子のボディ領域に流れ込むリーク電流が制限され、半導体装置の消費電力が低減される。

40

【0014】

本発明の第2の局面に係る半導体装置によれば、ボディコンタクトと半導体層との接続部分に形成されたシリサイドが、絶縁体層にまで達しているので、当該シリサイドの形成深さは一定になり、シリサイドと半導体層との接触面積のばらつきが抑制される。その結果、ボディコンタクトと半導体層との接続抵抗のばらつきが抑制され、半導体素子の電気的特性のばらつきが抑制される。

【0015】

本発明の第3の局面に係る半導体装置によれば、ボディコンタクトが、ポリシリコンで

50

形成されているので、従来構造よりもボディコンタクトと半導体層との間の接続抵抗が高くなる。よって、ボディコンタクトを通して半導体素子のボディ領域に流れ込むリーク電流が制限され、半導体装置の消費電力が低減される。

【0016】

本発明の第4の局面に係る半導体装置の製造方法によれば、コンタクトホール内に露出した半導体層に、絶縁体層にまでするシリサイドを形成するので、当該シリサイドの形成深さは一定になり、シリサイドと半導体層との接触面積のばらつきが抑制される。その結果、ボディコンタクトと半導体層との接続抵抗のばらつきが抑制され、半導体素子の電気的特性のばらつきが抑制される。

【0017】

本発明の第5の局面に係る半導体装置の製造方法によれば、分離絶縁膜に、当該分離絶縁膜の下の半導体層に達する開口を形成し、その開口内に露出した半導体層に、絶縁体層にまで達するシリサイドを形成するので、当該シリサイドの形成深さは一定になり、シリサイドと半導体層との接触面積のばらつきが抑制される。その結果、ボディコンタクトと半導体層との接続抵抗のばらつきが抑制され、半導体素子の電気的特性のばらつきが抑制される。

【発明を実施するための最良の形態】

【0018】

<実施の形態1>

図1は、本発明の実施の形態1に係る半導体装置の構成を示す図である。当該半導体装置は、シリコン基板1、該シリコン基板1上の埋め込み酸化膜層2（以下「BOX層2」と称す）および該BOX層2上のP⁻型のシリコン層（以下「SOI層3」と称す）から成るSOI基板に形成されたSOIデバイスである。

【0019】

SOI層3の上部には素子分離絶縁膜41～44が形成され、それらによって規定される活性領域（素子形成領域）に、半導体素子としてのMOSトランジスタT1～T3がそれぞれ形成されている。即ち、MOSトランジスタT1は素子分離絶縁膜41と素子分離絶縁膜42との間に形成され、MOSトランジスタT2は素子分離絶縁膜42と素子分離絶縁膜43との間に形成され、MOSトランジスタT3は素子分離絶縁膜43と素子分離絶縁膜44との間に形成されている。ここで、素子分離絶縁膜41、42、44は、低部がBOX層2にまで達しない、いわゆる「部分分離」であり、素子分離絶縁膜43は、低部がBOX層2にまで達する、いわゆる「完全分離」である。

【0020】

図1に示すように、MOSトランジスタT1は、ゲート絶縁膜11および、上部にシリサイド12aが形成されたゲート電極12を有している。MOSトランジスタT2は、ゲート絶縁膜21、ゲート電極22、ソース・ドレイン領域24および該ソース・ドレイン領域24に接続するLDD（Lightly Doped Drain）領域23を有している。ゲート電極22およびソース・ドレイン領域24の上部には、それぞれシリサイド22aおよびシリサイド24aが形成されている。また、ゲート電極22の側面には、CVD（Chemical Vapor Deposition）酸化膜25およびサイドウォール26が形成されている。なお、図1において、MOSトランジスタT1はゲート幅方向の断面が示されているので、そのソース・ドレイン領域やLDD領域は図示されていないが、MOSトランジスタT2と同様の構成を有している。

【0021】

MOSトランジスタT3は、ゲート絶縁膜31、ゲート電極32、LDD領域33、ソース・ドレイン領域34を有している。ソース・ドレイン領域34の上部には、シリサイド34aが形成され、ゲート絶縁膜31の側面には、CVD酸化膜35およびサイドウォール36が形成されている。MOSトランジスタT3はMOSトランジスタT2とほぼ同様の構成を有しているが、本実施の形態では、図1の如く、ゲート電極32の上部がシリサイド化しない。その点でMOSトランジスタT2とは異なっている。

10

20

30

40

50

【0022】

なお、図1の符号10、20、30は、それぞれMOSトランジスタT1、T2、T3のゲート電極の下のP⁻領域すなわちボディ領域を示している。

【0023】

これらMOSトランジスタT1～T3を覆うように層間絶縁膜5が形成されており、該層間絶縁膜5内にコンタクト61～66が形成されている。コンタクト61～66の表面には、それぞれバリアメタル61a～66aが設けられている。

【0024】

コンタクト61～66のうち、コンタクト61は、MOSトランジスタT1のボディ領域10とMOSトランジスタT2のボディ領域20に電氣的に接続する、いわゆる「ボディコンタクト」である。該ボディコンタクト61は、部分分離である素子分離絶縁膜41を貫通してその下のSOI層3に接続している。ボディコンタクト61とSOI層3との接続部分では、バリアメタル61aとSOI層3とが反応してシリサイド70を形成している。

【0025】

図1のように、素子分離絶縁膜41の下、SOI層3とMOSトランジスタT1のボディ領域10とは繋がっており、且つ、同じ導電型（P型）であるので、両者は互いに電氣的に接続している。また、素子分離絶縁膜42は部分分離であるので、MOSトランジスタT1のボディ領域10とMOSトランジスタT2のボディ領域20とは、素子分離絶縁膜42の下、P⁻領域（図1では不図示）を通して電氣的に接続する。従って、素子分離絶縁膜41の下、SOI層3に接続するボディコンタクト61は、MOSトランジスタT1のボディ領域10およびMOSトランジスタT2のボディ領域20の両方に電氣的に接続することとなる。

【0026】

従来の半導体装置では、P型のSOI層におけるボディコンタクトとの接続部分には、不純物濃度の高いP⁺領域（不純物濃度： $10^{20} \sim 10^{21} \text{ cm}^{-3}$ ）を形成し、ボディコンタクトとSOI層とをオーミック接合させていた。例えば、0.12 μm 径のボディコンタクトでは、SOI層との接続抵抗はボディコンタクト1個あたり数十 Ω 程度であった。

【0027】

それに対し、本実施の形態では、SOI層3におけるボディコンタクト61との接続部分（即ち、素子分離絶縁膜41の下）にP⁺領域を形成せずに、SOI層3とボディコンタクト61とをショットキー接合させる。具体的には、SOI層3の不純物濃度を $10^{18} \sim 10^{20} \text{ cm}^{-3}$ 程度にすれば、SOI層3とボディコンタクト61とをショットキー接合され、その接続抵抗は例えば0.12 μm 径のボディコンタクトで1個あたり数100 k Ω ～数M Ω と高くなる。

【0028】

ボディコンタクト61とSOI層3とがショットキー接合するため両者間の接続抵抗が高くなるので、ボディコンタクト61からボディ領域10およびボディ領域20に流れ込むリーク電流が制限され、半導体装置の消費電力が低減される。また、SOI層3の不純物濃度を $10^{18} \sim 10^{20} \text{ cm}^{-3}$ 程度の範囲で適宜調整することにより、ボディコンタクト61とSOI層3との接続抵抗を所望の値に設定することができる。

【0029】

なお、図1に示したように、本実施の形態では、ボディコンタクト61の表面にはバリアメタル61aが形成されており、ボディコンタクト61とSOI層3との間に、バリアメタル61aとSOI層3とが反応したシリサイド70が形成される。よって厳密には、上記のショットキー接合は、ボディコンタクト61表面のシリサイド70とSOI層3との間で成されることになる。ボディコンタクト61とSOI層3との接続がシリサイド70を介することにより、安定した接続が可能になり、接続抵抗のばらつきが抑制されるという効果が得られる。

【0030】

10

20

30

40

50

また、ボディコンタクト 6 1 を素子分離絶縁膜 4 1 を貫通させるように形成するので、ボディコンタクト 6 1 の形成領域は素子分離絶縁膜 4 1 の形成領域に含まれることになる。よって、ボディコンタクト 6 1 の形成領域を別途設ける必要がなく、半導体装置の形成面積を縮小させることができる。

【0031】

図 2～図 8 は、図 1 の半導体装置の製造工程を示す図である。以下、これらの図を参照して、本実施の形態に係る半導体装置の製造方法を説明する。

【0032】

まず、シリコン基板 1 上に BOX 層 2 および SOI 層 3 が配設された SOI 基板を準備する。該 SOI 基板は、SIMOX (Separation by IMplanted OXygen) 法、ウエハ貼り 10
合わせ法、その他いかなる技術で形成されたものでもよい。通常、SOI 層 3 の膜厚は 50～200 nm 程度、BOX 層 2 の膜厚は 100～400 nm 程度である。

【0033】

そして SOI 層 3 に、MOS トランジスタ T 1～T 3 を含む回路を形成する。本発明において、MOS トランジスタ T 1～T 3 の形成は一般的な方法でよく、例えば次のような工程で行う。

【0034】

まず SOI 層 3 の素子分離領域に素子分離絶縁膜 4 1～4 4 を形成し、続いて各トランジスタのしきい値電圧を決定するためのチャンネル注入を行う。SOI 層 3 の上面にシリコン酸化膜を形成し、その上にポリシリコンを堆積してパターニングすることでゲート絶縁 20
膜 1 1, 2 1, 3 1 およびゲート電極 1 2, 2 2, 3 2 を形成する。ゲート電極 1 2, 2 2, 3 2 をマスクとするイオン注入により、LDD 領域 2 3, 3 3 を形成する (MOS トランジスタ T 1 の LDD 領域は不図示)。そしてゲート電極 1 2, 2 2, 3 2 の側面および SOI 層 3 の上面に、CVD (Chemical Vapor Deposition) 法によりシリコン酸化膜を堆積した後、シリコン窒化膜を堆積してエッチバックすることで CVD 酸化膜 2 5, 3 5 およびサイドウォール 2 6, 3 6 を形成する (図 2) (ゲート絶縁膜 1 1 側面の CVD 酸化膜およびサイドウォールは不図示)。

【0035】

その後、MOS トランジスタ T 1～T 3 の所定の部分をシリサイド化する工程に移るが、それに先立って、シリサイド化する必要がない領域 (ここでは、MOS トランジスタ T 30
3 のゲート電極 3 2) をシリサイドプロテクション膜と呼ばれる絶縁膜で覆う。即ち、SOI 基板全面に、CVD 法などによりシリコン酸化膜 5 1 a を堆積して、ゲート電極 3 2 の上方にレジストパターン 5 2 を形成する (図 3)。該レジストパターン 5 2 をマスクにしてシリコン酸化膜 5 1 a をエッチングすることで、ゲート絶縁膜 3 1 の上にシリサイドプロテクション膜 5 1 が形成される (図 4)。

【0036】

そして、MOS トランジスタ T 1～T 3 上にシリサイド化のための所定の金属を堆積し (例えば Co を 3～20 nm 程度)、熱処理 (300～800℃で数秒～数分間程度) を行って当該金属をシリコンと反応させる。このとき、シリサイドプロテクション膜 5 1 で覆われていないゲート電極 1 2, 2 2 およびソース・ドレイン領域 2 4, 3 4 の上には、40
金属が直接堆積するので、それぞれの上部にシリサイド 1 2 a, 2 2 a, 2 4 a, 3 4 a が形成される。一方、シリサイドプロテクション膜 5 1 で覆われたゲート電極 3 2 の上には、金属がシリサイドプロテクション膜 5 1 を介して堆積するので、その上部はシリサイド化されない (図 5)。なお、ここで形成されるシリサイドの例としては、Ti シリサイド、Co シリサイド、Ni シリサイド、Pt シリサイドなどが挙げられる。

【0037】

そして、MOS トランジスタ T 1～T 3 を覆うようにシリコン酸化膜を堆積して層間絶縁膜 5 を形成し、その上にコンタクト 6 1～6 6 の形成領域を開口したレジストパターン 5 3 を形成する (図 6) (以降、シリサイドプロテクション膜 5 1 は、層間絶縁膜 5 と一体的になるため、その図示を省略する)。そして当該レジストパターン 5 3 をマスクにし 50

て層間絶縁膜 5 をエッチングすることで、層間絶縁膜 5 にコンタクトホールを形成する。さらに、ボディコンタクト 6 1 を形成するためコンタクトホールが、S O I 層 3 にまで達するように素子分離絶縁膜 4 1 をエッチングする (図 7)。

【0038】

そして、Ti や Ti / Ti N などのバリア金属材料 6 a を堆積し、さらにタングステンなどの金属材料 6 を堆積して各コンタクトホールを埋める (図 8)。このとき、ボディコンタクト 6 1 のためのコンタクトホール内では、バリア金属材料 6 a と素子分離絶縁膜 4 1 の下の S O I 層 3 とが反応して、シリサイド 7 0 が形成される。例えばバリア金属材料 6 a が Ti や Ti / Ti N の場合、シリサイド 7 0 は $TiSi_2$ になる。

【0039】

そして、層間絶縁膜 5 の上面の余剰な金属材料 6 およびバリア金属材料 6 a を除去することで、コンタクト 6 1 ~ 6 6 を形成する。以上の工程により、図 1 に示した半導体装置が得られる。

【0040】

<実施の形態 2>

図 9 は、実施の形態 2 に係る半導体装置の構成を示す図である。この図において、図 1 に示したものと同様の要素には、同一符号を付してあるので、それらの説明は省略する。

【0041】

上記の実施の形態 1 では、ボディコンタクト 6 1 が、素子分離絶縁膜 4 1 を貫通してその下の S O I 層 3 に達するように構成した。それに対し本実施の形態では、図 9 に示すようにボディコンタクト 6 7 を素子分離絶縁膜 4 1 と素子分離絶縁膜 4 5 との間の S O I 層 3 上面に接続させる。つまり、実施の形態 1 では、素子分離絶縁膜 4 1 が形成されて S O I 層 3 が薄くなっている部分にボディコンタクト 6 1 を接続させたが、本実施の形態では、ボディコンタクト 6 7 を S O I 層 3 の厚い部分に接続させている。また、ボディコンタクト 6 7 の表面にはバリア材料 6 7 a が形成されており、ボディコンタクト 6 7 と S O I 層 3 との接続部分には、ソース・ドレイン領域 2 4, 3 4 上部のシリサイド 2 4 a, 3 4 a と同様のシリサイド 7 1 が形成されている。

【0042】

素子分離絶縁膜 4 1 は部分分離であるので、素子分離絶縁膜 4 1 と素子分離絶縁膜 4 5 との間の厚い S O I 層 3 は、素子分離絶縁膜 4 1 の下の薄い S O I 層 3 を通じて M O S トランジスタ T 1 のボディ領域 1 0 に電氣的に接続している。また、実施の形態 1 と同様に M O S トランジスタ T 1 のボディ領域 1 0 は、M O S トランジスタ T 2 のボディ領域 2 0 に電氣的に接続している。つまり、本実施の形態においても、ボディコンタクト 6 7 はボディ領域 1 0 とボディ領域 2 0 との両方に電氣的に接続することになる。

【0043】

本実施の形態においても、S O I 層 3 におけるボディコンタクト 6 7 との接続部分に P⁺領域を形成せずに、S O I 層 3 とボディコンタクト 6 7 とをショットキー接合させる。よって、S O I 層 3 とボディコンタクト 6 7 との間の接続抵抗は、例えば 0.12 μm 径のボディコンタクトで 1 個あたり数 100 kΩ ~ 数 MΩ と高くなる。

【0044】

従って、実施の形態 1 と同様に、ボディコンタクト 6 7 からボディ領域 1 0 およびボディ領域 2 0 に流れ込むリーク電流が制限され、半導体装置の消費電力が低減される。また、S O I 層 3 の不純物濃度を適宜調整することにより、ボディコンタクト 6 7 と S O I 層 3 との接続抵抗を所望の値に設定することができる。

【0045】

なお、ボディコンタクト 6 7 と S O I 層 3 との接続部分にはシリサイド 7 1 が形成されるので、厳密には上記のショットキー接合は、シリサイド 7 1 と S O I 層 3 との間で成されることになる。ボディコンタクト 6 7 と S O I 層 3 との接続がシリサイド 7 1 を介することにより、安定した接続が可能になり、接続抵抗のばらつきが抑制されるという効果が得られる。

10

20

30

40

50

【0046】

また、本実施の形態では、ボディコンタクト67を素子分離絶縁膜を貫通させずに、SOI層3の厚い部分に接続させるので、ボディコンタクト67を形成するためのコンタクトホールのみを深く形成する必要はない。つまり、ボディコンタクト67のためのコンタクトホールも、他のコンタクト63～66のコンタクトホールと同じ深さでよい。よって、実施の形態1よりも製造工程が容易になるという利点がある。

【0047】

図10は、実施の形態2の変形例を示す図である。図9の例では、SOI層3におけるボディコンタクト67との接続部分にシリサイド34a、34aと同様のシリサイド71を形成していたが、図10の如く、それを設けないようにしてもよい。その場合、ボディコンタクト67とSOI層3の接続部には、ボディコンタクト67の表面のバリアメタル67aとSOI層3とが反応して得られたシリサイド72が形成される。このように構成しても上記と同様の効果が得られることは明らかである。

【0048】

なお、図10のようにSOI層3とボディコンタクト67との接続部分にシリサイド71を形成しないようにするためには、製造過程で当該接続部分上にシリサイドプロテクション膜を設ければよい。即ち、ゲート電極32の上部にシリサイドプロテクション膜51を形成する工程（実施の形態1において図3および図4で示した工程）において、素子分離絶縁膜41と素子分離絶縁膜45の間のSOI層3の上にもシリサイドプロテクション膜51を設ければよい。それにより、シリサイド12a、24a、34aの形成工程を経ても、素子分離絶縁膜41と素子分離絶縁膜45の間のSOI層3の上部はシリサイド化されない（図11）。

【0049】

<実施の形態3>

図12は、実施の形態3に係る半導体装置の構成を示す図である。この図においても、図1に示したものと同様の要素には、同一符号を付してあるので、それらの説明は省略する。

【0050】

本実施の形態では、SOI層3におけるボディコンタクト61との接続部分の近傍（即ちシリサイド70の近傍）に、局所的にその周囲よりも不純物濃度が低い領域を形成する。つまり図12に示す領域73は、その周囲のP⁻領域よりも不純物濃度が低く、高抵抗になっている。以下、説明の便宜上、周囲のP⁻領域よりも不純物濃度が低いP⁻領域を「P⁻（-）領域」と称する。

【0051】

SOI層3におけるボディコンタクト61との接続部分のP⁺領域を形成しないので、SOI層3とボディコンタクト61とはショットキー接合する。またSOI層3におけるボディコンタクト61との接続部分の近傍にP⁻（-）領域73が設けられているので、SOI層3とボディコンタクト61との間の接続抵抗をさらに高くなる。よって、ボディコンタクト61からボディ領域10およびボディ領域20に流れ込むリーク電流がさらに制限され、半導体装置の消費電力が低減される。また、P⁻（-）領域73の不純物濃度を適宜調整することにより、ボディコンタクト61とSOI層3との接続抵抗を所望の値に設定することができる。SOI層3全体の不純物濃度を調整する場合よりも、自由度の高い調整が可能である。

【0052】

なお、P⁻（-）領域73の形成は、コンタクトホールの形成工程（実施の形態1の図7の工程）の後に行えばよい。即ち、コンタクト61～66のためのコンタクトホールを形成した後で、図13のように、ボディコンタクト61のためのコンタクトホール上方のみを開口したレジストパターン54を改めて形成し、それをマスクにしてSOI層3とは反対の導電型であるN型の不純物（例えばPイオンやAsイオン）を注入（いわゆる「カウンタードーピング」）すれば、ボディコンタクト61のためのコンタクトホール内にP⁻（

10

20

30

40

50

一) 領域 7 3 が形成される。このときの注入量は、例えば $10^{13} \text{ cm}^{-2} \sim 10^{15} \text{ cm}^{-2}$ 程度である。

【0053】

＜実施の形態 4＞

例えば実施の形態 1 では、ボディコンタクト 6 1 と SOI 層 3 との間の接続抵抗は、シリサイド 7 0 と SOI 層 3 との接触面積に依存する。シリサイド 7 0 はバリアメタル 6 1 a と SOI 層 3 とが反応することで形成されるので、その形成深さを制御することは困難である。シリサイド 7 0 の形成深さがばらついてしまうと、上記接触面積がばらつくので、結果としてボディコンタクト 6 1 と SOI 層 3 との接続抵抗にばらつきが生じてしまう。

10

【0054】

図 1 4 は、実施の形態 4 に係る半導体装置の構成を示す図である。この図においても、図 1 に示したものと同様の要素には、同一符号を付してあるので、それらの説明は省略する。

【0055】

本実施の形態では、実施の形態 1 の半導体装置において、ボディコンタクト 6 1 を図 1 4 の如く SOI 層 3 を貫通して BOX 層 2 にまで達するように形成する。それ以外の構成は、実施の形態 1 と同様である。

【0056】

ボディコンタクト 6 1 が BOX 層 2 にまで達するように形成されると、ボディコンタクト 6 1 の側面に形成されるシリサイド 7 0 も、BOX 層 2 にまで達するようになる。よって、シリサイド 7 0 の形成深さが一定になり、シリサイド 7 0 と SOI 層 3 との接触面積のばらつきが抑制される。その結果、ボディコンタクト 6 1 と SOI 層 3 との接続抵抗のばらつきが抑制され、半導体素子の電気的特性のばらつきが抑制される。なお、本実施の形態では、シリサイド 7 0 と SOI 層 3 との接触面積は、素子分離絶縁膜 4 1 の下の SOI 層 3 の厚さに依存する。言い換えれば、素子分離絶縁膜 4 1 の形成深さに依存するが、素子分離絶縁膜 4 1 の形成深さはシリサイドの形成深さよりも制御が容易であり、精度良くできるので大きな問題にはならない。

20

【0057】

また、ボディコンタクト 6 1 を BOX 層 2 に達するように形成するためには、コンタクトホール形成工程（実施の形態 1 の図 7 の工程）の際に、ボディコンタクト 6 1 のためのコンタクトホールを、SOI 層 3 を貫通させて BOX 層 2 にまで達するように形成すればよい。

30

【0058】

図 1 5 は、実施の形態 4 の変形例を示す図である。この変形例では、実施の形態 4 に実施の形態 3 を適用し、SOI 層 3 におけるボディコンタクト 6 1 との接続部分の近傍（即ちシリサイド 7 0 の近傍）に、局所的にその周囲よりも不純物濃度が低い P^- （－）領域 7 3 を形成する。それにより、SOI 層 3 とボディコンタクト 6 1 との間の接続抵抗をさらに高くすることができ、ボディコンタクト 6 1 からボディ領域 1 0 およびボディ領域 2 0 に流れ込むリーク電流は抑制される。また、 P^- （－）領域 7 3 の不純物濃度を適宜調整することにより、ボディコンタクト 6 1 と SOI 層 3 との接続抵抗を所望の値に設定することができる。

40

【0059】

P^- （－）領域 7 3 の形成は、コンタクトホール形成工程の後に、実施の形態 3 の図 1 3 のように、ボディコンタクト 6 1 のためのコンタクトホール上方のみを開口したレジストパターン 5 4 を改めて形成し、それをマスクにして N 型の不純物を例えば $10^{13} \text{ cm}^{-2} \sim 10^{15} \text{ cm}^{-2}$ 程度注入すればよい。但し、実施の形態 4 では、ボディコンタクト 6 1 のためのコンタクトホールは、BOX 層 2 にまで達しているので、SOI 層 3 は当該コンタクトホールの底ではなく、側面に露出することになる。よって、上記不純物の注入は、コンタクトホールの側面の SOI 層 3 に効率良く不純物が注入されるように、斜め方向か

50

ら行うとよい。

【0060】

また、図16は、実施の形態4の別の変形例を示す図である。上記図15において、 P^- （-）領域73に代えて、その周囲よりも不純物濃度が高い P^- 領域（以下「 P^- （+）領域」と称する）74を形成する。

【0061】

本実施の形態では、ボディコンタクト61は、底面がBOX層2に接しているため、シリサイド70とSOI層3とはボディコンタクト61の側面のみで接する。また、ボディコンタクト61は素子分離絶縁膜41の下の薄いSOI層3に接続するので、シリサイド70とSOI層3とが接する面積は小さくなる。そのため、素子分離絶縁膜41の下
10
のSOI層3の厚さが非常に薄い場合には、ボディコンタクト61とSOI層3との接続抵抗が必要以上に高くなって、ボディ領域10、20の電位の制御が困難になるという問題が生じる。そのような場合は、図16に示すように、ボディコンタクト61とSOI層3との接続部分の近傍に、局所的にその周囲よりも不純物濃度が高 P^- 領域（以下「 P^- （+）領域」と称する）74を形成すれば、ボディコンタクト61とSOI層3との接続抵抗を低くすることができ、上記問題は解消される。

【0062】

なお、 P^- （+）領域74の形成は、上で説明した図15の P^- （-）領域73の形成と同様の手法で行えばよい。但し、そのとき注入する不純物は、例えばBイオンやBF₂イオンなどのP型の不純物（例えばドーズ量 $10^{13} \text{ cm}^{-2} \sim 10^{15} \text{ cm}^{-2}$ 程度）にする必要
20
がある。

【0063】

<実施の形態5>

図17は、実施の形態5に係る半導体装置の構成を示す図である。この図においても、図1に示したものと同様の要素には、同一符号を付してあるので、それらの説明は省略する。

【0064】

本実施の形態では、実施の形態1の半導体装置において、ボディコンタクト61とSOI層3との接続部分に形成されるシリサイド70を、図17の如くSOI層3の下
30
のBOX層2にまで達するように形成する。それ以外の構成は、実施の形態1と同様である。

【0065】

シリサイド70は、ボディコンタクト61の表面のバリアメタル61aとSOI層3とが反応して形成されたものである。当該シリサイド70がBOX層2にまで達するように形成されると、実施の形態4と同様にシリサイド70の形成深さが一定になるので、ボディコンタクト61とSOI層3との接続抵抗のばらつきが抑制され、半導体素子の電気的特性のばらつきが抑制される。なお、本実施の形態でも実施の形態4と同様に、シリサイド70とSOI層3との接触面積は素子分離絶縁膜41の形成深さに依存するが、素子分離絶縁膜41の形成深さはシリサイドの形成深さよりも制御が容易であり、精度良くできるので大きな問題にはならない。

【0066】

シリサイド70をBOX層2に達するように形成するためには、コンタクトホール内へのバリアメタル材6aの堆積工程（実施の形態1の図8の工程）の際に、SOI層3を底部までシリサイド化するのに十分な量のバリアメタル材6aを堆積する必要がある。例えば、バリアメタル材6aがTiであり、SOI層3の厚さが20nmであれば、当該バリアメタル材6aを5～50nm堆積すればよい。そして、バリアメタル材6aの堆積の後
40
に、シリサイド化のための熱処理（300～800℃で数秒間～数分間程度）のを行う。当該熱処理により、バリアメタル材6aとSOI層3との反応が促進されて、SOI層3は底部までシリサイド化される。その結果、BOX層2に達するシリサイド70が形成される。

【0067】

10

20

30

40

50

図18は、実施の形態5の変形例を示す図である。実施の形態5に実施の形態3を適用し、SOI層3におけるボディコンタクト61との接続部分の近傍（即ちシリサイド70の近傍）に、局所的にその周囲よりも不純物濃度が低い P^- （-）領域73を形成する。それにより、SOI層3とボディコンタクト61との間の接続抵抗をさらに高くすることができ、ボディコンタクト61からボディ領域10およびボディ領域20に流れ込むリーク電流は抑制される。また、 P^- （-）領域73の不純物濃度を適宜調整することにより、ボディコンタクト61とSOI層3との接続抵抗を所望の値に設定することができる。

【0068】

P^- （-）領域73の形成は、コンタクトホール形成工程の後に、実施の形態3の図13のように、ボディコンタクト61のためのコンタクトホール上方のみを開口したレジストパターン54を改めて形成し、それをマスクにしてN型の不純物を注入すればよい。それによりボディコンタクト61のためのコンタクトホール内に P^- （-）領域73が形成される。このとき注入された不純物は、上記シリサイド化のための熱処理やその後の熱処理によって拡散するので、図18のように、 P^- （-）領域73は最終的にシリサイド70の周囲に広がる。

【0069】

また、図19は、実施の形態5の別の変形例を示す図である。上記図18において、 P^- （-）領域73に代えて、その周囲よりも不純物濃度が高い P^- （+）領域74を形成する。

【0070】

本実施の形態では、シリサイド70の底面はBOX層2に達しているため、SOI層3とはその側面のみで接触する。また、シリサイド70は素子分離絶縁膜41の下に薄いSOI層3に形成されるので、シリサイド70のSOI層3と接触する側面の面積は小さい。そのため、素子分離絶縁膜41の下にSOI層3の厚さが非常に薄い場合には、ボディコンタクト61とSOI層3との接続抵抗が必要以上に高くなって、ボディ領域10、20の電位の制御が困難になるという問題が生じる。そのような場合は、図19に示すように、シリサイド70の近傍に、局所的にその周囲よりも不純物濃度が高い P^- （+）領域74を形成すれば、ボディコンタクト61とSOI層3との接続抵抗を低くすることができ、上記問題は解消される。また、 P^- （+）領域74の不純物濃度を適宜調整することにより、ボディコンタクト61とSOI層3との接続抵抗を所望の値に設定することができる。

【0071】

なお、 P^- （+）領域74の形成は、上で説明した図18の P^- （-）領域73の形成と同様の手法で行えばよい。但し、そのとき注入する不純物は、例えばBイオンやBF₂イオンなどのP型の不純物にする必要がある。

【0072】

<実施の形態6>

図20は、実施の形態6に係る半導体装置の構成を示す図である。この図においても、図1に示したものと同様の要素には、同一符号を付してあるので、それらの説明は省略する。

【0073】

本実施の形態では、実施の形態5と同様に、ボディコンタクト61とSOI層3との接続部分にBOX層2にまで達するシリサイド80を形成する。但し、当該シリサイド80は、バリアメタル61aとSOI層3とが反応したものではなく、シリサイド12a、22a、24a、34aと同じ工程で形成されるものである。

【0074】

当該シリサイド80がBOX層2にまで達するように形成されると、実施の形態5と同様にシリサイド80の形成深さが一定になるので、ボディコンタクト61とSOI層3との接続抵抗のばらつきが抑制され、半導体素子の電気的特性のばらつきが抑制される。なお、本実施の形態でも実施の形態4と同様に、シリサイド80とSOI層3との接触面積

10

20

30

40

50

は素子分離絶縁膜 41 の形成深さに依存するが、素子分離絶縁膜 41 の形成深さはシリサイドの形成深さよりも制御が容易であり、精度良くできるので大きな問題にはならない。

【0075】

以下、本実施の形態に係る半導体装置の製造方法を説明する。まず、実施の形態 1 と同様に、SOI 層 3 に素子分離絶縁膜 41 ~ 44 および MOS トランジスタ T1 ~ T3 を形成し（図 2）、ゲート電極 32 の上部にシリサイドプロテクション膜 51 を形成する（図 3、図 4）。

【0076】

続いて、図 21 のように、ボディコンタクト 61 の形成領域を開口したレジストパターン 55 を形成し、該レジストパターン 55 をマスクにして素子分離絶縁膜 41 を HF 処理などによりエッチングすることで、素子分離絶縁膜 41 に SOI 層 3 に達する開口を形成する。そしてレジストパターン 55 を除去し、全面にシリサイド化のための所定の金属を堆積する。このとき、素子分離絶縁膜 41 に形成された開口内にも該金属が堆積する。そして、熱処理を行い当該金属をシリコンと反応させることで、ゲート電極 12、22 およびソース・ドレイン領域 24、34 上にシリサイド 12a、22a、24a、34a が形成されると共に、素子分離絶縁膜 41 の開口内（即ち素子分離絶縁膜 41 の下の SOI 層 3）にシリサイド 80 が形成される。このとき、シリサイド 24a、34a が形成される領域（MOS トランジスタ T1 ~ T3 の形成領域）の SOI 層 3 は厚いので、当該シリサイド 24a、34a は、SOI 層 3 の上部のみに形成され BOX 層 2 には達しない。それに対しシリサイド 80 は、素子分離絶縁膜 41 の下の薄い SOI 層 3 に形成されるので、その底部は BOX 層 2 にまで達することになる（図 22）。

【0077】

その後は、層間絶縁膜 5 を形成して、該層間絶縁膜 5 にコンタクト 61 ~ 66 のためのコンタクトホールを形成する。このときボディコンタクト 61 を形成するためコンタクトホールは、素子分離絶縁膜 41 の開口内のシリサイド 80 に達するように形成する。そして、バリア金属材料および金属材料で各コンタクトホールを埋め、余剰な金属材料およびバリア金属材料を除去してコンタクト 61 ~ 66 を形成することにより、図 20 の半導体装置が形成される。

【0078】

図 23 は、実施の形態 6 の変形例を示す図である。実施の形態 6 に実施の形態 3 を適用し、SOI 層 3 におけるボディコンタクト 61 との接続部分の近傍（即ちシリサイド 80 の近傍）に、局所的にその周囲よりも不純物濃度が低い P^- （-）領域 82 を形成する。それにより、SOI 層 3 とボディコンタクト 61 との間の接続抵抗をさらに高くすることができ、ボディコンタクト 61 からボディ領域 10 およびボディ領域 20 に流れ込むリーク電流は抑制される。また、 P^- （-）領域 82 の不純物濃度を適宜調整することにより、ボディコンタクト 61 と SOI 層 3 との接続抵抗を所望の値に設定することができる。

【0079】

P^- （-）領域 82 の形成は、素子分離絶縁膜 41 に開口を形成する工程（図 21 に示した工程）に続けて、レジストパターン 55 をマスクにして N 型の不純物を注入すればよい（図 24）。それにより素子分離絶縁膜 41 の開口内に P^- （-）領域 82 が形成される。このとき注入された不純物は、上記シリサイド化のための熱処理や、その後の他の熱処理によって拡散するので、図 23 のように、 P^- （-）領域 82 は最終的にはシリサイド 80 の周囲に拡がる。また、上記の N 型の不純物の注入は、レジストパターン 55 形成した直後（素子分離絶縁膜 41 に開口を形成する前）に行ってもよい。

【0080】

また、図示は省略するが、上記図 23 において、 P^- （-）領域 82 に代えて、その周囲よりも不純物濃度が高い P^- 領域（ P^- （+）領域）を形成してもよい。図 19 で示した実施の形態 5 の変形例と同様に、素子分離絶縁膜 41 の下の SOI 層 3 の厚さが非常に薄い場合に、ボディコンタクト 61 と SOI 層 3 との接続抵抗が必要以上に高くなってしまいうという問題を回避することができる。また、当該 P^- （+）領域の不純物濃度を適宜調

整することにより、ボディコンタクト 6 1 と S O I 層 3 との接続抵抗を所望の値に設定することができる。この P⁺ (+) 領域の形成は、図 2 4 で説明した不純物の注入工程において、P 型の不純物を注入すればよい。

【0081】

<実施の形態 7>

図 2 5 は、実施の形態 7 に係る半導体装置の製造工程を示す図である。実施の形態 7 に係る半導体装置の構成は、実施の形態 6 (図 2 0) と同様であるので図示は省略する。

【0082】

本実施の形態では、実施の形態 6 の半導体装置の製造工程において、素子分離絶縁膜 4 1 を開口する工程 (図 2 2 に示した工程) に続けて、レジストパターン 5 5 をマスクにして N e イオン、A r イオンなどの不活性イオンや、S i イオン、C イオン、N イオン、O イオン、F イオンなどを 10^{15} cm^{-2} 程度注入する。それにより、シリサイド 8 0 を形成する部分の S O I 層 3 にダメージを与えて結晶欠陥を生じさせる (図 2 5)。

【0083】

結晶欠陥が生じたシリコンはシリサイド化し易いため、その後のシリサイド 1 2 a, 2 2 a, 2 4 a, 3 4 a, 8 0 の形成工程において、シリサイド 8 0 の底部を確実に B O X 層 2 にまで到達させることが可能になる。

【0084】

本実施の形態は、例えば実施の形態 2 (図 9) へも適用可能である。即ち、ボディコンタクト 6 7 と S O I 層 3 との接続部分のシリサイド 7 1 の形成に先立って、図 2 6 のように、当該シリサイド 7 1 を形成する領域 (素子分離絶縁膜 4 1 と素子分離絶縁膜 4 5 との間の厚い S O I 層 3) を開口したレジストパターン 5 6 を形成し、それをマスクにして S i イオン、C イオン、N イオン、O イオン、F イオンや、N e イオン、A r イオンなどの不活性イオンを 10^{15} cm^{-2} 程度注入する。それにより、シリサイド 7 1 を形成する部分の S O I 層 3 にダメージを与えて結晶欠陥を生じさせる。

【0085】

結晶欠陥が生じたシリコンはシリサイド化し易いので、同時に形成するシリサイド 1 2 a, 2 2 a, 2 4 a, 3 4 a, 8 0 のうち、シリサイド 8 0 の形成深さのみが深くなる。その結果、シリサイド 7 1 の底部を、図 2 7 の如く B O X 層 2 にまで到達させることが可能になる。それにより、シリサイド 7 1 の形成深さが一定になるので、ボディコンタクト 6 7 と S O I 層 3 との接続抵抗のばらつきが抑制され、半導体素子の電気的特性のばらつきが抑制される。

【0086】

また、本実施の形態を用いれば、S O I 層にダメージを与えるためのイオン注入の際のマスク (上記レジストパターン 5 6) のパターンを変更することによって、複数のボディコンタクトのうち特定のものが接続する部分だけに選択的にダメージを与えることも可能である。それにより、当該特定のボディコンタクトが接続するシリサイドの形成深さだけを深くすることができる。つまり、互いに異なる接続抵抗を有するボディコンタクトを、同時に形成することができ、半導体装置の製造工程の簡略化にも寄与できる。

【0087】

<実施の形態 8>

図 2 8 は、実施の形態 8 に係る半導体装置の構成を示す図である。この図においても、図 1 に示したものと同様の要素には、同一符号を付してあるので、それらの説明は省略する。

【0088】

本実施の形態では、実施の形態 1 の半導体装置において、コンタクト 6 1 ~ 6 6 のうちボディコンタクト 6 1 を金属ではなく不純物を含む (例えば 10^{22} cm^{-3} 程度) ポリシリコンで形成する (コンタクト 6 2 ~ 6 6 は金属で形成される)。それ以外の構成は、実施の形態 1 と同様である。

【0089】

ポリシリコンのコンタクトは、タングステンなどの金属で形成されたコンタクトに比べて抵抗値が高い。よって、ボディコンタクト61を通してボディ領域10およびボディ領域20に流れ込むリーク電流が制限され、半導体装置の消費電力が低減される。また、ボディコンタクト61を構成するポリシリコンに含ませる不純物濃度を適宜調整することにより、その抵抗値を所望の値に設定することができる。また、ボディコンタクト61とSOI層3とは共に素材がシリコンであるので、両者間では安定した接続が可能である。よって、ボディコンタクト61とSOI層3と接続抵抗のばらつきは抑制される。

【0090】

また、コンタクト62～66は金属で形成されるので、それらの接続抵抗の増加は伴わず、半導体装置の動作速度特性の劣化は伴わない。

10

【0091】

ボディコンタクト61のみをポリシリコンで形成するためには、ボディコンタクト61とそれ以外のコンタクト62～66とをそれぞれ別の工程で形成すればよい。例えば、コンタクト62～66の形成に先立って、図29に示すように、層間絶縁膜5にボディコンタクト61のためのコンタクトホールのみを形成し、ポリシリコン膜6bを堆積して当該コンタクトホールを埋め、余剰なポリシリコン膜6bを除去してボディコンタクト61を形成する。そしてその後で、コンタクト62～66を別途形成すれば、図28のようにボディコンタクト61のみがポリシリコンで形成された半導体装置が形成される。

【0092】

図28では、実施の形態1のようにボディコンタクト61が素子分離絶縁膜41を貫通してその下の薄いSOI層3に接続する構成を示したが、例えば実施の形態2のように、ボディコンタクト61が素子分離絶縁膜41と素子分離絶縁膜45間の厚いSOI層3に接続する構造にも適用可能である。その構造を図30に示す。ボディコンタクト61がポリシリコンであるため、SOI層3との接続部分にシリサイドを形成する必要がなく、図10で示した実施の形態2の変形例と同様の構造になる。即ち、図30の半導体装置の形成過程においても、図11で示したように、ボディコンタクト61が素子分離絶縁膜41と素子分離絶縁膜45の間のSOI層3の上面にもシリサイドプロテクション膜51を設け、その部分がシリサイド化されないようにする。

20

【0093】

<実施の形態9>

以上の実施の形態では、素子分離絶縁膜41を貫通してその下のSOI層3に接続するボディコンタクト61と、素子分離絶縁膜41および素子分離絶縁膜45の間のSOI層3に接続するボディコンタクト67とのうちの片方のみが形成された例を示したが、図31のようにそれらの両方を形成してもよい。また、1つの半導体装置に上記の実施の形態1～8のボディコンタクトのうちの2つ以上を組み合わせることもよい。例えば図31は、実施の形態1のボディコンタクト61と実施の形態2のボディコンタクト67とを組み合わせる例である。

30

【0094】

<実施の形態10>

ボディコンタクトを用いた半導体素子として、MOSトランジスタのゲート電極をボディコンタクトを介してボディ領域に電氣的に接続したDTMOS (Dynamic Threshold Voltage Metal-Oxide-Silicon) トランジスタが知られている。以上の実施の形態において、MOSトランジスタT1のゲート電極12に接続するコンタクト62とボディコンタクト61、67とを電氣的に接続することにより、本発明をDTMOSに適用することができる。

40

【0095】

図32は、実施の形態10に係る半導体装置の構成を示す図である。本発明をDTMOSに適用する場合、ゲート電極12に接続するコンタクト62と、素子分離絶縁膜41の下のSOI層3に接続するボディコンタクト61とを一体的に形成してもよい。即ち、図32のように、ボディコンタクト61をゲート電極12にも接続するように配設し、ボデ

50

ィコンタクト 6 1 がコンタクト 6 2 の役割をも果たすようにしてもよい。コンタクトの形成個数が減らすことができ、半導体装置の高集積化に寄与できる。

【0096】

＜実施の形態 1 1＞

実施の形態 1 1 では、本発明を S R A M (Static Random Access Memory) に適用する。

【0097】

図 3 3 は、一般的な S R A M セルの回路図である。同図に示すように、当該 S R A M セルは 6 つのトランジスタ Q 1 ~ Q 6 から成っている。駆動用の N M O S トランジスタであるドライバトランジスタ Q 1, Q 2 と、負荷用の P M O S トランジスタであるロードトランジスタ Q 3, Q 4 とは、1 対のインバータを構成してしている。それらのインバータは、相互に接続されてフリップフロップ回路を構成している。そして、このフリップフロップ回路と、データの転送用の N M O S トランジスタであるアクセストランジスタ Q 5, Q 6 とによって、1 つの S R A M セルが構成される。ワード線 W L にはアクセストランジスタ Q 5, Q 6 のゲートが接続し、ビット線 B L および B L (バー) にはそれぞれアクセストランジスタ Q 5, Q 6 のソース／ドレインが接続する。

【0098】

図 3 4 は、実施の形態 1 1 に係る S R A M セルの上面図である。当該 S R A M セルは、S O I 層に形成された第 1 P ウェル領域、N ウェル領域および第 2 P ウェル領域に形成される。これらの P ウェル領域および N ウェル領域には、素子分離絶縁膜 1 1 4 によって規定された活性領域 1 2 1 ~ 1 2 4 が形成される。第 1 P ウェル領域内の活性領域 1 2 1 には、ドライバトランジスタ Q 1 とアクセストランジスタ Q 5 とが形成される。第 2 P ウェル領域内の活性領域 1 2 2 には、ドライバトランジスタ Q 2 とアクセストランジスタ Q 6 とが形成される。N ウェル領域内の活性領域 1 2 3, 1 2 4 には、ロードトランジスタ Q 3, Q 4 がそれぞれ形成される。

【0099】

活性領域 1 2 1 ~ 1 2 4 上には、ゲート電極 1 3 1 ~ 1 3 4 が形成される。ゲート電極 1 3 1 は、ドライバトランジスタ Q 1 とロードトランジスタ Q 3 のゲートとして機能し、ゲート電極 1 3 2 は、ドライバトランジスタ Q 2 とロードトランジスタ Q 4 のゲートとして機能する。ゲート電極 1 3 3, 1 3 4 はそれぞれ、アクセストランジスタ Q 5, Q 6 のゲートとして機能する。図 3 4 のようなレイアウトにすることにより、各活性領域 1 2 1 ~ 1 2 4 および各ゲート電極 1 3 1 ~ 1 3 4 は単純な形状となるため、S R A M セルの形成面積の縮小化に適している。

【0100】

ドライバトランジスタ Q 1, Q 2 のソース領域は、それぞれコンタクト 1 3 5, 1 3 6 を介して接地 (G N D) 配線に接続される。ロードトランジスタ Q 3, Q 4 のソース領域は、それぞれコンタクト 1 3 7, 1 3 8 を介して電源 (V d d) 配線に接続される。

【0101】

ゲート電極 1 3 1 上のコンタクト 1 3 9 は、ロードトランジスタ Q 4 のドレイン領域にも達しており、上層の配線 (不図示) を介してドライバトランジスタ Q 2 のドレイン領域上のコンタクト 1 4 0 に接続する。同様に、ゲート電極 1 3 2 上のコンタクト 1 4 1 は、ロードトランジスタ Q 3 のドレイン領域にも達しており、上層の配線 (不図示) を介してドライバトランジスタ Q 1 のドレイン領域上のコンタクト 1 4 2 に接続する。

【0102】

アクセストランジスタ Q 5 のソース／ドレイン領域の一方はドライバトランジスタ Q 1 のドレイン領域に繋がっており、他方はコンタクト 1 4 3 を介してビット線に接続する。同様に、アクセストランジスタ Q 6 のソース／ドレイン領域の一方はドライバトランジスタ Q 2 のドレイン領域に繋がっており、他方はコンタクト 1 4 4 を介してビット線に接続する。

【0103】

10

20

30

40

50

ゲート電極 133, 134 は、それぞれコンタクト 145, 146 を介してワード線に接続する。以上の構成により、図 33 に示した S R A M セルの回路構成が得られる。

【0104】

本実施の形態では、ドライバトランジスタ Q1, Q2 およびアクセストランジスタ Q5、Q6 に本発明を適用する。図 35 は、実施の形態 11 に係る S R A M セルの断面図であり、図 34 の A-A 線に沿った断面に相当し、ドライバトランジスタ Q1 およびアクセストランジスタ Q5 の断面を示している。なお、簡単のため、ドライバトランジスタ Q2 およびアクセストランジスタ Q6 についての説明は省略するが、それらはドライバトランジスタ Q1 およびアクセストランジスタ Q5 と同様の構成を有している。

【0105】

図 35 のように、当該 S R A M セルは、シリコン基板 111、BOX 層 112、S O I 層 113 から成る S O I 基板上に形成されている。S O I 層 113 の上面部に形成された素子分離絶縁膜 114 によって、活性領域 121 が規定されている。活性領域 121 の上面にはゲート酸化膜 115 が形成されており、ゲート電極 131, 133 はその上に形成される。ポリシリコンのゲート電極 131, 133 の上部には、それぞれシリサイド層 131a, 133a が形成されている。

【0106】

ドライバトランジスタ Q1 およびアクセストランジスタ Q5 のを覆うように、層間絶縁膜 150 が形成される。層間絶縁膜 150 内に形成されたコンタクト 145 は、表面にバリアメタル 145 を有しており、上層のワード線（不図示）に接続する。当該コンタクト 145 は、ゲート電極 133 に接続すると共に、素子分離絶縁膜 114 を貫通してその下の S O I 層 113 にも接続している。即ち、コンタクト 145 は、実施の形態 10（図 32）のボディコンタクト 61 と同様の構成を有している。また、S O I 層 113 におけるコンタクト 145 との接続部分には、バリアメタル 145a との反応によるシリサイド 151 が形成されている。

【0107】

活性領域 121 において、ゲート電極 131 下の P⁻ 型領域はドライバトランジスタ Q1 のボディ領域であり、ゲート電極 133 下の P⁻ 型領域はアクセストランジスタ Q5 のボディ領域である。図 35 の如く、素子分離絶縁膜 114 は BOX 層 112 にまで達していない部分分離であるので、ドライバトランジスタ Q1 のボディ領域と、アクセストランジスタ Q5 のボディ領域とは、素子分離絶縁膜 114 の下の S O I 層 113 を介して互いに電氣的に接続している。

【0108】

従って、コンタクト 145 は、ゲート電極 133 に接続すると共に、アクセストランジスタ Q5 のボディ領域とドライバトランジスタ Q1 のボディ領域の両方にも電氣的に接続することになる。アクセストランジスタ Q5 は、ゲート電極とボディ領域とが電氣的に接続した D T M O S である。

【0109】

この構成によれば、ワード線の電位が高くなる S R A M セルの駆動時には、ドライバトランジスタ Q1 およびアクセストランジスタ Q5 のボディ領域の電位（ボディ電位）も高くなる。それにより、ドライバトランジスタ Q1 およびアクセストランジスタ Q5 の動作しきい値電圧が下がり、電流駆動能力が向上する。それにより、S R A M セルの動作速度性能は向上される。また、ワード線の電位が 0 V になる S R A M セルのスタンバイ時は、ドライバトランジスタ Q1 およびアクセストランジスタ Q5 のボディ電位が 0 V に固定されるので、当該 S R A M セルのソフトエラー耐性が向上し、信頼性の高い S R A M が得られる。

【0110】

しかし、S R A M セルのアクセストランジスタに D T M O S を適用した場合、ワード線電位が上昇してアクセストランジスタが O N 状態になると、ボディ領域とソースドレイン間の P N 接合に順方向バイアスが加わり、ボディコンタクトを通してその部分にリーク電

10

20

30

40

50

流が流れ込む。そのため従来のDTMOSを用いたSRAMでは、消費電力が大幅に増大してしまう。

【0111】

本実施の形態では、ボディコンタクト145に上記した実施の形態1を適用する。即ち、当該コンタクト145とSOI層113とをショットキー接合させる。それにより、ワード線とドライバトランジスタQ1およびアクセストランジスタQ5のボディ領域との間の抵抗は高くなる。即ち、ワード線とドライバトランジスタQ1およびアクセストランジスタQ5のボディ領域との間の抵抗が挿入されるのと等価になり、当該SRAMの等価回路は図36のようになる。よって、アクセストランジスタがON状態のときには、接続抵抗（図36に示す抵抗R）によりある程度の電圧が保持され、その分ボディ領域とソースドレイン間のPN接合に加わる電圧は抑制される。その結果、コンタクト145を通して上記PN接合流れるリーク電流は抑制され、消費電力の増大の問題が軽減される。

10

【0112】

また、コンタクト145とSOI層113との接続がシリサイド151を介することにより、安定した接続が可能になり、接続抵抗のばらつきが抑制される。よって、SRAMセル毎の電気的特性のばらつきが抑制されるという効果も得られる。

【0113】

なお、本実施の形態では、SRAMのボディコンタクト145に実施の形態1を適用した例を示したが、実施の形態2～10を適用してもよい。それによっても、ワード線とドライバトランジスタQ1およびアクセストランジスタQ5のボディ領域との間の抵抗は高くすることができ、リーク電流は抑制を抑制することができる。またその場合も、コンタクト145とSOI層113との接続部分にシリサイドを形成すれば、接続抵抗のばらつきが抑制され、SRAMセル毎の電気的特性のばらつきが抑制される。

20

【図面の簡単な説明】

【0114】

【図1】実施の形態1に係る半導体装置の構成を示す図である。

【図2】実施の形態1に係る半導体装置の製造工程を示す図である。

【図3】実施の形態1に係る半導体装置の製造工程を示す図である。

【図4】実施の形態1に係る半導体装置の製造工程を示す図である。

【図5】実施の形態1に係る半導体装置の製造工程を示す図である。

30

【図6】実施の形態1に係る半導体装置の製造工程を示す図である。

【図7】実施の形態1に係る半導体装置の製造工程を示す図である。

【図8】実施の形態1に係る半導体装置の製造工程を示す図である。

【図9】実施の形態2に係る半導体装置の構成を示す図である。

【図10】実施の形態2の変形例を示す図である。

【図11】実施の形態2の変形例を示す図である。

【図12】実施の形態3に係る半導体装置の構成を示す図である。

【図13】実施の形態3に係る半導体装置の製造工程を示す図である。

【図14】実施の形態4に係る半導体装置の構成を示す図である。

【図15】実施の形態4の変形例を示す図である。

40

【図16】実施の形態4の変形例を示す図である。

【図17】実施の形態5に係る半導体装置の構成を示す図である。

【図18】実施の形態5に係る半導体装置の構成を示す図である。

【図19】実施の形態5に係る半導体装置の構成を示す図である。

【図20】実施の形態6に係る半導体装置の構成を示す図である。

【図21】実施の形態6に係る半導体装置の製造工程を示す図である。

【図22】実施の形態6に係る半導体装置の製造工程を示す図である。

【図23】実施の形態6の変形例を示す図である。

【図24】実施の形態6の変形例に係る半導体装置の製造工程を示す図である。

【図25】実施の形態7に係る半導体装置の製造工程を示す図である。

50

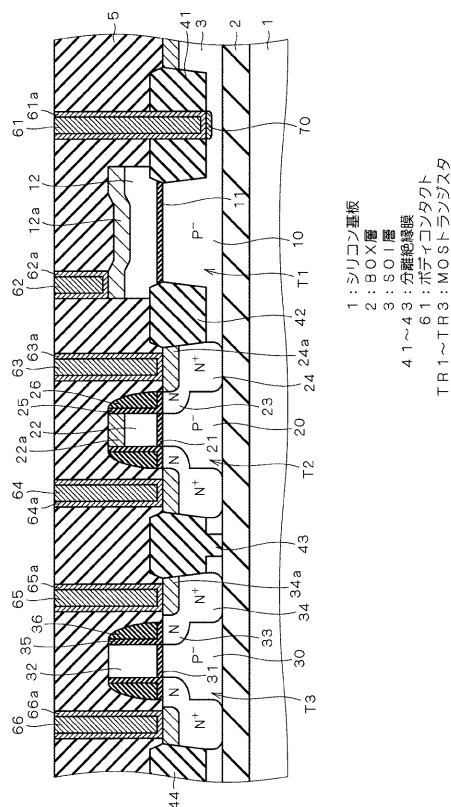
- 【図 2 6】 実施の形態 7 に係る半導体装置の製造工程を示す図である。
 【図 2 7】 実施の形態 7 に係る半導体装置の構成を示す図である。
 【図 2 8】 実施の形態 8 に係る半導体装置の構成を示す図である。
 【図 2 9】 実施の形態 8 に係る半導体装置の製造工程を示す図である。
 【図 3 0】 実施の形態 9 に係る半導体装置の製造工程を示す図である。
 【図 3 1】 実施の形態 9 に係る半導体装置の製造工程を示す図である。
 【図 3 2】 実施の形態 1 0 に係る半導体装置の構成を示す図である。
 【図 3 3】 一般的な S R A M セルの回路図である。
 【図 3 4】 実施の形態 1 1 に係る S R A M セルの上面図である。
 【図 3 5】 実施の形態 1 1 に係る S R A M セルの断面図である。
 【図 3 6】 実施の形態 1 1 に係る S R A M セルの等価回路図である。

【符号の説明】

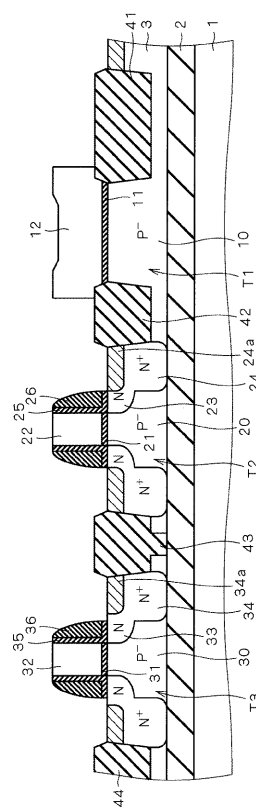
【0 1 1 5】

T 1 ~ T 3 MOS トランジスタ T 1、1 シリコン基板、2 BOX 層、3 S O I 層、5 層間絶縁膜、1 0、2 0、3 0 ボディ領域、1 1、2 1、3 1 ゲート絶縁膜、1 2、2 2、3 2 ゲート電極、1 2 a、2 2 a、2 4 a、3 4 a、7 0 ~ 7 2 シリサイド、2 4、3 4 ソース・ドレイン領域、4 1 ~ 4 5 素子分離絶縁膜、5 1 シリサイドプロテクション膜、6 1、6 7 ボディコンタクト、6 2 ~ 6 6 コンタクト、6 1 a ~ 6 7 a バリアメタル、7 3 P⁻ (-) 領域、7 4 P⁻ (+) 領域、8 0 シリサイド、8 2 P⁻ (-) 領域。

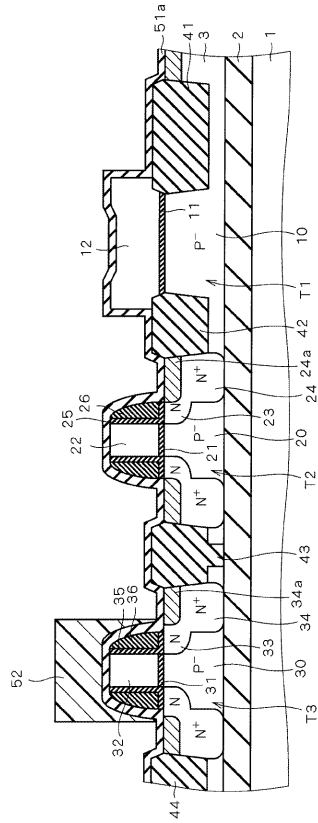
【図 1】



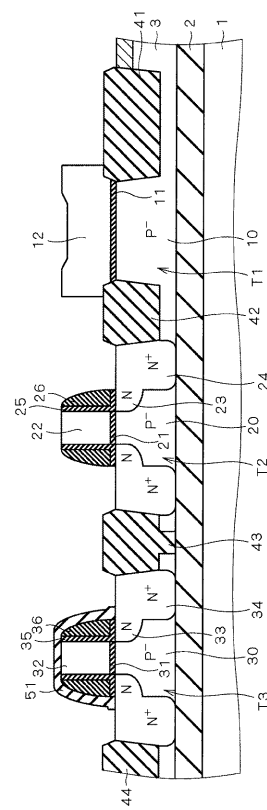
【図 2】



【図 3】

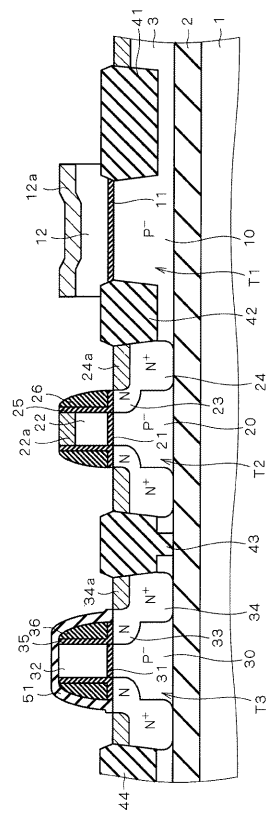


【図 4】

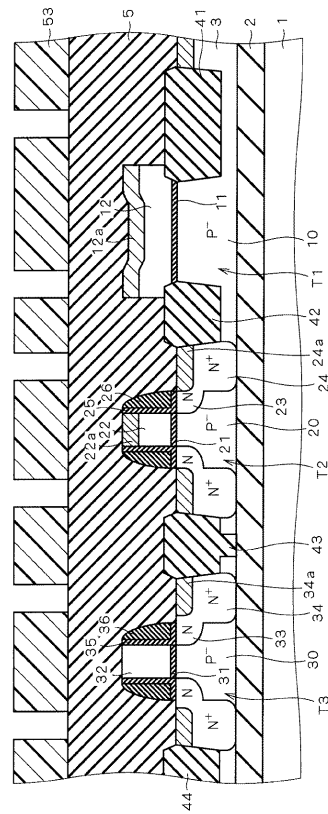


51 : シリサイドプロテクション膜

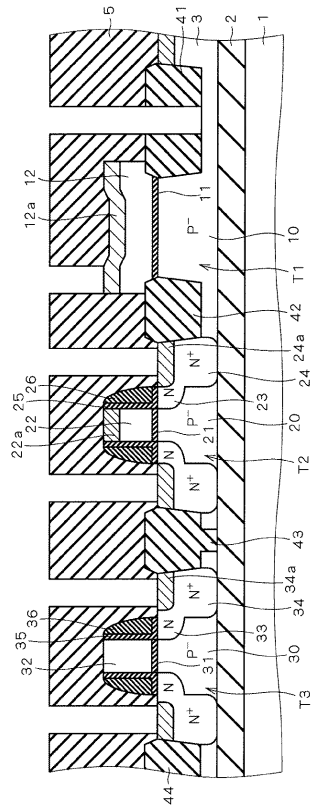
【図 5】



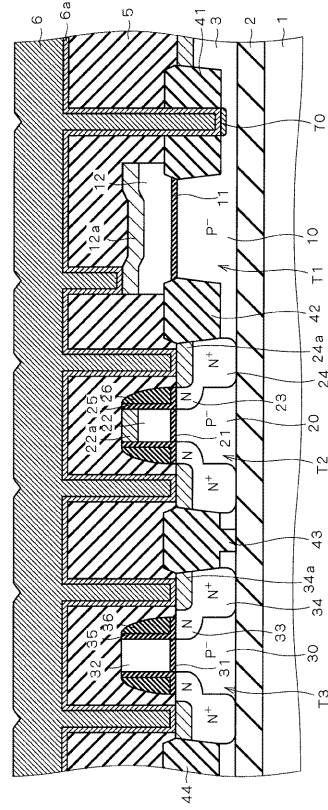
【図 6】



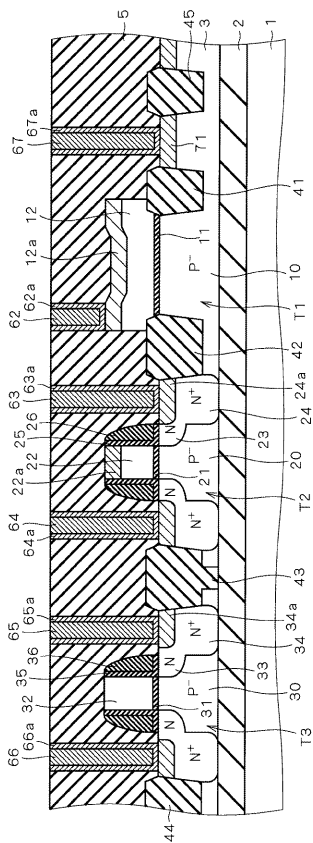
【図 7】



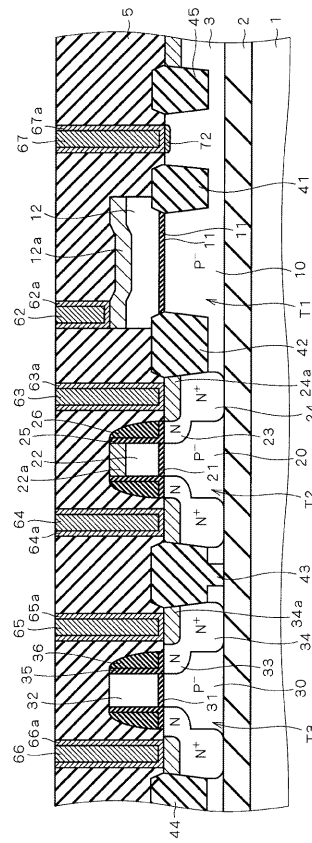
【図 8】



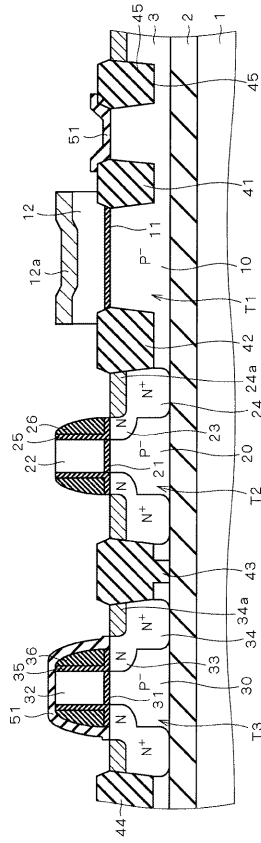
【図 9】



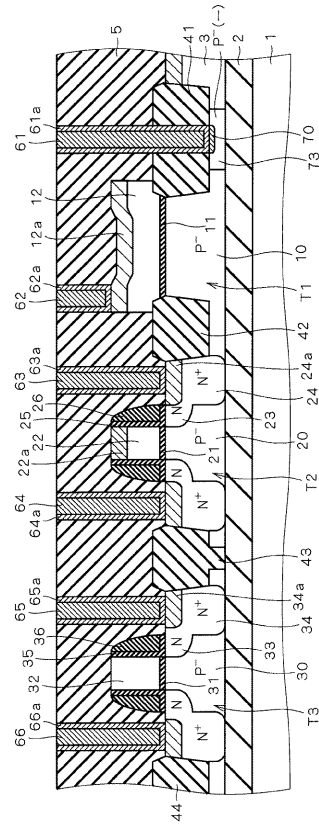
【図 10】



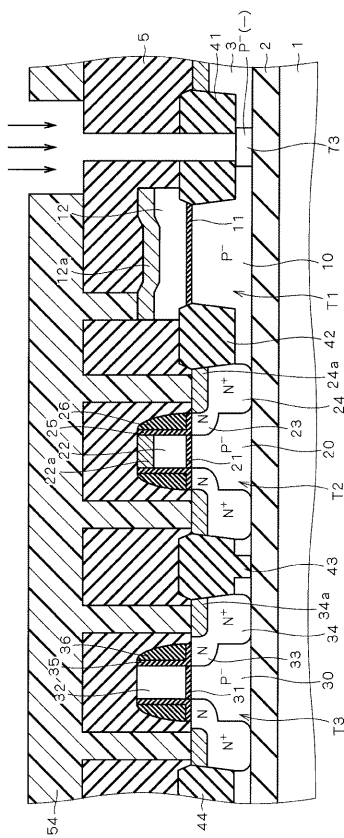
【図 1 1】



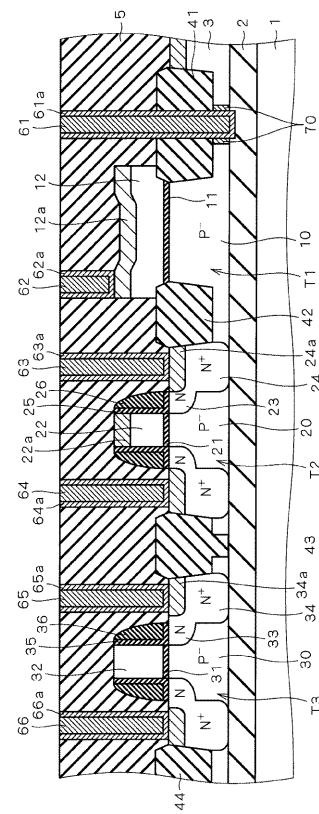
【図 1 2】



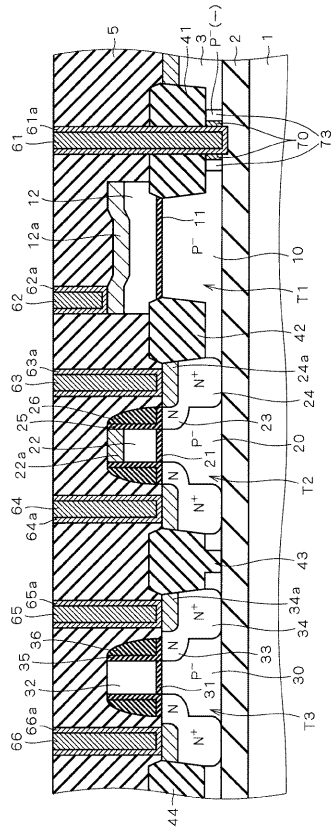
【図 1 3】



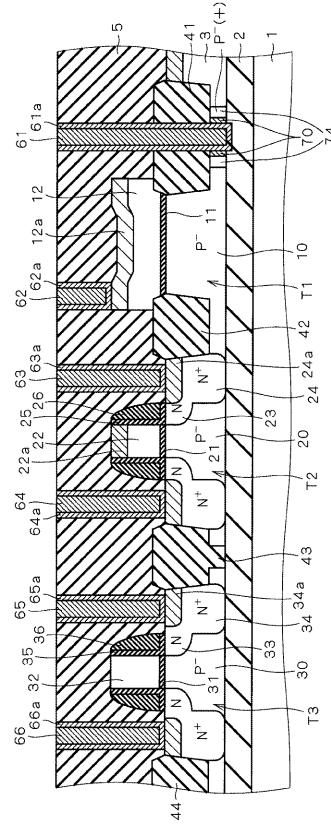
【図 1 4】



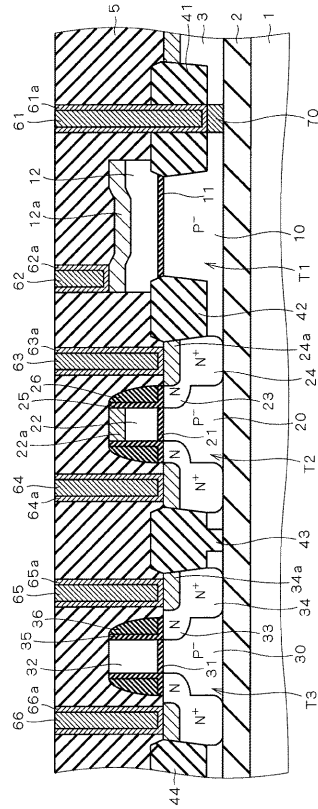
【図 15】



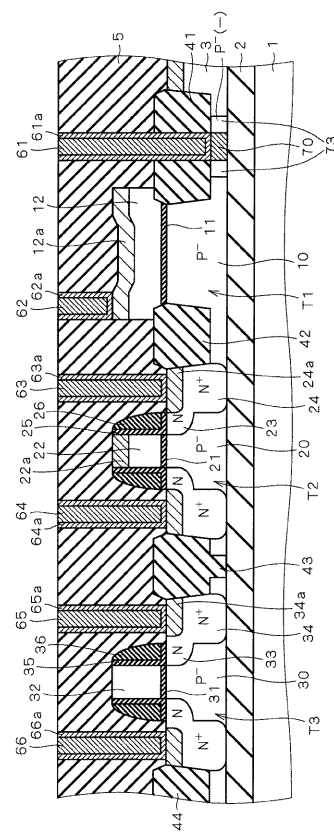
【図 16】



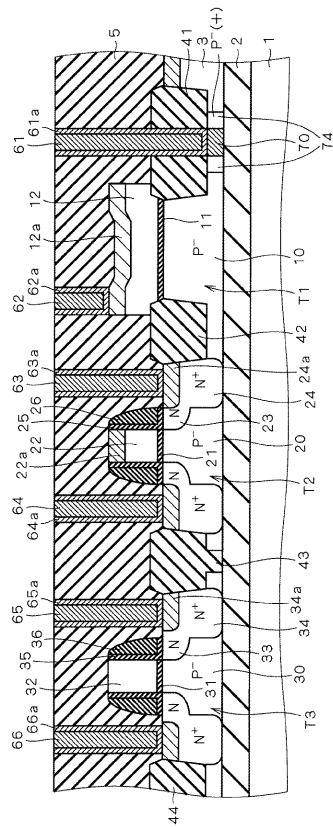
【図 17】



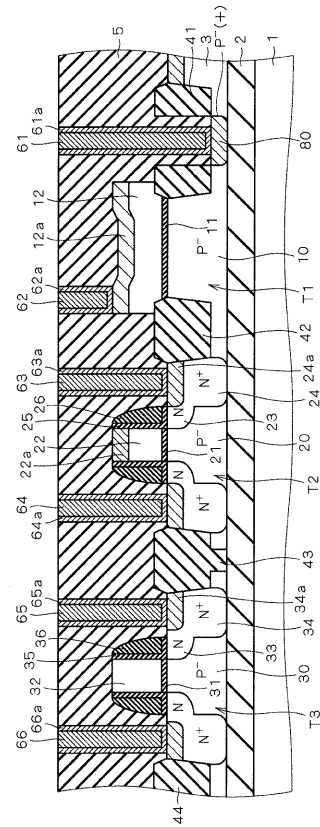
【図 18】



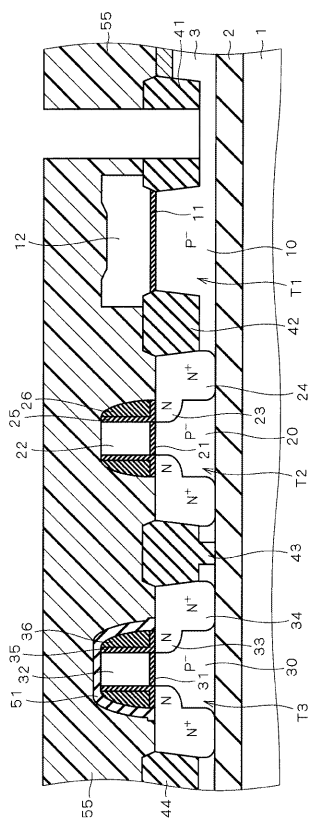
【図 19】



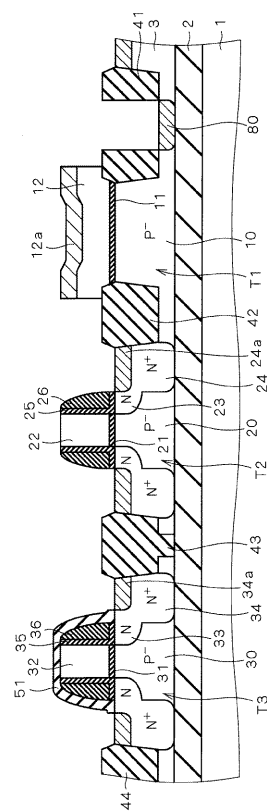
【図 20】



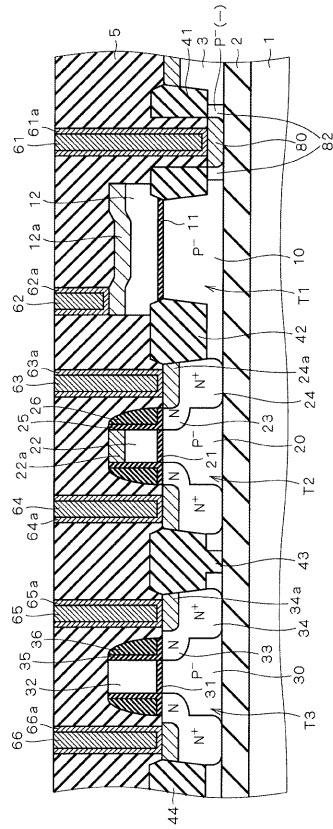
【図 21】



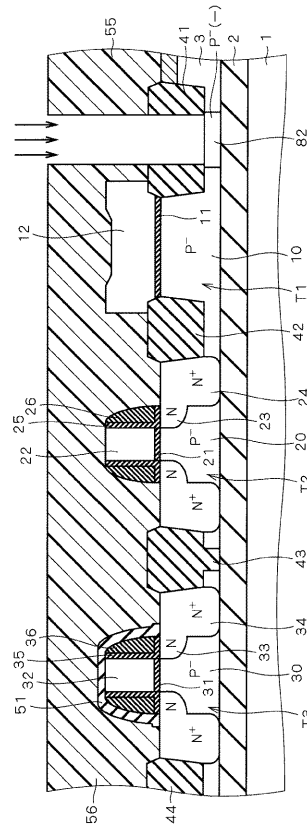
【図 22】



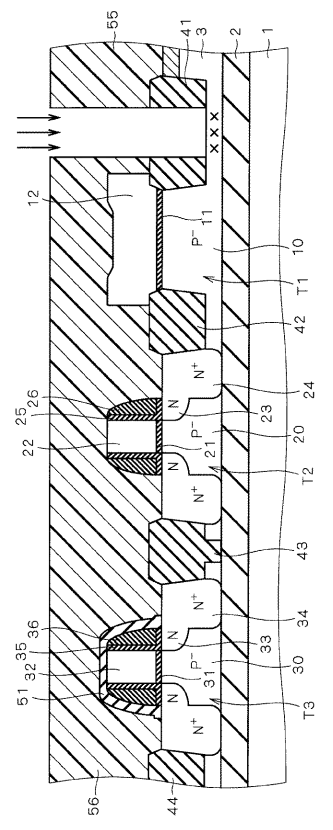
【図 2 3】



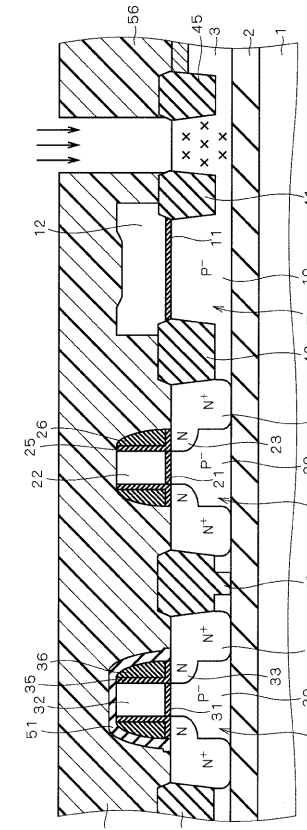
【図 2 4】



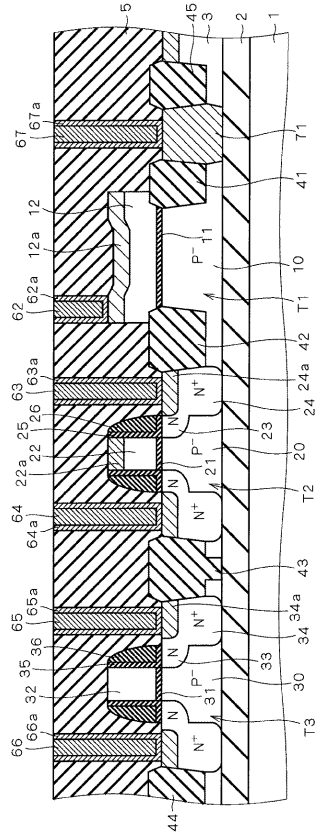
【図 2 5】



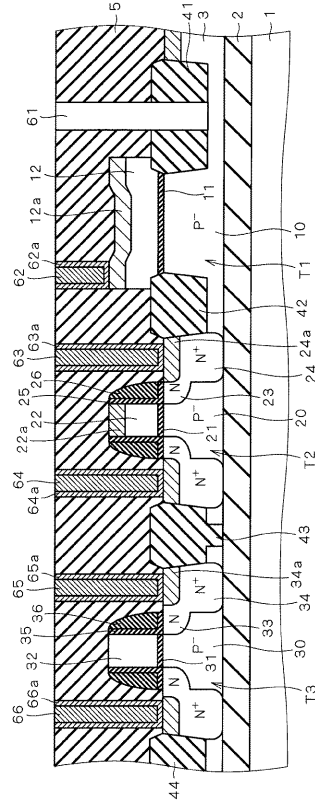
【図 2 6】



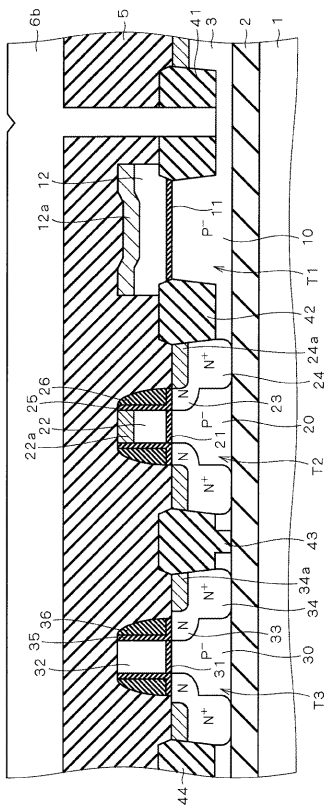
【図 27】



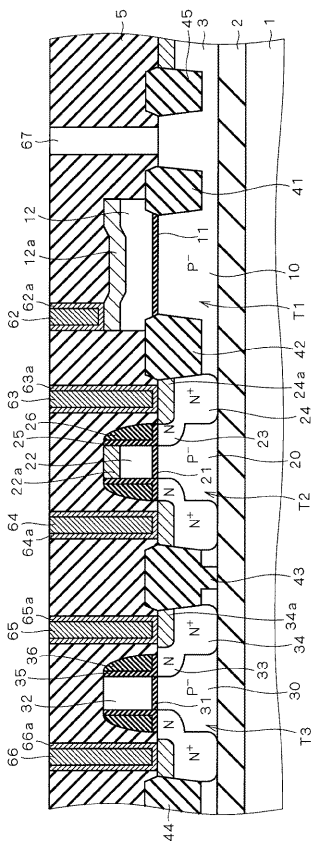
【図 28】



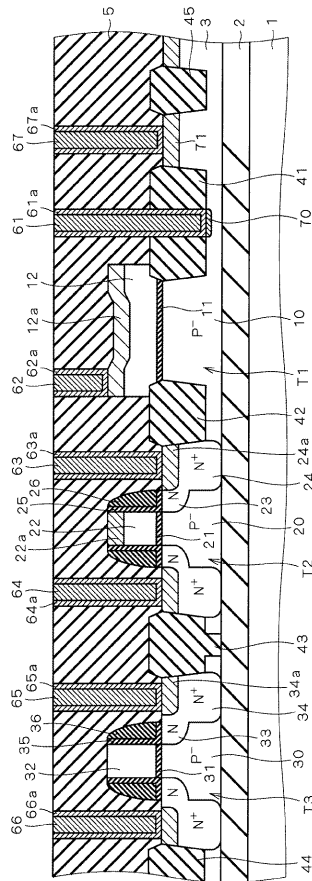
【図 29】



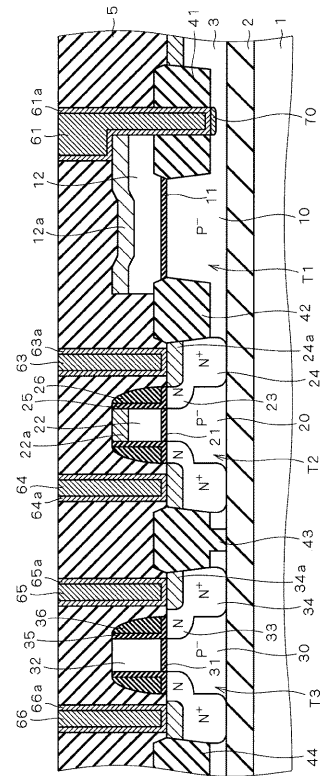
【図 30】



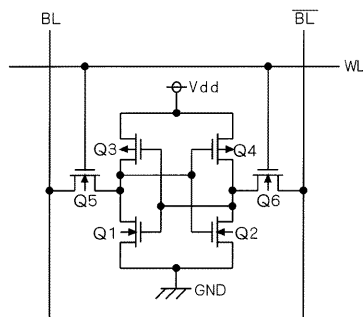
【図 3 1】



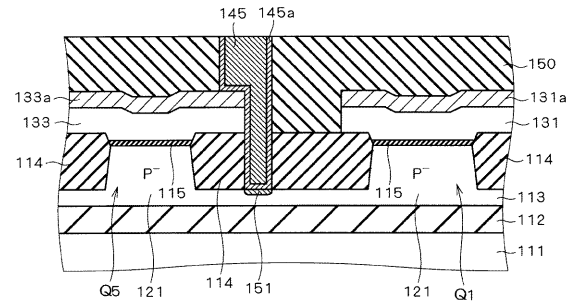
【図 3 2】



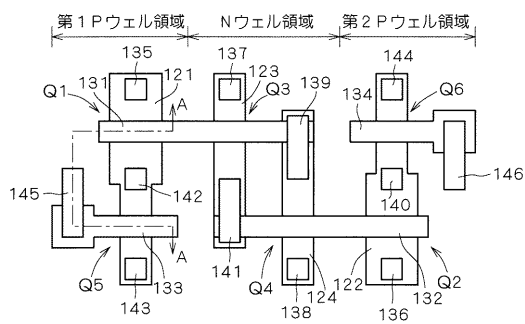
【図 3 3】



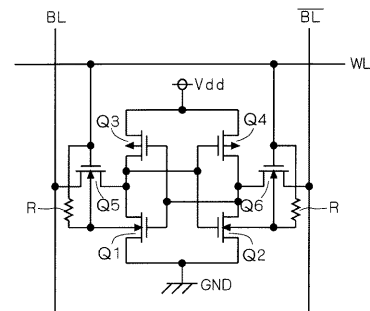
【図 3 5】



【図 3 4】



【図 3 6】



フロントページの続き

(51)Int.Cl.		F I		テーマコード (参考)
H O 1 L 21/8234 (2006.01)		H O 1 L 27/08	3 2 1 F	
H O 1 L 27/088 (2006.01)		H O 1 L 27/08	3 2 1 K	
H O 1 L 21/8238 (2006.01)		H O 1 L 27/10	3 8 1	
H O 1 L 27/092 (2006.01)				
H O 1 L 27/11 (2006.01)				
H O 1 L 21/8244 (2006.01)				

(72)発明者 前川 繁登

東京都千代田区丸の内二丁目4番1号 株式会社ルネサステクノロジ内

Fターム(参考) 4M104 AA01 AA09 BB01 BB14 BB20 BB21 BB22 BB25 CC03 DD06
DD26 DD84 FF13 FF14 GG09 GG10 GG16 HH17
5F048 AA07 AB01 AC04 BA16 BB05 BB06 BB12 BB14 BC06 BE09
BF06 BF07 BF12 BF18 DA25 DA27 DA30
5F083 BS05 BS17 BS27 BS30 GA01 GA06 HA02 JA32 JA35 JA39
JA40 JA53 MA05 MA06 MA19 PR21 PR39
5F110 AA06 AA09 AA30 BB07 BB20 CC02 DD13 DD24 EE05 EE09
EE32 EE41 EE42 FF02 GG02 GG12 GG25 GG34 GG52 GG60
HJ13 HK05 HK32 HK40 HL01 HL04 HL05 HL12 HL22 HM15
NN03 NN23 NN62 NN78 QQ08 QQ11