

CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO,
DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT,
HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, KE, KG, KH,
KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,
MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告(条約第21条(3))

includes a first film portion positioned between the upper surface and the first part, and a second film portion positioned between the first side surface and the second part. The film thickness of the second film portion is smaller in a portion thereof farther from the upper surface than in a portion thereof closer to the upper surface.

(57) 要約: 電界効果トランジスタのゲート制御性の向上が可能な半導体装置、撮像装置及び電子機器を提供する。半導体装置は、半導体基板と、半導体基板に設けられた電界効果トランジスタと、を備える。電界効果トランジスタは、チャネルが形成される第1導電型の半導体領域と、半導体領域を覆うゲート電極と、半導体領域とゲート電極との間に配置されたゲート絶縁膜と、を有する。半導体領域は、上面と、ゲート電極のゲート幅方向において上面の一方の側に位置する第1側面と、を有する。ゲート電極は、上面とゲート絶縁膜を介して向かい合う第1部位と、第1側面とゲート絶縁膜を介して向かい合う第2部位と、を有する。ゲート絶縁膜は、上面と第1部位との間に位置する第1膜部と、第1側面と第2部位との間に位置する第2膜部と、を有する。第2膜部の膜厚は、上面に近い側の部位よりも上面から遠い側の部位の方が薄い。

明 細 書

発明の名称：半導体装置、撮像装置及び電子機器

技術分野

[0001] 本開示は、半導体装置、撮像装置及び電子機器に関する。

背景技術

[0002] ゲート電極の一部が半導体基板に埋め込まれた構造を有する電界効果トランジスタが知られている。例えば、特許文献1には、半導体基板の表面に平面的に形成される平面部から半導体基板の内部に向かって埋め込まれるように形成されたフィン部を有するゲート電極と、フィン部の側面に絶縁膜を介して接するチャネル領域と、を有するトランジスタが開示されている。

先行技術文献

特許文献

[0003] 特許文献1：特開2017-183636号公報

発明の概要

発明が解決しようとする課題

[0004] フィン部の側面と絶縁膜を介して接するチャネル領域の下部は、チャネル領域の上部と比べて、ウェルの電位の影響を受け易い。例えば、チャネル領域の下部にウェルの電位が回り込み、電流が流れにくくなる場合がある。これにより、電界効果トランジスタのゲート制御性が低下する可能性がある。

[0005] 本開示はこのような事情に鑑みてなされたもので、電界効果トランジスタのゲート制御性の向上が可能な半導体装置、撮像装置及び電子機器を提供することを目的とする。

課題を解決するための手段

[0006] 本開示の一態様に係る半導体装置は、半導体基板と、前記半導体基板に設けられた電界効果トランジスタと、を備える。前記電界効果トランジスタは、チャネルが形成される第1導電型の半導体領域と、前記半導体領域を覆うゲート電極と、前記半導体領域と前記ゲート電極との間に配置されたゲート

絶縁膜と、を有する。前記半導体領域は、上面と、前記ゲート電極のゲート幅方向において前記上面の一方の側に位置する第1側面と、を有する。前記ゲート電極は、前記上面と前記ゲート絶縁膜を介して向かい合う第1部位と、前記第1側面と前記ゲート絶縁膜を介して向かい合う第2部位と、を有する。前記ゲート絶縁膜は、前記上面と前記第1部位との間に位置する第1膜部と、前記第1側面と前記第2部位との間に位置する第2膜部と、を有する。前記第2膜部の膜厚は、前記上面に近い側の部位よりも前記上面から遠い側の部位の方が薄い。

[0007] これによれば、第2膜部の薄膜化により、第2膜部と接するチャネル下部は、ゲート電極の電位の影響を受けてポテンシャルが上昇し易くなり、電流が流れ易くなる。これにより、電界効果トランジスタは、チャネル全体により均一に電流を流すことができる。チャネルにおいて電流が流れる範囲が広がることで実効的なトランジスタサイズが拡大されるため、電界効果トランジスタは、相互コンダクタンス g_m を改善することができ、ゲート制御性を向上させることが可能となる。

[0008] また、第2膜部の薄膜化により、チャネル下部は全体的にポテンシャルが上昇し易くなるため、第2膜部との界面における電子密度（すなわち、界面電子密度）を低減することができる。これにより、電界効果トランジスタは、界面電子密度に起因するノイズを低減することができ、ノイズ特性を改善することができる。

[0009] 本開示の一態様に係る撮像装置は、光電変換を行うセンサ画素と、前記センサ画素から出力された電荷に基づく画素信号を出力する読み出し回路と、を備える。前記読み出し回路は、前記センサ画素から出力された電荷のレベルに応じた電圧の信号を増幅する増幅トランジスタと、前記増幅トランジスタからの前記画素信号の出力タイミングを制御する選択トランジスタと、を有する。前記増幅トランジスタ及び前記選択トランジスタの少なくとも一方は、チャネルが形成される第1導電型の半導体領域と、前記半導体領域を覆うゲート電極と、前記半導体領域と前記ゲート電極との間に配置されたゲー

ト絶縁膜と、を有する。前記半導体領域は、上面と、前記ゲート電極のゲート幅方向において前記上面の一方の側に位置する第1側面と、を有する。前記ゲート電極は、前記上面と前記ゲート絶縁膜を介して向かい合う第1部位と、前記第1側面と前記ゲート絶縁膜を介して向かい合う第2部位と、を有する。前記ゲート絶縁膜は、前記上面と前記第1部位との間に位置する第1膜部と、前記第1側面と前記第2部位との間に位置する第2膜部と、を有する。前記第2膜部の膜厚は、前記上面に近い部位よりも前記上面から遠い部位の方が薄い。

[0010] これによれば、増幅トランジスタ及び選択トランジスタの少なくとも一方の相互コンダクタンス g_m やノイズ特性を改善することができるので、撮像装置の動作速度の高速化や低ノイズ化が可能である。

[0011] 本開示の一態様に係る電子機器は、上記の撮像装置を備える。これによれば、撮像装置に含まれる増幅トランジスタ及び選択トランジスタの少なくとも一方について、相互コンダクタンス g_m やノイズ特性を改善することができる。これにより、撮像装置を備える電子機器の動作速度の高速化や低ノイズ化が可能である。

図面の簡単な説明

[0012] [図1]図1は、本開示の実施形態1に係る半導体装置の構成例を示す平面図である。

[図2]図2は、本開示の実施形態1に係る半導体装置の構成例を示す断面図である。

[図3]図3は、本開示の実施形態1に係る半導体装置の構成例を示す断面図である。

[図4]図4は、本開示の実施形態1に係る半導体装置の構成例を示す断面図である。

[図5]図5は、本開示の実施形態1に係る半導体装置の製造方法を工程順に示す断面図である。

[図6]図6は、本開示の実施形態1に係るMOSトランジスタにおいて、ゲ-

ト電極に閾値以上の電圧が印加され、オン電流が流れる状態にある半導体領域（チャネル領域）のポテンシャル分布を示すイメージ図である。

[図7]図7は、本開示の比較例に係るMOSトランジスタにおいて、ゲート電極に閾値以上の電圧が印加され、オン電流が流れる状態にあるチャネル領域のポテンシャル分布をシミュレーションした結果を示す図である。

[図8]図8は、埋込みチャネル型NMOSトランジスタと表面チャネル型NMOSトランジスタの $1/f$ ノイズの比較例を示す図である。

[図9]図9は、表面チャネル型のNMOSトランジスタを用いた場合の電子密度プロファイルを示す図である。

[図10]図10は、埋め込みチャネル型のNMOSトランジスタを用いた場合の電子密度プロファイルを示す図である。

[図11]図11は、本開示の実施形態2に係る半導体装置の構成例を示す断面図である。

[図12]図12は、本開示の実施形態に係る撮像装置の構成例を示す図である。

[図13]図13は、本開示の実施形態1に係る画素ユニットの構成例を示す回路図である。

[図14]図14は、本開示の実施形態3に係る画素ユニットの構成例を示す断面図である。

[図15]図15は、本開示の実施形態3に係る画素ユニットの構成例を示す平面図である。

[図16]図16は、本開示の実施形態4に係る画素ユニットの構成例を示す断面図である。

[図17]図17は、本開示の実施形態5に係る画素ユニットの構成例を示す平面図である。

[図18]図18は、本開示の実施形態5に係る画素ユニットに含まれる、増幅トランジスタ及び選択トランジスタの構成例を示す平面図である。

[図19]図19は、本開示の実施形態5に係る画素ユニットに含まれる、増幅

トランジスタ及び選択トランジスタの構成例を示す断面図である。

[図20]図20は、本開示の実施形態5に係る画素ユニットに含まれる、増幅トランジスタ及び選択トランジスタの構成例を示す断面図である。

[図21]図21は、本開示の実施形態6に係る半導体装置が備えるMOSトランジスタの構成例1を示す断面図である。

[図22]図22は、本開示の実施形態6に係る半導体装置が備えるMOSトランジスタの構成例2を示す断面図である。

[図23]図23は、本開示の実施形態6に係る半導体装置が備えるプレーナ型のMOSトランジスタの構成例を示す断面図である。

[図24]図24は、本開示の実施形態9に係る画素ユニットの構成例を示す断面図である。

[図25]図25は、本開示の実施形態10に係る画素ユニットの構成例を示す図である。

[図26]図26は、本開示の実施形態10に係る画素ユニットの構成例を示す平面図である。

[図27]図27は、上述の撮像装置を用いたイメージセンサの使用例を示す図である。

[図28]図28は、本技術を適用した電子機器の構成例を示すブロック図である。

発明を実施するための形態

[0013] 以下において、図面を参照して本開示の実施形態を説明する。以下の説明で参照する図面の記載において、同一又は類似の部分には同一又は類似の符号を付している。ただし、図面は模式的なものであり、厚さと平面寸法との関係、各層の厚さの比率等は現実のものとは異なることに留意すべきである。したがって、具体的な厚さや寸法は以下の説明を参酌して判断すべきものである。また、図面相互間においても互いの寸法の関係や比率が異なる部分が含まれていることは勿論である。

[0014] また、以下の説明における上下等の方向の定義は、単に説明の便宜上の定

義であって、本開示の技術的思想を限定するものではない。例えば、対象を 90° 回転して観察すれば上下は左右に変換して読まれ、 180° 回転して観察すれば上下は反転して読まれることは勿論である。

[0015] また、以下の説明では、X軸方向、Y軸方向及びZ軸方向の文言を用いて、方向を説明する場合がある。例えば、X軸方向及びY軸方向は、後述する半導体基板10の表面10aに平行な方向である。Z軸方向は、半導体基板10の表面10aの法線方向である。Z軸方向は、X軸方向、Y軸方向及びZ軸方向は、互いに直交する。また、以下の説明において、「平面視」とは、半導体基板10の表面10aの法線方向（すなわち、Z軸方向）から見ることを意味する。

[0016] また、以下の説明では、第1導電型がp型、第2導電型がn型の場合について例示的に説明する。しかし、導電型を逆の関係に選択して、第1導電型をn型、第2導電型をp型としても構わない。またpやnに付す+や-は、+及び-が付記されていない半導体領域に比して、それぞれ相対的に不純物濃度が高い又は低い半導体領域であることを意味する。ただし同じpとp（または、同じnとn）とが付された半導体領域であっても、それぞれの半導体領域の不純物濃度が厳密に同じであることを意味するものではない。

[0017] <実施形態1>

（半導体装置の構成例）

図1は、本開示の実施形態1に係る半導体装置1の構成例を示す平面図である。図2から図4は、本開示の実施形態1に係る半導体装置1の構成例を示す断面図である。図2は、図1をX軸方向に平行なA1-A'1線で切断した断面を示している。図3は、図1をX軸方向に平行なB1-B'1線で切断した断面を示している。図4は、図1をY軸方向に平行なC1-C'1線で切断した断面を示している。

[0018] 図2から図4に示すように、実施形態1に係る半導体装置1は、半導体基板10と、半導体基板10の表面10a側に設けられたMOS（Metal Oxide Semiconductor）トランジスタTr（本開示の

「電界効果トランジスタ」の一例)と、を備える。半導体基板10は、例えば単結晶のシリコンで構成されている。MOSトランジスタTrは、半導体基板10の表面10a側に設けられた素子分離層11によって、他の素子から電氣的に分離されている。素子分離層11は絶縁膜であり、例えば、シリコン酸化膜(SiO₂膜)で構成されている。

[0019] MOSトランジスタTrは、n型のMOSトランジスタである。MOSトランジスタTrは、チャネルが形成されるp型の半導体領域13と、半導体領域13を覆うゲート電極15と、半導体領域13とゲート電極15との間に配置されたゲート絶縁膜17と、半導体基板10に設けられたn型のソース領域19と、半導体基板10に設けられたn型のドレイン領域21と、を有する。半導体領域13にMOSトランジスタTrのチャネルが形成されるため、以下の説明では、半導体領域13をチャネル領域と呼んでもよい。

[0020] 半導体領域13は、半導体基板10の一部であり、単結晶のシリコンで構成されている。または、半導体領域13は、エピタキシャル成長法によって、半導体基板10上に形成された単結晶のシリコン層であってもよい。半導体領域13は、半導体基板10の表面10a側の一部をエッチングすることにより形成された部位であり、その形状は例えばフィン(Fin)形状である。半導体基板10の表面10aの法線方向(例えば、Z軸方向)からの平面視で、半導体領域13は、例えば、ゲート長方向(例えば、X軸方向)に長く、ゲート幅方向(例えば、Y軸方向)に短い形状を有する。すなわち、半導体領域13は、平面視で、X軸方向に長く、Y軸方向に短い長方形の形状を有する。

[0021] 図4に示すように、半導体領域13は、上面13aと、第1側面13b及び第2側面13cと、を有する。上面13aは、半導体基板10の表面10aの一部である。上面13aは、X軸方向及びY軸方向に平行である。第1側面13bは、Y軸方向において上面13aの一方の側(図4では左側)に位置する。第2側面13cは、Y軸方向において上面13aの他方の側(図4では右側)に位置する。第1側面13b、第2側面13cは、上面13a

と交差する方向に延びている。

[0022] 例えば、第1側面13bの一部であって、上面13aに近い側に位置する側面（すなわち、第1側面13bの上部）は、X軸方向及びZ軸方向に平行（または、ほぼ平行）な面で構成されている。また、第1側面13bの他の一部であって、上面13aから遠い側に位置する側面（すなわち、第1側面13bの下部）は、上面13aから遠ざかるにしたがって半導体領域13の外側へ徐々に広がる曲面で構成されている。同様に、第2側面13cの一部であって、上面13aに近い側に位置する側面（すなわち、第2側面13cの上部）は、X軸方向及びZ軸方向に平行（または、ほぼ平行）な面で構成されている。また、第2側面13cの他の一部であって、上面13aから遠い側に位置する側面（すなわち、第2側面13cの下部）は、上面13aから遠ざかるにしたがって半導体領域13の外側へ徐々に広がる曲面で構成されている。これにより、半導体領域13をY-Z平面で切断した断面は、上面13a側の部位（すなわち、上部）よりも下部の方がY軸方向に長く、下部がラウンディングしている形状を有する。

[0023] ゲート電極15は、ゲート絶縁膜17を介して半導体領域13を覆っている。例えば、ゲート電極15は、半導体領域13の上面13aとゲート絶縁膜17を介して向かい合う第1部位151と、半導体領域13の第1側面13bとゲート絶縁膜17を介して向かい合う第2部位152と、半導体領域13の第2側面13cとゲート絶縁膜17を介して向かい合う第3部位153と、を有する。第1部位151の下面に、第2部位152と第3部位153とがそれぞれ接続している。Y軸方向において、半導体領域13の一方の側にゲート電極15の第2部位152が配置され、半導体領域13の他方の側にゲート電極15の第3部位153が配置されている。半導体領域13は、ゲート電極15の第2部位152と第3部位153とによって、左右両側から挟まれている。

[0024] これにより、ゲート電極15は、半導体領域13の上面13aと、第1側面13bと、第2側面13cとにゲート電圧を同時に印加することができる

。つまり、ゲート電極 15 は、半導体領域 13 に対して、上側と左右両側の計 3 方向からゲート電圧を同時に印加することができる。ゲート電極 15 は、例えばポリシリコン (Poly-Si) 膜で構成されている。

[0025] なお、第 1 部位 151 を水平ゲート電極と呼んでもよい。第 2 部位 152 及び第 3 部位 153 をそれぞれ垂直ゲート電極又はフィン (Fin) 部と呼んでもよい。また、MOS トランジスタ Tr は、半導体基板 10 の表面 10a 側が掘り込まれ、その掘り込まれた領域にゲート電極 15 の第 2 部位 152 と第 3 部位 153 とが配置されている形状から、掘り込みゲート構造の MOS トランジスタと呼んでもよい。または、MOS トランジスタ Tr は、ゲート電極 15 がフィン部を有することから、フィンフェット (FinFET: Fin Field Effect Transistor) と呼んでもよい。あるいは、MOS トランジスタ Tr は、上記 2 つの特徴を有することから、掘り込み FinFET と呼んでもよい。

[0026] ゲート絶縁膜 17 は、半導体領域 13 の上面 13a と、第 1 側面 13b と、第 2 側面 13c とを連続して覆うように設けられている。ゲート絶縁膜 17 は、半導体領域 13 の上面 13a とゲート電極 15 の第 1 部位 151 との間に位置する第 1 膜部 171 と、半導体領域 13 の第 1 側面 13b とゲート電極 15 の第 2 部位 152 との間に位置する第 2 膜部 172 と、半導体領域 13 の第 2 側面 13c とゲート電極 15 の第 3 部位 153 との間に位置する第 3 膜部 173 と、を有する。

[0027] 第 1 膜部 171 の膜厚は均一又はほぼ均一である。第 2 膜部 172 の膜厚は、上面 13a に近い側の部位 (すなわち、第 2 膜部 172 の上部) よりも上面 13a から遠い側の部位 (すなわち、第 2 膜部 172 の下部) の方が薄い。例えば、第 2 膜部 172 の膜厚は、上面 13a から遠ざかるにしたがって薄くなっている。同様に、第 3 膜部 173 の膜厚は、上面 13a に近い側の部位 (すなわち、第 3 膜部 173 の上部) よりも上面 13a から遠い側の部位 (すなわち、第 3 膜部 173 の下部) の方が薄い。例えば、第 3 膜部 173 の膜厚は、上面 13a から遠ざかるにしたがって薄くなっている。ゲー

ト絶縁膜 17 は、例えば SiO_2 膜で構成されている。

[0028] ソース領域 19 及びドレイン領域 21 は、それぞれ、半導体基板 10 の表面 10a 側に設けられている。ゲート長方向（例えば、X 軸方向）において、ソース領域 19 は半導体領域 13 の一方の側に接続し、ドレイン領域 21 は半導体領域 13 の他方の側に接続している。

[0029] なお、図示しないが、MOS トランジスタ Tr は、サイドウォールを備えてもよい。サイドウォールは、ゲート電極 15 の周囲に設けられる。サイドウォールは、例えばシリコン窒化膜 (SiN) 又はシリコン酸化膜 (SiO_2) などの絶縁膜で構成される。

[0030] (半導体装置の製造方法)

次に、図 1 から図 4 に示した半導体装置 1 の製造方法を説明する。半導体装置 1 は、成膜装置 (CVD (Chemical Vapor Deposition: 化学気相成長) 装置、熱酸化炉、スパッタ装置、レジスト塗布装置を含む)、露光装置、イオン注入装置、アニール装置、エッチング装置、CMP (Chemical Mechanical Polishing) 装置など、各種の装置を用いて製造される。以下、これらの装置を、製造装置と総称する。

[0031] 図 5 は、本開示の実施形態 1 に係る半導体装置 1 の製造方法を工程順に示す断面図である。図 5 のステップ ST1 に示すように、製造装置は、半導体基板 10 の表面 10a 上に絶縁膜 51、酸化膜 53、及び、レジストパターン（図示せず）をこの順で形成する。半導体基板 10 は、例えばバルクのシリコン基板である。絶縁膜 51 は、例えばシリコン窒化膜 (SiN 膜) である。酸化膜 53 は、例えばシリコン酸化膜 (SiO_2 膜) である。絶縁膜 51 及び酸化膜 53 の形成は、CVD 法で行われる。

[0032] 次に、製造装置は、レジストパターンをマスクに用いて、酸化膜 53 をエッチングする。酸化膜 53 がレジストパターンの形状にパターニングされた後、製造装置はレジストパターンを除去する。次に、製造装置は、パターニングされた酸化膜 53 をマスクに用いて絶縁膜 51 をエッチングする。これ

により、製造装置は、絶縁膜 51 で構成されるパターン（すなわち、ハードマスク）を形成する。次に、製造装置は、絶縁膜 51 で構成されるハードマスクを用いて、半導体基板 10 の表面 10a 側をエッチングする。これにより、半導体基板 10 の表面 10a 側にトレンチ H1 が形成される。また、トレンチ H1 が形成されることにより、半導体基板 10 上に半導体領域 13 が画定される。

[0033] なお、製造装置は、絶縁膜 51 を形成する前に、半導体基板 10 に p 型のウェルを形成してもよい。このウェルは、半導体基板 10 の内部（例えば、表面 10a から深さ方向に一定の距離だけ離れた位置）に埋め込むように形成される p 型の埋め込みウェルであってもよいし、半導体基板 10 の表面 10a に面するように形成される p 型のウェルであってもよいし、その両方であってもよい。前者の一例として、後述の図 14 に示す p 型のウェル層 312（本開示の「不純物拡散層」の一例）が挙げられる。後者の例として、後述の図 14 に示す p-型のウェル層 311 が挙げられる。半導体基板 10 に p 型のウェルが形成される場合、製造装置は、このウェルの一部をエッチングしてトレンチ H1 を形成してもよい。

[0034] 次に、図 5 のステップ S T 2 に示すように、製造装置は、CVD 法により、半導体基板 10 上に絶縁膜を堆積してトレンチ H1 を埋め込む。この絶縁膜は、例えば SiO₂ 膜である。次に、製造装置は、この絶縁膜の表面に CMP 処理を施し平坦化することによって、この絶縁膜から素子分離層 11 を形成する。この CMP 処理では、絶縁膜 51 がストップとして機能するため、絶縁膜 51 と素子分離層 11 は表面が面一（または、ほぼ面一）となる。

[0035] 次に、図 5 のステップ S T 3 に示すように、製造装置は、素子分離層 11 上にレジストパターン 55 を形成する。そして、製造装置は、レジストパターン 55 をマスクに用いて、素子分離層 11 をエッチングする。これにより、半導体領域 13 の両側にトレンチ H2 が形成される。トレンチ H2 が形成された後、製造装置はレジストパターン 55 を除去する。

[0036] 次に、製造装置は、絶縁膜 51 をエッチングして除去する。そして、図 5

のステップS T 4 に示すように、製造装置は、絶縁膜 5 1 を除去することにより露出した半導体領域 1 3 の上面 1 3 a と、トレンチ H 2 を形成することにより露出した半導体領域 1 3 の第 1 側面 1 3 b 及び第 2 側面 1 3 c とを熱酸化して、ゲート絶縁膜 1 7 を形成する。半導体領域 1 3 の上面 1 3 a にはゲート絶縁膜 1 7 の第 1 膜部 1 7 1 が形成され、半導体領域 1 3 の第 1 側面 1 3 b にはゲート絶縁膜 1 7 の第 2 膜部 1 7 2 が形成され、半導体領域 1 3 の第 2 側面 1 3 c にはゲート絶縁膜 1 7 の第 3 膜部 1 7 3 が形成される。

[0037] 半導体領域 1 3 の両側に位置するトレンチ H 2 の幅が狭いため、ゲート絶縁膜 1 7 の形成工程では、トレンチ H 2 の開口側と比べて、トレンチ H 2 の底部側には酸化種（例えば、酸素（O₂）ガス）が届きにくい。例えば、第 1 側面 1 3 b と素子分離層 1 1 との間の距離を w_1 とし、第 2 側面 1 3 c と素子分離層 1 1 との間の距離を w_2 とし、素子分離層 1 1 の厚さを d とすると、 $w_1 = w_2 < d$ となっている。上記の距離 w_1 、 w_2 は、素子分離層 1 1 の厚さ d よりも短い。距離 w_1 、 w_2 はトレンチ H 2 の幅に相当し、厚さ d はトレンチ H 2 の深さに相当する。

[0038] このように、トレンチ H 2 は幅が狭く、底部側に酸化種が届きにくいいため、ゲート絶縁膜 1 7 はトレンチ H 2 の底部に近づくほど薄く形成される。例えば、第 2 膜部 1 7 2 は、上面 1 3 a から遠ざかる（すなわち、下部に近づく）にしたがって薄くなるように形成される。第 3 膜部 1 7 3 も、上面 1 3 a から遠ざかる（すなわち、下部に近づく）にしたがって薄くなるように形成される。

[0039] 次に、図 5 のステップ S T 5 に示すように、製造装置は、CVD 法を用いて、半導体基板 1 0 上にポリシリコン（poly-Si）等の電極部材を成膜して、トレンチ H 2 を埋め込む。そして、製造装置は、電極部材をパターニングして、ゲート電極 1 5 を形成する。その後、製造装置は、ゲート電極 1 5 をマスクに用いて半導体基板 1 0 に n 型不純物をイオン注入し、注入した n 型不純物を活性化するための熱処理を半導体基板 1 0 に施す。これにより、ソース領域 1 9 及びドレイン領域 2 1（図 1 から図 3 参照）が形成され

る。以上の工程を経て、図1から図4に示したMOSトランジスタTrが完成する。

[0040] (ポテンシャルの比較)

図6は、本開示の実施形態1に係るMOSトランジスタTrにおいて、ゲート電極15に閾値以上の電圧が印加され、オン電流が流れる状態にある半導体領域（チャネル領域）13のポテンシャル分布を示すイメージ図である。図7は、本開示の比較例に係るMOSトランジスタTr'において、ゲート電極に閾値以上の電圧が印加され、オン電流が流れる状態にあるチャネル領域13'のポテンシャル分布をシミュレーションした結果を示す図である。図6及び図7において、線P1からP8は、チャネル領域の下側に位置するウェルからの電位を模式的に示す線であって、電位の等しい地点を結ぶ等電位線である。線P1からP8において、線P1は最も電位が高い等電位線であり、線P8は最も電位が低い等電位線である。線P1からP8は、Pの後に付された数字が大きくなるほど電位が低くなっている。

[0041] 図7の比較例に係るMOSトランジスタTr'において、図6に示す実施形態1に係るMOSトランジスタTrとの違いは、ゲート絶縁膜の厚さにある。図6に示すように、MOSトランジスタTrのゲート絶縁膜17は、チャネル領域13の下部に近づくにしたがって厚さが薄くなっている。これに対して、図7に示すMOSトランジスタTr'のゲート絶縁膜17'は、厚さが均一となっている。

[0042] 図6及び図7を比較して分かるように、本開示の実施形態1に係るMOSトランジスタTrのゲート絶縁膜17は、チャネル領域13の下部に近づくにしたがって厚さが薄くなっているため、チャネル領域13の下部ほどゲート電極の電位が伝わり易く、ウェルからの電位が回りこみ難くなっている。これにより、MOSトランジスタTrでは、チャネル領域13の下部全体において、ポテンシャルは高く、電流が流れ易くなっている。チャネル領域13の下部の内部においても、電流が流れ易くなっている。これにより、チャネル領域13の下部において、ゲート絶縁膜17との界面に電子が集中する

ことを抑制することができ、ゲート絶縁膜 17 との界面における電子密度（すなわち、界面電子密度）を低減することができる。

[0043] （界面電子密度とノイズとの関係）

界面電子密度が小さくなる（電子数少）になるほどノイズが小さくなる傾向がある。本開示の実施形態 1 に係る MOS トランジスタ T_r は、チャンネル領域 13 の下部の界面電子密度を低減することができるため、ノイズの低減が可能である。

[0044] 界面電子密度とノイズ（例えば、 $1/f$ ノイズ）との関係について、より詳しく説明する。図 8 は、埋込みチャンネル型 NMOS トランジスタと表面チャンネル型 NMOS トランジスタの $1/f$ ノイズの比較例を示す図である。図 9 は、表面チャンネル型の NMOS トランジスタを用いた場合の電子密度プロファイルを示す図である。図 10 は、埋め込みチャンネル型の NMOS トランジスタを用いた場合の電子密度プロファイルを示す図である。

[0045] 図 9 に示すように、表面チャンネル型 NMOS トランジスタでは、ゲート絶縁膜と半導体基板との界面（すなわち、半導体基板の表面近傍）にチャンネルが形成されて電流が流れる。これに対して、図 10 に示すように、埋込みチャンネル型 NMOS トランジスタでは、ゲート絶縁膜と半導体基板との界面だけでなく、ゲート絶縁膜から離れた半導体基板内部にもチャンネルが形成されて電流が流れる。

[0046] ゲート絶縁膜と半導体基板との界面に電流が流れるということは、界面電子密度が大きくなるということである。図 8 に示すように、埋込みチャンネル型 NMOS トランジスタ及び表面チャンネル型 NMOS トランジスタのいずれも、界面を流れる電流に依存して（すなわち、界面電子密度に依存して）ノイズ特性が変化する。

[0047] （実施形態 1 の効果）

以上説明したように、本開示の実施形態 1 に係る半導体装置 1 は、半導体基板 10 と、半導体基板 10 に設けられた MOS トランジスタ T_r と、を備える。MOS トランジスタ T_r は、チャンネルが形成される p 型の半導体領域

13と、半導体領域13を覆うゲート電極15と、半導体領域13とゲート電極15との間に配置されたゲート絶縁膜17と、を有する。半導体領域13は、上面13aと、ゲート電極15のゲート幅方向において上面13aの一方の側に位置する第1側面13bと、を有する。ゲート電極15は、上面13aとゲート絶縁膜17を介して向かい合う第1部位151と、第1側面13bとゲート絶縁膜17を介して向かい合う第2部位152と、を有する。ゲート絶縁膜17は、上面13aと第1部位151との間に位置する第1膜部171と、第1側面13bと第2部位152との間に位置する第2膜部172と、を有する。第2膜部172の膜厚は、上面13aに近い側の部位よりも上面13aから遠い側の部位の方が薄い。例えば、第2膜部172の膜厚は、上面13aから遠ざかるにしたがって薄くなっている。

[0048] これによれば、第2膜部172の薄膜化により、第2膜部172と接するチャネル下部は、ゲート電極15の電位の影響を受けてポテンシャルが上昇し易くなり、電流が流れ易くなる。これにより、MOSトランジスタTrは、チャネル全体により均一に電流を流すことができる。チャネルにおいて電流が流れる範囲が広がることで実効的なトランジスタサイズが拡大されるため、MOSトランジスタTrは、相互コンダクタンスgmを改善することができ、ゲート制御性を向上させることが可能となる。

[0049] また、第2膜部172の薄膜化により、チャネル下部は全体的にポテンシャルが上昇し易くなるため、界面電子密度を低減することができる。これにより、MOSトランジスタTrは、界面電子密度に起因するノイズを低減することができ、ノイズ特性を改善することができる。

[0050] また、本開示の実施形態1に係る半導体装置1において、半導体領域13は、ゲート幅方向において上面13aの他方の側に位置する第2側面13c、をさらに有する。ゲート電極15は、第2側面13cとゲート絶縁膜17を介して向かい合う第3部位153、をさらに有する。ゲート絶縁膜17は、第2側面13cと第3部位153との間に位置する第3膜部173、をさらに有する。第3膜部173の膜厚は、上面13aに近い側の部位よりも上

面 1 3 a から遠い側の部位の方が薄い。例えば、第 3 膜部 1 7 3 の膜厚は、上面 1 3 a から遠ざかるにしたがって薄くなっている。

[0051] これによれば、チャネル下部において第 3 膜部 1 7 3 と接する部分もポテンシャルが上昇し易くなり、電流が流れ易くなる。これにより、実効的なトランジスタサイズがさらに拡大されるため、MOS トランジスタ T_r は、相互コンダクタンス g_m をさらに改善することができ、ゲート制御性をさらに向上させることが可能となる。また、チャネル下部において第 3 膜部 1 7 3 と接する部分も、界面電子密度を低減することできるため、MOS トランジスタ T_r は、ノイズ特性をさらに改善することができる。

[0052] <実施形態 2>

図 1 1 は、本開示の実施形態 2 に係る半導体装置 1 A の構成例を示す断面図である。図 1 1 に示すように、実施形態 2 に係る半導体装置 1 A は、半導体基板 1 0 と、半導体基板 1 0 の表面 1 0 a 側に設けられた MOS トランジスタ $T_r A$ （本開示の「電界効果トランジスタ」の一例）と、を備える。半導体装置 1 A においては、トレンチ H 2 の下部に行くほど MOS トランジスタ $T_r A$ のゲート絶縁膜 1 7 の膜厚は薄くなり、トレンチ H 2 の底部では絶縁膜が厚くなっている。

[0053] 例えば、半導体装置 1 A は、Z 軸方向において半導体基板 1 0 とゲート電極 1 5 の第 2 部位 1 5 2 との間に配置された第 1 絶縁厚膜部 1 7 4 と、Z 軸方向において半導体基板 1 0 とゲート電極 1 5 の第 3 部位 1 5 3 との間に配置された第 2 絶縁厚膜部 1 7 5 と、を備える。第 1 絶縁厚膜部 1 7 4 は第 2 膜部 1 7 2 よりも膜厚が厚い。第 2 絶縁厚膜部 1 7 5 は第 3 膜部 1 7 3 よりも膜厚が厚い。

[0054] 例えば、第 1 絶縁厚膜部 1 7 4 及び第 2 絶縁厚膜部 1 7 5 は、ゲート絶縁膜 1 7 の一部であってもよい。第 1 絶縁厚膜部 1 7 4 及び第 2 絶縁厚膜部 1 7 5 は、レーザ CVD などの指向性のある絶縁膜堆積方法（または、指向性のある酸化方法）を用いてトレンチ H 2 の底面に形成してもよい。第 1 絶縁厚膜部 1 7 4 及び第 2 絶縁厚膜部 1 7 5 の形成後に、熱酸化処理を行って、

ゲート絶縁膜 17 の第 1 膜部 171、第 2 膜部 172 及び第 3 膜部 173 を形成してもよい。このような工程を経ることで、第 2 膜部 172 は第 1 絶縁厚膜部 174 と一体となるように形成され、第 3 膜部 173 は第 2 絶縁厚膜部 175 と一体となるように形成される。

[0055] 本開示の実施形態 2 に係る半導体装置 1A は、実施形態 1 に係る半導体装置 1 の構成を備えるため、実施形態 1 と同様の効果を奏する。

[0056] また、半導体装置 1A は、第 1 絶縁厚膜部 174 を備えることによって、ゲート電極 15 の第 2 部位 152 と半導体基板 10 との間の容量を低減するとともに、第 2 部位 152 と半導体基板 10 との間の絶縁信頼性を高めることが可能である。同様に、半導体装置 1A は、第 2 絶縁厚膜部 175 を備えることによって、ゲート電極 15 の第 3 部位 153 と半導体基板 10 との間の容量を低減するとともに、第 3 部位 153 と半導体基板 10 との間の絶縁信頼性を高めることが可能である。

[0057] <実施形態 3>

本開示の実施形態では、上記の MOS トランジスタ T_r 、 T_{rA} の少なくとも一方を撮像装置に適用してもよい。

[0058] (撮像装置の全体構成例)

図 12 は、本開示の実施形態に係る撮像装置 100 の構成例を示す図である。図 12 に示す撮像装置 100 は、例えば、CMOS 固体撮像装置である。図 12 に示すように、撮像装置 100 は、基板 111 に、複数の光電変換素子を含むセンサ画素 102 が規則的に 2 次元的に配列された画素領域（いわゆる、撮像領域）103 と、周辺回路部とを有して構成される。センサ画素 102 は、光電変換素子となるフォトダイオードと、複数の画素トランジスタ（いわゆる、MOS トランジスタ）を有して成る。複数の画素トランジスタは、転送トランジスタ、リセットトランジスタ及び増幅トランジスタの 3 つのトランジスタで構成することができる。複数の画素トランジスタは、上記 3 つのトランジスタに選択トランジスタ追加して、4 つのトランジスタで構成することもできる。単位画素の等価回路は通常と同様であるので、詳

細説明は省略する。

- [0059] センサ画素 102 は、共有画素構造とすることもできる。共有画素構造は、複数のフォトダイオードと、複数の転送トランジスタと、共有される 1 つのフローティングディフュージョンと、共有される 1 つずつの他の画素トランジスタとから構成される。すなわち、共有画素構造では、複数の単位画素を構成するフォトダイオード及び転送トランジスタが、転送トランジスタを除く他の 1 つずつの画素トランジスタを共有して構成される。
- [0060] 周辺回路部は、垂直駆動回路 104 と、カラム信号処理回路 105 と、水平駆動回路 106 と、出力回路 107 と、制御回路 108 などをも有して構成される。
- [0061] 制御回路 108 は、入力クロックと、動作モードなどを指令するデータを受け取り、また撮像装置の内部情報などのデータを出力する。すなわち、制御回路 108 は、垂直同期信号、水平同期信号及びマスタクロックに基づいて、垂直駆動回路 104、カラム信号処理回路 105 及び水平駆動回路 106 などの動作の基準となるクロック信号や制御信号を生成する。そして、制御回路 108 は、これらの信号を垂直駆動回路 104、カラム信号処理回路 105 及び水平駆動回路 106 等に入力する。
- [0062] 垂直駆動回路 104 は、例えばシフトレジスタによって構成され、画素駆動線 113 を選択し、選択された画素駆動線 113 に画素を駆動するためのパルスを供給し、行単位で画素を駆動する。すなわち、垂直駆動回路 104 は、画素領域 103 の各センサ画素 102 を行単位で順次垂直方向に選択走査し、垂直信号線 109 を通して、各センサ画素 102 の光電変換素子において受光量に応じて生成した信号電荷に基づく画素信号をカラム信号処理回路 105 に供給する。
- [0063] カラム信号処理回路 105 は、センサ画素 102 の例えば列ごとに配置されており、1 行分のセンサ画素 102 から出力される信号を画素列ごとにノイズ除去などの信号処理を行う。すなわちカラム信号処理回路 105 は、センサ画素 102 固有の固定パターンノイズを除去するための CDS や、信号

増幅、A/D変換等の信号処理を行う。カラム信号処理回路105の出力段には水平選択スイッチ（図示せず）が水平信号線110との間に接続されて設けられる。

[0064] 水平駆動回路106は、例えばシフトレジスタによって構成され、水平走査パルスを順次出力することによって、カラム信号処理回路105の各々を順番に選択し、カラム信号処理回路105の各々から画素信号を水平信号線110に出力させる。

[0065] 出力回路107は、カラム信号処理回路105の各々から水平信号線110を通して順次に供給される信号に対し、信号処理を行って出力する。例えば、出力回路107は、バッファリングだけする場合もあるし、黒レベル調整、列ばらつき補正、各種デジタル信号処理などを行う場合もある。入出力端子112は、外部と信号のやりとりをする。

[0066] （画素の構成例）

図13は、本開示の実施形態1に係る画素ユニットPUの構成例を示す回路図である。撮像装置100は、画素共有構造を有してもよい。例えば、図13に示すように、撮像装置100では、4つのセンサ画素102が1つの読み出し回路122に電氣的に接続されて、1つの画素ユニットPUを構成していてもよい。4つのセンサ画素102は、1つの読み出し回路122を共有しており、4つのセンサ画素102の各出力は共有する読み出し回路122に入力される。各センサ画素102は、互いに共通の構成要素を有する。

[0067] 各センサ画素102は、例えば、フォトダイオードPD（光電変換素子の一例）と、フォトダイオードPDと電氣的に接続された転送トランジスタTRと、転送トランジスタTRを介してフォトダイオードPDから出力された電荷を一時的に保持するフローティングディフュージョンFDとを有する。フォトダイオードPDは、光電変換を行って受光量に応じた電荷を発生する。フォトダイオードPDのカソードが転送トランジスタTRのソース領域に電氣的に接続されており、フォトダイオードPDのアノードが基準電位線（

例えばグラウンド）に電氣的に接続されている。転送トランジスタTRのドレイン領域がフローティングディフュージョンFDに電氣的に接続され、転送トランジスタTRのゲート電極は画素駆動線113に電氣的に接続されている。転送トランジスタTRは、例えば、CMOS（Complementary Metal Oxide Semiconductor）トランジスタである。

[0068] 1つの読み出し回路122を共有する各センサ画素102のフローティングディフュージョンFDは、互いに電氣的に接続されるとともに、共通の読み出し回路122の入力端に電氣的に接続されている。読み出し回路122は、例えば、増幅トランジスタAMPと、リセットトランジスタRST及び選択トランジスタSELとを有する。なお、選択トランジスタSELは、必要に応じて省略してもよい。

[0069] リセットトランジスタRSTのソース領域（読み出し回路122の入力端）がフローティングディフュージョンFDに電氣的に接続されており、リセットトランジスタRSTのドレイン領域が電源線VDD及び増幅トランジスタAMPのドレイン領域に電氣的に接続されている。リセットトランジスタRSTのゲート電極は画素駆動線113（図12参照）に電氣的に接続されている。増幅トランジスタAMPのソース領域が選択トランジスタSELのドレイン領域に電氣的に接続されており、増幅トランジスタAMPのゲート電極がリセットトランジスタRSTのソース領域に電氣的に接続されている。選択トランジスタSELのソース領域（読み出し回路122の出力端）が垂直信号線109に電氣的に接続されており、選択トランジスタSELのゲート電極が画素駆動線113（図12参照）に電氣的に接続されている。

[0070] 転送トランジスタTRは、ゲート電極に供給される制御信号にしたがってオン状態となると、フォトダイオードPDの電荷をフローティングディフュージョンFDに転送する。フローティングディフュージョンFDは、転送トランジスタTRを介してフォトダイオードPDから出力された電荷を一時的に保持する。リセットトランジスタRSTは、フローティングディフュージ

オンF Dの電位を所定の電位にリセットする。リセットトランジスタR S Tがオン状態となると、フローティングディフュージョンF Dの電位を電源線V D Dの電位にリセットする。

[0071] 増幅トランジスタAMPは、画素信号として、フローティングディフュージョンF Dに保持された電荷のレベルに応じた電圧の信号を生成する。増幅トランジスタAMPは、ソースフォロア型のアンプを構成しており、フォトダイオードP Dで発生した電荷のレベルに応じた電圧の画素信号を出力するものである。増幅トランジスタAMPは、選択トランジスタS E Lがオン状態となると、フローティングディフュージョンF Dの電位を増幅して、その電位に応じた電圧を、垂直信号線1 0 9を介してカラム信号処理回路1 0 5に出力する。

[0072] 選択トランジスタS E Lは、読み出し回路1 2 2からの画素信号の出力タイミングを制御する。すなわち、選択トランジスタS E Lがオン状態となっているときに、フローティングディフュージョンF Dに保持された電荷のレベルに応じた電圧の画素信号が出力可能となる。

[0073] 転送トランジスタT R、リセットトランジスタR S T、増幅トランジスタAMP及び選択トランジスタS E Lのいずれか1つ以上は、実施形態1で説明したM O SトランジスタT r又は実施形態2で説明したM O SトランジスタT r Aで構成されている。

[0074] (画素ユニットの構成例)

図1 4は、本開示の実施形態3に係る画素ユニットP Uの構成例を示す断面図である。なお、図1 4に示す断面図は、あくまで模式図であり、実際の構造を厳密に正しく示すことを目的とした図ではない。図1 4に示す断面図は、撮像装置1 0 0に含まれる画素ユニットP Uの構成を紙面でわかり易く説明するために、トランジスタや不純物拡散層の水平方向における位置を意図的に変えて示している部分を含む。画素ユニットP Uの実際の配置は、後述する図1 5がより正確に示している。

[0075] 図1 4に示すように、撮像装置1 0 0は、半導体基板3 0 1を備える。半

導体基板 301 は、例えばシリコン基板である。半導体基板 301 は、図 12 に示した基板 111 の少なくとも一部を構成している。半導体基板 301 の表面 301a の一部及びその近傍には、p 型のウェル層 311 が設けられている。また、p 型のウェル層 311 よりも深い領域（図 16 では、下側の領域）に、ウェル層 311 よりも p 型不純物の濃度が高い p 型のウェル層 312 と、n 型の不純物拡散層で構成されるフォトダイオード PD とが設けられている。

[0076] p 型のウェル層 311 に、増幅トランジスタ AMP、選択トランジスタ SEL 及びリセットトランジスタ RST 等の画素トランジスタのチャネルが形成される。p 型のウェル層 312 は、これら画素トランジスタのチャネルの下方に位置する。図 14 及び後述の図 16 に示す例では、p 型のウェル層 311 が本開示の「半導体領域」の一例となり、p 型のウェル層 312 が本開示の「不純物拡散層」の一例となる。

[0077] p 型のウェル層 312 は、p 型のウェル層 311 とフォトダイオード PD との間に介在しており、フォトダイオード PD の表面を広く覆っている。p 型のウェル層 312 は、HAD (Hole Accumulation Diode) 層として機能してもよい。これにより、フォトダイオード PD は、半導体基板 301 の表面 301a に結晶欠陥が生じ、結晶欠陥を介して電子が抜け易い場合でも、暗電流の発生を抑制することができる。

[0078] 半導体基板 301 の表面 301a 側と反対の裏面側が光入射面である。半導体基板 301 の裏面側には、カラーフィルタ及びオンチップレンズが設けられている。カラーフィルタ及びオンチップレンズそれぞれは、例えば、センサ画素 102 ごとに設けられている。

[0079] 半導体基板 301 の表面 301a 側に、増幅トランジスタ AMP、リセットトランジスタ RST、選択トランジスタ SEL、及び、転送トランジスタ TR 等の画素トランジスタが設けられている。

[0080] 半導体基板 301 の表面 301a 側に、転送トランジスタ TR がセンサ画素 102 ごとに設けられている。転送トランジスタ TR のソース領域が n +

型層 251 である。センサ画素 102 ごとに設けられた n+ 型層 251 は、配線 L2 により電氣的に接続され、フローティングディフュージョン FD を構成する。

[0081] 転送トランジスタ TR のゲート電極 TG は、半導体基板 301 の表面 301a から p- 型のウェル層 311 を貫通してフォトダイオード PD に達する深さまで延在している。p- 型のウェル層 311 及び p 型のウェル層 312 のコンタクト部である p+ 型層 252 には、配線 L1 を介して基準電位（例えば、接地電位：0V）が供給されている。これにより、p- 型のウェル層 311 及び p 型のウェル層 312 の各電位は、基準電位に設定されている。

[0082] 半導体基板 301 には、隣り合うセンサ画素 102 どうしを電氣的に分離する画素分離層 255 が設けられている。画素分離層 255 は、例えば DTI (Deep Trench Isolation) 構造を有し、半導体基板 301 の深さ方向に延在している。画素分離層 255 は、例えば、酸化シリコンによって構成されている。また、半導体基板 301 において、画素分離層 255 とフォトダイオード PD との間には、p 型層 256 と n 型層 257 とが設けられている。画素分離層 255 側に p 型層 256 が形成され、フォトダイオード PD 側に n 型層 257 が設けられている。

[0083] 半導体基板 301 の表面 301a 側には素子分離層 272 が設けられている。素子分離層 272 によって、増幅トランジスタ AMP、転送トランジスタ TR、リセットトランジスタ RST 及び選択トランジスタ SEL や、コンタクト部である p+ 型層 252 の各々は、他の素子から電氣的に分離されている。素子分離層 272 は、例えば STI (Shallow Trench Isolation) 構造を有する。

[0084] 増幅トランジスタ AMP は、ゲート電極 AG と、ドレイン領域としての n+ 型層 274 と、ソース領域としての n+ 型層 275 とで構成される。増幅トランジスタ AMP のゲート電極 AG は、その一部が半導体基板 301 の表面 301a から深さ方向に埋め込まれた構造を有している。

[0085] リセットトランジスタ RST は、ゲート電極 RG と、ドレイン領域として

の $n+$ 型層276と、ソース領域としての $n+$ 型層277とで構成される。
選択トランジスタSELは、ゲート電極SGと、ドレイン領域としての $n+$ 型層278と、ソース領域としての $n+$ 型層279とで構成される。

[0086] 増幅トランジスタAMPのゲート電極AGは、半導体基板301にセンサ画素102ごとに設けられた $n+$ 型層251と、配線L2により接続されている。また、増幅トランジスタAMPのゲート電極AGは、配線L3により、リセットトランジスタRSTのソース領域である $n+$ 型層277とも接続されている。この配線L2及びL3を含む、各センサ画素102の $n+$ 型層251と、リセットトランジスタRSTのソース領域である $n+$ 型層277とにより、フローティングディフュージョンFDが構成されている。

[0087] 増幅トランジスタAMPのドレイン領域である $n+$ 型層274と、リセットトランジスタRSTのドレイン領域である $n+$ 型層276とが、配線L4により接続されている。 $n+$ 型層274及び $n+$ 型層276には、配線L4を介して所定の電源電圧が供給されている。

[0088] 増幅トランジスタAMPのソース領域である $n+$ 型層275と、選択トランジスタSELのドレイン領域である $n+$ 型層278とが、配線L5により接続されている。

[0089] リセットトランジスタRSTのゲート電極RGは、配線L6を介して画素駆動線113と接続されており、リセットトランジスタRSTを制御する駆動信号が、垂直駆動回路104から供給される。

[0090] 選択トランジスタSELのゲート電極SGは、配線L7を介して画素駆動線113（図12参照）と接続されている。選択トランジスタSELを制御する駆動信号が、垂直駆動回路104（図12参照）から画素駆動線113及び配線L7を介して、選択トランジスタSELのゲート電極SGに供給される。選択トランジスタSELのソース領域である $n+$ 型層279は、配線L8を介して垂直信号線109（図12、図13参照）と接続されている。フローティングディフュージョンFDに保持された電荷に応じた電圧の画素信号が、選択トランジスタSELのソース領域である $n+$ 型層279から配

線L 8を介して垂直信号線109へ出力される。

[0091] 転送トランジスタTRのゲート電極TGは、配線L 9を介して画素駆動線113と接続されている。転送トランジスタTRを制御する駆動信号が、垂直駆動回路104から画素駆動線113及び配線L 9を介して、転送トランジスタTRのゲート電極TGに供給される。

[0092] 増幅トランジスタAMP、リセットトランジスタRST、選択トランジスタSEL、及び、転送トランジスタTR等の画素トランジスタの上面は、層間絶縁膜315で覆われている。層間絶縁膜315は、例えば、SiO、SiN、SiON又はSiCNのうちの1つ、又は、これらのうち2つ以上を積層した膜である。

[0093] 配線L 1から配線L 9の材料には、任意の金属材料を選択することができるが、例えば、半導体基板301の上方向に向かって延設されている部分は、タングステン(W)で構成し、この上方向と直交する方向(例えば、水平方向)に延設されている部分は、銅(Cu)又はCuを主成分とするCu合金で構成することができる。

[0094] 図14に示す画素ユニットPUでは、増幅トランジスタAMPが、実施形態1で説明したMOSトランジスタTr又は実施形態2で説明したMOSトランジスタTrAで構成されている。

[0095] 図15は、本開示の実施形態3に係る画素ユニットPUの構成例を示す平面図である。図15は、半導体基板301の表面301aの位置(深さ)における画素ユニットPUの構成例を示している。

[0096] 1つの画素ユニットPUは、例えば、平面視で横方向(例えば、X軸方向)と縦方向(例えば、Y軸)とにそれぞれ2つずつ配置された、計4つのセンサ画素で構成されている。画素ユニットPUの中央部に、4つのセンサ画素102で共有されるフローティングディフュージョンFDとしてのn+型層251が配置されている。各センサ画素102のフローティングディフュージョンFDの近傍に転送トランジスタTRが配置されている。

[0097] 1つの画素ユニットPUを構成する4つのセンサ画素102のうち、1つ

のセンサ画素102には、リセットトランジスタRSTが配置され、他のセンサ画素102には、選択トランジスタSELが配置され、残りの2つのセンサ画素102に、増幅トランジスタAMPが配置されている。2つの増幅トランジスタAMPは互いに並列に接続されている。例えば、2つの増幅トランジスタAMPのゲート電極AGどうしは配線L2で接続され、ドレイン領域としてのn+型層274どうしは配線L4で接続され、ソース領域としてのn+型層275どうしは配線L5で接続されることにより、1つの増幅トランジスタAMPとして動作する。

[0098] 以上説明したように、本開示の実施形態3に係る撮像装置100は、画素ユニットPUに含まれる増幅トランジスタAMPが、実施形態1で説明したMOSトランジスタTr又は実施形態2で説明したMOSトランジスタTrAで構成されている。これによれば、増幅トランジスタAMPの相互コンダクタンスgmやノイズ特性を改善することができるので、撮像装置100の動作速度の高速化や低ノイズ化が可能である。

[0099] <実施形態4>

図16は、本開示の実施形態4に係る画素ユニットPUAの構成例を示す断面図である。なお、図16に示す断面図は、図14に示した断面図と同様に、あくまで模式図である。図16に示す断面図は、撮像装置100に含まれる画素ユニットPUAの構成を紙面でわかり易く説明するために、トランジスタや不純物拡散層の水平方向における位置を意図的に変えて示している部分を含む。

[0100] 図16に示す画素ユニットPUAでは、増幅トランジスタAMP及び選択トランジスタSELの各々が、MOSトランジスタTr又はMOSトランジスタTrAで構成されている。画素ユニットPUAにおいて、上記以外の構成は実施形態3に係る画素ユニットPUと同じである。

[0101] これによれば、増幅トランジスタAMP及び選択トランジスタSELの相互コンダクタンスgmやノイズ特性を改善することができるので、撮像装置100の動作速度の高速化や低ノイズ化が可能である。

[0102] <実施形態5>

図17は、本開示の実施形態5に係る画素ユニットPUBの構成例を示す平面図である。図18は、本開示の実施形態5に係る画素ユニットPUBに含まれる、増幅トランジスタAMP及び選択トランジスタSELの構成例を示す平面図である。図19及び図20は、本開示の実施形態5に係る画素ユニットPUBに含まれる、増幅トランジスタAMP及び選択トランジスタSELの構成例を示す断面図である。図19は、図18をX軸方向に平行なA16-A'16線で切断した断面を示している。図20は、図18をX軸方向に平行なB16-B'16線で切断した断面を示している。

[0103] また、図18に示す増幅トランジスタAMPをY軸方向に平行なC16-C'16線で切断した断面のゲート電極AG、チャネル領域313及びゲート絶縁膜317の各形状は、図4又は図11に示したゲート電極15、チャネル領域13及びゲート絶縁膜17の各形状と同じである。同様に、図18に示す選択トランジスタSELをY軸方向に平行なD16-D'16線で切断した断面のゲート電極SG、チャネル領域313及びゲート絶縁膜317の各形状は、図4又は図11に示したゲート電極15、チャネル領域13及びゲート絶縁膜17の各形状と同じである。

[0104] 図16に示す画素ユニットPUAでは、増幅トランジスタAMPのソース領域であるn+型層275と、選択トランジスタSELのドレイン領域であるn+型層278とが共通化されている。例えば、図17に示すように、1つの画素ユニットPUBが、互いに並列に接続された2つの増幅トランジスタAMPを有する場合、2つの増幅トランジスタAMPのうちの一方のソース領域であるn+型層275と、選択トランジスタSELのドレイン領域であるn+型層278とが、n+型の1つの不純物拡散層で構成されている。このn+型層275、278が共通化された1つの不純物拡散層に、2つの増幅トランジスタAMPのうちの他方のソース領域であるn+型層275が、配線L5を介して接続している。

[0105] 画素ユニットPUBにおいて、上記以外の構成は実施形態3に係る画素ユ

ニットPUと同じである。

[0106] これによれば、実施形態4と同様に、増幅トランジスタAMP及び選択トランジスタSELの相互コンダクタンス g_m やノイズ特性を改善することができるので、撮像装置100の動作速度の高速化や低ノイズ化が可能である。また、増幅トランジスタAMPのソース領域と選択トランジスタSELのドレイン領域とを共通化できるため、レイアウト効率を向上させることができる。

[0107] <実施形態6>

本開示の実施形態に係る撮像装置100は、ゲート電極がフィン部を有するFinFETと、プレーナ型のMOSトランジスタの両方を有してもよい。また、FinFETのゲート絶縁膜の厚さと、プレーナ型のMOSトランジスタのゲート絶縁膜は、互いに厚さが異なってもよい。

[0108] 図21は、本開示の実施形態6に係る半導体装置1Bが備えるMOSトランジスタTrBの構成例（構成例1）を示す断面図である。図22は、本開示の実施形態6に係る半導体装置1Bが備えるMOSトランジスタTrCの構成例（構成例2）を示す断面図である。MOSトランジスタTrB、TrCは、いずれも、本開示の「電界効果トランジスタ」の一例である。図23は、本開示の実施形態6に係る半導体装置1Bが備えるプレーナ型のMOSトランジスタTr'の構成例を示す断面図である。プレーナ型のMOSトランジスタTr'は、本開示の「プレーナ型電界効果トランジスタ」の一例である。プレーナ型は、表面チャネル型と言い換えてもよい。図21から図23は、例えば図4に示した断面のように、ゲート幅方向に平行なY-Z平面でMOSトランジスタを切断した断面を示している。

[0109] 図21及び図22に示すように、MOSトランジスタTrB、TrCは、FinFETである。図23に示すように、プレーナ型のMOSトランジスタTr'は、フィン部を有さない。プレーナ型のMOSトランジスタTr'では、平坦な半導体領域13の上面13aにゲート絶縁膜17が平坦に形成され、平坦なゲート絶縁膜17上にゲート電極15が平坦に形成されている。

。プレーナ型のMOSトランジスタTr'では、ゲート絶縁膜17及びゲート電極15が半導体領域13の上面13aにそれぞれ平行に形成されている。

[0110] 図21に示すように、MOSトランジスタTrBにおいて半導体領域13の上面13aに形成されるゲート絶縁膜17の膜厚を t_1 とする。図22に示すように、MOSトランジスタTrCにおいて半導体領域13の上面13aに形成されるゲート絶縁膜17の膜厚を t_2 とする。図23に示すように、MOSトランジスタTrCにおいて半導体領域13の上面13aに形成されるゲート絶縁膜17の膜厚を t_3 とする。膜厚 t_1 、 t_2 、 t_3 の大小関係は、 $t_1 > t_3 > t_2$ となっている。

[0111] FinFETでは、ゲート絶縁膜17のうち、半導体領域13の上面13aに位置する部分には、上方向と側方の3方向から電圧が印加されるため電界が集中し易く、ゲート絶縁膜17の他の部位よりも絶縁破壊が生じ易い場合がある。図21に示すMOSトランジスタTrBでは、ゲート絶縁膜17において電界が集中しやすい部位を、プレーナ型のMOSトランジスタTr'のゲート絶縁膜17よりも厚くしているので、ゲート絶縁膜17の絶縁破壊を抑制することができ、ゲート絶縁膜17の信頼性を向上することが可能である。また、ゲート電極15と半導体領域13との間に生じる容量を低減できるため、ゲート電極15に印加される電圧の信号の変換効率を向上することが可能である。

[0112] また、図23に示すMOSトランジスタTrcでは、ゲート絶縁膜17の膜厚を、プレーナ型のMOSトランジスタTr'のゲート絶縁膜17よりも薄くしているので、閾値電圧(V_{th})を低くすることができ、オン抵抗(R_{on})を低くすることができる。これにより、MOSトランジスタTrcは、動作速度の向上や消費電力の低減が可能である。

[0113] 実施形態6に係る半導体装置1Bは、MOSトランジスタTrBと、MOSトランジスタTrBよりもゲート絶縁膜17の厚さが薄いTr'の両方を有してもよい。または、半導体装置1Bは、MOSトランジスタTrCと、

MOSトランジスタTrCよりもゲート絶縁膜17の厚さが薄いTr'の両方を有してもよい。あるいは、半導体装置1Bは、MOSトランジスタTrB、MOSトランジスタTrC、プレーナ型のMOSトランジスタTr'の全てを有してもよい。

[0114] <実施形態7>

本開示の実施形態では、図21に示したMOSトランジスタTrBを、読み出し回路122（図13参照）の増幅トランジスタAMPに適用してもよい。また、図23に示したプレーナ型のMOSトランジスタTr'を読み出し回路122の選択トランジスタSEL及びリセットトランジスタRSTに適用してもよい。この場合、撮像装置100（図12参照）に含まれる画素ユニットの構成は、例えば図14及び図15に示した構成と同じである。

[0115] 実施形態7では、図21に示したMOSトランジスタTrBが増幅トランジスタAMPに適用されるため、増幅トランジスタAMPにおけるゲート絶縁膜の信頼性を向上させることができる。また、増幅トランジスタAMPのゲート電極AGと半導体基板301との間に生じる容量を低減することができるため、ゲート電極AGに印加される電圧の信号の変換効率向上が可能である。増幅トランジスタAMPの変換効率が向上するため、読み出し回路122におけるノイズの低減が可能である。

[0116] <実施形態8>

本開示の実施形態では、図21に示したMOSトランジスタTrBを、読み出し回路122（図13参照）の増幅トランジスタAMP及び選択トランジスタSELに適用してもよい。また、図23に示したプレーナ型のMOSトランジスタTr'を読み出し回路122のリセットトランジスタRSTに適用してもよい。この場合、撮像装置100（図12参照）に含まれる画素ユニットの構成は、例えば、平面図は図15に示した構成と同じであり、断面図は図16に示した構成と同じである。

[0117] 実施形態8では、実施形態7と同様に、図21に示したMOSトランジスタTrBが増幅トランジスタAMPに適用される。これにより、増幅トラン

ジスタAMPにおけるゲート絶縁膜の信頼性が向上するなど、実施形態7と同様の効果を奏する。また、図21に示したMOSトランジスタTrBは、増幅トランジスタAMPだけでなく、選択トランジスタSELにも適用されるため、選択トランジスタSELにおけるゲート絶縁膜の信頼性も向上させることができる。

[0118] なお、実施形態8では、図1から図4に示したMOSトランジスタTr、又は、図22に示したMOSトランジスタTrCが選択トランジスタSELに適用されてもよい。これにより、選択トランジスタSELは、増幅トランジスタAMPと比べて、閾値電圧 (V_{th}) を低くすることができ、オン抵抗 (R_{on}) を低くすることができる。この場合の画素ユニットの構成も、例えば図16に示した構成と同じである。

[0119] <実施形態9>

本開示の実施形態では、図22に示したMOSトランジスタTrBを、読み出し回路122 (図13参照) の増幅トランジスタAMP、選択トランジスタSEL及びリセットトランジスタRSTに適用してもよい。この場合、撮像装置100 (図12参照) に含まれる画素ユニットの構成は、例えば、平面図は図15に示した構成と同じであり、断面図は図24に示す構成となる。

[0120] 図24は、本開示の実施形態9に係る画素ユニットPUCの構成例を示す断面図である。なお、図24に示す断面図は、図14、図16に示した断面図と同様に、あくまで模式図である。図24に示す断面図は、撮像装置100に含まれる画素ユニットPUCの構成を紙面でわかり易く説明するために、トランジスタや不純物拡散層の水平方向における位置を意図的に変えて示している部分を含む。

[0121] 図24に示す画素ユニットPUCでは、増幅トランジスタAMP、選択トランジスタSEL及びリセットトランジスタRSTの各々が、図21に示したMOSトランジスタTrBで構成されている。画素ユニットPUCにおいて、上記以外の構成は実施形態3に係る画素ユニットPUと同じである。

[0122] 実施形態9では、実施形態7と同様に、図21に示したMOSトランジスタ T_{rB} が増幅トランジスタAMPに適用される。これにより、増幅トランジスタAMPにおけるゲート絶縁膜の信頼性が向上するなど、実施形態7と同様の効果を奏する。また、図21に示したMOSトランジスタ T_{rB} は、増幅トランジスタAMPだけでなく、選択トランジスタSEL及びリセットトランジスタRSTにも適用される。これにより、選択トランジスタSEL及びリセットトランジスタRSTにおけるゲート絶縁膜の信頼性を向上させることができる。

[0123] なお、実施形態9では、図1から図4に示したMOSトランジスタ T_r 、又は、図22に示したMOSトランジスタ T_{rC} が、選択トランジスタSEL及びリセットトランジスタRSTの少なくとも一方に適用されてもよい。これにより、選択トランジスタSEL及びリセットトランジスタRSTの少なくとも一方は、増幅トランジスタAMPと比べて、閾値電圧(V_{th})を低くすることができ、オン抵抗(R_{on})を低くすることができる。この場合の画素ユニットPUCの構成も、例えば図15及び図24に示した構成と同じである。

[0124] <実施形態10>

本開示の実施形態に係る撮像装置100において、画素ユニットは、変換効率切替タイプであってもよい。この場合、画素ユニットは、変換効率切替用スイッチと、変換効率切替用スイッチに接続されたフローティングキャパシタとを有する。本開示の実施形態では、図22に示したMOSトランジスタ T_{rB} を、変換効率切替用スイッチに適用してもよい。

[0125] 図25は、本開示の実施形態10に係る画素ユニットPUDの構成例を示す図である。図25は、画素ユニットPUDの構成例を分かり易く示すために、断面図と回路図とを組み合わせたとになっている。図26は、本開示の実施形態10に係る画素ユニットPUDの構成例を示す平面図である。

[0126] 図25に示すように、画素ユニットPUDは、変換効率切替用スイッチFDGと、フローティングキャパシタFCとを有する。フローティングキャパ

シタFCは、フォトダイオードPD上に形成されたMOS容量である。このMOS容量のゲート電極が、変換効率切替用スイッチFDGに接続されている。

[0127] 画素ユニットPUでは、例えば被写体照度に応じて、低変換効率であるか、高変換効率であるか、を切り替える。これは、変換効率切替用スイッチFDGのゲート電極に配線L10を介して制御信号を印加して、変換効率切替用スイッチFDGをオン（on）／オフ（off）することで、フローティングディフュージョンFDの容量を切り替えることにより行われる。

[0128] 例えば、変換効率切替用スイッチFDGをonにすると、フローティングディフュージョンFDは、図25及び図26に示すように、配線L2、変換効率切替用スイッチFDG及び配線L11を介してフローティングキャパシタFC（MOS容量）に接続される。これにより、フローティングディフュージョンFDの容量が増大し、増幅トランジスタAMPの変換効率が低下する。つまり、低変換効率となる。

[0129] また、変換効率切替用スイッチFDGをoffにすると、フローティングディフュージョンFDはフローティングキャパシタFC（MOS容量）から電氣的に切り離される。これにより、フローティングディフュージョンFDの容量が減少し、増幅トランジスタAMPの変換効率が増大する。つまり、高変換効率となる。

[0130] 実施形態10では、実施形態7と同様に、図21に示したMOSトランジスタTrBが増幅トランジスタAMPに適用される。これにより、増幅トランジスタAMPにおけるゲート絶縁膜の信頼性が向上するなど、実施形態7と同様の効果を奏する。また、図21に示したMOSトランジスタTrBは、増幅トランジスタAMPだけでなく、選択トランジスタSEL、リセットトランジスタRST及び変換効率切替用スイッチFDGにも適用される。これにより、選択トランジスタSEL、リセットトランジスタRST及び変換効率切替用スイッチFDGにおけるゲート絶縁膜の信頼性を向上させることができる。

[0131] なお、実施形態10では、図1から図4に示したMOSトランジスタ T_r 、又は、図22に示したMOSトランジスタ T_rC が、選択トランジスタSEL、リセットトランジスタRST及び変換効率切替用スイッチFDGの1つ以上に適用されてもよい。これにより、選択トランジスタSEL、リセットトランジスタRST及び変換効率切替用スイッチFDGの1つ以上は、増幅トランジスタAMPと比べて、閾値電圧(V_{th})を低くすることができ、オン抵抗(R_{on})を低くすることができる。

[0132] <その他の実施形態>

上記のように、本開示は実施形態及び変形例によって記載したが、この開示の一部をなす論述及び図面は本開示を限定するものであると理解すべきではない。この開示から当業者には様々な代替実施の形態、実施例及び運用技術が明らかとなろう。本開示に係る技術（本技術）はここでは記載していない様々な実施形態等を含むことは勿論である。

[0133] 例えば、上記の実施形態1、2では、図4、図11に示したように、半導体領域13をY-Z平面で切断した断面は、上面13a側の部位（すなわち、上部）よりも下部の方がY軸方向に長く、下部がラウンディングしている形状を有する場合を説明した。しかしながら、本開示において、半導体領域13の断面視による形状はこれに限定されない。本開示の実施形態において、半導体領域13の断面視による形状は矩形でもよく、半導体領域13の上部と下部はY軸方向において同じ長さであってもよい。このような形状は、図5のステップST1で、半導体基板10を表面10a側から異方性エッチングすることによって得ることが可能である。

[0134] また、上記の実施形態では、4つのセンサ画素102が1つの共有画素構造を構成していることを説明したが、本技術はこれに限定されない。本技術において、センサ画素102は共有画素構造でなくてもよい。具体的には、1つのセンサ画素102が、1つのフォトダイオードと、1つの転送トランジスタと、1つのフローティングディフュージョンと、1つのリセットトランジスタと、1つの増幅トランジスタとで構成されていてもよく、さらに、

これらに1つの選択トランジスタを追加して構成されていてもよい。

[0135] また、上述の撮像装置100は、センサ画素102の内部に配置される転送トランジスタTRや、センサ画素102の外部に配置される画素外周辺トランジスタに、FinFETである図21に示したMOSトランジスタTrB、図1に示したMOSトランジスタTr、図22に示したMOSトランジスタTrCを適用してよい。また、転送トランジスタTRや、画素外周辺トランジスタに、図23に示したプレーナ型のMOSトランジスタTr'を適用してもよい。

[0136] 本開示の実施形態に係る撮像装置100において、画素ユニット等に対するMOSトランジスタの適用パターンの例を表1に示す。なお、表1中、「フィン型（厚い）」とは、図21に示したMOSトランジスタTrBのように、ゲート絶縁膜の厚さが、図23に示したプレーナ型のMOSトランジスタTr'よりも厚いFinFETを意味する。「フィン型（薄い）」とは、図1から図4に示したMOSトランジスタTr、又は、図22に示したMOSトランジスタTrCのように、ゲート絶縁膜の厚さが、図21に示したMOSトランジスタTrBよりも薄いFinFETを意味する。「プレーナ型」とは、図23に示したプレーナ型のMOSトランジスタTr'のように、ゲート絶縁膜の厚さが図21に示したMOSトランジスタTrBよりも薄い、プレーナ型のMOSトランジスタを意味する。「縦型」とは、例えば図14に示した転送トランジスタTRのように、半導体基板の表面から深さ方向にゲート電極が延在している構造のMOSトランジスタを意味する。

[0137]

[表1]

ケース	AMP	SEL	RST	TG	FDG (変換効率切替タイプのみ)	画素外周辺トランジスタ
1	フィン型(厚い)	プレーナ型	プレーナ型	プレーナ型、縦型	プレーナ型	フィン型(薄い)、プレーナ型
2-1	フィン型(厚い)	フィン型(薄い)	プレーナ型	プレーナ型、縦型	プレーナ型	フィン型(薄い)、プレーナ型
2-2	フィン型(厚い)	フィン型(厚い)	プレーナ型	プレーナ型、縦型	プレーナ型	フィン型(薄い)、プレーナ型
3-1	フィン型(厚い)	フィン型(薄い)	フィン型(薄い)	プレーナ型、縦型、フィン型(薄い)	フィン型(薄い)	フィン型(薄い)、プレーナ型
3-2	フィン型(厚い)	フィン型(厚い)	フィン型(薄い)	プレーナ型、縦型、フィン型(薄い)	フィン型(薄い)	フィン型(薄い)、プレーナ型
3-3	フィン型(厚い)	フィン型(厚い)	フィン型(厚い)	プレーナ型、縦型、フィン型(薄い)	フィン型(薄い)	フィン型(薄い)、プレーナ型
3-4	フィン型(厚い)	フィン型(厚い)	フィン型(厚い)	プレーナ型、縦型、フィン型(厚い)	フィン型(厚い)	フィン型(薄い)、プレーナ型

[0138] <イメージセンサへの適用例>

図27は、上述の撮像装置100を用いたイメージセンサの使用例を示す図である。上述の撮像装置100を用いたイメージセンサは、例えば、以下のように、可視光や、赤外光、紫外光、X線等の光をセンシングする様々なケースに使用することができる。

- ・デジタルカメラや、カメラ機能付きの携帯機器等の、鑑賞の用に供される画像を撮影する装置
- ・自動停止等の安全運転や、運転者の状態の認識等のために、自動車の前方や後方、周囲、車内等を撮影する車載用センサ、走行車両や道路を監視する監視カメラ、車両間等の測距を行う測距センサ等の、交通の用に供される装置
- ・ユーザのジェスチャを撮影して、そのジェスチャに従った機器操作を行うために、TVや、冷蔵庫、エアコンディショナ等の家電に供される装置
- ・内視鏡や、赤外光の受光による血管撮影を行う装置等の、医療やヘルスケアの用に供される装置
- ・防犯用途の監視カメラや、人物認証用途のカメラ等の、セキュリティの用に供される装置
- ・肌を撮影する肌測定器や、頭皮を撮影するマイクロスコープ等の、美容の用に供される装置
- ・スポーツ用途等向けのアクションカメラやウェアラブルカメラ等の、スポーツの用に供される装置
- ・畑や作物の状態を監視するためのカメラ等の、農業の用に供される装置

[0139] <電子機器への適用例>

本技術は、撮像装置への適用に限られるものではない。即ち、本技術は、デジタルスチルカメラやビデオカメラ等の撮像装置や、撮像機能を有する携帯端末装置や、画像読取部に撮像装置を用いる複写機など、画像取込部（光電変換部）に撮像装置を用いる電子機器全般に対して適用可能である。撮像装置は、ワンチップとして形成された形態であってもよいし、撮像部と信号処理部または光学系とがまとめてパッケージングされた撮像機能を有するモ

ジュール状の形態であってもよい。

[0140] 図28は、本技術を適用した電子機器200の構成例を示すブロック図である。図28の電子機器200は、レンズ群などからなる光学部401、図12に示した撮像装置100の構成が採用される撮像装置（撮像デバイス）402、およびカメラ信号処理回路であるDSP（Digital Signal Processor）回路403を備える。また、電子機器200は、フレームメモリ404、表示部405、記録部406、操作部407、および電源部408も備える。DSP回路403、フレームメモリ404、表示部405、記録部406、操作部407および電源部408は、バスライン409を介して相互に接続されている。

[0141] 光学部401は、被写体からの入射光（像光）を取り込んで撮像装置402の撮像面上に結像する。撮像装置402は、光学部401によって撮像面上に結像された入射光の光量を画素単位で電気信号に変換して画素信号として出力する。撮像装置402として、図12に示した撮像装置100、即ち、画素トランジスタ（転送トランジスタTR、リセットトランジスタRST、増幅トランジスタAMP及び選択トランジスタSELのいずれか1つ以上）が、実施形態1で説明したMOSトランジスタTr又は実施形態2で説明したMOSトランジスタTrAで構成されている撮像装置、を用いることができる。

[0142] 表示部405は、例えば、LCD（Liquid Crystal Display）や有機EL（Electro Luminescence）ディスプレイ等の薄型ディスプレイで構成され、撮像装置402で撮像された動画または静止画を表示する。記録部406は、撮像装置402で撮像された動画または静止画を、ハードディスクや半導体メモリ等の記録媒体に記録する。

[0143] 操作部407は、ユーザによる操作の下に、電子機器200が持つ様々な機能について操作指令を発する。電源部408は、DSP回路403、フレームメモリ404、表示部405、記録部406および操作部407の動作

電源となる各種の電源を、これら供給対象に対して適宜供給する。

[0144] 撮像装置402として、例えば、増幅トランジスタAMPがMOSトランジスタTr（または、MOSトランジスタTrA）で構成されている撮像装置100を用いることで、出力する画素信号のノイズを低減し、SN比を向上させることができる。従って、ビデオカメラやデジタルスチルカメラ、さらには携帯電話機等のモバイル機器向けカメラモジュールなどの電子機器200においても、撮像画像の高画質化を図ることができる。

[0145] 上述した例では、第1導電型をp型、第2導電型をn型として、電子を信号電荷とした撮像装置について説明したが、本技術は正孔を信号電荷とする撮像装置にも適用することができる。すなわち、第1導電型をn型とし、第2導電型をp型として、前述の各半導体領域を逆の導電型の半導体領域で構成することができる。

[0146] また、本技術は、可視光の入射光量の分布を検知して画像として撮像する撮像装置への適用に限らず、赤外線やX線、あるいは粒子等の入射量の分布を画像として撮像する撮像装置や、広義の意味として、圧力や静電容量など、他の物理量の分布を検知して画像として撮像する指紋検出センサ等の撮像装置（物理量分布検知装置）全般に対して適用可能である。

[0147] また、本技術は、撮像装置に限らず、他の半導体集積回路を有する半導体装置全般に対して適用可能である。

[0148] なお、本開示は以下のような構成も取ることができる。

(1)

半導体基板と、

前記半導体基板に設けられた電界効果トランジスタと、を備え、

前記電界効果トランジスタは、

チャネルが形成される第1導電型の半導体領域と、

前記半導体領域を覆うゲート電極と、

前記半導体領域と前記ゲート電極との間に配置されたゲート絶縁膜と、を有し、

前記半導体領域は、
上面と、
前記ゲート電極のゲート幅方向において前記上面の一方の側に位置する第1側面と、を有し、
前記ゲート電極は、
前記上面と前記ゲート絶縁膜を介して向かい合う第1部位と、
前記第1側面と前記ゲート絶縁膜を介して向かい合う第2部位と、を有し、
、
前記ゲート絶縁膜は、
前記上面と前記第1部位との間に位置する第1膜部と、
前記第1側面と前記第2部位との間に位置する第2膜部と、を有し、
前記第2膜部の膜厚は、前記上面に近い側の部位よりも前記上面から遠い側の部位の方が薄い、半導体装置。

(2)

前記第2膜部の膜厚は、前記上面から遠ざかるにしたがって薄くなる、前記(1)に記載の半導体装置。

(3)

前記半導体基板と前記第2部位との間に配置され、前記第2膜部よりも膜厚が厚い第1絶縁厚膜部、をさらに備える前記(1)又は(2)に記載の半導体装置。

(4)

前記半導体領域は、
前記ゲート幅方向において前記上面の他方の側に位置する第2側面、をさらに有し、
前記ゲート電極は、
前記第2側面と前記ゲート絶縁膜を介して向かい合う第3部位、をさらに有し、
前記ゲート絶縁膜は、

前記第2側面と前記第3部位との間に位置する第3膜部、をさらに有し、
前記第3膜部の膜厚は、前記上面に近い側の部位よりも前記上面から遠い側の部位の方が薄い、前記(1)から(3)のいずれか1項に記載の半導体装置。

(5)

前記第3膜部の膜厚は、前記上面から遠ざかるにしたがって薄くなる、前記(4)に記載の半導体装置。

(6)

前記半導体基板と前記第3部位との間に配置され、前記第3膜部よりも膜厚が厚い第2絶縁厚膜部、をさらに備える前記(4)又は(5)に記載の半導体装置。

(7)

前記半導体基板に設けられ、前記電界効果トランジスタの下方に位置する第1導電型の不純物拡散層、をさらに備える前記(1)から(6)のいずれか1項に記載の半導体装置。

(8)

前記不純物拡散層は、前記半導体領域よりも第1導電型の不純物濃度が高い、前記(7)に記載の半導体装置。

(9)

前記半導体基板上に設けられ、前記電界効果トランジスタの周囲に配置される素子分離層、をさらに備え、

前記素子分離層と前記半導体領域の前記第1側面との間の距離は、前記素子分離層の厚さよりも短い、前記(1)から(8)のいずれか1項に記載の半導体装置。

(10)

前記半導体基板に設けられたプレーナ型電界効果トランジスタをさらに備える、前記(1)から(9)のいずれか1項に記載の半導体装置。

(11)

前記第1膜部の厚さは、前記プレーナ型電界効果トランジスタのゲート絶縁膜の厚さよりも厚い、前記(10)に記載の半導体装置。

(12)

前記第1膜部の厚さは、前記プレーナ型電界効果トランジスタのゲート絶縁膜の厚さよりも薄い、前記(10)に記載の半導体装置。

(13)

光電変換を行うセンサ画素と、

前記センサ画素から出力された電荷に基づく画素信号を出力する読み出し回路と、を備え、

前記読み出し回路は、

前記センサ画素から出力された電荷のレベルに応じた電圧の信号を増幅する増幅トランジスタと、

前記増幅トランジスタからの前記画素信号の出力タイミングを制御する選択トランジスタと、を有し、

前記増幅トランジスタ及び前記選択トランジスタの少なくとも一方は、

チャネルが形成される第1導電型の半導体領域と、

前記半導体領域を覆うゲート電極と、

前記半導体領域と前記ゲート電極との間に配置されたゲート絶縁膜と、を有し、

前記半導体領域は、

上面と、

前記ゲート電極のゲート幅方向において前記上面の一方の側に位置する第1側面と、を有し、

前記ゲート電極は、

前記上面と前記ゲート絶縁膜を介して向かい合う第1部位と、

前記第1側面と前記ゲート絶縁膜を介して向かい合う第2部位と、を有し、

前記ゲート絶縁膜は、

前記上面と前記第 1 部位との間に位置する第 1 膜部と、
前記第 1 側面と前記第 2 部位との間に位置する第 2 膜部と、を有し、
前記第 2 膜部の膜厚は、前記上面に近い部位よりも前記上面から遠い部位の方が薄い、撮像装置。

(14)

光電変換を行うセンサ画素と、
前記センサ画素から出力された電荷に基づく画素信号を出力する読み出し回路と、を備え、
前記読み出し回路は、
前記センサ画素から出力された電荷のレベルに応じた電圧の信号を増幅する増幅トランジスタと、
前記増幅トランジスタからの前記画素信号の出力タイミングを制御する選択トランジスタと、を有し、
前記増幅トランジスタ及び前記選択トランジスタの少なくとも一方は、
チャネルが形成される第 1 導電型の半導体領域と、
前記半導体領域を覆うゲート電極と、
前記半導体領域と前記ゲート電極との間に配置されたゲート絶縁膜と、を有し、
前記半導体領域は、
上面と、
前記ゲート電極のゲート幅方向において前記上面の一方の側に位置する第 1 側面と、を有し、
前記ゲート電極は、
前記上面と前記ゲート絶縁膜を介して向かい合う第 1 部位と、
前記第 1 側面と前記ゲート絶縁膜を介して向かい合う第 2 部位と、を有し、
、
前記ゲート絶縁膜は、
前記上面と前記第 1 部位との間に位置する第 1 膜部と、

前記第 1 側面と前記第 2 部位との間に位置する第 2 膜部と、を有し、
前記第 2 膜部の膜厚は、前記上面に近い部位よりも前記上面から遠い部位の方が薄い、撮像装置
を備える電子機器。

符号の説明

- [0149] 1、1 A、1 B 半導体装置
1 0、3 0 1 半導体基板
1 0 a、3 0 1 a 表面
1 1 素子分離層
1 3、3 1 3 半導体領域（チャネル領域）
1 3 a 上面
1 3 b 第 1 側面
1 3 c 第 2 側面
1 5 ゲート電極
1 7、3 1 7 ゲート絶縁膜
1 9 ソース領域
2 1 ドレイン領域
5 1 絶縁膜
5 3 酸化膜
5 5 レジストパターン
1 0 0 撮像装置
1 1 1 基板
1 0 2 センサ画素
1 0 3 画素領域
1 0 4 垂直駆動回路
1 0 5 カラム信号処理回路
1 0 6 水平駆動回路
1 0 7 出力回路

- 1 0 8 制御回路
- 1 0 9 垂直信号線
- 1 1 0 水平信号線
- 1 1 2 入出力端子
- 1 1 3 画素駆動線
- 1 2 2 読み出し回路
- 1 5 1 第1部位
- 1 5 2 第2部位
- 1 5 3 第3部位
- 1 7 1 第1膜部
- 1 7 2 第2膜部
- 1 7 3 第3膜部
- 1 7 4 第1絶縁厚膜部
- 1 7 5 第2絶縁厚膜部
- 2 0 0 電子機器
- 2 5 1、2 7 4、2 7 5、2 7 6、2 7 7、2 7 8、2 7 9 n + 型層
- 2 5 2 p + 型層
- 2 5 5 画素分離層
- 2 5 6 p 型層
- 2 5 7 n 型層
- 2 7 2 素子分離層
- 3 1 1、3 1 2 ウェル層
- 3 1 5 層間絶縁膜
- 4 0 1 光学部
- 4 0 2 撮像装置（撮像デバイス）
- 4 0 3 DSP 回路
- 4 0 4 フレームメモリ
- 4 0 5 表示部

406 記録部

407 操作部

408 電源部

409 バスライン

AG、RG、SG、TG ゲート電極

AMP 増幅トランジスタ

FC フローティングキャパシタ

FD フローティングディフュージョン

FDG 変換効率切替用スイッチ

H1、H2 トレンチ

L1からL11 配線

P1からP8 線（等電位線）

PD フォトダイオード

PU、PUA、PUB、PUC、PUD 画素ユニット

RST リセットトランジスタ

SEL 選択トランジスタ

Tr、TrA、TrB、Trc MOSトランジスタ（FinFET）

Tr' プレーナ型MOSトランジスタ

TR 転送トランジスタ

VDD 電源線

請求の範囲

[請求項1]

半導体基板と、
前記半導体基板に設けられた電界効果トランジスタと、を備え、
前記電界効果トランジスタは、
チャネルが形成される第1導電型の半導体領域と、
前記半導体領域を覆うゲート電極と、
前記半導体領域と前記ゲート電極との間に配置されたゲート絶縁膜と、を有し、
前記半導体領域は、
上面と、
前記ゲート電極のゲート幅方向において前記上面の一方の側に位置する第1側面と、を有し、
前記ゲート電極は、
前記上面と前記ゲート絶縁膜を介して向かい合う第1部位と、
前記第1側面と前記ゲート絶縁膜を介して向かい合う第2部位と、
を有し、
前記ゲート絶縁膜は、
前記上面と前記第1部位との間に位置する第1膜部と、
前記第1側面と前記第2部位との間に位置する第2膜部と、を有し、
、
前記第2膜部の膜厚は、前記上面に近い側の部位よりも前記上面から遠い側の部位の方が薄い、半導体装置。

[請求項2]

前記第2膜部の膜厚は、前記上面から遠ざかるにしたがって薄くなる、請求項1に記載の半導体装置。

[請求項3]

前記半導体基板と前記第2部位との間に配置され、前記第2膜部よりも膜厚が厚い第1絶縁厚膜部、をさらに備える請求項1に記載の半導体装置。

[請求項4]

前記半導体領域は、

前記ゲート幅方向において前記上面の他方の側に位置する第2側面、をさらに有し、

前記ゲート電極は、

前記第2側面と前記ゲート絶縁膜を介して向かい合う第3部位、をさらに有し、

前記ゲート絶縁膜は、

前記第2側面と前記第3部位との間に位置する第3膜部、をさらに有し、

前記第3膜部の膜厚は、前記上面に近い側の部位よりも前記上面から遠い側の部位の方が薄い、請求項1に記載の半導体装置。

[請求項5] 前記第3膜部の膜厚は、前記上面から遠ざかるにしたがって薄くなる、請求項4に記載の半導体装置。

[請求項6] 前記半導体基板と前記第3部位との間に配置され、前記第3膜部よりも膜厚が厚い第2絶縁厚膜部、をさらに備える請求項4に記載の半導体装置。

[請求項7] 前記半導体基板に設けられ、前記電界効果トランジスタの下方に位置する第1導電型の不純物拡散層、をさらに備える請求項1に記載の半導体装置。

[請求項8] 前記不純物拡散層は、前記半導体領域よりも第1導電型の不純物濃度が高い、請求項7に記載の半導体装置。

[請求項9] 前記半導体基板上に設けられ、前記電界効果トランジスタの周囲に配置される素子分離層、をさらに備え、

前記素子分離層と前記半導体領域の前記第1側面との間の距離は、前記素子分離層の厚さよりも短い、請求項1に記載の半導体装置。

[請求項10] 前記半導体基板に設けられたプレーナ型電界効果トランジスタをさらに備える、請求項1に記載の半導体装置。

[請求項11] 前記第1膜部の厚さは、前記プレーナ型電界効果トランジスタのゲート絶縁膜の厚さよりも厚い、請求項10に記載の半導体装置。

[請求項12] 前記第1膜部の厚さは、前記プレーナ型電界効果トランジスタのゲート絶縁膜の厚さよりも薄い、請求項10に記載の半導体装置。

[請求項13] 光電変換を行うセンサ画素と、
前記センサ画素から出力された電荷に基づく画素信号を出力する読み出し回路と、を備え、
前記読み出し回路は、
前記センサ画素から出力された電荷のレベルに応じた電圧の信号を増幅する増幅トランジスタと、
前記増幅トランジスタからの前記画素信号の出力タイミングを制御する選択トランジスタと、を有し、
前記増幅トランジスタ及び前記選択トランジスタの少なくとも一方は、
チャネルが形成される第1導電型の半導体領域と、
前記半導体領域を覆うゲート電極と、
前記半導体領域と前記ゲート電極との間に配置されたゲート絶縁膜と、を有し、
前記半導体領域は、
上面と、
前記ゲート電極のゲート幅方向において前記上面の一方の側に位置する第1側面と、を有し、
前記ゲート電極は、
前記上面と前記ゲート絶縁膜を介して向かい合う第1部位と、
前記第1側面と前記ゲート絶縁膜を介して向かい合う第2部位と、
を有し、
前記ゲート絶縁膜は、
前記上面と前記第1部位との間に位置する第1膜部と、
前記第1側面と前記第2部位との間に位置する第2膜部と、を有し、
、

前記第2膜部の膜厚は、前記上面に近い部位よりも前記上面から遠い部位の方が薄い、撮像装置。

[請求項14]

光電変換を行うセンサ画素と、

前記センサ画素から出力された電荷に基づく画素信号を出力する読み出し回路と、を備え、

前記読み出し回路は、

前記センサ画素から出力された電荷のレベルに応じた電圧の信号を増幅する増幅トランジスタと、

前記増幅トランジスタからの前記画素信号の出力タイミングを制御する選択トランジスタと、を有し、

前記増幅トランジスタ及び前記選択トランジスタの少なくとも一方は、

チャネルが形成される第1導電型の半導体領域と、

前記半導体領域を覆うゲート電極と、

前記半導体領域と前記ゲート電極との間に配置されたゲート絶縁膜と、を有し、

前記半導体領域は、

上面と、

前記ゲート電極のゲート幅方向において前記上面の一方の側に位置する第1側面と、を有し、

前記ゲート電極は、

前記上面と前記ゲート絶縁膜を介して向かい合う第1部位と、

前記第1側面と前記ゲート絶縁膜を介して向かい合う第2部位と、を有し、

前記ゲート絶縁膜は、

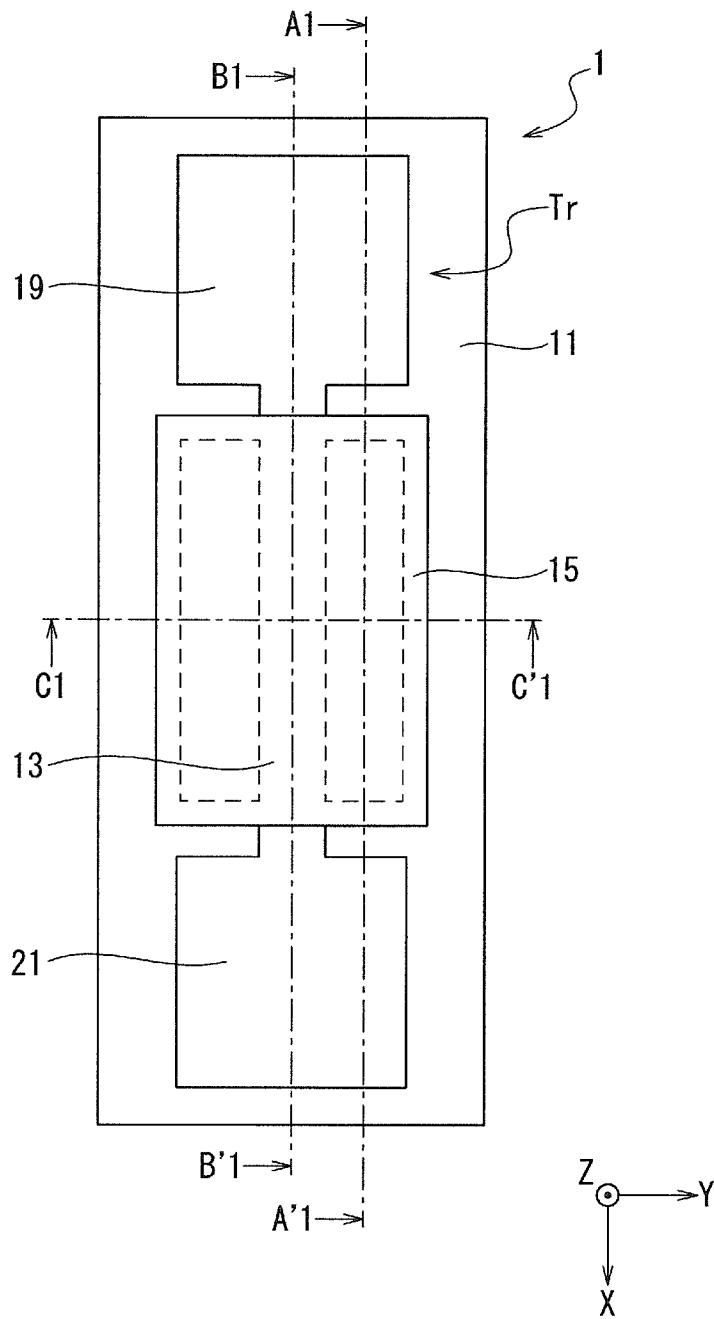
前記上面と前記第1部位との間に位置する第1膜部と、

前記第1側面と前記第2部位との間に位置する第2膜部と、を有し、

、

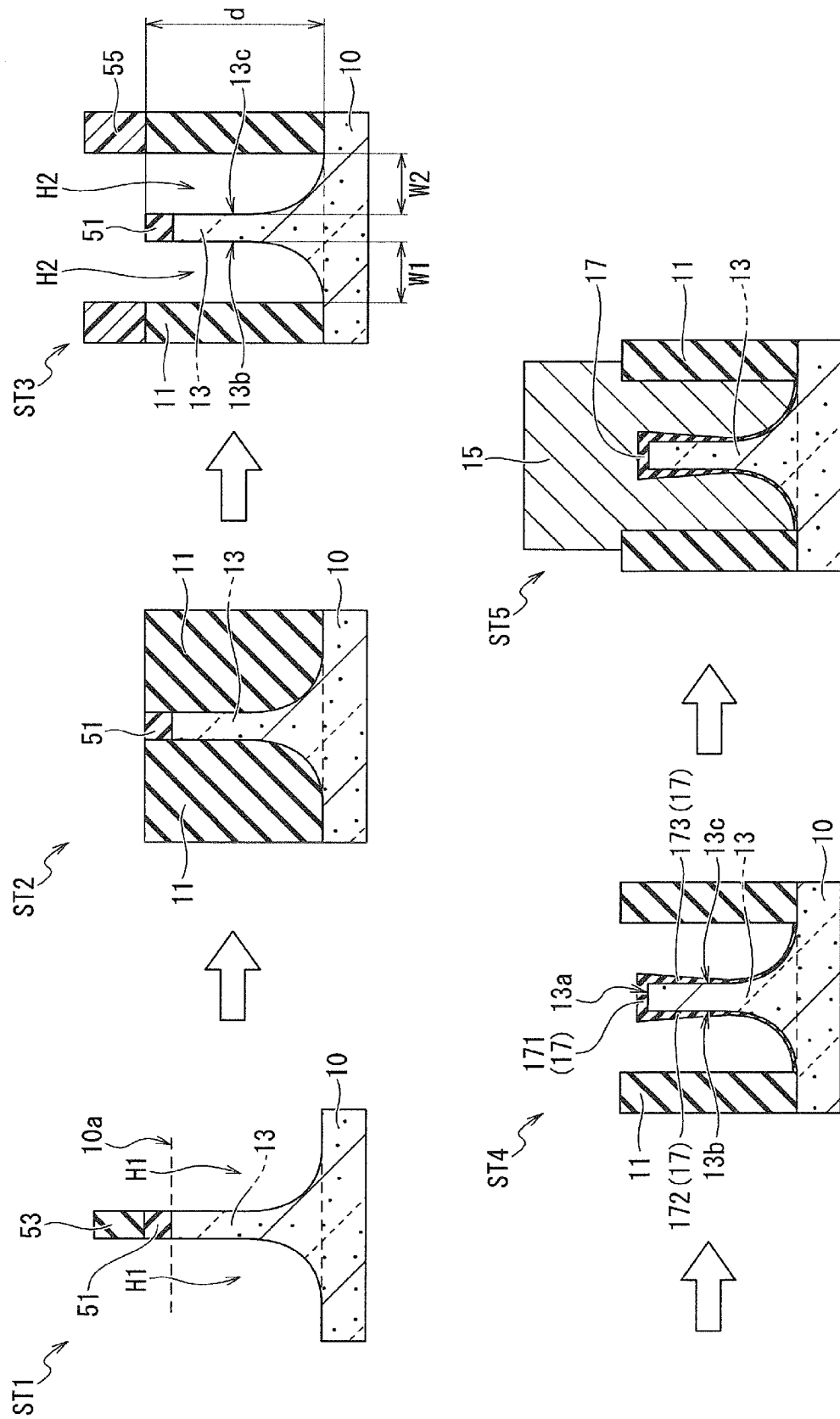
前記第 2 膜部の膜厚は、前記上面に近い部位よりも前記上面から遠い部位の方が薄い、撮像装置を備える電子機器。

[図1]

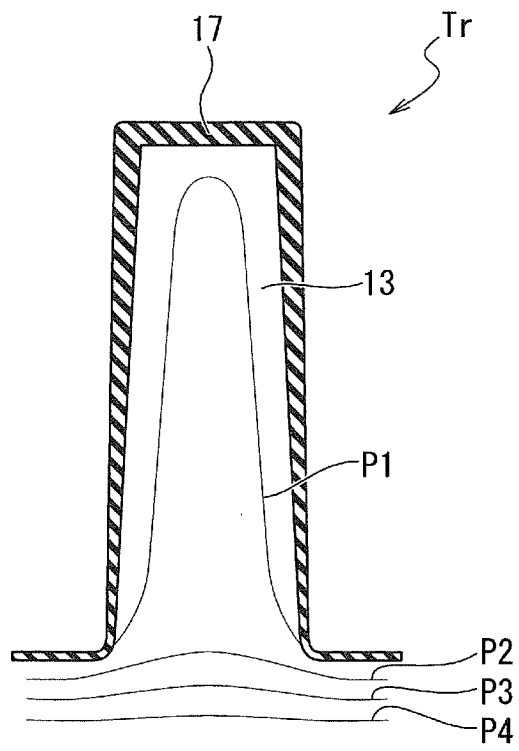


[illegible]

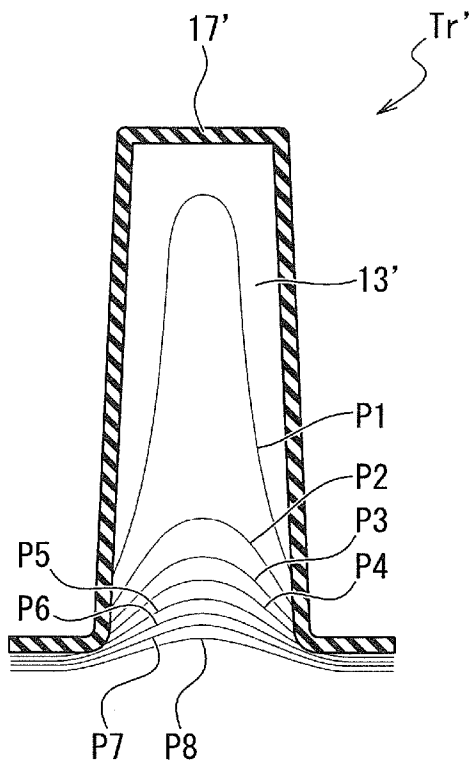
[図5]



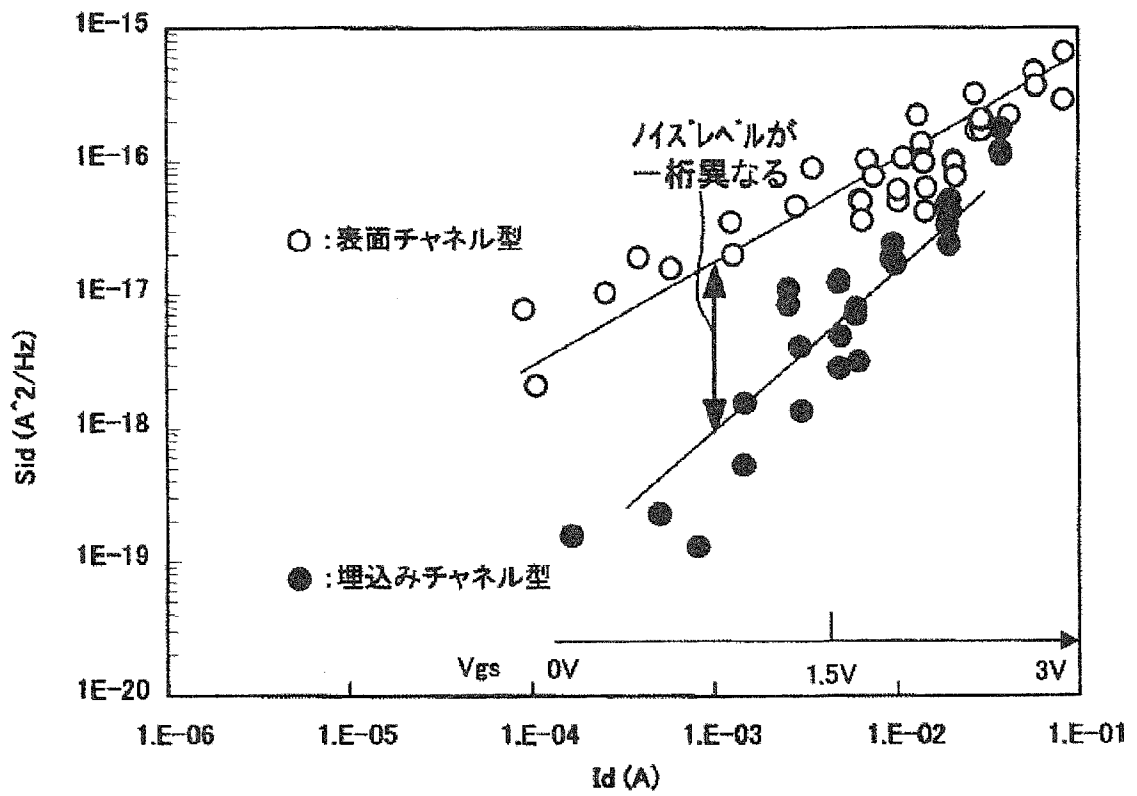
[図6]



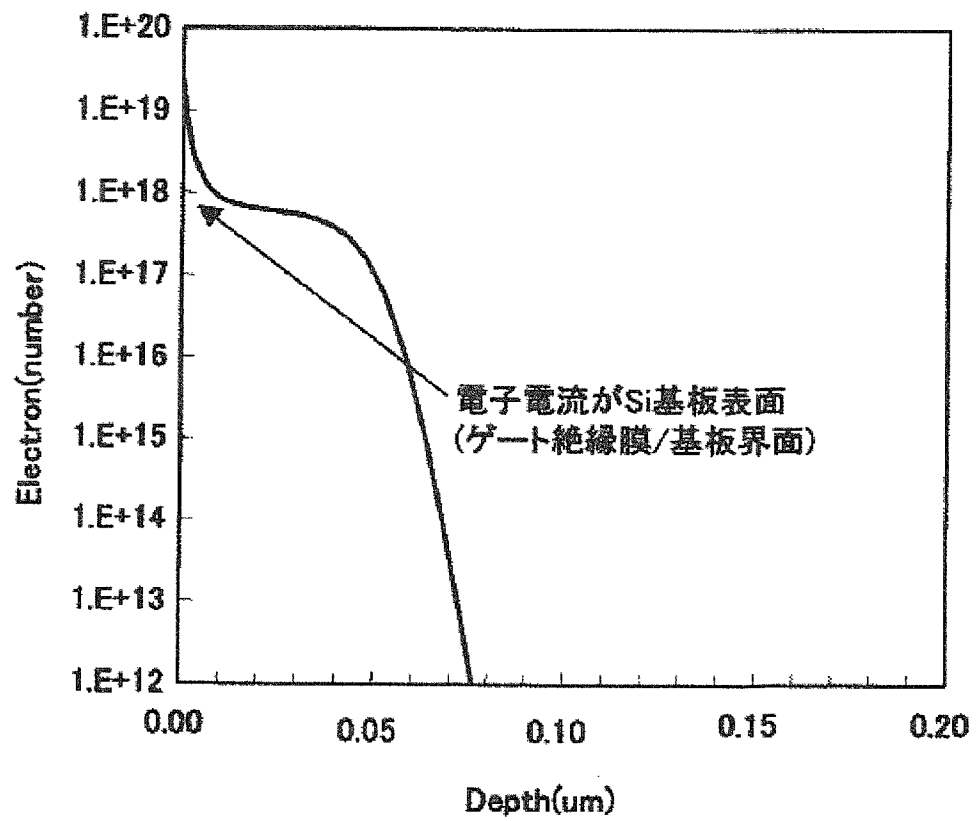
[図7]



[図8]



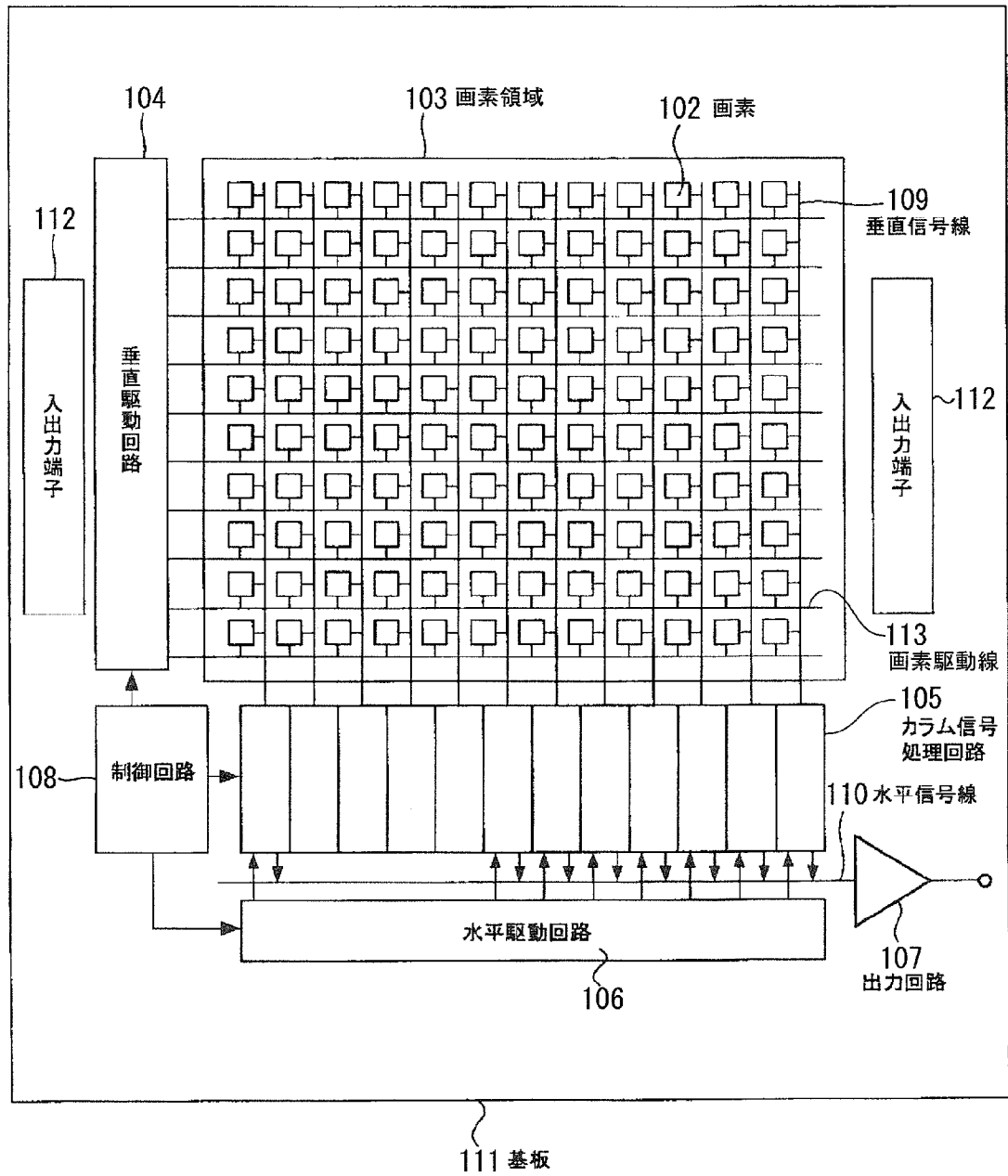
[図9]

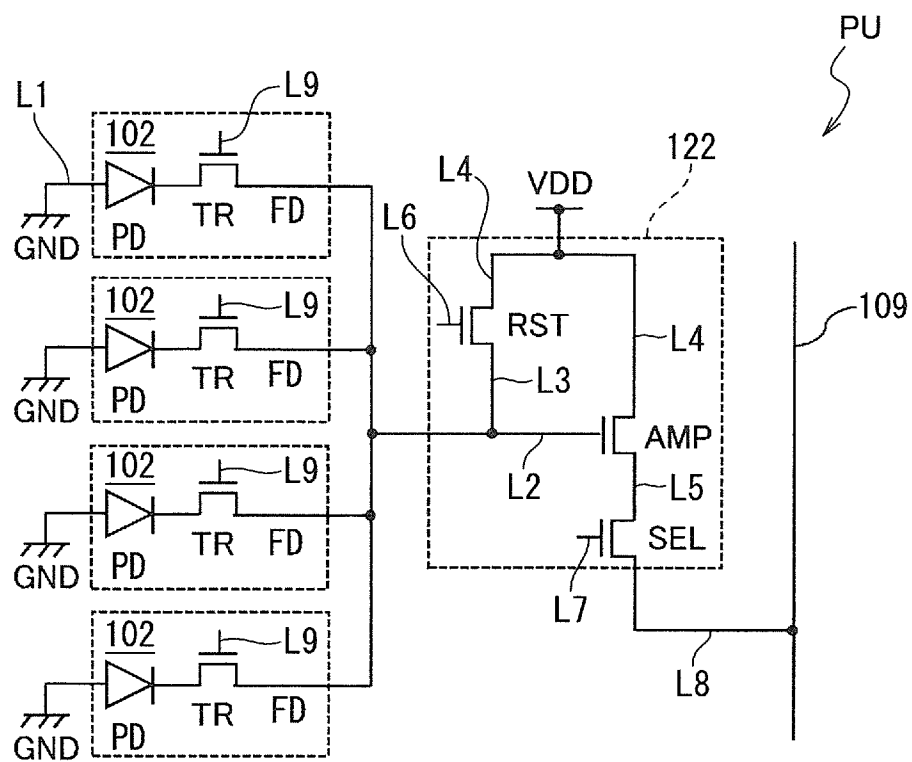


電子電流が基板内部で流れている。

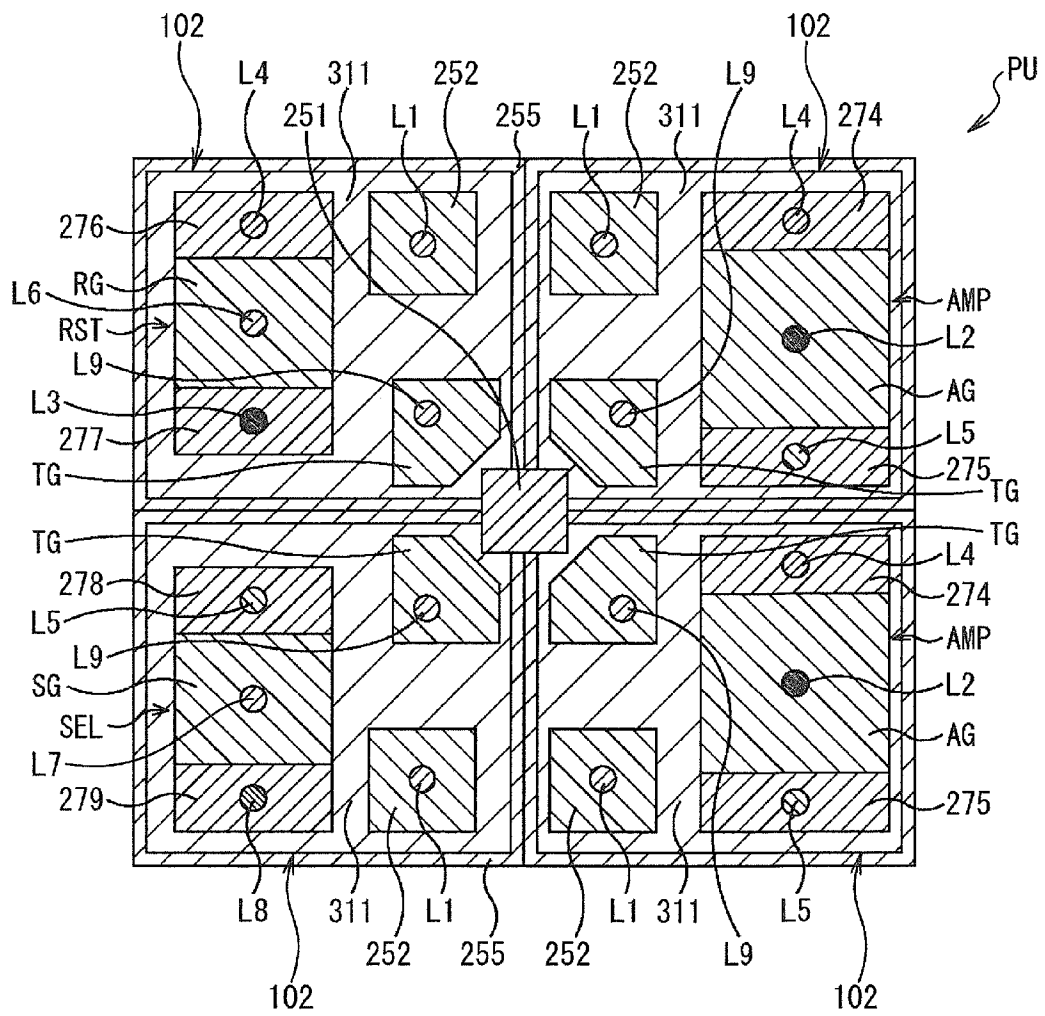
[図12]

100 撮像装置

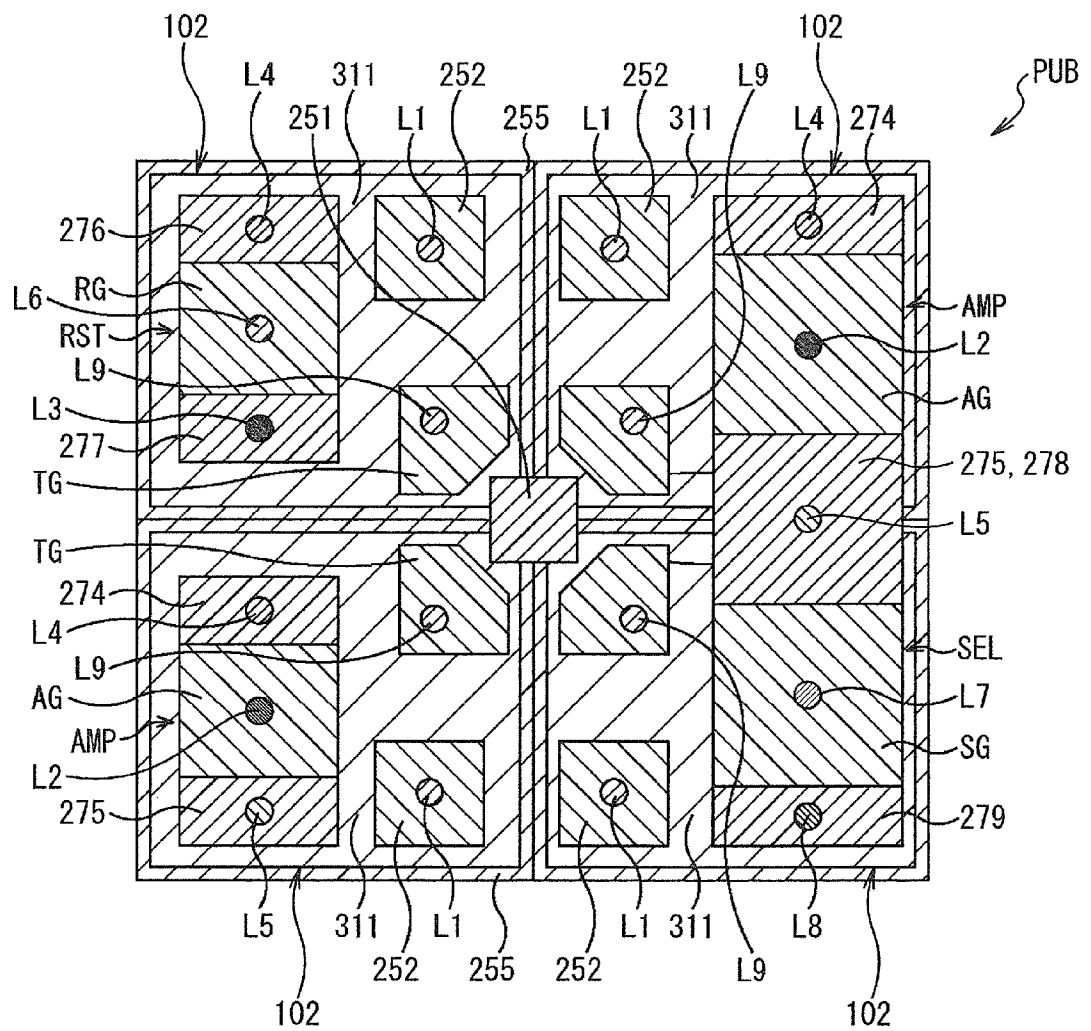




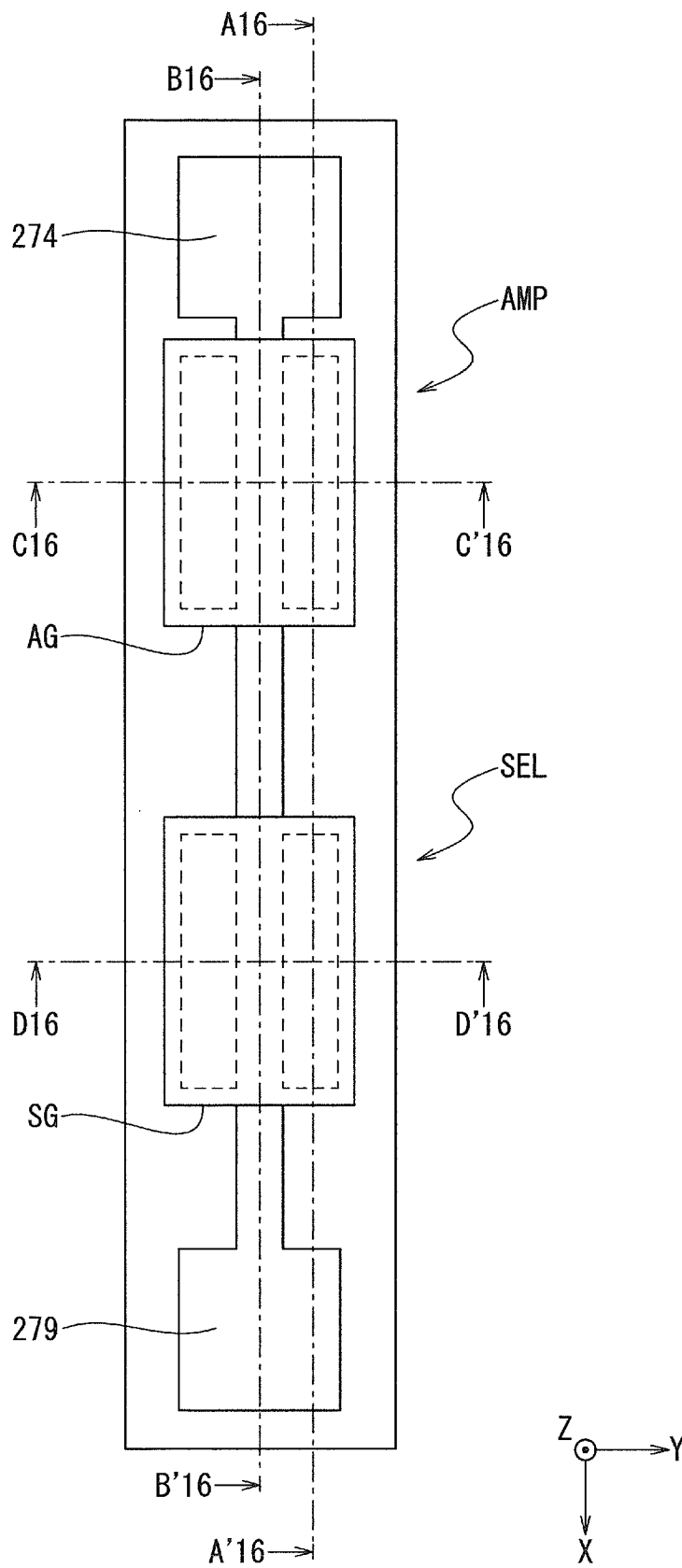
[図15]



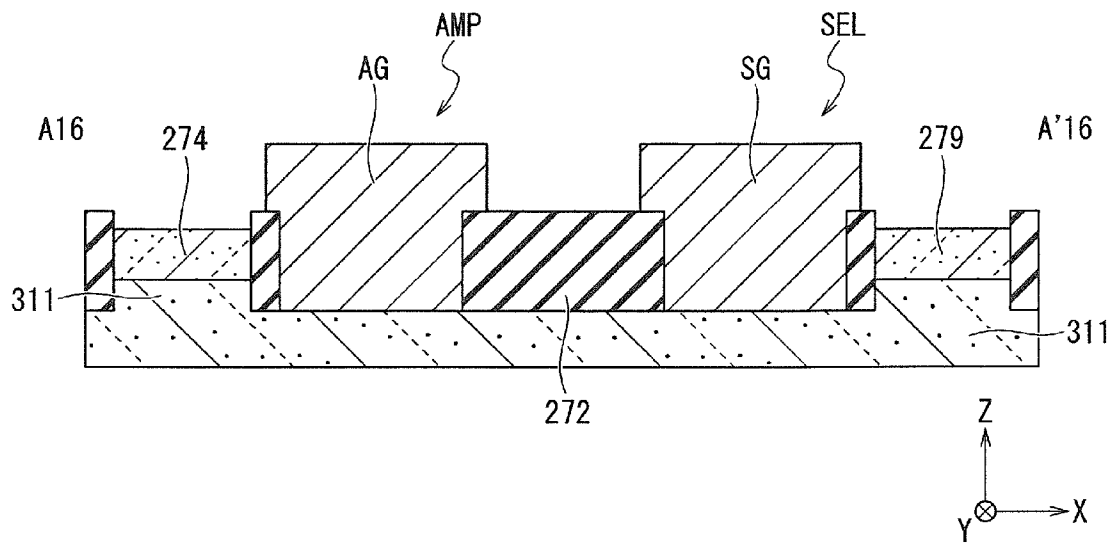
[図17]



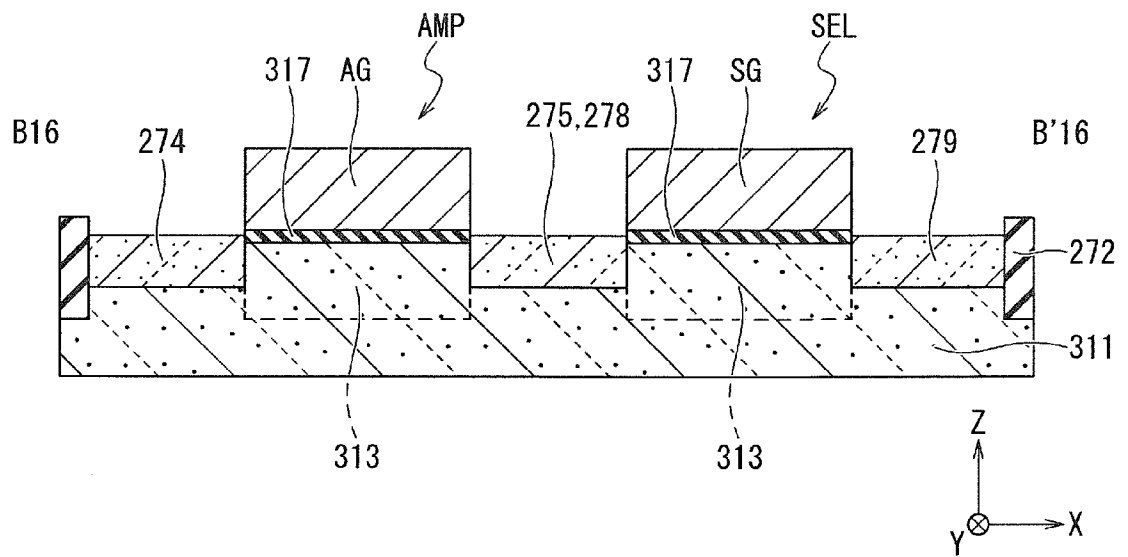
[図18]



[図19]

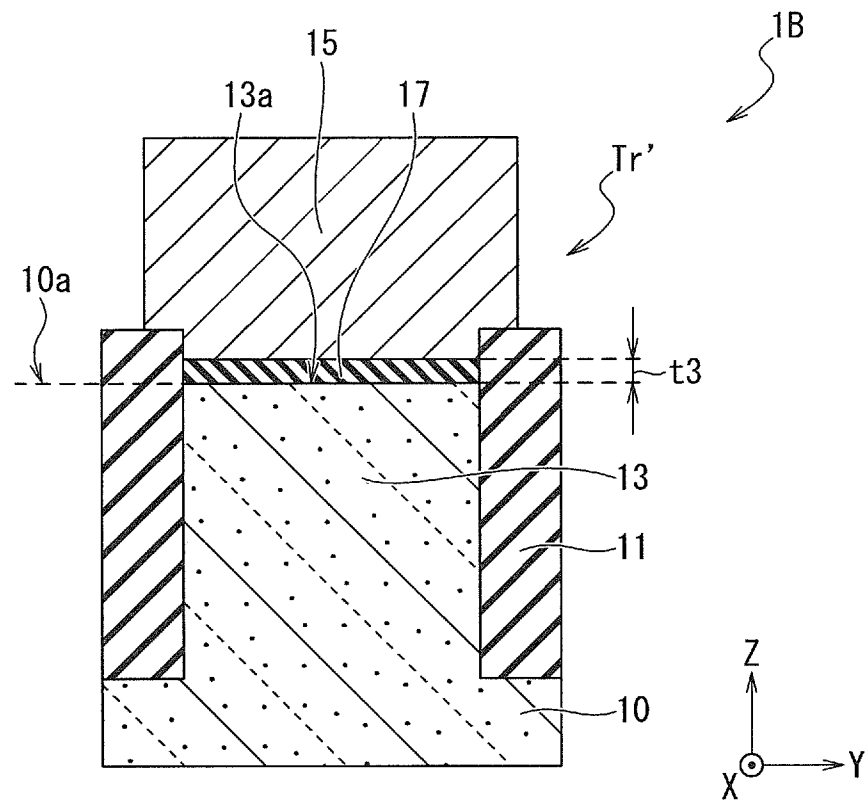


[図20]

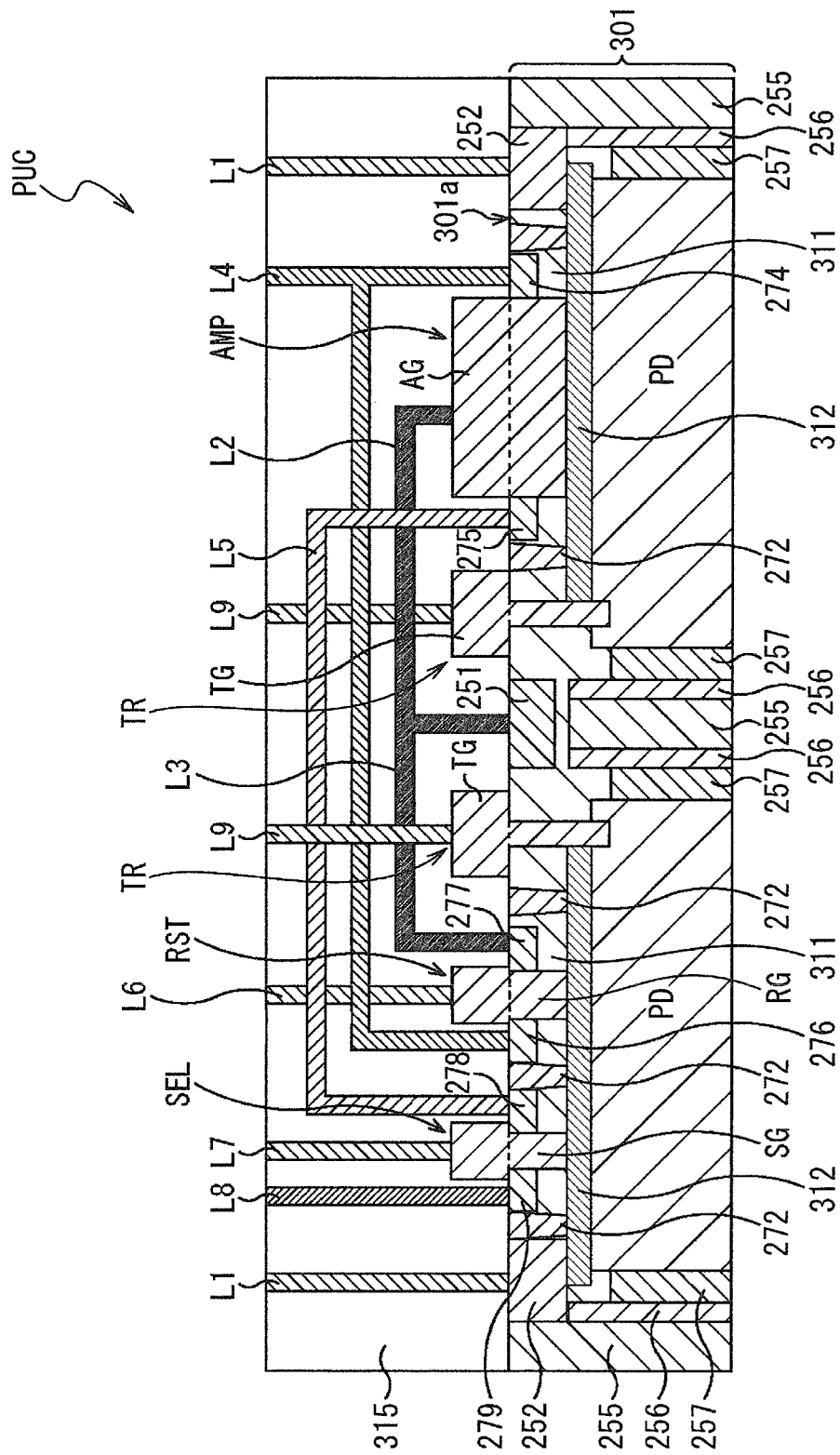


[illegible]

[図23]

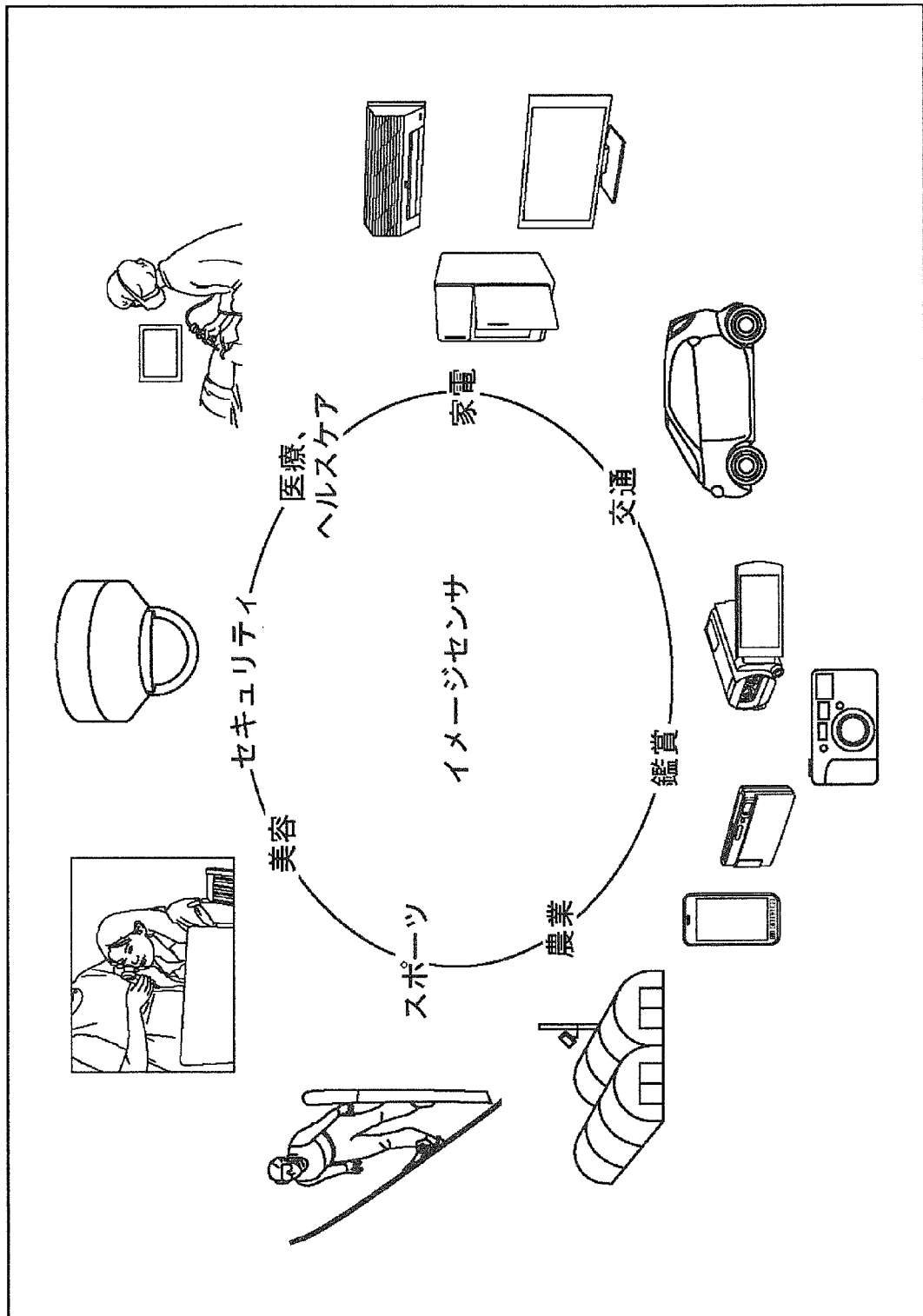


[図24]

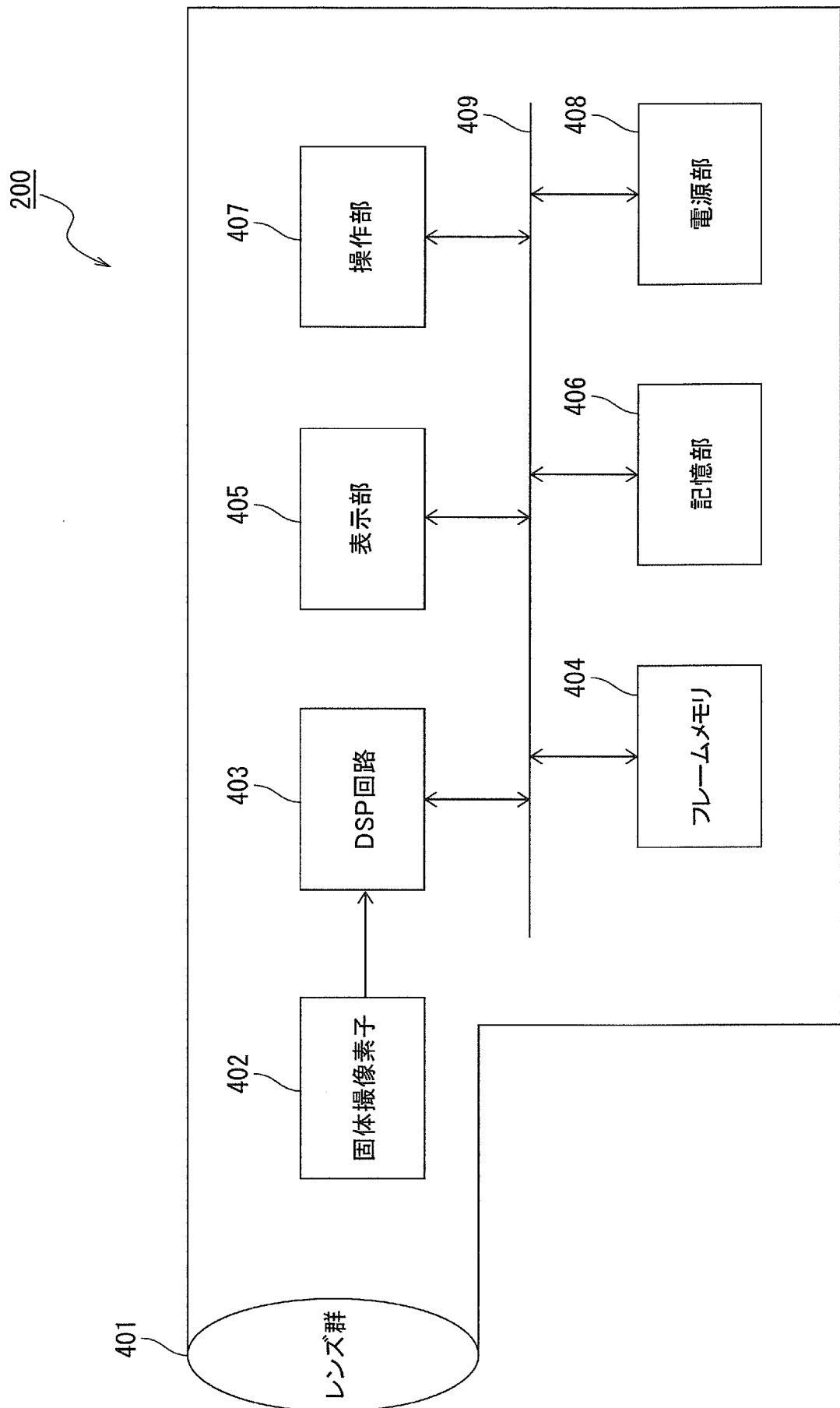


[illegible]

[図27]



[図28]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2021/029561

A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl. H01L29/78 (2006.01) i, H01L21/336 (2006.01) i, H01L21/8234 (2006.01) i, H01L27/088 (2006.01) i, H01L27/146 (2006.01) i, H04N5/369 (2011.01) i
FI: H01L29/78 301X, H01L27/088 C, H01L27/088 B, H01L29/78 301V, H01L29/78 301G, H01L29/78 301G, H04N5/369, H01L27/146 A, H01L29/78 301H

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl. H01L29/78, H01L21/336, H01L21/8234, H01L27/088, H01L27/146, H04N5/369

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2021
Registered utility model specifications of Japan 1996-2021
Published registered utility model applications of Japan 1994-2021

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2016-054215 A (FUJITSU LTD.) 14 April 2016 (2016-04-14)	1-14
A	JP 2008-066516 A (ELPIDA MEMORY, INC.) 21 March 2008 (2008-03-21)	1-14
A	WO 2019/156673 A1 (INTEL CORPORATION) 15 August 2019 (2019-08-15)	1-14
A	US 2017/0358680 A1 (SAMSUNG ELECTRONICS CO., LTD.) 14 December 2017 (2017-12-14)	1-14
P, A	JP 2021-034435 A (SONY SEMICONDUCTOR SOLUTIONS CORP.) 01 March 2021 (2021-03-01)	1-14

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
06.09.2021

Date of mailing of the international search report
14.09.2021

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No.

PCT/JP2021/029561

Patent Documents referred to in the Report	Publication Date	Patent Family	Publication Date
JP 2016-054215 A	14.04.2016	(Family: none)	
JP 2008-066516 A	21.03.2008	US 2008/0061383 A1	
WO 2019/156673 A1	15.08.2019	(Family: none)	
US 2017/0358680 A1	14.12.2017	KR 10-2017-0140840 A	
JP 2021-034435 A	01.03.2021	(Family: none)	

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 29/78(2006.01)i; H01L 21/336(2006.01)i; H01L 21/8234(2006.01)i; H01L 27/088(2006.01)i; H01L 27/146(2006.01)i; H04N 5/369(2011.01)i FI: H01L29/78 301X; H01L27/088 C; H01L27/088 B; H01L29/78 301V; H01L29/78 301G; H01L29/78 301C; H04N5/369; H01L27/146 A; H01L29/78 301H																				
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H01L29/78; H01L21/336; H01L21/8234; H01L27/088; H01L27/146; H04N5/369 最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2021年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2021年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2021年</td> </tr> </table> 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）			日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2021年	日本国実用新案登録公報	1996-2021年	日本国登録実用新案公報	1994-2021年										
日本国実用新案公報	1922-1996年																			
日本国公開実用新案公報	1971-2021年																			
日本国実用新案登録公報	1996-2021年																			
日本国登録実用新案公報	1994-2021年																			
C. 関連すると認められる文献 <table border="1"> <thead> <tr> <th>引用文献の カテゴリー*</th> <th>引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示</th> <th>関連する 請求項の番号</th> </tr> </thead> <tbody> <tr> <td>A</td> <td>JP 2016-054215 A（富士通株式会社）14.04.2016（2016-04-14）</td> <td>1-14</td> </tr> <tr> <td>A</td> <td>JP 2008-066516 A（エルピーダメモリ株式会社）21.03.2008（2008-03-21）</td> <td>1-14</td> </tr> <tr> <td>A</td> <td>WO 2019/156673 A1（INTEL CORPORATION）15.08.2019（2019-08-15）</td> <td>1-14</td> </tr> <tr> <td>A</td> <td>US 2017/0358680 A1（SAMSUNG ELECTRONICS CO., LTD.）14.12.2017（2017-12-14）</td> <td>1-14</td> </tr> <tr> <td>P, A</td> <td>JP 2021-034435 A（ソニーセミコンダクタソリューションズ株式会社）01.03.2021 （2021-03-01）</td> <td>1-14</td> </tr> </tbody> </table>			引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	A	JP 2016-054215 A（富士通株式会社）14.04.2016（2016-04-14）	1-14	A	JP 2008-066516 A（エルピーダメモリ株式会社）21.03.2008（2008-03-21）	1-14	A	WO 2019/156673 A1（INTEL CORPORATION）15.08.2019（2019-08-15）	1-14	A	US 2017/0358680 A1（SAMSUNG ELECTRONICS CO., LTD.）14.12.2017（2017-12-14）	1-14	P, A	JP 2021-034435 A（ソニーセミコンダクタソリューションズ株式会社）01.03.2021 （2021-03-01）	1-14
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号																		
A	JP 2016-054215 A（富士通株式会社）14.04.2016（2016-04-14）	1-14																		
A	JP 2008-066516 A（エルピーダメモリ株式会社）21.03.2008（2008-03-21）	1-14																		
A	WO 2019/156673 A1（INTEL CORPORATION）15.08.2019（2019-08-15）	1-14																		
A	US 2017/0358680 A1（SAMSUNG ELECTRONICS CO., LTD.）14.12.2017（2017-12-14）	1-14																		
P, A	JP 2021-034435 A（ソニーセミコンダクタソリューションズ株式会社）01.03.2021 （2021-03-01）	1-14																		
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。																				
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献																				
国際調査を完了した日 06.09.2021		国際調査報告の発送日 14.09.2021																		
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 市川 武宜 5F 1592 電話番号 03-3581-1101 内線 3516																		

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2021/029561

引用文献			公表日	パテントファミリー文献	公表日
JP	2016-054215	A	14.04.2016	(ファミリーなし)	
JP	2008-066516	A	21.03.2008	US 2008/0061383	A1
WO	2019/156673	A1	15.08.2019	(ファミリーなし)	
US	2017/0358680	A1	14.12.2017	KR 10-2017-0140840	A
JP	2021-034435	A	01.03.2021	(ファミリーなし)	