I877790

(19)中華民國智慧財產局

(12)發明說明書公告本 **(11)證書號數：TW I877790 B**

(45)公告日： 中華民國 114 (2025) 年 03 月 21 日

(21)申請案號：112135213 (22)申請日： 中華民國 112 (2023) 年 09 月 15 日

(51)Int. Cl.： ***H10B12/00 (2023.01)*** ***H10D84/03 (2025.01)***

G11C11/41 (2006.01)

(30)優先權：2022/09/23 美國 63/376,796

2022/09/23 美國 63/376,799

2022/09/23 美國 63/376,800

2022/09/23 美國 63/376,802

2023/08/11 美國 18/448,607

(71)申請人：美商蘋果公司 (美國) APPLE INC. (US)

美國

(72)發明人：辛哈 薩烏拉布 P SINHA, SAURABH P. (IN)；阿爾普特金 埃姆雷 ALPTEKIN, EMRE (US)；苗欣 MIAO, XIN (CN)

(74)代理人：陳長文；黃章典；金若芸

(56)參考文獻：

TW	200830432A	TW	201330181A
TW	202145536A	US	20200127035A1
US	2019/0108874A1	US	2019/0287957A1
US	20210/366913A1		

審查人員：郭德豐

申請專利範圍項數：20 項 圖式數：55 共 128 頁

(54)名稱

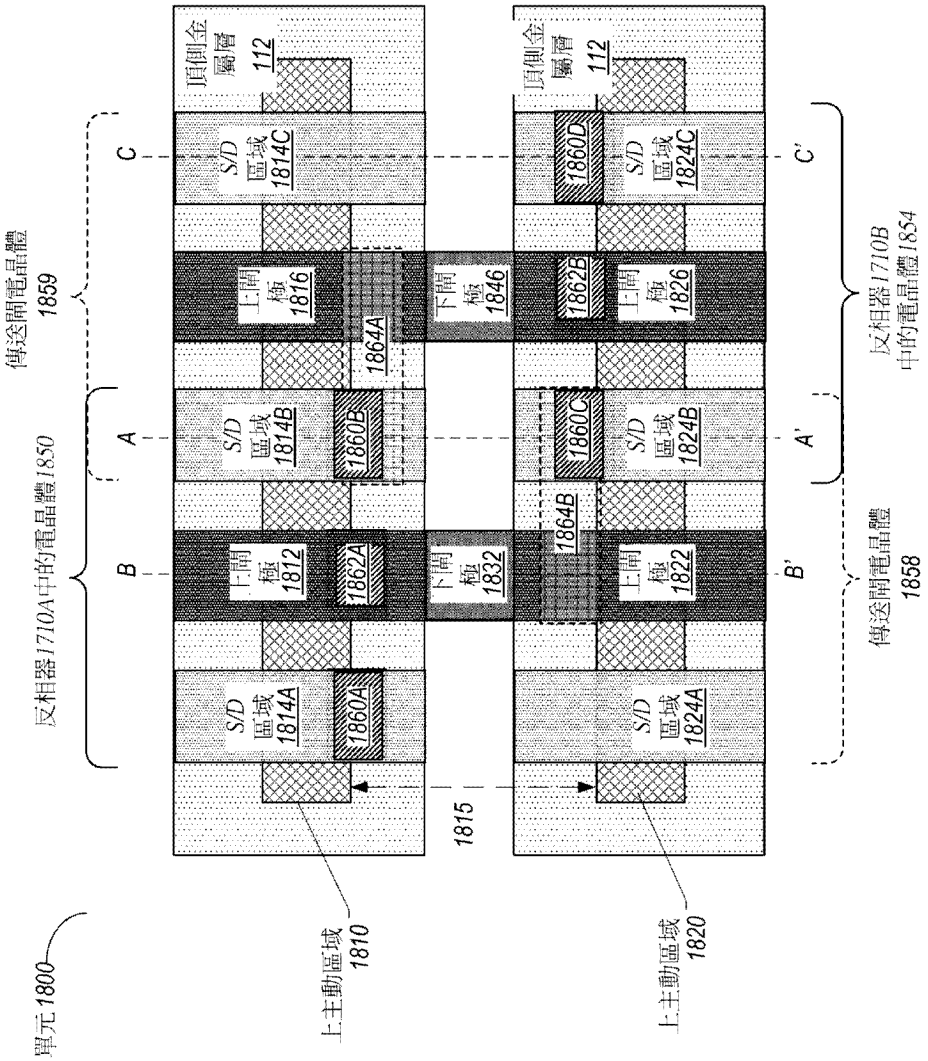
堆疊 SRAM 單元架構

(57)摘要

揭示實施堆疊電晶體的 SRAM 單元布局。該單元布局利用頂側金屬布線及背側金屬布線，以及堆疊電晶體，以提供用於實施記憶體單元中的反相器及傳送閘之多個電晶體。製造電晶體之組件（例如，閘極、源極、及汲極）之間的各種連接布線，以允許在記憶體單元中的反相器之間的交叉耦接。

A SRAM cell layout that implements stacked transistors is disclosed. The cell layout utilizes both topside metal routing and backside metal routing along with stacked transistors to provide multiple transistors for implementation of inverters and pass gates in a memory cell. Various connection routes between components of the transistors (e.g., gates, sources, and drains) are made to allow cross-coupling between inverters in the memory cell.

指定代表圖：



【圖20】

符號簡單說明：

112:頂側金屬層

1710A:反相器

1710B:反相器

1800:記憶體單元；單元；SRAM 單元

1810:上主動區域

1812:上閘極

1814A:源極/汲極區域

1814B:源極/汲極區域

1814C:源極/汲極區域

1816:上閘極

1822:上閘極；閘極

1824A:源極/汲極區域

1824B:源極/汲極區域

1824C:源極/汲極區域

1826:上閘極

1832:下閘極

1846:下閘極

1850:第一 NMOS 電晶體；電晶體

1854:第二 NMOS 電晶體；電晶體

1858:第三 NMOS 電晶體；電晶體

1859:第四 NMOS 電晶體；電晶體

1860A:S/D 合併

1860B:S/D 合併

1860C:S/D 合併

1860D:S/D 合併

1862A:閘極合併

1862B:閘極合併

1864A:交叉耦接

1864B:交叉耦接

專利案號：112135213

公告本

I877790

【發明摘要】

【中文發明名稱】　堆疊SRAM單元架構

【英文發明名稱】　STACKED SRAM CELL ARCHITECTURE

【中文】

揭示實施堆疊電晶體的SRAM單元布局。該單元布局利用頂側金屬布線及背側金屬布線，以及堆疊電晶體，以提供用於實施記憶體單元中的反相器及傳送閘之多個電晶體。製造電晶體之組件（例如，閘極、源極、及汲極）之間的各種連接布線，以允許在記憶體單元中的反相器之間的交叉耦接。

【英文】

A SRAM cell layout that implements stacked transistors is disclosed. The cell layout utilizes both topside metal routing and backside metal routing along with stacked transistors to provide multiple transistors for implementation of inverters and pass gates in a memory cell. Various connection routes between components of the transistors (e.g., gates, sources, and drains) are made to allow cross-coupling between inverters in the memory cell.

【指定代表圖】圖20

【代表圖之符號簡單說明】

112:頂側金屬層

1710A:反相器

1710B:反相器

1800:記憶體單元；單元；SRAM單元

1810:上主動區域

1812:上閘極

1814A:源極/汲極區域

1814B:源極/汲極區域

1814C:源極/汲極區域

1816:上閘極

1822:上閘極；閘極

1824A:源極/汲極區域

1824B:源極/汲極區域

1824C:源極/汲極區域

1826:上閘極

1832:下閘極

1846:下閘極

1850:第一NMOS電晶體；電晶體

1854:第二NMOS電晶體；電晶體

1858:第三NMOS電晶體；電晶體

1859:第四NMOS電晶體；電晶體

1860A:S/D合併

1860B:S/D合併

1860C:S/D合併

1860D:S/D合併

1862A:閘極合併

1862B:閘極合併

1864A:交叉耦接

1864B:交叉耦接

【特徵化學式】無

【發明說明書】

【中文發明名稱】　堆疊SRAM單元架構

【英文發明名稱】　STACKED SRAM CELL ARCHITECTURE

【技術領域】

【0001】　本文描述的實施例係關於用於半導體裝置的電力及信號布線。更特定言之，本文所描述之實施例係關於具有通過頂側及背側層之電力及信號布線的SRAM單元。

【先前技術】

【0002】　標準單元係可提供邏輯功能、儲存功能等的電晶體、被動結構、及互連結構的群組。標準單元方法論中的目前趨勢係朝向在增加標準單元內的複雜度（例如，組件或電晶體的電路密度及數目）的同時，降低標準單元的大小。然而，隨著標準單元設計變得更小，變得更難以提供對標準單元內及在標準單元之設計/製造限制內的組件的存取（例如，連接）。

【發明內容】

【圖式簡單說明】

【0003】　本揭露所述之實施例的方法及設備之特徵及優點將藉由參照下列之根據本揭露所述之實施例之目前較佳但為說明性的實施例之詳細描述而連同隨附圖式更完整地理解，其中：

〔圖 1〕描繪根據一些實施例之標準單元的頂側平面圖表示。

〔圖 2〕描繪根據一些實施例之標準單元的背側平面圖表示。

〔圖 3〕描繪沿著顯示於圖 1 中之線 3-3 的標準單元的截面表示。

〔圖 4〕描繪沿著顯示於圖 2 中之線 4-4 的標準單元的截面表示。

〔圖 5〕描繪沿著顯示於圖 1 及圖 2 二者中之線 5-5 的標準單元的截面表示。

〔圖 6〕描繪沿著顯示於圖 1 及圖 2 二者中之線 6-6 的標準單元的截面表示。

〔圖 7〕描繪根據一些實施例之具有沿著邊界之交替通孔的單元的頂側平面圖表示。

〔圖 8〕係根據一些實施例之顯示至源極區域之連接的單元的截面表示。

〔圖 9〕係根據一些實施例之顯示至汲極區域之連接的單元的截面表示。

〔圖 10〕描繪根據一些實施例之在實施通孔柱之單元中的堆疊電晶體控制信號連接的截面表示。

〔圖 11〕描繪根據一些實施例之採共同閘極組態的堆疊電晶體控制信號連接的截面表示。

〔圖 12〕描繪根據一些實施例之採交叉耦接閘極組態的堆疊電晶體控制信號連接的截面表示。

〔圖 13〕描繪根據一些實施例之 NAND 單元的頂側平面圖表示。

〔圖 14〕描繪根據一些實施例之 NAND 單元的背側平面圖表示。

〔圖 15〕描繪沿著顯示於圖 13 及圖 14 中之線 A-A'的 NAND 單元的截面表示。

〔圖 16〕描繪沿著顯示於圖 13 及圖 14 中之線 B-B'的 NAND 單元的截面表示。

〔圖 17〕描繪沿著顯示於圖 13 及圖 14 中之線 C-C'的 NAND 單元的截面表示。

〔圖 18〕描繪沿著顯示於圖 13 及圖 14 中之線 D-D'的 NAND 單元的截面表示。

〔圖 19〕描繪記憶體單元的示意表示。

〔圖 20〕描繪根據一些實施例之具有堆疊電晶體的記憶體單元的頂側平面圖表示。

〔圖 21〕描繪根據一些實施例之具有堆疊電晶體的記憶體單元的背側平面圖表示。

〔圖 22〕描繪沿著顯示於圖 20 及圖 21 二者中之線 A-A'的記憶體單元的截面表示。

〔圖 23〕描繪沿著顯示於圖 20 及圖 21 二者中之線 B-B'的記憶體單元的截面表示。

〔圖 24〕描繪沿著顯示於圖 20 及圖 21 二者中之線 C-C'的記憶體單元的截面表示。

〔圖 25〕描繪根據一些實施例的記憶體裝置的方塊圖表示。

〔圖 26〕描繪根據一些實施例之具有虛置單元的區域的頂側平面圖表示。

〔圖 27〕描繪根據一些實施例之具有虛置單元的區域的背側平面圖表示。

〔圖 28〕描繪沿著顯示於圖 26 及圖 27 二者中之線 A-A'之具有虛置單元的區域的截面表示。

〔圖 29〕描繪沿著顯示於圖 26 及圖 27 二者中之線 B-B'之具有虛置單元的區域的截面表示。

〔圖 30〕描繪根據一些實施例之具有虛置單元的區域的頂側平面圖表示。

〔圖 31〕描繪根據一些實施例之具有虛置單元的區域的背側平面圖表示。

〔圖 32〕描繪沿著顯示於圖 30 及圖 31 二者中之線 A-A'之具有虛置單元的區域的截面表示。

〔圖 33〕描繪沿著顯示於圖 30 及圖 31 二者中之線 B-B'之具有虛置單元的區域的截面表示。

〔圖 34〕描繪根據一些實施例之行 I/O 單元的示意表示。

〔圖 35〕描繪根據一些實施例之行 I/O 單元的布局。

〔圖 36〕描繪根據一些實施例之經設想垂直電晶體裝置的透視表示。

〔圖 37〕描繪根據一些實施例之另一經設想垂直電晶體裝置的透視表示。

〔圖 38〕描繪根據一些實施例之反相器單元構造的透視圖表示。

〔圖 39〕描繪根據一些實施例之反相器單元構造的頂側平面圖表示。

〔圖 40〕描繪根據一些實施例之反相器單元構造的背側平面圖表示。

〔圖 41〕描繪根據一些實施例之沿著顯示於圖 39 中之線 41-41 的反相器單元構造的截面表示。

〔圖 42〕描繪根據一些實施例之沿著顯示於圖 39 中之線 42-42 的反相器單元構造的截面表示。

〔圖 43〕描繪根據一些實施例之 NAND 單元構造的透視圖表示。

〔圖 44〕描繪根據一些實施例之 NAND 單元構造的頂側平面圖表示。

〔圖 45〕描繪根據一些實施例之 NAND 單元構造的背側平面圖表示。

〔圖 46〕描繪根據一些實施例之沿著顯示於圖 44 中之線 46-46 的 NAND 單元構造的截面表示。

〔圖 47〕描繪根據一些實施例之沿著顯示於圖 44 中之線 47-47 的 NAND 單元構造的截面表示。

〔圖 48〕描繪根據一些實施例之 MUX 單元構造的透視圖表示。

〔圖 49〕描繪根據一些實施例之 MUX 單元構造的頂側平面圖表示。

〔圖 50〕描繪根據一些實施例之 MUX 單元構造的背側平面圖表示。

〔圖 51〕描繪根據一些實施例之沿著顯示於圖 49 中之線 51-51 的 MUX 單元構造的截面表示。

〔圖 52〕描繪根據一些實施例之沿著顯示於圖 49 中之線 52-52 的 MUX 單元構造的截面表示。

〔圖 53〕描繪根據一些實施例之裝置的透視圖表示。

〔圖 54〕描繪根據一些實施例之沿著顯示於圖 53 中之線 54-54 的裝置的截面表示。

〔圖 55〕係實例系統的一個實施例的方塊圖。

【0004】 雖然本文中所揭露實施例可受到各種修改且具有替代形式，其特定實施例係以圖式中實例之方式展示，且在本文中詳細說明。然而，應理解，圖式及其詳細說明並非意欲將申請專利範圍之範圍侷限於所揭示之具體形式。反之，本申請案意欲涵括所有落於所附申請專利範圍所界定之本申請案之本揭露的精神與範圍內的修改、均等物、及替代物。

【實施方式】

【0005】 **相關申請案之交互參照**

【0006】 本申請案主張於2022年9月23日申請之美國臨時專利申請案第63/376,796號名稱為「Stacked FET Standard Cell Architecture」、於2022年9月23日申請之美國臨時專利申請案第63/376,799號名稱為「Stacked SRAM Cell Architecture」、於2022年9月23日申請之美國臨時專利申請案第63/376,800號名稱為「SRAM Macro Design Architecture」、於2022年9月23日申請之美國臨時

專利申請案第63/376,802號名稱為「Vertical Transistors With Backside Power Delivery」之優先權；以上參考之申請案之各者的揭示以全文引用方式併入本文中。

【0007】 如本文所使用的，用語「標準單元(standard cell)」係指形成在基材上以提供係各種實施方案之標準的邏輯或儲存功能的電晶體結構、被動結構、及互連結構的群組。例如，個別標準單元可係可自其選擇各種合適單元以實施特定單元設計的多個單元之庫中的一個單元。積體電路單元亦可包括針對特定實施方案個別地設計的客製電路設計單元。本文描述之電路設計單元的實施例可實施在邏輯積體電路或記憶體積體電路的各種實施方案中。

【0008】 單元的許多目前設計將用於電力或信號之至電晶體或其他結構的連接及布線提供在電晶體上方的區域中。例如，用於電力或信號的連接及布線可提供在裝置的頂側層中。如本文所使用的，用語「頂側(topside)」係指裝置中之在該裝置之主動層垂直上方（例如，當在一般截面圖中觀看時，在裝置的電晶體區域上方）的區域。例如，頂側可指在垂直維度上在電晶體區域上方的組件（諸如接觸件或層），如圖式所描繪及本文所描述。在一些情況下，用語「前側(frontside)」可與用語「頂側」互換地使用。

【0009】 針對標準單元之設計的一些最近發展將用於電力連接的連接及布線移動至電晶體下方的金屬層。例如，用於電力的連接及布線可提供在裝置的背側層中。如本文所使用的，用語「背側(backside)」係指裝置中之在該裝置之主動層垂直下方（例如，當在一般截面圖中觀看時，在裝置的電晶體區域下方）的區域。例如，背側可指在垂直維度上在電晶體區域下方之諸如接觸件或層的組件，如圖式所描繪及本文所描述。應注意，如本文所使用，位於主動層

下方的背側元件可能處於主動層製造於其上的矽基材上方、內、或下方。亦即，如本文所使用，「背側」係相對於主動層，而非矽基材。

【0010】 本揭露係關於積體電路單元（例如，標準單元）中之堆疊電晶體或垂直電晶體利用至頂側金屬層及背側金屬層二者之連接的各種實施方案。本發明人已認知到頂側及背側層可以特定方式使用以將技術及空間節省優點提供給實施堆疊電晶體或垂直電晶體的單元布局。所揭示實施例實施頂側及背側金屬層以提供有利的單元布局及用於單元布局內的控制信號或電力信號的布線（例如，路徑）。

堆疊電晶體標準單元設計

【0011】 堆疊電晶體（例如，其中二個電晶體主動區域垂直地堆疊在基材上方）可導因於裝置在電晶體中的鄰近性而提供各種技術及空間節省優點。然而，導因於與標準單元構造關聯的設計及製造限制，將堆疊電晶體實施在標準單元中具有挑戰性。例如，在僅利用頂側布線的標準單元中，一般而言在不擴展標準單元之大小的狀況下，不存在用於路由至二個電晶體的足夠路徑。受限於頂側布線用於控制信號及背側布線用於電力信號的標準單元在不改變標準單元之大小的狀況下，可能亦缺乏用於二個堆疊電晶體的必要布線及連接可用性。

【0012】 本揭露設想在頂側及背側金屬層二者中實施布線之允許二個堆疊電晶體放置在標準單元中的各種技術。揭示提供用於從簡單裝置（例如，反相器及NAND裝置）至更複雜裝置（例如，複合FET）的許多不同類型裝置的

基本建構區塊的標準單元構造的各種實施例。所揭示實施例提供允許堆疊電晶體實施在各種電路邏輯方案中的緊密標準單元構造。

【0013】 本文揭示的某些實施例具有四個廣泛要件：1)位於積體電路單元結構之電晶體區域上方的第一金屬層（例如，頂側金屬層）；2)位於該電晶體區域下方的第二金屬層（例如，背側金屬層）；3)在該電晶體區域中的一對垂直堆疊電晶體；及4)用於在第一或第二金屬層其中一者與第一及第二電晶體之間的控制信號及電力信號二者的各種可能連接路徑。在某些實施例中，該對垂直堆疊電晶體包括異質電晶體（例如，互補電晶體類型，諸如PMOS及NMOS電晶體）。在一些實施例中，該對垂直堆疊電晶體包括同質電晶體（例如，電晶體係相同類型）。

【0014】 在各種實施例中，製作控制信號及電力信號連接以實施與用於本文描述之標準單元構造之具有多個電晶體的特定積體電路裝置關聯的邏輯。例如，於下文描述可基於標準單元構造實施的反相器裝置或NAND閘裝置的實例。亦描述用於控制信號及電壓信號之至標準單元構造內之堆疊電晶體的各種可能連接的實施例。所屬技術領域中具有通常知識者將理解此等各種可能連接的組合可經實施以基於標準單元構造內的堆疊電晶體結構而產生許多不同的所欲電路。

【0015】 簡言之，本發明人已認知到在標準單元構造內提供各種路由路徑允許實施用於控制信號及電力信號之從定位在標準單元構造內的堆疊電晶體至頂側及背側金屬層二者的連接。本文描述的路由路徑使標準單元構造能在基於單元內的堆疊電晶體產生各種簡單及複雜的積體電路邏輯裝置時使用。額外地，具有本文描述之堆疊電晶體的標準單元構造提供可實施在具有多個積體電

路單元之裝置中的可擴縮模板。本揭露內之具有堆疊電晶體的標準單元構造進一步促成可在目前製造限制內實施且無需改變目前標準單元之大小或參數之單元的構造。如本文所使用，用語「布線(routing)」係指在二個結構之間提供路徑/布線之金屬通孔、金屬線、金屬跡線等的任何組合。可設想「布線」中的金屬以替代導電材料置換的額外實施例。例如，「布線」中的金屬可以超導體材料、半導體材料、或非金屬導體置換。

【0016】 圖1至圖6描繪根據一些實施例之具有堆疊電晶體及頂側及背側層連接二者的標準單元的表示。圖1描繪根據一些實施例之標準單元100的頂側平面圖表示。圖2描繪根據一些實施例之標準單元100的背側平面圖表示。圖3描繪沿著顯示於圖1中之線3-3的標準單元100的截面表示。圖4描繪沿著顯示於圖2中之線4-4的標準單元100的截面表示。圖5描繪沿著顯示於圖1及圖2二者中之線5-5的標準單元100的截面表示。圖6描繪沿著顯示於圖1及圖2二者中之線6-6的標準單元100的截面表示。

【0017】 為簡化圖式，在本文揭示之單元的表示中僅顯示與本揭露相關的組件。所屬技術領域中具有通常知識者將理解，額外組件可存在於本文描繪之單元的任一者中。例如，在圖1中，各種連接（諸如本文描述的通孔或接觸件）可在一些描繪中可見。額外地，為更佳地理解所揭示實施例，提供一些材料透明度以促成下方組件在頂側及背側平面圖中的可見性。例如，在圖1及圖2中，基材102具有一些透明度以提供下方電晶體的閘極及主動區域的可見性，且頂側金屬層112及背側金屬層120具有一些透明度以分別提供接觸件114及背側通孔122的可見性。

【0018】 在各種實施例中，如圖1至圖6所示，標準單元100包括基材102。在某些實施例中，基材102係矽基材，儘管亦可設想其他半導體基材。基材102可包括用於實施在單元100中的額外組件或特徵。例如，基材102可包括用於實施在單元100中的一或多個絕緣層（例如，氧化物層）、擴散（例如，氧化物擴散）區域、或摻雜區域。為簡化圖式，將基材102描繪為填充標準單元100之體積的材料。

【0019】 在各種實施例中，第一主動區域104及第二主動區域106形成在基材102中。在某些實施例中，在單元100中，主動區域104垂直地定位在主動區域106上方。例如，主動區域104可定位在單元100的上部分中，其中主動區域106在單元的下部分中。應注意主動區域104及主動區域106可不一定定位在彼此的正上方/下方。例如，主動區域104或主動區域106的一些部分可在其他主動區域的邊界外側。因此，當描述主動區域104在主動區域106上方時，可指稱主動區域104的至少某個部分在主動區域106的至少某個部分上方，或反之亦然。

【0020】 在某些實施例中，主動區域104係單元100中的第一電晶體的主動區域且主動區域106係單元中的第二電晶體的主動區域。例如，在一個經設想實施例中，主動區域104係具有一或多個NMOS閘極之NMOS電晶體的主動區域，且主動區域106係具有一或多個PMOS閘極之PMOS電晶體的主動區域。替代地，主動區域104可係PMOS電晶體的主動區域，而主動區域106係NMOS電晶體的主動區域。雖然相關於圖1至圖6描述具有此等互補電晶體類型的電晶體堆疊（例如，異質電晶體），應理解可設想二個電晶體皆係相同類型（例如，同質電晶體）的額外實施例。額外地，雖然所揭示的實施例描述基於矽之電晶體，諸如NMOS及PMOS電晶體，可設想基於其他類型之半導體的電晶體

而不偏離本揭露之範圍。又進一步地，可設想任何類型的電晶體結構。例如，所形成的電晶體可包括，諸如但不限於FinFET、奈米片FET (NSH)、或GAAFET（「閘極全環繞(gate-all-around)」FET）的電晶體。

【0021】 在各種實施例中，具有主動區域104的電晶體包括上閘極108及源極/汲極區域124，而具有主動區域106的電晶體包括下閘極116及源極/汲極區域124。電晶體可定位在隔離閘極110之間，如圖1至圖4所示。單元100亦可包括提供源極/汲極區域124之連接的接觸件126。如圖1至圖6所描繪，單元100包括二個上閘極108A至108B、二個下閘極116A至116B、六個源極/汲極區域124A至124F（其中三個源極/汲極區域124A至124C在上電晶體中且三個源極/汲極區域124D至124F在下電晶體中）、及定位在單元100中的隔離閘極110之間的六個接觸件126A至126F。然而，描繪於圖1至圖6中的單元100的實施例係單元內的電晶體組件的可能構造的一個實例。例如，應理解單元100可包括根據單元的設計及製造限制（例如，標準單元的設計及製造限制）配適在單元的邊界內的任何數目的電晶體組件而不偏離本揭露之範疇。

【0022】 上閘極108及下閘極116可係例如多晶矽線（例如，多晶矽層）或高k/金屬閘極。在某些實施例中，上閘極108及下閘極116包括閘極間隔物（為簡單起見未顯示於圖中）。例如，閘極間隔物可定位在閘極108/116與源極/汲極區域124之間。在各種實施例中，閘極間隔物形成為閘極108/116的部分（例如，閘極及間隔物係在相同程序流程中形成）。源極/汲極區域124可係例如在鰭或奈米片堆疊或任何2D（二維）通道材料上生長的磊晶層。亦可設想源極/汲極區域124至少部分地定位在基材102中的各種實施例。

【0023】 除了上述電晶體組件外，可在單元100內製作至閘極及/或源極/汲極區域的各種連接。連接可包括，例如，在單元100中的電晶體組件與頂側金屬層112或背側金屬層120之間提供連接的接觸件或通孔。接觸件114（顯示於圖1、圖3、及圖5中）係在上閘極108A與頂側金屬層112B之間提供連接之閘極接觸件的實例。背側通孔122（顯示於圖2、圖4、及圖6中）係在源極/汲極區域124F與背側金屬層120B之間提供連接之通孔的實例。

【0024】 在各種實施例中，接觸件114係提供從電晶體的各種部分（例如，源極/汲極區域、閘極等）至頂側金屬層112之連接的頂側通孔，而背側通孔122提供從電晶體的各種部分至背側金屬層的連接。將接觸件114及背側通孔122提供為單元100中的可能連接的非限制性實例。例如，任何數目的接觸件或通孔或接觸件或通孔（連同任何水平布線）的組合可實施在單元100中，以在各種頂側金屬層及背側金屬層與單元內的電晶體組件（例如，上閘極108、下閘極116、及源極/汲極區域124）之間提供連接。連接亦可取決於控制信號或電力信號是否意圖用於單元100之電晶體內的組件而製作。例如，在描繪於圖1至圖6中的實施例中，接觸件114可提供至上閘極108A的控制信號連接，而背側通孔122提供至源極/汲極區域124F的電力信號連接。接觸件及通孔的數目、類型、及定位可基於利用單元100內側的組件結構建構的所欲裝置判定。例如，反相器裝置具有與NAND裝置不同的連接（如圖13至圖18中之實例所示）。

【0025】 如圖1至圖6所示，單元100包括四個頂側金屬軌道（頂側金屬層112A至112D）及三個背側金屬軌道（背側金屬層120A至120C）。應理解單元100可包括如根據單元之設計及製造限制所允許的任何數目的頂側金屬軌道及背側金屬軌道。例如，金屬軌道的數目可取決於單元的設計及製造限制（諸

如高度、節距、寬度等）而更高或更低。額外地，頂側金屬軌道及背側金屬軌道可不彼此對準。例如，如圖5至圖6中所清楚地描繪的，頂側金屬層112不與背側金屬層120對準。然而，可設想具有對準的頂側及背側金屬層的實施例。

【0026】 在各種實施例中，如圖4所示，背側金屬層120形成在基材102的底部表面處或附近。在某些實施例中，背側金屬層120包括單元100中的主動層的一或多個背側層（例如，背側金屬層在主動區域106的垂直下方）。在一些實施例中，背側金屬層120包括基材102中的一或多個埋入層（例如，金屬層埋入或嵌入在基材的底部表面下）。在一些實施例中，背側金屬層120埋入在載體基材層（例如，矽載體基材）下。可設想背側金屬層120不位於基材102中的額外實施例。

【0027】 金屬軌道亦可基於單元100的所欲裝置用途而選擇使用為控制信號軌道（例如，控制信號軌）或電力信號軌道（例如，電力信號軌）。控制信號軌道可提供至單元100中的電晶體組件的輸入或輸出信號連接，而電力信號軌道可提供至/自Vdd（例如，供應電壓）及Vss（例如，接地）以及其他經設想電力供應連接的電力布線。軌道使用為控制信號軌道或電力信號軌道的選擇亦可判定製作至該金屬軌道的連接。例如，在單元100的經描繪實施例中，頂側金屬層112B係藉由接觸件114連接至上閘極108A的控制信號軌道，而背側金屬層120B係藉由背側通孔122連接至源極/汲極區域124F的電力信號軌道。應注意到背側金屬層120A至120C的任一者可在各種經設想實施例中使用為電力信號軌道。剩餘的頂側金屬軌道（例如，頂側金屬層112A、112C、112D）可用於額外的頂側控制信號軌道或頂側電力信號軌道其中一者。類似地，剩餘的背側金屬軌道（例如，背側金屬層120A及120C）可用於額外的背側電力信

號軌道或背側控制信號軌道其中一者。例如，在一個經設想實施例中，頂側金屬層112A、112C、112D的一者可係具有至單元100之上部分中的源極/汲極區域（例如，源極/汲極區域124A至124C的一者）的接觸件的頂側電力信號軌道，以提供至具有主動區域104之上電晶體的電力信號連接。額外地，背側金屬層120A及120C的一者可係具有至單元100之下部分中的下閘極116B（例如，分離閘組態中的下閘極）的接觸件的背側控制信號軌道，以提供至具有主動區域106之下電晶體的控制信號連接。

【0028】 在各種經設想實施例中，一或多個頂側金屬軌道（例如，頂側金屬層112A至112D）可在該等金屬軌道使用為電力軌（例如，電力信號軌道）時合併。例如，在一些實施例中，當沿著單元邊緣的金屬軌道（例如，頂側金屬層112A或頂側金屬層112D）使用為電力軌時，該金屬軌道可與來自相鄰單元的金屬單元軌道合併。例如，如圖1所示，頂側金屬層112D'可在單元高度方向上在該相鄰單元中（在圖1之描繪中的單元100上方）。接著可實施電力軌合併層109（虛線框）以將單元100中的頂側金屬層112A與上方相鄰單元中的頂側金屬層112D'合併。在各種實施例中，電力軌合併層109係連接頂側金屬層112A及頂側金屬層112D'的金屬層。在一些經設想實施例中，頂側金屬層112A、頂側金屬層112D'、及電力軌合併層109可係形成在單元100及相鄰單元中的單一金屬軌道。

【0029】 在合併金屬軌道的其他經設想實施例中，使用為電力軌之在單元的中心處或附近的金屬軌道可合併。例如，如圖1所示，當將頂側金屬層112B及頂側金屬層112C使用為電力軌時，可實施電力軌合併層111（虛線框）以合併此等層。電力軌合併層111可係例如連接頂側金屬層112B及頂側金屬層

112C的金屬。在一些情況下，頂側金屬層112B、頂側金屬層112C、及電力軌合併層111可係單元100中的單一金屬軌道。

【0030】 應注意到根據各種連接可在所描繪金屬軌道與單元內的電晶體組件之間製作的理解，為簡化圖式，在描繪於圖1至圖6中之單元100的實施例中未顯示用於控制信號及電力信號的額外接觸件。例如，任何金屬軌道（例如，頂側金屬層112A、112C、112D的任一者或背側金屬層120A及120C的任一者）可依所欲裝置結構的需要而連接至單元100內的任何閘極（例如，上閘極108或下閘極116）或源極/汲極區域124。因此，具有組件（例如，閘極108/116及源極/汲極區域124）及金屬軌道（例如，頂側金屬層112及背側金屬層120）之圖1至圖6中之單元100的經描繪結構提供組件與金屬軌道之間的不同連接變化可自其製作以產生許多不同類型之裝置的基本建構區塊結構。

【0031】 如圖1至圖6中所示，上閘極108及下閘極116可以堆疊電晶體結構中的閘極之間的不同關係形成在單元100中。閘極關係的二個可能實施例描繪於圖3及圖4中。在第一經設想實施例中，上閘極108A與下閘極116A合併，在閘極之間建立連接性。藉由合併閘極建立的連接性允許將單一控制信號提供至二個閘極。例如，如圖3及圖4所示，通過接觸件114從頂側金屬層112B提供至上閘極108A的控制信號可由於閘極之間的連接性而傳遞通過並使用為下閘極116A的控制信號。應注意到合併閘極組態亦顯示在圖5的截面表示中。第二經設想實施例包括將上閘極108B與下閘極116B分開（例如，分離）。分開上閘極108B及下閘極116B使閘極保持電性斷開。因此，上閘極108B及下閘極116B將需要分開的控制信號，因為導因於閘極之間的分開/分離，控制信號無法在閘極之間傳遞。

【0032】 雖然未顯示於圖1至圖6中，源極/汲極區域124在各種實施例中亦可在上電晶體與下電晶體之間合併。下文描述顯示於圖13至圖16中之合併源極/汲極區域的實例。源極/汲極區域124的合併可允許單一電力信號將電力連接至上電晶體及下電晶體二者或將單一控制信號（例如，來自汲極的單一輸出信號）連接至上電晶體及下電晶體二者。類似於閘極的分離，當源極/汲極區域124分離時（如圖1至圖6所示），需要製作至經分離源極/汲極區域的分開連接。

【0033】 在某些實施例中，用於單元100中之電晶體（例如，上電晶體及下電晶體）的電力布線在頂側金屬層112與背側金屬層120之間劃分。例如，如圖2、圖4、圖6所示，背側金屬層120B透過背側通孔122連接至源極/汲極區域124F。因此，在某些實施例中，至下電晶體（例如，具有主動區域206的電晶體）中的下閘極116B的電力係路由自背側金屬層120B。為劃分電力，至上閘極108B的電力可路由自頂側金屬層之不用於控制信號的一者（諸如例如，頂側金屬層112C）。因此，上閘極108B及下閘極116B將具有將電力提供至閘極/電晶體的分開電力軌。劃分頂側金屬層112與背側金屬層120之間的電力布線可在單元100中提供更有效率的電力布線。

【0034】 可設想電力布線係從頂側金屬層112及背側金屬層120的一者或另一者而非二個層提供的額外實施例。例如，如上文討論的，源極/汲極區域可合併且可將來自頂側或背側其中一者的單一電力信號提供至經合併區域。在另一經設想實施例中，電力可通過背側金屬層（諸如背側金屬層120A）帶至單元100中，且通孔可將電力從背側金屬層路由至頂側金屬層的一者，其接著連接至上電晶體中的源極/汲極區域。通孔可定位在單元100中之在頂側金屬層與背側金屬層之間的開放通道中。通孔的一個實例顯示於圖6中，其中通孔600

（虛線）可選地在源極/汲極區域124C/124F外側的空間（例如，通道）中在頂側金屬層112A與背側金屬層120A之間路由。頂側金屬層112A可接著連接（直接或通過另一頂側金屬層）至源極/汲極區域124C以在上電晶體中提供電力。應注意，如圖6所示，通孔600亦可用以在頂側與背側金屬層之間路由信號。

【0035】　用於將電力從背側層路由至上方的又另一替代方案可包括延伸源極/汲極區域124C以與通孔600相交及連接，如藉由從圖6中的源極/汲極區域124C延伸的點線所示。延伸將在通孔600與源極/汲極區域124C之間建立直接連接。參照圖7至圖12於下文提供延伸的其他實例（閘極及源極/汲極區域二者），其描述在單元中實施通孔柱（例如，在單元的周緣上）。

【0036】　如上文討論的，描繪於圖1至圖6中的單元100的實施例提供實施二個垂直堆疊電晶體的緊密標準單元結構的基礎。電晶體可係異質的（例如，二種不同類型的電晶體）或同質的（例如，相同類型的電晶體）。單元100實施從頂側金屬層及背側金屬層其中一者至包括閘極及源極/汲極區域的各種電晶體組件的任一者的連接的可得性。用於電晶體組件之控制信號及電力兩者之連接上的可調適性允許單元100的基本結構對廣泛範圍的邏輯方案調適以使用堆疊電晶體實施不同的積體電路裝置。單元100的緊密度允許具有堆疊電晶體的單元在目前標準單元設計及製造限制內實施。

【0037】　在一些情況下，導因於沿著單元之邊界的布線軌道，將單元100放置鄰近於相鄰單元可導致製造問題。具有沿著邊界的布線軌道，來自布線軌道的通孔可在相鄰單元之間產生間隔問題。此邊界問題的一個可能解決方案係以在目前單元與相鄰單元之間交替地使用通孔的通孔軌道取代沿著邊緣的布線軌道。

【0038】 圖7描繪根據一些實施例之具有沿著邊界之交替通孔的單元的頂側平面圖表示。在單元700中，三個頂側金屬層112A、112B、112C定位在通孔軌道705A與通孔軌道705B之間。通孔軌道705A及通孔軌道705B沿著單元700的邊界（例如，邊緣）放置。通孔軌道705A及通孔軌道705B包括通孔柱710。在某些實施例中，通孔柱710A及通孔柱710B，其中通孔柱710A屬於單元700，而通孔柱710B屬於相鄰單元。在各種實施例中，通孔柱710放置在單元周緣上且用以將用於控制信號或電力信號其中一者的布線提供至單元700的內部中。應注意到相鄰單元可具有對單元700的鏡像設定以容納交替通孔柱配置。

【0039】 可設想在用於連接至圖7所示之單元700內的通孔柱710A的各種實施例。實施例可包括至單元700內之閘極或源極/汲極區域的布線連接。圖8及圖9描繪根據一些實施例之在實施通孔柱之單元中的源極及汲極連接的截面表示。圖8係顯示至源極區域124A、124B之連接的單元800的截面表示，而圖9係顯示至汲極區域124C、124D之連接的單元800的截面表示。

【0040】 在各種實施例中，如圖8所示，源極區域124A、124B藉由接觸件114分別直接連接至頂側金屬層112B及背側金屬層120A。頂側金屬層112B及背側金屬層120A可接著路由至電力供應（例如，Vdd）或接地（例如，Vss）以用於至源極區域124A、124B的電力連接。對於汲極區域124C、124D，如圖9所示，接觸件114水平地路由至通孔柱710A。通孔柱710A可接著路由至用於信號連接的頂側金屬層112或背側金屬層120。在一些實施例中，用於汲極區域124C、124D的接觸件114可藉由水平地延伸汲極區域124C、124D以與通孔柱710A連接而置換。

【0041】 圖10描繪根據一些實施例之在實施通孔柱之單元中的堆疊電晶體控制信號連接的截面表示。在圖10中，單元1000包括藉由接觸件114分別連接至頂側金屬層112C及背側金屬層120B的源極/汲極區域124A、124B。頂側金屬層112C及背側金屬層120B可係用於提供至源極/汲極區域124A、124B之控制信號的布線。

【0042】 通孔柱710A亦可提供用於來自堆疊電晶體之各種實施例中之閘極的控制信號的布線。可將閘極例如耦接以作為共同閘極或分離閘（例如，當使用在傳輸閘中時）。圖11描繪根據一些實施例之採共同閘極組態的堆疊電晶體控制信號連接的截面表示。在單元1100中，上閘極108A及下閘極116A經延伸以與用於至閘極之共同連接的通孔柱710A相交並連接至其。圖12描繪根據一些實施例之採分離閘組態的堆疊電晶體控制信號連接的截面表示。在單元1200中，上閘極108A藉由接觸件114連接至頂側金屬層112C，且下閘極116A經延伸以與通孔柱710A相交並連接至其。可接著將頂側金屬層112C及通孔柱710A交叉耦接以交叉耦接上閘極108A及下閘極116A。

具有堆疊電晶體的實例NAND單元

【0043】 圖13至圖18描繪根據一些實施例之實例NAND單元的表示。圖13描繪根據一些實施例之NAND單元1300的頂側平面圖表示。圖14描繪根據一些實施例之NAND單元1300的背側平面圖表示。圖15描繪沿著顯示於圖13及圖14中之線A-A'的NAND單元1300的截面表示。圖16描繪沿著顯示於圖13及圖14中之線B-B'的NAND單元1300的截面表示。圖17描繪沿著顯示於圖13及圖14中

之線C-C'的NAND單元1300的截面表示。圖18描繪沿著顯示於圖13及圖14中之線D-D'的NAND單元1300的截面表示。

【0044】 在某些實施例中，圖13（從頂側）描繪與垂直堆疊電晶體中的上電晶體的主動區域104（例如，NMOS主動區域）關聯的結構，且圖14（從背側）描繪與下電晶體的主動區域106（例如，PMOS主動區域）關聯的結構。在所繪示實施例中，頂側金屬層112D係接地軌（例如，VSS軌），而背側金屬層120B係電力供應軌（例如，VDD軌）。如下文描述，剩餘的頂側金屬層（例如，頂側金屬層112A、112B、112C）及背側金屬層（例如，背側金屬層120A、120C）可用於信號布線及/或NAND單元1300內側的內部布線。

【0045】 在所繪示實施例中，如圖13所示，NAND單元1300包括係定位在單元內側之主動NMOS閘極的上閘極108A及上閘極108B。隔離閘極110A、110B（例如，虛置閘極）在閘極節距方向上定位在單元1300的相對端，而亦在閘極節距方向上，上接觸件126A定位在隔離閘極110A與上閘極108A之間，上接觸件126B定位在上閘極108A與上閘極108B之間，且上接觸件126C定位在上閘極108B與隔離閘極110B之間。進一步在所繪示實施例中，如圖14所示，NAND單元1300包括係定位在單元內側之主動PMOS閘極的下閘極116A及下閘極116B。在閘極節距方向上，下接觸件126D定位在隔離閘極110A與下閘極116A之間、下接觸件126E定位在下閘極116A與下閘極116B之間、且下接觸件126F定位在下閘極116B與隔離閘極110B之間。

【0046】 在各種實施例中，如圖13及圖15所示，接觸件114A在接觸件126A與頂側金屬層112D（例如，接地軌）之間提供連接。接觸件126A亦連接至上閘極108A的源極/汲極區域124A。應注意到圖15至圖18描繪NAND單元

1300中的六個源極/汲極區域124A至124F，其中源極/汲極區域124A至124C係上源極/汲極區域且源極/汲極區域124D至124F係下源極/汲極區域。在NAND單元1300中，上源極/汲極區域124A至124C與下源極/汲極區域124D至124F分開。額外地，上源極/汲極區域124A至124C及上閘極108A、108B包括上通道1304，而下源極/汲極區域124D至124F及下閘極116A、116B包括下通道1306。

【0047】 顯示於圖13及圖16中的接觸件114B提供上閘極108A與頂側金屬層112B之間的連接，其可係用於輸入信號之至NAND單元1300之裝置的布線。NAND單元1300進一步包括將接觸件126C連接至頂側金屬層112A的接觸件114D（顯示於圖13及圖18中），其可係用於來自NAND單元1300之裝置的輸出信號的布線。

【0048】 在NAND單元1300的經設想實施例中，將上閘極及下閘極合併。例如，如圖16所示，上閘極108A被合併至下閘極116A。因此，接觸件114B提供經合併閘極108A及下閘極116A與頂側金屬層112B之間的連接（例如，輸入信號布線）。上閘極108B及下閘極116B可類似地合併並連接至接觸件114C（顯示於圖13中），其接著提供至頂側金屬層112C的連接，其可係用於輸入信號之至NAND單元1300之裝置的第二布線。

【0049】 在各種實施例中，顯示於圖14、圖15、圖17、及圖18中的NAND單元1300包括背側通孔122A及背側通孔122C。背側通孔122A提供下接觸件126D與背側金屬層120C之間的連接，如圖14及圖15所示。背側金屬層120C亦藉由背側通孔122C連接至下接觸件126F，如圖14及圖18所示。因此，背側金屬層120C提供在下接觸件126D（其連接至下閘極116A的下源極/汲極區

域124D）與下接觸件126F（其連接至下閘極116B的下源極/汲極區域124F）之間的內部（至單元）路由路徑。

【0050】 在某些實施例中，NAND單元1300包括通孔1302A及通孔1302B。如圖13、圖14、及圖18所示，通孔1302A及通孔1302B係將上接觸件126C連接至下接觸件126F的頂部至背部通孔。因此，通孔1302A及通孔1302B提供上閘極108B之上源極/汲極區域124C與下閘極116B之下源極/汲極區域124F之間的連接。應注意到在圖13及圖14的描繪中，通孔1302A及通孔1302B分別為接觸件114D及背側通孔122C從視圖所部分地隱藏。

【0051】 顯示在圖14及圖17中的NAND單元1300進一步包括背側通孔122B。背側通孔122B提供電力供應連接（來自背側金屬層120B，其係電力供應軌）至下源極/汲極區域124E。下源極/汲極區域124E係由下主動區域106中的下閘極116A及下閘極116B共用。因此，電力供應通過背側通孔122B而提供至所有主動閘極，因為下閘極116A及下閘極116B分別合併至上閘極108A及上閘極108B。

互補FET SRAM單元

【0052】 在各種實施例中，堆疊電晶體（諸如本文中描述者）可實施在記憶體單元（諸如SRAM單元）中。圖19描繪記憶體單元的示意表示。單元1700係，例如，6T SRAM記憶體單元。單元1700包括與在節點1712及節點1714饋入至輸出中的輸入交叉耦接的二個反相器1710A、1710B。節點1712耦接至傳送閘1720的輸出，且節點1714耦接至傳送閘1722的輸出。傳送閘1720、1722可有時稱為「存取閘」或「傳輸閘」。字線1730耦接至傳送閘

1720及傳送閘1722以提供控制信號至傳送閘。位元線1740耦接至傳送閘1720以從傳送閘讀取/寫入資料。與位元線1740互補的位元線1742耦接至傳送閘1722以從傳送閘讀取/寫入資料。

【0053】 具有反相器1710A、反相器1710B、傳送閘1720、及傳送閘1722的單元1700包括六個電晶體–在反相器的每一者中的二個及在傳送閘的每一者中的一個。在某些實施例中，反相器1710包括兩個互補電晶體-例如，各反相器包括NMOS電晶體及PMOS電晶體。傳送閘1720、1722可係相同類型的電晶體。在一實施例中，兩個傳送閘係NMOS電晶體。因此，在各種實施例中，單元1700包括四個NMOS電晶體及二個PMOS電晶體。

【0054】 本揭露設想在記憶體單元中實施堆疊電晶體的各種技術。例如，堆疊電晶體（諸如上文描述者）可實施在顯示於圖19中的6T SRAM記憶體單元中。利用記憶體單元中之堆疊電晶體的經揭示實施例提供用於將間隔以及記憶體單元中的多個電晶體最小化的能力。因此，記憶體單元的經揭示實施例包括採小擴縮因子的多個電晶體。

【0055】 本文揭示的某些實施例具有五個廣泛要件：1)具有平行的第一及第二主動區域的第一電晶體區域；2)具有平行的第三及第四主動區域的第二電晶體區域，其中第二電晶體區域垂直地定位在第一電晶體區域下方、3)藉由第一主動區域中的一電晶體及第三主動區域中的一電晶體形成的第一反相器、4)藉由第二主動區域中的一電晶體及第四主動區域中的一電晶體形成的第二反相器、及5)第一反相器與第二反相器之間的交叉耦接。在某些實施例中，反相器中之源極/汲極區域被合併。例如，在第一反相器中之兩個電晶體之閘極的相對側上的源極/汲極區域可合併。在某些實施例中，交叉耦接係藉由將在第

三主動區域中之電晶體之閘極的水平延伸部分與第四主動區域中之電晶體的源極/汲極區域耦接，及將在第四主動區域中之電晶體之閘極的水平延伸部分與第三主動區域中之電晶體的源極/汲極區域耦接而達成。

【0056】 在各種實施例中，閘極之用於交叉耦接的水平延伸部分係朝向其他主動區域延伸且可能延伸至其中的部分（例如，第三主動區域中之電晶體的閘極具有延伸至第四主動區域中的部分）。如本文描述地延伸閘極允許交叉耦接連接在記憶體單元之主動區域垂直下方的該單元的區域中製作。該交叉耦接亦可垂直地定位在任何背側層布線上方。此區域可藉由移除第三及第四主動區域之非主動部分中的材料而可用於交叉耦接。

【0057】 簡言之，本發明人已認知到堆疊電晶體可連同移除主動區域之非主動部分的材料實施在記憶體單元中，以促成由記憶體單元中之電晶體所形成之反相器的交叉耦接。反相器之在意圖用於非主動部分之區域中的交叉耦接提供維持目前設計理念，同時亦之於一般記憶體單元降低單元高度的記憶體單元構造。單元高度可由於交叉耦接使用在主動區域下方的區域中允許主動區域共同垂直地定位得更接近而降低。將主動區域之間的豎直間隔最小化因此允許降低記憶體單元的整體高度。

【0058】 圖20描繪根據一些實施例之具有堆疊電晶體的記憶體單元1800的頂側平面圖表示。圖21描繪根據一些實施例之具有堆疊電晶體的記憶體單元1800的背側平面圖表示。圖22描繪沿著顯示於圖20及圖21二者中之線A-A'的記憶體單元1800的截面表示。圖23描繪沿著顯示於圖20及圖21二者中之線B-B'的記憶體單元1800的截面表示。圖24描繪沿著顯示於圖20及圖21二者中之線C-C'的記憶體單元1800的截面表示。

【0059】 為簡化圖式，在本文揭示之單元的表示中僅顯示與本揭露相關的組件。所屬技術領域中具有通常知識者將理解，額外組件可存在於本文描繪之單元的任一者中。例如，在圖20及圖21中，各種連接（諸如本文描述的通孔或接觸件）可在一些描繪中可見。額外地，為更佳地理解所揭示實施例，提供一些材料透明度以促成下方組件在頂側及背側平面圖中的可見性。例如，在圖20及圖21中，閘極（例如，多晶矽線）及源極/汲極區域具有一些透明度以提供通孔/接觸件及在電晶體之下方區域中的主動區域的可見性，且在圖20及圖21中，頂側及背側金屬層具有透明度以提供將在平面圖中隱藏之電晶體的可見性。各種組件之深度可於圖22至圖24之截面表示中更清楚地見到。應注意，為了圖式中進一步簡化，頂側金屬層未描繪在圖22至圖24之截面表示中。

【0060】 在所繪示實施例中，單元1800包括二個上主動區域1810、1820（顯示於圖20中）及二個下主動區域1830、1840（顯示於圖21中）。在某些實施例中，上主動區域1810、1820係NMOS電晶體的主動區域，且下主動區域1830、1840係PMOS電晶體的主動區域。下主動區域1830、1840可包括非主動部分1833、1842（藉由圖21之主動區域中的傾斜填充圖案顯示）。非主動部分1833、1842可藉由在部分中不具有擴散材料（例如，通過移除擴散材料或不具有擴散材料沉積在該等部分中）或將擴散材料與下主動區域1830、1840的主動部分斷開（例如，藉由隔離結構或機制）而形成。

【0061】 上主動區域1810藉由擴散至擴散間隔距離1815而與上主動區域1820分開。類似地，下主動區域1830藉由擴散至擴散間隔距離1835而與下主動區域1840分開。在一些實施例中，距離1815及距離1835實質上係相同的距離。

【0062】 在所繪示實施例中，上主動區域1810包括在源極/汲極區域1814A與源極/汲極區域1814B之間的上閘極1812及在源極/汲極區域1814B與源極/汲極區域1814C之間的上閘極1816。上主動區域1820包括在源極/汲極區域1824A與源極/汲極區域1824B之間的上閘極1822及在源極/汲極區域1824B與源極/汲極區域1824C之間的上閘極1826。上閘極1812、1816、1822、1826可係多晶矽閘極或用於FET電晶體裝置的其他類型的閘極。在一實施例中，上閘極1812、1816、1822、1826係NMOS閘極。

【0063】 在某些實施例中，上閘極1812與上閘極1822分離，且上閘極1816與上閘極1826分離。例如，上閘極1812的多晶矽未連接至上閘極1822的多晶矽。類似地，上閘極1816的多晶矽未連接至上閘極1826的多晶矽。上閘極可藉由切割上閘極之間的多晶矽（例如，切割上主動區域1810與上主動區域1820之間的多晶矽）或從上主動區域1810及上主動區域1820中的分開多晶矽層形成上閘極而分開。分開上主動區域1810與上主動區域1820之間的上閘極在藉由此等上閘極形成的電晶體之間提供區別，以允許上閘極形成用於反相器及傳送閘的電晶體，如本文描述的。

【0064】 在所繪示實施例中，下主動區域1830包括在源極/汲極區域1834A與源極/汲極區域1834B之間的下閘極1832。下主動區域1840包括在源極/汲極區域1844B與源極/汲極區域1844C之間的下閘極1846。應注意到導因於非主動部分1833、1842的存在且由於僅需要二個電晶體與上主動區域中的四個電晶體組合以形成記憶體單元裝置，在下主動區域1830、1840中僅存在二個閘極區域。下閘極1832、1846可係多晶矽閘極或用於FET電晶體裝置的其他類型的閘極。在一個實施例中，下閘極1832、1846係PMOS閘極。

【0065】 在某些實施例中，如圖21所示，下閘極1832及下閘極1846的部分橫跨下主動區域1830與下主動區域1840之間的分開距離1835延伸。下閘極1832及下閘極1846的部分橫跨該分開距離延伸亦可在圖20的描繪中的上主動區域1810與上主動區域1820之間的間隙中見到。在一些實施例中，下閘極1832及下閘極1846的部分延伸橫跨分開距離1835在其他下主動區域的電晶體區域下方延伸。例如，如圖20及圖21所示，下閘極1832延伸至圍繞下主動區域1840的電晶體區域內，該電晶體區域在圍繞上主動區域1820的電晶體區域下方。類似地，下閘極1846延伸至圍繞下主動區域1830的電晶體區域內，該電晶體區域在圍繞上主動區域1810的電晶體區域下方。在一些實施例中，下閘極1832及下閘極1846的部分在上主動區域中定義傳送閘的電晶體區域下方延伸，如下文更詳細地描述的。下閘極1832及下閘極1846橫跨主動區域的延伸提供在單元1800中交叉耦接連接的能力，如下文更詳細地描述的。

【0066】 現在相關於在單元內製作各種連接以實施經配置為反相器及傳送閘的六個電晶體（例如，四個NMOS電晶體及二個PMOS電晶體）描述可實施在單元1800中的6T（六電晶體）SRAM記憶體單元的實例實施例。應理解可基於單元1800的經揭示結構而設想記憶體單元的各種額外實施例。如圖19所示，6T SRAM記憶體單元包括經配置以形成接著交叉耦接的二個反相器的二個NMOS電晶體及二個PMOS電晶體。接著經配置兩個更多之NMOS電晶體以形成連接至反相器的傳送閘。

【0067】 轉回至單元1800，顯示於圖20中的上閘極1812連同源極/汲極區域1814A及源極/汲極區域1814B可形成反相器1710A的第一NMOS電晶體1850。接著，如圖21中所示，上閘極1832連同源極/汲極區域1834A及源極/汲

極區域1834B可形成反相器1710A的第一PMOS電晶體1852。為了形成具有電晶體1850及電晶體1852的反相器1710A，源極/汲極區域1814A係藉由S/D合併1860A而與源極/汲極區域1834A合併。S/D合併1860A可係，例如，製作在源極/汲極區域1814A與源極/汲極區域1834A之間的通孔或其他實質垂直連接。源極/汲極區域1814A及源極/汲極區域1834A之合併合併了電晶體1850與電晶體1852之間的電力連接。

【0068】　此外，對於電晶體1850及電晶體1852，源極/汲極區域1814B藉由S/D合併1860B而與源極/汲極區域1834B合併（如圖22中所示）。源極/汲極區域1814A及源極/汲極區域1834A之合併合併了電晶體1850與電晶體1852之輸出。電晶體1850及電晶體1852的輸入可藉由使用閘極合併1862A合併上閘極1812與下閘極1832而合併。如圖23所示，閘極合併1862A可係製作在上閘極1812與下閘極1832之間的通孔或其他實質垂直連接。當電晶體1850及電晶體1852的輸入及輸出合併時，電晶體形成反相器1710A。

【0069】　圖19中所展示之反相器1710B可類似地由第二NMOS電晶體1854及第二PMOS電晶體1856形成，其等展示於圖20及圖21中。電晶體1854可藉由上閘極1826與源極/汲極區域1824B及源極/汲極區域1824C形成，如圖20所示。電晶體1856可藉由下閘極1846與源極/汲極區域1844B及源極/汲極區域1844C形成，如圖21所示。源極/汲極區域1814A係藉由S/D合併1860A而與源極/汲極區域1834A合併。

【0070】　為了形成具有電晶體1854及電晶體1856之反相器1710B，源極/汲極區域1824B係藉由S/D合併1860C而與源極/汲極區域1844B合併（如圖22所示），且源極/汲極區域1824C係藉由S/D合併1860D而與源極/汲極區域1844C

合併（亦顯示於圖24中）。源極/汲極區域1824B及源極/汲極區域1844B之合併合併了電晶體1854與電晶體1856之輸出，而源極/汲極區域1824C及源極/汲極區域1844C之合併合併了電晶體1854與電晶體1856之間的電力連接。接著，電晶體1854及電晶體1856的輸入可藉由使用閘極合併1862B合併上閘極1826與下閘極1846而合併。當電晶體1854及電晶體1856的輸入及輸出合併時，電晶體形成反相器1710B。

【0071】 在各種實施例中，除了反相器1710A、1710B外，單元1800提供形成傳送閘1720及傳送閘1722的可得性。例如，傳送閘1720可以第三NMOS電晶體1858形成，而傳送閘1722係以第四NMOS電晶體1859形成，如圖20所示。應注意到電晶體1858及電晶體1859二者係在沒有任何下方PMOS電晶體的狀況下形成（例如，在下主動區域的非主動部分上方）。在所繪示實施例中，電晶體1858係由上閘極1822連同源極/汲極區域1824A及源極/汲極區域1824B形成。電晶體1859係藉由上閘極1816與源極/汲極區域1814B及源極/汲極區域1814C形成。

【0072】 上閘極1816及上閘極1822可耦接至字線（例如，字線1730），用於使控制信號傳輸至閘極。可透過源極/汲極區域1814C提供至上閘極1816之位元線（例如，位元線1742）的讀取/寫入資料連接，而可透過源極/汲極區域1824A提供至上閘極1822之位元線（例如，位元線1740）的讀取/寫入資料連接。透過源極/汲極區域1814B提供電晶體1859之輸出（其對應於傳送閘1722），其亦係電晶體1850之輸出且與反相器1710A中之電晶體1852之輸出合併。相應地，透過源極/汲極區域1824B提供電晶體1858之輸出（其對應於傳送閘1720），其亦係電晶體1854之輸出且與反相器1710B中之電晶體1856之輸出

合併。因此，根據圖19的示意圖，電晶體1858、1859提供耦接至反相器1710A及反相器1710B的通過式閘極電晶體1720、1722。

【0073】 如上文討論的，在某些實施例中，下閘極1832（在反相器1710A的電晶體1852中）及下閘極1846（在反相器1710B中的電晶體1856中）朝向相對電晶體區域的主動區域的非主動部分延伸。此等延伸提供用於在單元1800的主動區域下方的反相器之間提供交叉耦接的能力。例如，如圖23所示，下閘極1832在形成在主動區域1820中的閘極1822下方延伸。利用下閘極1832之延伸，交叉耦接1864B可耦接在下閘極1832（其係反相器1710A中之合併PMOS電晶體閘極）及源極/汲極區域1844B（其係反相器1710B中之合併PMOS源極/汲極區域）之間。因此，交叉耦接1864B交叉耦接反相器1710A之輸入及反相器1710B之輸出。類似地，顯示於圖20至圖22中之交叉耦接1864A可實施以交叉耦接反相器1710B之輸入（藉由耦接至下閘極1846之延伸）及反相器1710A之輸出（藉由耦接至源極/汲極區域1834B，如圖22所示）。

【0074】 在某些實施例中，交叉耦接1864A、1864B定位在單元1800中的主動區域下方及背側金屬層120上方。例如，如圖22及圖23中所示，交叉耦接1864A、1864B耦接至PMOS電晶體之下電晶體區域中的下閘極及源極/汲極區域的背側（例如，底部）。導因於移除下主動區域1830、1840之非主動部分1833、1842中的材料，交叉耦接1864A、1864B可放置在此區域中。交叉耦接1864A、1864。在單元1800中使用交叉耦接1864A、1864B維持SRAM單元的目前設計理念，同時之於一般SRAM單元降低單元高度。例如，如使用下閘極1832及下閘極1846實施的交叉耦接1864A、1864B藉由允許使上主動區域1810、1820及下主動區域1830、1840二者更接近在一起而在單元1800中提供

更佳的面積擴縮。例如，在一些實施例中，上主動區域1810、1820及下主動區域1830、1840二者可用主動區域中的擴散區域之間的最小所需間隔定位。實施最小所需間隔可將單元1800的高度降低至約6T SRAM單元的一般高度的½。

巨集SRAM單元

【0075】 在各種實施例中，除了實施在記憶體單元（諸如SRAM單元（例如，SRAM位元單元））中之外，堆疊電晶體（諸如本文所描述者）可實施在與SRAM單元關聯的周邊單元中。例如，本揭露設想實施包括堆疊電晶體之行輸入/輸出邏輯單元的各種技術。將堆疊電晶體實施在周邊單元（諸如行輸入/輸出邏輯單元）中可允許在含有各種類型之SRAM單元（包括本文描述之SRAM單元的各種實施例）的記憶體裝置中使用頂側及背側布線。

【0076】 本文揭示的某些實施例具有四個廣泛要件：1)形成在相對於彼此垂直地設置的第一及第二電晶體區域中的複數個位元單元；2)位於位元單元上方的第一金屬層（例如，頂側金屬層）及位於位元單元下方的第二金屬層（例如，背側金屬層）、3)耦接至第一位元單元陣列的第一行輸入/輸出邏輯單元、及4)耦接至第二位元單元陣列的第二行輸入/輸出邏輯單元，其中第二位元單元陣列比第一位元單元陣列更接近邏輯單元。在某些實施例中，第一金屬層包括將第一位元單元陣列耦接至第一行輸入/輸出邏輯單元的第一布線，而第二金屬層包括將第二位元單元陣列耦接至第二行輸入/輸出邏輯單元的第二布線。在一些實施例中，行輸入/輸出邏輯單元實施堆疊電晶體，諸如本文所描述者。

【0077】 因此，在各種實施例中，第一行輸入/輸出邏輯單元提供用於更遠離裝置之周邊區域的位元單元的行I/O邏輯，而第二行輸入/輸出邏輯單元提

供用於更接近裝置之周邊區域的位元單元的行I/O邏輯。相較於在一記憶體裝置中僅使用頂側及背側布線用於布線邏輯，分割頂側及背側金屬層之間的布線降低布線擁塞。在各種實施例中，虛置單元可用於頂側與背側金屬層之間的位元線信號的局部布線。例如，虛置單元可用於接近第一陣列之位元單元（例如，遠離邏輯單元的位元單元）的局部布線。

【0078】 簡短來說，本發明人已認識到，在頂側金屬層及背側金屬層中的行I/O邏輯的布線可用於記憶體裝置中，以減輕記憶體裝置中的金屬擁塞。額外地，當將頂側金屬層及背側金屬層二者用於位元單元與邏輯單元之間的布線邏輯時，實施降低與前至背轉變（或反之亦然）關聯的任何面積損失的各種技術。在一些實施例中，各種布線路徑提供記憶體裝置內之邏輯的減少電阻路徑。利用實施各種揭示技術，記憶體裝置之所揭示實施例可具有強信號連接性，具有改善之讀取/寫入速度，且因此改善效能。

【0079】 圖25描繪根據一些實施例的記憶體裝置的方塊圖表示。在所繪示實施例中，記憶體裝置2300包括記憶體單元區域2310及邏輯電路單元區域2320。記憶體單元區域2310包括可劃分成遠位元單元陣列2312A及近位元單元陣列2312B的複數個位元單元。陣列中的位元單元可係，例如，上文描述的SRAM單元1800。如圖25中描繪的，遠位元單元陣列2312A包括定位成比近位元單元陣列2312B中的位元單元更遠離邏輯電路單元區域2320的複數個位元單元。

【0080】 在各種實施例中，邏輯電路單元區域2320包括多個行輸入/輸出(I/O)邏輯單元2322。行I/O單元2322可，例如，管理來自位元單元陣列2312的讀取/寫入。行I/O單元2322亦可包括感測放大器的部分。應理解，除了行輸入/輸出(I/O)邏輯單元2322外，邏輯電路單元區域2320可包括其他邏輯單元。

例如，邏輯電路單元區域2320亦可包括電力開關邏輯電路、字線邏輯電路單元、區域I/O電路單元、全域I/O電路單元等。在一些實施例中，邏輯電路單元區域2320可稱為記憶體裝置2300的周邊區域。

【0081】 在一經設想實施例中，邏輯電路單元區域2320包括用於記憶體單元區域2310中的各位元單元陣列的個別行I/O邏輯單元2322。例如，在所繪示實施例中，由於記憶體單元區域2310具有二個位元單元陣列2312A、2312B，邏輯電路單元區域2320包括第一行I/O邏輯單元2322A及第二行I/O邏輯單元2322B。

【0082】 在各種實施例中，第一行I/O邏輯單元2322A提供用於遠位元單元陣列2312A的行I/O邏輯，且第二行I/O邏輯單元2322B提供用於近位元單元陣列2312B的行I/O邏輯。在頂側金屬層112及背側金屬層120中之布線可用於記憶體裝置2300中，以減輕記憶體裝置中之金屬擁塞。本揭露設想在將頂側金屬層112及背側金屬層120二者使用在位元單元與邏輯單元之間的布線邏輯中時亦降低任何前至背轉變面積損失的布線方法。

【0083】 在某些實施例中，記憶體裝置2300利用頂側金屬層112及背側金屬層120以用於記憶體裝置中之位元線布線。例如，頂側金屬層112可用於近位元單元陣列2312B與第二行I/O邏輯單元2322B之間的位元布線，且背側金屬層120可用於遠位元單元陣列2312A與第一行I/O邏輯單元2322A之間的位元線布線。在所繪示實施例中，位元線1740A及位元線1742A提供遠位元單元陣列2312A中的位元線布線，且位元線1740B及位元線1742B提供近位元單元陣列2312B中的位元線布線。位元線1740及位元線1742可係如本文中所描述之互補位元線。

【0084】 如圖25所示，遠位元單元陣列2312A中的位元線1740A及位元線1742A分別耦接至位元線輸出2314A及位元線輸出2316A。接著，將位元線輸出2314A耦接至背側位元線布線2330，且位元線輸出2316A耦接至背側位元線布線2332。在某些實施例中，位元線1740A及位元線1742A在頂側金屬層112中。例如，如圖19及圖20所示，通過式閘極電晶體的輸出係在上電晶體區域中且耦接至頂側金屬層112。由於位元線1740A及位元線1742A係頂側金屬層112中的布線，如圖25所示，在背側位元線布線2330及背側位元線布線2332的定位處需要製作從頂側金屬層至背側金屬層120的轉變。

【0085】 在某些實施例中，虛置單元2340A、2340B分別定位在位元線輸出2314A、2316A處或附近。虛置單元2340A包括在頂側金屬層112中的位元線1740A與背側金屬層120中的背側位元線布線2330之間的連接。虛置單元2340B包括在頂側金屬層112中的位元線1742A與背側金屬層120中的背側位元線布線2332之間的連接。圖26描繪根據一些實施例之具有虛置單元2340的區域的頂側平面圖表示。圖27描繪根據一些實施例之具有虛置單元2340的區域的背側平面圖表示。圖28描繪沿著顯示於圖26及圖27二者中之線A-A'之具有虛置單元2340的區域的截面表示。圖29描繪沿著顯示於圖26及圖27二者中之線B-B'之具有虛置單元2340的區域的截面表示。

【0086】 在各種實施例中，如圖26中所示，除了位元線1740A及位元線1742A之外，區域2400中之頂側金屬層112包括接地信號2401及字線2402之布線。在各種實施例中，如圖27中所示，除了背側位元線布線2330及背側位元線布線2332之外，區域2400中之頂側金屬層120包括信號2500及電力信號2502之布線。在某些實施例中，虛置閘2410經定位相鄰於區域2400之兩側上的主動閘

2440。虛置閘2410可係例如閘極切割或隔離虛置閘之間的區域的其他閘極。隔離可包括例如禁止連接至虛置閘2410之間的區域內之任何閘極活動。

【0087】 在某些實施例中，虛置單元2340A、2340B包括形成在位元線1740A與背側位元線布線2330之間且在位元線1742A與背側位元線布線2332之間的溝槽金屬2420，如圖26至圖29所示。位元線1740A、1742A可藉由通孔2430耦接至溝槽金屬2420（顯示於圖26及圖28至圖29中），且背側位元線布線2330，2332可藉由通孔2530耦接至溝槽金屬2420（顯示於圖27至圖29中）。

【0088】 將溝槽金屬2420用於位元線1740A、1742A與背側位元線布線2330、2332之間的連接為從頂側金屬層112轉變至背側金屬層120的位元線信號提供低電阻路徑。虛置單元2340為在遠位元單元陣列2312A處或附近的位元線信號提供局部流量管理。雖然虛置單元2340在記憶體裝置2300中具有一些面積損失，由於將虛置單元局部化在淺金屬層且不與任何全域布線關聯，面積損失係小的。

【0089】 轉回至圖25，在位元線信號分別在虛置單元2340A、2340B路由至背側位元線布線2330及背側位元線布線2332之後，背側位元線布線在第一行I/O單元2322A分別將信號運載至位元線輸入2324A及位元線輸入2326A。如下文描述的，第一行I/O單元2322A中的位元線輸入2324A及位元線輸入2326A（及第二行I/O單元2322B中的位元線輸入）係在背側金屬層中的輸入。因此，將位元線信號從背側位元線布線2330及背側位元線布線2332傳輸至第一行I/O單元2322A中的位元線輸入2324A及位元線輸入2326A不需要頂側金屬層112與背側金屬層120之間的額外轉變。

【0090】 現在轉向近位元單元陣列2312B，位元線1740B及位元線1742B分別耦接至位元線輸出2314B及位元線輸出2316B。接著將位元線輸出2314B及位元線輸出2316B分別耦接至頂側位元線布線2334及頂側位元線布線2336。因為位元線1740B、1742B及頂側位元線布線2334、2336二者皆位於頂側金屬層112中，在近位元單元陣列2312B處不需要頂側金屬層與背側金屬層120之間的轉變。

【0091】 在所繪示實施例中，頂側位元線布線2334及頂側位元線布線2336在第二行I/O單元2322B將來自近位元單元陣列2312B的位元線信號分別運載至位元線輸入2324B及位元線輸入2326B。如上所提及與以下所述，位元線輸入2324B及位元線輸入2326B定位於背側金屬層120中。因此，在位元線輸入2324B及位元線輸入2326B處可需要自頂側金屬層112至背側金屬層120的轉變。

【0092】 在某些實施例中，虛置單元2350定位在位元線輸入2324B、2326B處或降近。虛置單元2350包括在頂側金屬層112中的頂側位元線布線2334與背側金屬層120中的位元線輸入2324B之間的連接及在頂側金屬層112中的頂側位元線布線2336與背側金屬層120中的位元線輸入2326B之間的連接。圖30描繪根據一些實施例之具有虛置單元2350的區域的頂側平面圖表示。圖31描繪根據一些實施例之具有虛置單元2350的區域的背側平面圖表示。圖32描繪沿著顯示於圖30及圖31二者中之線A-A'之具有虛置單元2350的區域的截面表示。圖33描繪沿著顯示於圖30及圖31二者中之線B-B'之具有虛置單元2350的區域的截面表示。

【0093】 在各種實施例中，如圖30中所示，除了頂側位元線布線2334及頂側位元線布線2336之外，區域2800中之頂側金屬層112包括接地信號2802及

信號2804的布線。在各種實施例中，如圖31中所示，除了位元線輸入2330及位元線輸入2332之外，區域2800中之背側金屬層120包括信號2900及電力信號2902之布線。在某些實施例中，虛置閘2810經定位相鄰於區域2800之兩側上的主動閘2840。虛置閘2810可係例如閘極切割或隔離虛置閘之間的區域的其他閘極。隔離可包括例如禁止連接至虛置閘2810之間的區域內之任何閘極活動。

【0094】 在某些實施例中，虛置單元2350包括形成在頂側位元線布線2334與位元線輸入2324B之間及在頂側位元線布線2336與位元線輸入2326B之間的溝槽金屬2820，如圖30至圖33所示。頂側位元線布線2334、2336可藉由通孔2830耦接至溝槽金屬2820（顯示於圖30及圖32至圖33中），且位元線輸入2324B，2326B可藉由通孔2930耦接至溝槽金屬2820（顯示於圖31至圖33中）。

【0095】 類似於虛置單元2340，將溝槽金屬2820用於頂側位元線布線2334、2336與背側位元線輸入2324B、2326B之間的連接為從頂側金屬層112轉變至背側金屬層120的位元線信號提供低電阻路徑。虛置單元2350為邏輯電路單元區域2320中的位元線信號提供局部流量管理（例如，在周邊區域中）。

【0096】 轉回圖25，如同第一行I/O單元2322A，第二行I/O單元2322B中的位元線輸入2324B、2326B係在背側金屬層120中的輸入。因此，在位元線信號藉由虛置單元2350路由至位元線輸入2324B及位元線輸入2326B之後，第二行I/O單元2322B可在適當金屬層中接收位元線信號。通過頂側金屬層112及背側金屬層的組合使用位元線信號之從記憶體單元區域2310至邏輯電路單元區域2320的各種布線，在各種實施例中，邏輯電路單元區域中的行邏輯I/O單元2322可在簡單製造方案中具有單極連接性。

【0097】 在各種實施例中，行I/O單元2322可實施堆疊電晶體以將連接性提供給上文描述之用於記憶體裝置2300的各種布線。圖34描繪根據一些實施例之行I/O單元2322的示意表示。在所繪示實施例中，單元2322包括五個PMOS電晶體及二個NMOS電晶體。PMOS電晶體包括PMOS1電晶體3210、PMOS2電晶體3220、PMOS3電晶體3230、PMOS4電晶體3240、及PMOS5電晶體3250。NMOS電晶體包括NMOS1電晶體3260及NMOS2電晶體3270。

【0098】 如圖34所示，用於單元2322中之電晶體的各種布線及連接係由頂側金屬層112（實線）及背側金屬層120（虛線）提供。在某些實施例中，單元2322包括Vdd 3202、Vss 3203、PCH 3204、Rcs 3206、Wcs 3208、字線輸出3280A、3280B、及感測輸出3282A、3282B。Vdd 3202提供至用於單元2322之電力的布線，而Vss 3203提供至接地的布線。PCH 3204將PMOS1電晶體3210、PMOS2電晶體3220及PMOS3電晶體3230耦接以形成一預充電電路。Rcs 3206耦接PMOS4電晶體3240及PMOS5電晶體3250，用於讀取行選擇電路，且Wcs 3208耦接NMOS1電晶體3260及NMOS2電晶體3270，用於寫入行選擇電路。字線輸出3280A、3280B提供來自單元2322的寫入輸出，且感測輸出3282A、3282B提供來自單元2322的讀取輸出。

【0099】 在某些實施例中，單元2322中的電晶體可藉由如本文描述的堆疊電晶體形成。例如，PMOS電晶體形成於下電晶體區域中，且NMOS電晶體形成於上電晶體區域中。圖35描繪根據一些實施例之單元2322的布局。在圖35中，頂部面板係上電晶體區域3300的頂側平面視圖表示，且底部面板係下電晶體區域3350的背側平面視圖表示。上電晶體區域3300包括上主動區域3302且下電晶體區域3350包括下主動區域3352。

【0100】 在圖35中的上電晶體區域3300的所繪示實施例中，頂側金屬層112包括用於位元線輸入2324、位元線輸入2326、Vss 3203、Wcs 3208、及字線輸出3280A、3280B的布線。NMOS1電晶體3260包括閘極3262A、3262B、3262C及源極/汲極區域3264A、3264B、3264C、3264D。NMOS2電晶體3270包括閘極3272A、3272B、3272C及源極/汲極區域3267A、3274B、3274C、3274D。虛置閘3310（例如，閘極切割）分離NMOS1電晶體3260及NMOS2電晶體3270。Vias 3312使用Wcs 3208連接閘極3262及閘極3272。Vias 3312亦連接源極/汲極區域3264A及源極/汲極區域3264C至字線輸出3280A，以及連接源極/汲極區域3274B及源極/汲極區域3274D至字線輸出3280B。但更多通孔3312連接源極/汲極區域3264B及源極/汲極區域3264D至位元線輸入2324，以及連接源極/汲極區域3274A及源極/汲極區域3274C至位元線輸入2326。

【0101】 在圖35中的下電晶體區域3350的所繪示實施例中，背側金屬層120包括用於位元線輸入2324、位元線輸入2326、Vdd 3202、PCH 3204、Rcs 3206、及感測輸出3282A、3282B的布線。PMOS1電晶體3210包括閘極3212及源極/汲極區域3214A、3214B。PMOS2電晶體3220包括閘極3222及源極/汲極區域3214B、3214C。PMOS2電晶體3230包括閘極3232及源極/汲極區域3214C、3214D。虛置閘3320接著分離源極/汲極區域3214D及PMOS2電晶體3230與PMOS4電晶體3240中之源極/汲極區域3230。PMOS4電晶體3240包括閘極3242及源極/汲極區域3244A、3244B。另一虛置閘3320接著分離PMOS4電晶體3240及PMOS5電晶體3250。PMOS5電晶體3250包括閘極3252及源極/汲極區域3254A、3254B。

【0102】 Vias 3322藉由PCH 3204連接閘極3212、閘極3222、及閘極3232。Vias 3322亦使用Rcs 3206連接閘極3242及3252。更多通孔3322連接源極/汲極區域3244B以感測輸出3282A，及連接源極/汲極區域3254B以感測輸出3282B。但更多通孔3322連接源極/汲極區域3214B及源極/汲極區域3244A至位元線輸入2324，以及連接源極/汲極區域3214C及源極/汲極區域3254A至位元線輸入2326。Vdd藉由額外通孔3322連接至源極/汲極區域3214A及源極/汲極區域3214D。

【0103】 在一些實施例中，下電晶體區域3350中的源極/汲極區域3214B係藉由源極/汲極合併3290A而與上電晶體區域3300中的源極/汲極區域3264B合併。此外，源極/汲極區域3254A可藉由源極/汲極合併3290B而與源極/汲極區域3274C合併。這些源極/汲極區域的合併提供NMOS電晶體與PMOS電晶體之間的必要連接。

【0104】 本文所述之記憶體裝置2300的實施例提供一種記憶體裝置，其可使用目前的佈局技術而提供強信號連接性，而不具有顯著的面積代價。記憶體裝置2300中之布線利用通過頂側及背側金屬層之位元線布線，以避免裝置中之金屬布線擁塞。記憶體裝置2300亦使用本文所描述之各種布線路徑及連接路徑而避免單極裝置製造所涉及的典型複雜性。本文描述的各種連接路徑亦可減少記憶體裝置2300內的電阻，且因此改善讀取/寫入速度及記憶體裝置的效能。

垂直電晶體單元

【0105】 電晶體設計中的最近發展係垂直電晶體的實施方案，其中該等單元具有透過垂直位移的源極/汲極區域的垂直運輸及垂直地定位在源極/汲極

區域之間的閘極。目前垂直電晶體設計一般包括用於電力遞送的在單元之邊界處的寬前側（例如，頂側）電力軌。然而，此等寬電力軌促成增加的且大的標準單元高度。較大的標準單元高度降低垂直電晶體的面積效率，而同時亦降低電晶體的可用連接性及效能。

【0106】 本揭露設想各種實施例，其利用垂直電晶體設計中之背側電力布線以減少縮放、提供較佳的連接性、及提供電晶體之較佳的效能。本文所揭露之某些實施例具有四個廣義元件：1)在一積體電路單元中的一對垂直電晶體；2)在具有信號布線的垂直電晶體之電晶體區域上方的頂側金屬層、3)在具有電力布線的電晶體區域下方的背側金屬層、及4)在背側金屬層與電晶體的源極/汲極區域之間的金屬接觸層。在某些實施例中，該等電晶體係互補電晶體。在一些實施例中，通孔將背側金屬層中的電力布線耦接至金屬接觸層。在一些實施例中，第二對垂直電晶體可包括在該單元中。在各種實施例中亦可設想閘極通孔、鰭片、接觸通孔、及各種其他連接及布線的額外實施方案。

【0107】 在各種實施例中，控制信號及電力信號連接係使用各種接觸件或通孔來製成，以實施與具有用於本文描述的單元構造之多個垂直電晶體的特定積體電路裝置相關聯的邏輯。例如，下文描述可基於垂直電晶體單元構造而實施的反相器裝置、NAND裝置、及MUX裝置的實例。亦描述用於控制信號及電壓信號至單元構造內的垂直電晶體之各種可能連接的實施例。所屬技術領域中具有通常知識者將理解此等各種可能連接的組合可經實施以基於本文所揭露之單元構造內的垂直電晶體結構而產生許多不同的所欲電路。

【0108】 簡言之，本發明人已認知到，用於與垂直電晶體組合的電力連接之背側布線的實施方案提供具有減少縮放的特定電晶體設計之構造的各種機

會。額外地，實施各種技術以提供用於在具有本文所描述的垂直電晶體之單元構造內的控制信號及電力布線的特定布線。利用各種所揭露技術的實施方案，已設想在小比例因數中提供改善效能的垂直電晶體單元構造。

【0109】 圖36描繪根據一些實施例之經設想垂直電晶體裝置的透視表示。圖37描繪根據一些實施例之另一經設想垂直電晶體裝置的透視表示。應注意顯示於圖36中的裝置3400及顯示於圖37中的裝置3500係垂直電晶體為基裝置結構的通用表示而未描繪可對該等結構製作的各種連接。下文相關於圖38至圖54以進一步揭露連接結構的實例實施例。

【0110】 在圖36的所繪示實施例中，裝置3400包括兩個垂直電晶體3410、3420。在某些實施例中，電晶體3410、3420係互補類型的電晶體。例如，電晶體3410係PMOS電晶體，而電晶體3420係NMOS電晶體。電晶體3410包括下源極/汲極區域3412、閘極3414、及上源極/汲極區域3416。類似地，電晶體3420包括下源極/汲極區域3422、閘極3424、及上源極/汲極區域3426。在一些實施例中，閘極3414及閘極3424係鰭片型閘極。在各種實施例中，閘極3414包括閘極間隔物3415，而閘極3424包括閘極間隔物3425。為了圖式中的簡單起見，閘極間隔物3415、3425未標記在其餘圖式中。

【0111】 如圖36所描繪，下源極/汲極區域、閘極、及上源極/汲極區域係堆疊在電晶體的垂直維度上。進一步如所描繪，電晶體3410及電晶體3420係平行且具有在裝置3400的水平方向（例如，水平維度）上介於其等之間的間隔（例如，距離）。

【0112】 在某些實施例中，電晶體3410包括耦接至上源極/汲極區域3416的上接觸件3418，而電晶體3420包括耦接至上源極/汲極區域3426的上接觸件

3428。接觸件3418及接觸件3428可係例如用於接觸位於電晶體3410及電晶體3420上方之第一金屬層中的各種資源的金屬接觸件。例如，如圖36所示，接觸件3418可藉由布線3430（例如，藉由點線顯示的布線）路由至資源。路由3430可係例如在電晶體3410及電晶體3420上方的第一金屬層中的金屬層路由路徑。應注意，路由3430的點線描繪係提供作為在金屬層中之一個資源（例如，布線）的實例，且金屬層可包括多個資源（例如，多個布線）。額外地，僅描繪在電晶體3410及電晶體3420上方的第一金屬層，且可存在路由3430上方的多個額外金屬布線。

【0113】 在各種實施例中，電晶體3410包括耦接至下源極/汲極區域3412的下接觸件3419，而電晶體3420包括耦接至下源極/汲極區域3422的下接觸件3429。接觸件3419、3429可係例如金屬接觸件。接觸件3419、3429可用以路由至背側電力布線層（例如，背側電力布線3440A或背側電力布線3440B，如圖36所示且於本文所描述的）或路由至裝置3400內的各種其他資源。

【0114】 在某些實施例中，裝置3400包括背側電力層。在圖36的所繪示實施例中，背側電力層包括背側電力布線3440A及背側電力布線3440B。布線3440A及布線3440B可例如提供布線至/自用於裝置3400的電源（例如，Vdd）及電力接地（例如，Vss）資源。

【0115】 在各種實施例中，閘極3414與閘極3424係藉由閘極橋接器3450來互連。閘極橋接器3450可例如由閘極3414及閘極3424的閘極材料之延伸部所形成以將該等閘極耦接在一起。在一些實施例中，閘極橋接器3450可由來自延伸至另一閘極的閘極3414或閘極3424之閘極材料的單一延伸部所形成。閘極橋接器3450亦可包括用於閘極間隔物的材料的延伸部。閘極橋接器3450合併閘極

3414及閘極3424以用於在CMOS裝置的各種實施例中之電晶體3410及電晶體3420的實施方案，其一些實例係描述在本文中。亦可設想各種實施例，其中閘極3414及/或閘極3424在其他方向上延伸。例如，閘極可包括朝向裝置3400的外邊界（例如，朝向在閘極橋接器3450的相反方向上之單元結構的外邊界）延伸的延伸部。

【0116】 在圖37的所繪示實施例中，裝置3500不具有連接電晶體3410中的閘極3414與電晶體3420中的閘極3424之閘極橋接器。可設想沒有閘極橋接器的用於連接電晶體3410與電晶體3420的各種技術。例如，在一個所設想實施例中，接觸件3418與接觸件3428可藉由帶3510來連接。帶3510可係例如金屬帶。在一些實施例中，接觸件3418、接觸件3428、及帶3510可形成為單一接觸件（例如，連接上源極/汲極區域3416與上源極/汲極區域3426的單一帶）。亦可設想各種實施例，其中帶3510自接觸件3418、3428之一者延伸在另一方向上。例如，帶3510可朝向裝置3500中的另一垂直電晶體或資源延伸垂直於所描繪的實施例。

【0117】 在另一所設想實施例中，接觸件3419與接觸件3429可藉由帶3520來連接。帶3520亦可係金屬帶。在一些實施例中，帶3520係連同接觸件3419及接觸件3429而形成為單一接觸件。例如，帶3520、接觸件3419、及接觸件3429可係形成在接觸層中的單一金屬接觸板之部分。亦可設想各種實施例，其中接觸件3419及/或接觸件3429自電晶體3410、3420的底部向外延伸。例如，接觸件可具有朝向裝置3500的外邊界（例如，朝向單元結構的外邊界）延伸的部分。

【0118】 應理解，雖然圖36中所示的裝置3400及圖37中所示的裝置3500係以各種連接結構分開地描繪，但可設想其中在單元設計中來自裝置3400的結構與來自裝置3500的結構組合的實施例。例如，可設想包括兩者閘極橋接器3450及帶3510與帶3520之一或兩者的裝置。現在描述各種實例裝置單元構造為基於裝置3400及/或裝置3500的實例。應注意，各種裝置單元構造係提供為實例，且各種額外裝置單元構造可基於本文的描述來實施。

【0119】 圖38至圖42描繪根據一些實施例之反相器單元構造的表示。圖38描繪根據一些實施例之反相器單元構造的透視圖表示。圖39描繪根據一些實施例之反相器單元構造的頂側平面圖表示。圖40描繪根據一些實施例之反相器單元構造的背側平面圖表示。圖41描繪根據一些實施例之沿著顯示於圖39中之線41-41（例如，沿著閘極橋接器）的反相器單元構造的截面表示。圖42描繪根據一些實施例之沿著顯示於圖39中之線42-42（例如，垂直於電晶體3410的閘極鰭）的反相器單元構造的截面表示。

【0120】 反相器單元裝置3600可衍生自顯示於圖36中的裝置3400的結構。在圖38至圖42的所繪示實施例中，裝置3600包括垂直電晶體3410及垂直電晶體3420。電晶體3410包括下源極/汲極區域3412、閘極3414、上源極/汲極區域3416、上接觸件3418、及下接觸件3419。電晶體3420包括下源極/汲極區域3422、閘極3424、上源極/汲極區域3426、上接觸件3428、及下接觸件3429。在裝置3600的所繪示實施例中，電晶體3410係PMOS電晶體，而電晶體3420係NMOS電晶體。

【0121】 在某些實施例中，裝置3600包括背側通孔3610A、3610B。背側通孔3610A係透過下接觸件3419而耦接至下源極/汲極區域3412。背側通孔

3610A將下源極/汲極區域3412耦接至背側電力布線3440A。針對裝置3600，背側電力布線3440A提供電力供應（例如，Vdd）至下源極/汲極區域3412及電晶體3410。背側通孔3610B係透過下接觸件3429而耦接至下源極/汲極區域3422。背側通孔3610B將下源極/汲極區域3422耦接至背側電力布線3440B。針對裝置3600，背側電力布線3440B提供接地供應（例如，Vss）至下源極/汲極區域3422及電晶體3420。

【0122】 在各種實施例中，裝置3600包括頂側通孔3620A、3620B。頂側通孔3620A可透過上接觸件3418而耦接至上源極/汲極區域3416，且頂側通孔3620B可透過上接觸件3428而耦接至上源極/汲極區域3426。頂側通孔3620A、3620B可提供連接至電晶體3410及電晶體3420上方的第一金屬層中的信號布線資源（例如，路由3430A至3430E）。例如，在所繪示實施例中，頂側通孔3620A係耦接至路由3430B，而頂側通孔3620B係耦接至路由3430D。路由3430B及3430D可各別地提供用於來自電晶體3410及電晶體3420的輸出信號的路由。

【0123】 在某些實施例中，由路由3430C提供用於至電晶體3410及電晶體3420的輸入信號的路由。如圖38及圖39所示，路由3430C係耦接至閘極通孔3630，其係耦接至閘極橋接器3450。因此，閘極通孔3630提供在路由3430C（例如，輸入信號路由）與電晶體3410中的閘極3414及電晶體3420中的閘極3424兩者之間的連接。利用至輸入信號路由、輸出信號路由、及電力供應/接地路由的連接，電晶體3410及電晶體3420經連接以形成反相器單元裝置3600。

【0124】 應注意，雖然圖38及圖39描繪在電晶體3410及電晶體3420上方的第一金屬層中的五個路由3430A至3430E，但第一金屬層可包括額外路由。

進一步，額外金屬層可定位在第一金屬層上方且提供至第一金屬層或裝置3600任一者的各種連接。例如，在一個實施例中，在第一金屬層上方的金屬層可包括耦接路由3430B及路由3430D之帶（或其他連接器），使得電晶體3410及電晶體3420的輸出係合併在一起成為單一輸出。額外地，雖然顯示兩個背側電力布線（例如，布線3440A及布線3440B），但背側電力層可包括額外布線（例如，用於其他電力及信號資源的布線）。

【0125】 圖39及圖40所示的裝置3600的頂側及背側平面圖進一步描繪可存在電晶體的閘極中的閘極鰭片。例如，閘極鰭片3415係閘極3414的閘極鰭片，而閘極鰭片3425係閘極3424的閘極鰭片。閘極鰭片3415及閘極鰭片3425亦顯示在圖41中的裝置3600的截面表示圖中，而閘極鰭片3415係顯示在圖42中的電晶體3410的截面表示圖中。應注意，圖42的截面表示圖係垂直於電晶體3410的閘極鰭片，其係圖38及圖39所示的路由3430B的方向。

【0126】 圖43至圖47描繪根據一些實施例之NAND單元構造的表示。圖43描繪根據一些實施例之NAND單元構造的透視表示圖。圖44描繪根據一些實施例之NAND單元構造的頂側平面表示圖。圖45描繪根據一些實施例之NAND單元構造的背側平面圖表示。圖46描繪根據一些實施例之沿著顯示於圖44中之線46-46（例如，沿著閘極橋接器3450'）的NAND單元構造的截面表示。圖47描繪根據一些實施例之沿著顯示於圖44中的線47-47（例如，垂直於電晶體3410及電晶體3410'的閘極鰭）之NAND單元構造的截面表示。

【0127】 NAND單元裝置4100可衍生自顯示於圖36中的裝置3400的結構。在圖43至圖47的所繪示實施例中，裝置4100包括垂直電晶體3410、垂直電晶體3420、垂直電晶體3410'、及垂直電晶體3420'。電晶體3410包括下源極/汲

極區域3412、閘極3414、及上源極/汲極區域3416。電晶體3420包括下源極/汲極區域3422、閘極3424、及上源極/汲極區域3426。電晶體3410'包括下源極/汲極區域3412'、閘極3414'、及上源極/汲極區域3416'。電晶體3420'包括下源極/汲極區域3422'、閘極3424'、及上源極/汲極區域3426'。在裝置4100的所繪示實施例中，電晶體3410及電晶體3410'係PMOS電晶體，而電晶體3420及電晶體3420'係NMOS電晶體。

【0128】　在某些實施例中，由路由3430C提供用於至電晶體3410、電晶體3410'、電晶體3420、及電晶體3420'之輸入信號的路由。如圖43及圖44所示，路由3430C係耦接至閘極通孔3630A（其係耦接至閘極橋接器3450）及閘極通孔3630B（其係耦接至閘極橋接器3450'）。因此，閘極通孔3630A提供在路由3430C（例如，輸入信號路由）與電晶體3410中的閘極3414及電晶體3420中的閘極3424兩者之間的連接。閘極通孔3630B提供在路由3430C（例如，輸入信號路由）與電晶體3410'中的閘極3414'及電晶體3420'中的閘極3424'兩者之間的連接。

【0129】　在某些實施例中，電晶體3410的上源極/汲極區域3416與電晶體3410'的上源極/汲極區域3416'係由接觸件3418連接。類似地，電晶體3420的上源極/汲極區域3426與電晶體3420'的上源極/汲極區域3426'係由接觸件3428連接。在各種實施例中，裝置4100包括連接至接觸件3418的頂側通孔3620。頂側通孔3620可提供至裝置4100的電晶體區域上方之第一金屬層中的路由3430B的連接。在所繪示實施例中，路由3430B提供用於來自電晶體3410及電晶體3410'的輸出信號的路由。

【0130】　在所繪示實施例中，僅電晶體3410、電晶體3410'、及電晶體3420連接至背側層。例如，電晶體3410係藉由接觸件3419及背側通孔3610A而

連接至背側電力布線3440A，電晶體3410'係藉由接觸件3419'及背側通孔3610A'而連接至背側電力布線3440A，且電晶體3420係藉由接觸件3429及背側通孔3610B而連接至背側電力布線3440B，如圖42及圖45所示。在裝置4100的各種實施例中，背側電力布線3440A提供電力供應（例如，Vdd）至下源極/汲極區域3412和電晶體3410、以及至下源極/汲極區域3412'和電晶體3410'，而背側電力布線3440B提供接地供應（例如，Vss）至下源極/汲極區域3422及電晶體3420。

【0131】 在某些實施例中，電晶體3420'中的下源極/汲極區域3422'係連接至接觸件3429'，其未連接至背側電力布線層。接觸件3429'延伸遠離下源極汲極區域3422'且朝向單元的邊界延伸，如圖43、圖45、及圖46所示。接觸件3429'係接著藉由接觸通孔4110而耦接至路由3430E。路由3430E係在電晶體區域上方的第一金屬層中的路由。接觸通孔4110係屬於裝置4100的單元結構的通孔，且不與沿著單元邊界的任何相鄰單元共用。在某些實施例中，路由3430E係用於來自電晶體3420'的信號輸出之第一金屬層中的信號路由。因此，NMOS電晶體（例如，電晶體3420及電晶體3420'）中的信號透過電晶體而自下源極/汲極區域3422布線（藉由背側電力布線3440B而連接至接地），且透過接觸通孔4110而布線出至路由3430E。

【0132】 在所繪示實施例中，路由3430E提供用於來自電晶體3420及電晶體3420'的輸出信號的路由。透過路由3430E而路由的輸出信號可與來自路由3430B的輸出信號組合。例如，在第一金屬層上方的金屬層可包括耦接路由3430B與路由3430E的帶（或其他連接器），使得電晶體的輸出係合併在一起成為單一輸出。

【0133】 裝置4100中的各種布線及連接形成NAND單元裝置。圖44及圖45各別地繪示閘極3414、3414'、3424、3424'中的閘極鰭片3415、3415'、3425、3425'。閘極鰭片3415'及閘極鰭片3425'亦顯示在圖46中的裝置4100的截面表示圖中，而閘極鰭片3415及閘極鰭片3415'係顯示在圖47中的裝置4100的截面表示圖中。應注意，圖47的截面表示圖係垂直於電晶體3410及電晶體3410'的閘極鰭片 ，其係圖44所示的路由3430B的方向。

【0134】 圖48至圖52描繪根據一些實施例之MUX（多工器）單元構造的表示。圖48描繪根據一些實施例之MUX單元構造的透視表示圖。圖49描繪根據一些實施例之MUX單元構造的頂側平面表示圖。圖50描繪根據一些實施例之MUX單元構造的背側平面圖表示。圖51描繪根據一些實施例之沿著顯示於圖49中之線51-51（例如，沿著閘極鰭3415'及閘極鰭3425''）的MUX單元構造的截面表示。圖52描繪根據一些實施例之沿著顯示於圖49中的線52-52（例如，垂直於電晶體3410及電晶體3410''的閘極鰭）之MUX單元構造的截面表示。

【0135】 MUX單元裝置4600可係衍生自圖37所示的裝置3500的結構。在圖48至圖52的所繪示實施例中，裝置4600包括垂直電晶體3410、垂直電晶體3420、垂直電晶體3410''、及垂直電晶體3420''。如在裝置3500中，在裝置4600中的電晶體的閘極之間不存在閘極橋接器，使得在互補類型電晶體之間不存在共同閘極。電晶體3410包括下源極/汲極區域3412、閘極3414、及上源極/汲極區域3416。電晶體3420包括下源極/汲極區域3422、閘極3424、及上源極/汲極區域3426。電晶體3410''包括下源極/汲極區域3412''、閘極3414''、及上源極/汲極區域3416''。電晶體3420''包括下源極/汲極區域3422''、閘極3424''、及上源極/

汲極區域3426"。在裝置4600的所繪示實施例中，電晶體3410及電晶體3410"係PMOS電晶體，而電晶體3420及電晶體3420"係NMOS電晶體。

【0136】 由於MUX單元裝置4600係傳輸裝置，電晶體3410和電晶體3410"均未並且電晶體3420和電晶體3420"均未連接至MUX單元結構中的任何電力。在MUX單元裝置4600的各種實施例中，電晶體的下源極/汲極區域係連接在一起（例如，合併在一起）。例如，在所繪示實施例中，接觸板4620係連接至電晶體3410中的下源極/汲極區域3412、電晶體3410"中的下源極/汲極區域3412"、電晶體3420中的下源極/汲極區域3422、及電晶體3420"中的下源極/汲極區域3422"。

【0137】 在某些實施例中，接觸通孔4630係耦接至接觸板4620。在或接近該接觸板的中心處，接觸通孔4630可連接至接觸板4620。接觸通孔4630接著連接至在電晶體區域上方的第一金屬層中的路由3430C。在各種實施例中，路由3430C提供用於MUX單元裝置4600的輸出布線。因此，接觸通孔4630可稱為MUX單元裝置4600的輸出接腳。

【0138】 在各種實施例中，閘極3414、3414"、3424、3424"係朝向該單元的邊界延伸，以提供用於自上方第一金屬層中的路由至閘極之直接垂直連接的表面。例如，如圖48至圖52所繪示的，閘極3414包括朝向單元之邊界延伸的閘極延伸4640A（例如，水平朝向單元的邊界延伸）。類似地，閘極3414"包括閘極延伸部4640B，閘極3424包括閘極延伸部4640C，而閘極3424"包括閘極延伸部4640D。閘極延伸部4640A至4640D接著各別地藉由閘極通孔3630A至3630D而連接至上方第一金屬層中的路由。例如，如圖48及圖49所示，閘極通孔3630A將閘極延伸部4640A連接至路由3430A，閘極通孔3630B將閘極延伸部

4640B連接至路由3430A，閘極通孔3630C將閘極延伸部4640C連接至路由3430E，且閘極通孔3630D將閘極延伸部4640D連接至路由3430E。路由3430A及路由3430E之一者或兩者係位於單元的邊界處且不與相鄰單元共用。路由3430A及路由3430E可提供至裝置4600的輸入路由。

【0139】 在某些實施例中，電晶體3410中的上源極/汲極區域3416係藉由接觸件4610A而連接至電晶體3420中的上源極/汲極區域3426。此連接合併上源極/汲極區域3416與上源極/汲極區域3426。類似地，電晶體3410"中的上源極/汲極區域3416"係藉由接觸件4610B而連接至電晶體3420"中的上源極/汲極區域3426"。利用此等上源極/汲極區域與在下源極/汲極區域之間的共同連接（及透過接觸通孔4630的單一輸出）的合併，裝置4600可操作為MUX（多工器），其中信號係透過閘極通孔3630A至3630D而輸入且透過接觸通孔4630而輸出。

【0140】 圖49及圖50各別地繪示閘極3414、3414"、3424、3424"中的閘極鰭片3415、3415"、3425、3425"。閘極鰭片3415及閘極鰭片3425亦顯示在圖51中的裝置4600的截面表示圖中，而閘極鰭片3415及閘極鰭片3415"係顯示在圖52中的裝置4600的截面表示圖中。應注意，圖52的截面表示圖係垂直於電晶體3410及電晶體3410"的閘極鰭片，其係圖49所示的路由3430B的方向。

【0141】 圖53及圖54根據一些實施例描繪具有介電質壁之單元裝置的表示。圖53描繪根據一些實施例之裝置5100的透視表示圖。圖54描繪沿著圖53所示之線54-54（例如，沿著閘極橋接器3450'）的根據一些實施例之裝置5100截面表示圖。

【0142】 裝置5100可係衍生自圖36所示的裝置3400的結構。在一些實施例中，裝置5100可類似於顯示於圖43至圖47中的反相器單元裝置4100。在圖53

及圖54的所繪示實施例中，裝置5100包括垂直電晶體3410及垂直電晶體3420。電晶體3410包括下源極/汲極區域3412、閘極3414、及上源極/汲極區域3416。電晶體3420包括下源極/汲極區域3422、閘極3424、及上源極/汲極區域3426。在某些實施例中，電晶體3410係PMOS電晶體，而電晶體3420係NMOS電晶體。

【0143】 在各種實施例中，如圖53及圖54所示，壁5100A可定位在單元的一個第一側上（例如，在電晶體3410的一側上）且壁5100B可定位在單元的第二側上（例如，在電晶體3420之相對電晶體3410的一側上）。在某些實施例中，壁5100A及壁5100B係介電質壁。將介電質壁放置在裝置5100的一側或兩側上可減少介於裝置5100與另一相鄰單元之間所需的空間。據此，當縮小裝置尺度係必要時，可實施壁5100A及壁5100B。

實例電腦系統

【0144】 接著轉向圖55，顯示系統5300的一個實施例的方塊圖，該系統可合併及/或以其他方式利用本文描述的方法及機制。在所繪示實施例中，系統5300包括系統單晶片(system on chip, SoC) 5306的至少一個實例，其可包括多種類型的處理單元，諸如中央處理單元(central processing unit, CPU)、圖形處理單元(graphics processing unit, GPU)、或以其他方式，通訊網狀架構、及至記憶體及輸入/輸出裝置的介面。在一些實施例中，SoC 5306中的一或多個處理器包括多個執行線道(execution lane)及指令發佈佇列。在各種實施例中，SoC 5306耦接至外部記憶體5302、周邊設備5304、及電力供應器5308。

【0145】 亦提供電力供應器5308，其將供應電壓供應至SoC 5306以及將一或多個供應電壓供應至記憶體5302及/或周邊設備5304。在各種實施例中，

電力供應器5308代表電池組（例如，智慧型手機、膝上型電腦或平板電腦、或其他裝置中的可再充電電池組）。在一些實施例中，包括SoC 5306的多於一個的實例（且亦包括多於一個的外部記憶體5302）。

【0146】 記憶體5302係任何類型的記憶體，諸如動態隨機存取記憶體(dynamic random access memory, DRAM)、同步DRAM (SDRAM)、雙倍資料速率（DDR、DDR2、DDR3等）SDRAM（包括諸如mDDR3等的SDRAM的行動版本，及/或諸如LPDDR2等的SDRAM的低功率版本）、RAMBUS DRAM (RDRAM)、靜態RAM (SRAM)等。一或多個記憶體裝置耦接至電路板上以形成記憶體模組，諸如單列記憶體模組(single inline memory module, SIMM)、雙列記憶體模組(dual inline memory module, DIMM)等。替代地，裝置係以疊層晶片(chip-on-chip)組態、疊層封裝(package-on-package)組態、或多晶片模組組態利用SoC或積體電路安裝。

【0147】 周邊設備5304取決於系統5300的類型而包括任何所欲電路系統。例如，在一個實施例中，周邊設備5304包括用於各種類型之無線通訊（諸如，WiFi、藍牙、蜂巢式、全球定位系統等）的裝置。在一些實施例中，周邊設備5304亦包括額外儲存器，包括RAM儲存器、固態儲存器、或磁碟儲存器。周邊設備5304包括使用者介面裝置，諸如顯示螢幕（包括觸控顯示螢幕或多觸控顯示螢幕）、鍵盤、或其他輸入裝置、麥克風、揚聲器等。

【0148】 如所繪示，系統5300顯示具有在廣泛範圍之區域中的應用。例如，系統5300可使用為桌上型電腦5310、膝上型電腦5320、平板電腦5330、蜂巢式或行動電話5340、或電視機5350（或耦接至電視機的機上盒）的晶片、電路系統、組件等的部分。亦繪示智慧型手錶及健康監測裝置5360。在一些實施

例中，智慧型手錶可包括多種通用運算相關功能。例如，智慧型手錶可提供電子郵件、手機服務、使用者日曆等等。在各種實施例中，健康監測裝置可係專用醫學裝置或否則包括專用健康相關功能性。例如，健康監測裝置可監測使用者之生命徵象，追蹤使用者對其他使用者的接近性以用於流行病皮社交距離之目的，接觸追跡、在健康危機之情況下向緊急服務提供通訊。流行病學功能（諸如接觸者追蹤(contact tracing)）、提供對急診醫療服務之通訊等。在各種實施例中，上文所提及之智慧手錶可或可不包括一些或任何健康監測相關功能。亦設想到其他穿戴裝置，諸如圍繞頸部穿戴之裝置、可植入人體中之裝置、經設計以提供擴增及/或虛擬實境體驗的眼鏡等等。

【0149】　系統5300可進一步使用為（多個）基於雲端之服務5370之部分。例如，先前所提及之裝置及/或其他裝置可存取雲端中的運算資源（亦即，遠端地定位硬體及/或軟體資源）。又進一步地，系統5300可使用在先前所提及者之外的居家5380的一或多個裝置中。例如，居家內之器具可監測及偵測值得關注之條件。例如，在居家內之各種裝置（例如，冰箱、冷氣系統等）可監測裝置之狀態，且提供應偵測到特定事件的警示給屋主（或例如修復設施）。替代地，恆溫器可監測家中之溫度，且可基於屋主對各種條件的回應歷史而自動調整溫氣/冷氣系統。圖55中亦繪示系統5300對各種運輸模式5390的應用。例如，系統5300可使用在飛機、火車、公車、出租汽車、自用汽車、從私人船隻至遊輪的水面船隻、機車（用於租賃或自用）等的控制及/或娛樂系統中。在各種情形中，系統5300可用以提供自動化引導（例如，自動駕駛車輛）、一般系統控制、及其他。此等任何許多其他實施例皆可行及設想。應注

意，繪示於圖55中的裝置及應用僅係說明性的且未意圖為限制性。其他裝置係可行且經設想的。

***

【0150】 本揭露包括對「一實施例(an embodiment)」或「實施例」群組(groups of 「embodiments」)（例如，「一些實施例(some embodiment)」或「各種實施例(various embodiments)」）的引用。實施例係所揭露之概念的不同實施方案或例項。提及「一實施例(an embodiment)」、「一個實施例(one embodiment)」、「一特定實施例(a particular embodiment)」、及類似者不必然指稱相同實施例。設想大量可行的實施例，包括該些具體揭示者，以及落在本揭露之精神或範圍內的修改或替代例。

【0151】 本揭露可討論可由所揭露之實施例產生的潛在優點。並非這些實施例之所有實施方案將必須表現潛在優點之任何者或全部。無論是針對特定實施方案所實現的優點是否取決於許多因素，其中一些者係在本揭露範圍外。事實上，落在申請專利範圍之範圍內的實施方案可能不會展現一些或所有任何所揭露之優點有許多原因。例如，一特定實施方案可包括本揭露範圍外的其他電路系統（結合所揭露實施例之一者）而使一或多個所揭露優點無效或減弱。此外，特定實施方案（例如，實施方案技術或工具）之次佳設計執行亦可使所揭露優點無效或減弱。即使假定經熟練的實施方案，優點的實現仍可取決於其他因素，諸如於其中部署該實施方案之環境情況。例如，施加至一特定實施方案的輸入可防止在此揭露中解決的一或多個問題免於出現在特定場合，結果係

可能無法實現其解決方案的效益。考慮到本揭露外部的可能因素的存在，明確地意欲將本文所述的任何潛在優點並非解讀為必須符合請求項限制以證明侵權。而是，此類潛在優點之識別意欲說明具有本揭露之利益的設計者可用的（多種）改善類型。許可地描述的此類優點（例如，陳述特定優點「可引起」）並非意欲傳達實際上此類優點是否可實現的疑慮，而是認知到實現此類優點的技術現實常取決於額外因素。

【0152】　除非另外陳述，否則實施例係非限制性的。即，所揭露之實施例並非意欲限制基於本揭露之草擬的申請專利範圍之範圍，即使僅描述關於一特定特徵的一單一實例。所揭露之實施例意欲係說明性而非限制，而在本揭露中沒有與此相反的任何陳述。因此，本申請案意欲允許申請專利範圍涵蓋所揭露之實施例以及此類替代例、修改例、與均等物，此等對於受益於本揭露之所屬技術領域中具有通常知識者來說將是顯而易見的。

【0153】　例如，此申請案中的特徵可以任何合適的方式組合。據此，在此申請案之審查期間（或主張其優先權之申請案）可對特徵之任何此類組合制定新請求項。具體而言，參考隨附申請專利範圍，可組合來自獨立請求項之特徵與其他獨立請求項之特徵，若適當，包括依附於其他附屬請求項的請求項。類似地，若適當，可組合來自各別附屬請求項之特徵。

【0154】　據此，雖然隨附的附屬請求項可經草擬，使得各依附於一單一其他請求項，但是亦設想額外相依性。與本揭露一致的附屬項之特徵的任何組合經設想且可在此申請案或另一申請案中主張。簡言之，組合不限於在隨附申請專利範圍中具體列舉者。

【0155】 若適當，亦設想以一種格式或法定類型（例如，設備）草擬之請求項意欲支持另一種格式或法定類型（例如，方法）之對應請求項。

***

【0156】 因為本揭露係一法律文件，所以各種用語及詞組可受到行政與司法解釋的規約。公告特此以下段落以及在整份揭露內容提供的定義將用於判定如何解釋基於本揭露所草擬的申請專利範圍。

【0157】 除非上下文另有明確指定，否則提及項目的單數形式（即，名詞或名詞詞組之前有「一(a/an)」、或「該(the)」）意欲意指「一或多個(one or more)」）。因此，在一請求項提及「一項目(an item)」在沒有隨附上下文情況中不排除該項目的額外例項。「複數個(plurality)」項目係指二或更多個項目之一集合。

【0158】 在本文中，字語「可(may)」在本文中以許可意涵使用（即，具有可能以、能夠），且非以強制意涵使用（即，必須）。

【0159】 用語「包含(comprising)」及「包括(including)」及其形式係開放式，意指「包括但不限於(including, but not limited to)」。

【0160】 當本揭露中關於一選項清單使用用語「或(or)」時，其通常將被理解為以包含性意涵使用，除非上下文另有提供。因此，陳述「x或y (x or y)」相當於「x或y、或兩者(x or y, or both)」，因此：1)涵蓋x，但不涵蓋y；2)涵蓋y，但不涵蓋x；及3)涵蓋x與y兩者。另一方面，諸如「x或y任一者但非兩

者(either x or y, but not both)」的詞組清楚表明「或(or)」係以排他性含意意義使用。

【0161】 陳述「w、x、y、或z、或其任何組合(w, x, y, or z, or any combination thereof)」或「...w、x、y、及z之至少一者(at least one of … w, x, y, and z)」意欲涵蓋涉及在該集合中的單一元件至多總數目個元件的所有可能性。例如，給定集合[w, x, y, z]，這些詞組涵蓋該集合之任何單一元件（例如，w，但沒有x、y、或z (w but not x, y, or z)）、任何二個元件（例如，w與x，但沒有y或z (w and x, but not y or z)）、任何三個元件（例如，w、x與y，但沒有z (w, x, and y, but not z)）、及所有四個元件。因此，詞組「...w、x、y、及z之至少一者(at least one of … w, x, y, and z)」係指該集合[w, x, y, z]之至少一個元件，藉此涵蓋此元件清單中的所有可行組合。此詞組並不解讀為需要w之至少一個例項、x之至少一個例項、y之至少一個例項、及z之至少一個例項。

【0162】 在本揭露中，各種「標示」可置於名詞或名詞詞組之前。除非上下文另有提供，否則用於一特徵的不同標示（例如，「第一電路(first circuit)」、「第二電路(second circuit)」、「特定電路(specific circuit)」、「給定電路(given circuit)」等）係指該特徵的不同例項。額外地，除非另有說明，否則標示「第一(first)」、「第二(second)」、及「第三(third)」當施加至一特徵時並非意味任何類型的順序（例如，空間、時間、邏輯等）。

【0163】 詞組「基於(based on)」係用以敘述影響一判定的一或多個因素。此用語不排除可能有額外因素可影響判定。意即，一判定可單獨基於特定因素，或基於該等特定因素以及其他未指出因素。考慮用語「基於B判定A(determine A based on B)」。此用語指出，B係一用以判定A之因素，或B影

響A之判定。此用語不排除亦可基於一些其他因素例如C來判定A。此用語亦意欲涵括其中A係單獨基於B而判定的一實施例。如本文所用，用語「基於(based on)」與用語「至少部分地基於(based at least in part on)」同義。

【0164】 詞組「回應於(in response to/response to)」描述觸發效應之一或多個因素。此詞組不排除額外因素可影響或以其他方式觸發效應的可能性，聯合特定因素或獨立於特定因素任一者。意即，一效應可係單獨回應於該等因素，或可回應於該等被指出因素以及其他未指出因素。考慮詞組「回應於B而執行A (perform A in response to B)」。此詞組指定B係觸發A的執行或觸發A的特定結果的因素。此詞組並不排除亦可回應於某個其他因素（諸如C）而執行A。此詞組亦不排除可聯合回應於B及C而執行A。此詞組亦意圖涵蓋僅回應於B而執行A的實施例。如本文中所使用的，詞組「回應於(responsive to)」與詞組「至少部分回應於(responsive at least in part to)」同義。類似地，詞組「回應於(in response to)」與詞組「至少部分回應於(at least in part in response to)」同義。

***

【0165】 在本揭露中，不同的實體（其等可能被不同地稱為「單元(unit)」、「電路(circuit)」、其他組件等）可被描述或主張為「經組態(configured)」以執行一或多個任務或操作。此表示法（『實體』經組態以『執行一或多個任務』）在本文中係用以指稱結構（即，實體之物）。具體而言，此表示法係用以指示此結構係經配置以在操作期間執行該一或多個任務。即使一結構目前並未被操作，仍可稱該結構「經組態以(configured to)」執行某任

務。因此，經說明或敘述為「經組態以(configured to)」執行某任務的一實體，係指實體之物，諸如裝置、電路、具有處理單元的系統、儲存有可執行用以實施該任務之程式指令的記憶體等。此詞組在本文中並非用以指稱無形之物。

【0166】 在一些情況中，各種單元/電路/組件可在本文中描述為執行一組任務或操作。應理解，這些實體「經組態以(configured to)」執行該等任務/操作，即使未具體提及。

【0167】 用語「經組態以(configured to)」並非意欲意指「可組態以(configurable to)」。例如，未經程式化的FPGA將不被視為「經組態以(configured to)」執行一特定功能。然而，此未經程式化的FPGA可係「可組態以(configurable to)」執行該功能。在適當程式化之後，接著，該FPGA可聲稱「經組態以(configured to)」執行特定功能。

【0168】 為基於本揭露之美國專利申請案的目的，在一請求項中描述一結構「經組態以」執行一或多個任務係明確地意圖不援引35 U.S.C. § 112(f)對該請求項元件進行解讀。如果申請人意欲在基於本揭露的美國專利申請案的審查期間援引章節112(f)，將使用「用以『執行一功能』之構件」這樣的句構來陳述請求項元件。

【0169】 在本揭露中可描述不同的「電路(circuit)」。這些電路或「電路系統(circuitry)」構成包括各種類型電路元件的硬體，諸如組合式邏輯、時控儲存裝置（例如，正反器、暫存器、鎖存器等）、有限狀態機、記憶體（例如，隨機存取記憶體、嵌入式動態隨機存取記憶體）、可程式化邏輯陣列等。電路系統可經客製化設計或自標準程式庫取用。在各種實施方案中，電路系統可依需要包括數位組件、類比組件、或兩者之組合。某些類型的電路通常可稱為

「單元(unit)」（例如，解碼單元、算術邏輯單元(ALU)、功能單元、記憶體管理單元(memory management unit, MMU)等）。此類單元亦指電路或電路系統。

【0170】 因此，所揭露之電路/單元/組件及圖式中所繪示與本文所揭露的其他元件包括硬體元件，諸如前述段落中所述者。在許多例項中，可藉由描述一特定電路之功能來指定在該電路內之硬體元件的內部配置。例如，一特定「解碼單元(decode unit)」可描述為執行「處理指令的作業碼，並將該指令路由到複數個功能單元中之一或多者(processing an opcode of an instruction and routing that instruction to one or more of a plurality of functional units)」的功能，其意指該解碼單元「經組態以(configured to)」執行此功能。本功能之說明書對電腦技術領域中具有通常知識者足以意味著用於該電路之一組可行結構。

【0171】 在各種實施例中，如前述段落中所討論者，電路、單元、及由其等經組態以實施之功能或操作所定義的其他元件，該配置及此類電路/單元/組件相對於彼此及以其等互動的方式來形成硬體之微階層性定義，該硬體最終製造於積體電路中或經程式化至FPGA中，以形成微階層性定義之實體實施方案。因此，該微階層性定義係由所屬技術領域中具有通常知識者所認知為許多實體實施方案可自其衍生的結構，其等所有皆落入該微階層性定義係所描述之廣泛結構內。即，提出根據本揭露所提供之微階層性定義的具有通常知識的技術人員可在無需過度實驗且在應用通常知識之情況中，藉由以硬體描述語言(hardware description language, HDL)（諸如Verilog或VHDL）編碼電路/單元/組件的描述來實施該結構。HDL描述常以可呈功能性之方式表達。但是對於所屬技術領域中具有通常知識者，此HDL描述係用於將電路、單元、或組件的結構變換成下一層級之實施方案細節的方式。此一HDL描述可採取行為程式碼（其

一般並非可合成的）、暫存器傳送語言(register transfer language, RTL)程式碼（其一般係可合成，對比於行為程式碼）、或結構性程式碼（例如，指定邏輯閘及其等連接性的接線對照表）之形式。隨後，HDL描述可依據針對一給定積體電路製造技術所設計的元件庫而合成，且可針對時序、功率及其他原因進行修改以產生一最終設計資料庫，該最終設計資料庫傳送至製造廠以製造遮罩，最後生產出積體電路。一些硬體電路或其部分亦可在一簡圖編輯器(schematic editor)中經客製化設計，並隨合成電路系統被轉移至積體電路設計中。積體電路可包括電晶體及其他電路元件（例如，被動元件諸如電容器、電阻器、電感器等）及電晶體與電路元件間之互連件。一些實施例可實施多個積體電路，該多個積體電路經耦接在一起以實施硬體電路，且/或在一些實施例中可使用離散元件。替代地，HDL設計可經合成至一可程式化邏輯陣列，諸如現場可程式化閘陣列(FPGA)，且可於FPGA中實施。此電路群組之設計與這些電路的後續下層實施方案之間的解耦通常導致以下情境，其中當此程序係在電路實施程序的一不同階段執行時，電路或邏輯設計者從不針對下層實施方案指定超出電路經組態以執行動作之描述的特定一組結構。

【0172】　事實上，電路元件之許多不同的下層組合可用以實施相同規格電路，導致該電路的大量等效結構。如所提及，這些下層電路實施方案可根據製造技術的變化、經選擇以製造積體電路的製造廠、針對一特定專案所提供之元件庫等而變化。在許多情況中，由不同設計工具或方法論進行選擇，以產生此等不同實施方案可係任意的。

【0173】　此外，對於電路之特定功能規格的單一實施方案常見的是，針對給定實施例，包括大量裝置（例如，數百萬的電晶體）。據此，數量龐大的

此資訊使得提供完整陳述用以實施單一實施例之下層結構係不切實際的，更別說是龐大陣列的等效可行實施方案。出於此原因，本揭露描述使用產業中通常採用的功能速記的電路結構。

【符號說明】

100:標準單元；單元

102:基材

104:第一主動區域；主動區域

106:第二主動區域；主動區域；下主動區域

108:上閘極；閘極

108A:上閘極

108B:上閘極

109:電力軌合併層

110:隔離閘極

110A:隔離閘極

110B:隔離閘極

111:電力軌合併層

112:頂側金屬層

112A:頂側金屬層

112B:頂側金屬層

112C:頂側金屬層

112D:頂側金屬層

112D':頂側金屬層

114:接觸件

114A:接觸件

114B:接觸件

114C:接觸件

114D:接觸件

116:下閘極；閘極

116A:下閘極

116B:下閘極

120:背側金屬層

120A:背側金屬層

120B:背側金屬層

120C:背側金屬層

122:背側通孔

122A:背側通孔

122B:背側通孔

122C:背側通孔

124:源極/汲極區域

124A:源極/汲極區域；源極區域；上源極/汲極區域

124B:源極/汲極區域；源極區域；上源極/汲極區域

124C:源極/汲極區域；汲極區域；上源極/汲極區域

124D:源極/汲極區域；汲極區域；下源極/汲極區域

124E:源極/汲極區域；下源極/汲極區域

124F:源極/汲極區域；下源極/汲極區域

126:接觸件

126A:接觸件；上接觸件

126B:接觸件；上接觸件

126C:接觸件；上接觸件

126D:接觸件；下接觸件

126E:接觸件；下接觸件

126F:接觸件；下接觸件

206:主動區域

600:通孔

700:單元

705A:通孔軌道

705B:通孔軌道

710:通孔柱

710A:通孔柱

710B:通孔柱

800:單元

1000:單元

1100:單元

1200:單元

1300:NAND單元；單元

1302A:通孔

1302B:通孔

1304:上通道

1306:下通道

1700:單元

1710:反相器

1710A:反相器

1710B:反相器

1712:節點

1714:節點

1720:傳送閘；傳送閘電晶體

1722:傳送閘；傳送閘電晶體

1730:字線

1740:位元線

1740A:位元線

1740B:位元線

1742:位元線

1742A:位元線

1742B:位元線

1800:記憶體單元；單元；SRAM單元

1810:上主動區域

1812:上閘極

1814A:源極/汲極區域

1814B:源極/汲極區域

1814C:源極/汲極區域

1815:擴散至擴散間隔距離；距離

1816:上閘極

1820:上主動區域；主動區域

1822:上閘極；閘極

1824A:源極/汲極區域

1824B:源極/汲極區域

1824C:源極/汲極區域

1826:上閘極

1830:下主動區域

1832:下閘極

1833:非主動部分

1834A:源極/汲極區域

1834B:源極/汲極區域

1835:擴散至擴散間隔距離；距離；分開距離

1840:下主動區域

1842:非主動部分

1844B:源極/汲極區域

1844C:源極/汲極區域

1846:下閘極

1850:第一NMOS電晶體；電晶體

1852:第一PMOS電晶體；電晶體

1854:第二NMOS電晶體；電晶體

1856:第二PMOS電晶體；電晶體

1858:第三NMOS電晶體；電晶體

1859:第四NMOS電晶體；電晶體

1860A:S/D合併

1860B:S/D合併

1860C:S/D合併

1860D:S/D合併

1862A:閘極合併

1862B:閘極合併

1864:交叉耦接

1864A:交叉耦接

1864B:交叉耦接

2300:記憶體裝置

2310:記憶體單元區域

2312:位元單元陣列

2312A:遠位元單元陣列；位元單元陣列

2312B:近位元單元陣列；位元單元陣列

2314A:位元線輸出

2314B:位元線輸出

2316A:位元線輸出

2316B:位元線輸出

2320:邏輯電路單元區域

2322:行輸入/輸出(I/O)邏輯單元；行I/O單元；行邏輯I/O單元；單元

2322A:第一行I/O邏輯單元；第一行I/O單元

2322B:第二行I/O邏輯單元；第二行I/O單元

2324:位元線輸入

2324A:位元線輸入

2324B:位元線輸入

2326:位元線輸入

2326A:位元線輸入

2326B:位元線輸入

2330:背側位元線布線

2332:背側位元線布線

2334:頂側位元線布線

2336:頂側位元線布線

2340:虛置單元

2340A:虛置單元

2340B:虛置單元

2350:虛置單元

2400:區域

2401:接地信號

2402:字線

2410:虛置閘極

2420:溝槽金屬

2430:通孔

2440:主動閘極

2500:信號

2502:電力信號

2530:通孔

2800:區域

2802:接地信號

2804:信號

2810:虛置閘極

2820:溝槽金屬

2830:通孔

2840:主動閘極

2900:信號

2902:電力信號

2930:通孔

3202:Vdd

3203:Vss

3204:PCH

3206:Rcs

3208:Wcs

3210:PMOS1電晶體

3212:閘極

3214A:源極/汲極區域

3214B:源極/汲極區域

3214C:源極/汲極區域

3214D:源極/汲極區域

3220:PMOS2電晶體

3222:閘極

3230:PMOS3電晶體；PMOS2電晶體

3232:閘極

3240:PMOS4電晶體

3242:閘極

3244A:源極/汲極區域

3244B:源極/汲極區域

3250:PMOS5電晶體

3252:閘極

3254A:源極/汲極區域

3254B:源極/汲極區域

3260:NMOS1電晶體

3262:閘極

3262A:閘極

3262B:閘極

3262C:閘極

3264A:源極/汲極區域

3264B:源極/汲極區域

3264C:源極/汲極區域

3264D:源極/汲極區域

3270:NMOS2電晶體

3272:閘極

3272A:閘極

3272B:閘極

3272C:閘極

3274A:源極/汲極區域

3274B:源極/汲極區域

3274C:源極/汲極區域

3274D:源極/汲極區域

3280A:字線輸出

3280B:字線輸出

3282A:感測輸出

3282B:感測輸出

3290A:源極/汲極合併

3290B:源極/汲極合併

3300:上電晶體區域

3302:上主動區域

3310:虛置閘極

3312:通孔

3320:虛置閘極

3322:通孔

3350:下電晶體區域

3352:下主動區域

3400:裝置

3410:垂直電晶體；電晶體

3410':電晶體；垂直電晶體

3410":電晶體；垂直電晶體

3412:下源極/汲極區域

3412':下源極/汲極區域

3412":下源極/汲極區域

3414:閘極

3414':閘極

3414":閘極

3415:閘極間隔物；閘極鰭

3415':閘極鰭

3415":閘極鰭

3416:上源極/汲極區域

3416':上源極/汲極區域

3416":上源極/汲極區域

3418:上接觸件；接觸件

3419:下接觸件；接觸件

3419':接觸件

3420:垂直電晶體；電晶體

3420':電晶體；垂直電晶體

3420":電晶體；垂直電晶體

3422:下源極/汲極區域

3422':下源極/汲極區域；下源極汲極區域

3422":下源極/汲極區域

3424:閘極

3424':閘極

3424":閘極

3425:閘極間隔物；閘極鰭

3425':閘極鰭

3425":閘極鰭

3426:上源極/汲極區域

3426':上源極/汲極區域

3426":上源極/汲極區域

3428:上接觸件；接觸件

3429:下接觸件；接觸件

3429':接觸件

3430:布線

3430A:布線

3430B:布線

3430C:布線

3430D:布線

3430E:布線

3440A:背側電力布線；布線

3440B:背側電力布線；布線

3450:閘極橋接器

3450':閘極橋接器

3500:裝置

3510:帶

3520:帶

3600:反相器單元裝置；裝置

3610A:背側通孔

3610A':背側通孔

3610B:背側通孔

3620:頂側通孔

3620A:頂側通孔

3620B:頂側通孔

3630:閘極通孔

3630A:閘極通孔

3630B:閘極通孔

3630C:閘極通孔

3630D:閘極通孔

4100:NAND單元裝置；裝置；反相器單元裝置

4110:接觸通孔

4600:裝置；MUX單元裝置

4610A:接觸件

4610B:接觸件

4620:接觸板

4630:接觸通孔

4640A:閘極延伸

4640B:閘極延伸

4640C:閘極延伸

4640D:閘極延伸

5100:裝置

5100A:壁

5100B:壁

5300:系統

5302:外部記憶體；記憶體

5304:周邊設備

5306:系統單晶片(SoC)

5308:電力供應器

5310:桌上型電腦

5320:膝上型電腦

5330:平板電腦

5340:蜂巢式或行動電話

5350:電視機

5360:智慧型手錶及健康監測裝置

5370:基於雲端之服務

5380:居家

5390:運輸模式

【發明申請專利範圍】

【請求項1】一種記憶體設備，其包含：

一積體電路單元結構的一第一電晶體區域，該第一電晶體區域具有平行之一第一主動區域及一第二主動區域，其中一第一距離分離該第一主動區域及該第二主動區域；

該積體電路單元結構的一第二電晶體區域，該第二電晶體區域具有平行之一第三主動區域及一第四主動區域，其中一第二距離分離該第三主動區域及該第四主動區域，其中該第二電晶體區域的至少一部分在該積體電路單元結構的一垂直維度中定位在該第一電晶體區域下方，且其中該第二電晶體區域與該第一電晶體區域互補；

一第一反相器，其包括：

一第一電晶體，其具有形成於該第一主動區域中的一第一閘極，該第一閘極具有一第一源極/汲極區域及一第二源極/汲極區域在該第一閘極的相對側上；及

一第二電晶體，其具有形成在該第三主動區域中的一第二閘極，該第二閘極具有一第三源極/汲極區域及一第四源極/汲極區域在該第二閘極的相對側上，其中該第三源極/汲極區域與該第一源極/汲極區域合併，且該第四源極/汲極區域與該第二源極/汲極區域合併，且其中該第二閘極的一部分延伸於該第一電晶體區域下方；

一第二反相器，其包括：

一第三電晶體，其具有形成於該第二主動區域中的一第三閘極，該第三閘極具有一第五源極/汲極區域及一第六源極/汲極區域在該第三閘極的相對側上；及

一第四電晶體，其具有形成在該第四主動區域中的一第四閘極，該第四閘極具有一第七源極/汲極區域及一第八源極/汲極區域在該第四閘極的相對側上，其中該第七源極/汲極區域與該第五源極/汲極區域合併，且該第八源極/汲極區域與該第六源極/汲極區域合併，且其中該第四閘極的一部分延伸於該第一電晶體區域下方；

其中該第一反相器藉由延伸於該第二主動區域下方之該第二閘極之該部分與該第七源極/汲極區域之間的一第一耦接以及延伸於該第一主動區域下方之該第四閘極之該部分與該第四源極/汲極區域之間的一第二耦接而交叉耦接至該第二反相器，該第一耦接及該第二耦接在該垂直維度中定位在該第二電晶體區域下方。

【請求項2】如請求項1之記憶體設備，其進一步包含耦接至一字線的一第一傳送閘，該第一傳送閘形成於該第二主動區域中且具有該第五源極/汲極區域及一第九源極/汲極區域在該第一傳送閘之相對側上，其中該第九源極/汲極區域耦接至一第一位元線。

【請求項3】如請求項2之記憶體設備，其中在該第一電晶體區域下方延伸之該第二閘極的該部分經定位在該第一傳送閘下方。

【請求項4】如請求項2之記憶體設備，其進一步包含耦接至該字線的一第二傳送閘，該第二傳送閘形成於該第一主動區域中且具有該第二源極/汲極區

域及一第十源極/汲極區域在該第二傳送閘之相對側上，其中該第十源極/汲極區域耦接至一第二位元線，該第二位元線與該第一位元線互補。

【請求項5】如請求項4之記憶體設備，其中在該第一電晶體區域下方延伸之該第四閘極的該部分經定位在該第二傳送閘下方。

【請求項6】如請求項1之記憶體設備，其進一步包含在該垂直維度中位於該第二電晶體區域下方之一金屬層，其中該金屬層包括連接至該第一反相器及該第二反相器之電力布線。

【請求項7】如請求項6之記憶體設備，其進一步包含：

一第一背側通孔，其將該金屬層中之該電力布線耦接至該第三源極/汲極區域；及

一第二背側通孔，其將該金屬層中之該電力布線耦接至該第八源極/汲極區域。

【請求項8】如請求項1之記憶體設備，其進一步包含在該垂直維度中位於該第一電晶體區域上方之一金屬層，其中該金屬層包括連接至該第一反相器及該第二反相器之信號布線。

【請求項9】如請求項1之記憶體設備，其中該第一反相器係交叉耦接至該第二反相器，使得該第一反相器的一輸出提供作為至該第二反相器的輸入，且該第二反相器的一輸出提供作為至該第一反相器的輸入。

【請求項10】如請求項1之記憶體設備，其中該第三主動區域定位在該第一主動區域下方，且該第四主動區域定位在該第二主動區域下方。

【請求項11】如請求項1之記憶體設備，其中該第一距離實質上與該第二距離相同。

【請求項12】如請求項1之記憶體設備，其中在該第一電晶體區域下方延伸之該第二閘極的該部分延伸至該第四主動區域之一非主動部分。

【請求項13】如請求項1之記憶體設備，其中在該第一電晶體區域下方延伸之該第四閘極的該部分延伸至該第三主動區域之一非主動部分。

【請求項14】如請求項13之記憶體設備，其中該第三主動區域之該非主動部分不具有擴散材料。

【請求項15】如請求項1之記憶體設備，其進一步包含：

一第一閘極合併通孔，其耦接該第一閘極及該第二閘極；及

一第二閘極合併通孔，其耦接該第三閘極及該第四閘極。

【請求項16】一種記憶體設備，其包含：

一積體電路單元結構的一第一電晶體區域，該第一電晶體區域具有平行之一第一主動區域及一第二主動區域，其中一第一距離分離該第一主動區域及該第二主動區域；

該積體電路單元結構的一第二電晶體區域，該第二電晶體區域具有平行之一第三主動區域及一第四主動區域，其中一第二距離分離該第三主動區域及該第四主動區域，其中該第二電晶體區域的至少一部分在該積體電路單元結構的一垂直維度中定位在該第一電晶體區域下方，且其中該第二電晶體區域與該第一電晶體區域互補；

一第一傳送閘，其形成於該第二主動區域中，該第一傳送閘耦接至一字線，其中該第一傳送閘之一源極/汲極區耦接至一第一位元線；

一第二傳送閘，其形成於該第一主動區域中，該第二傳送閘耦接至該字線，其中該第二傳送閘之一源極/汲極區耦接至一第二位元線，該第二位元線與該第一位元線互補；

一第一反相器，其由該第一主動區域中的一第一電晶體及該第三主動區域中的一第二電晶體形成，其中該第一電晶體及該第二電晶體的輸入被合併，其中該第一電晶體及該第二電晶體的輸出被合併，且其中該第二電晶體的一部分在該垂直維度中延伸於該第一傳送閘下方；

一第二反相器，其由該第二主動區域中的一第三電晶體及該第四主動區域中的一第四電晶體形成，其中該第三電晶體及該第四電晶體的輸入被合併，其中該第三電晶體及該第四電晶體的輸出被合併，且其中該第四電晶體的一部分在該垂直維度中延伸於該第二傳送閘下方；

一第一耦接，其在該第一傳送閘下方延伸之該第二電晶體之該部分及該第四電晶體之一源極/汲極區域之間，該第一耦接在該垂直維度中定位在該第二電晶體區域下方；及

一第二耦接，其在該第二傳送閘下方延伸之該第四電晶體之該部分及該第二電晶體之一源極/汲極區域之間，該第二耦接在該垂直維度中定位在該第二電晶體區域下方。

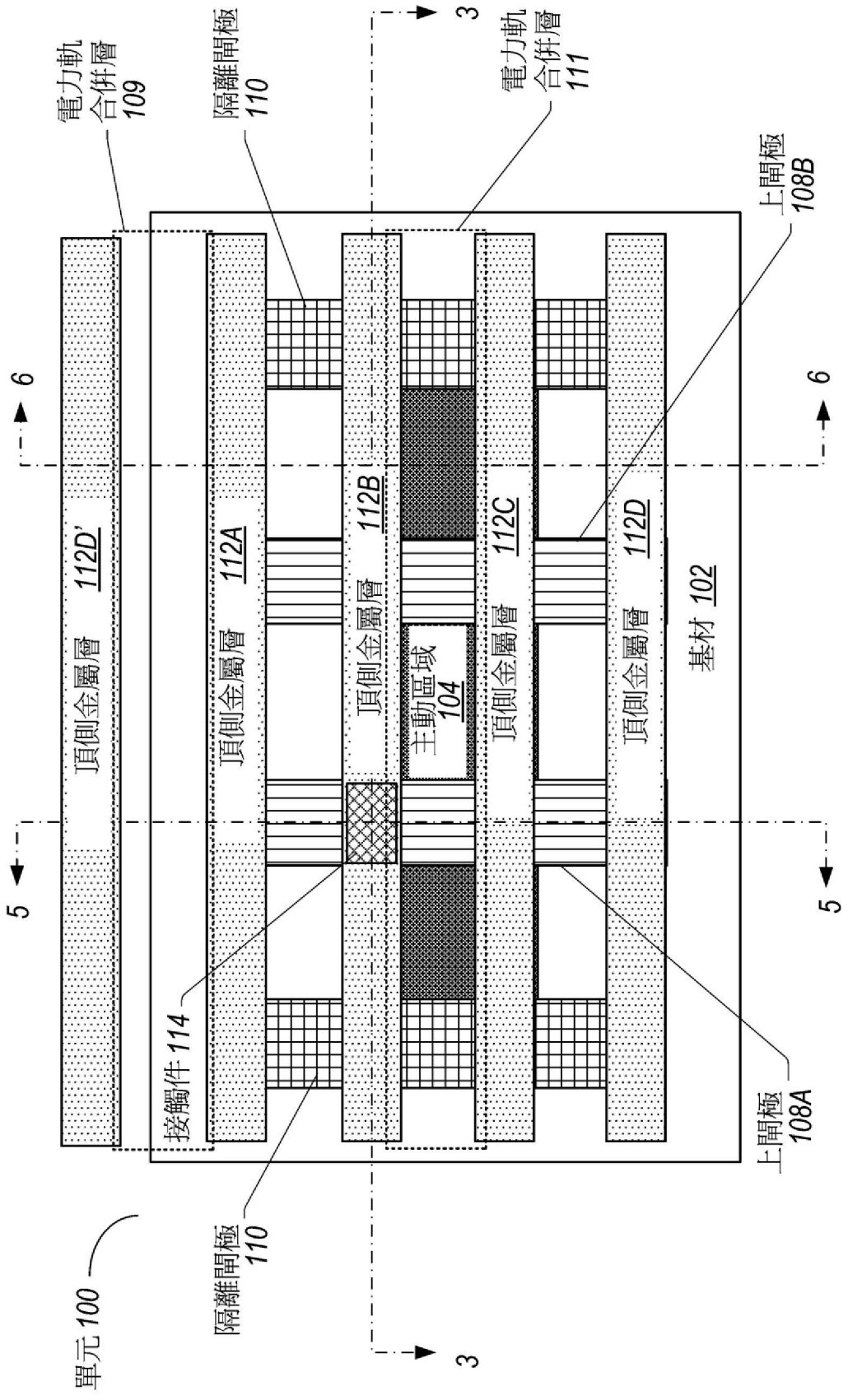
【請求項17】如請求項16之記憶體設備，其中該第一反相器藉由該第一耦接及該第二耦接而交叉耦接至該第二反相器。

【請求項18】如請求項16之記憶體設備，其進一步包含在該垂直維度中位於該第二電晶體區域下方之一金屬層，其中該金屬層包括連接至該第一反相器及該第二反相器之電力布線。

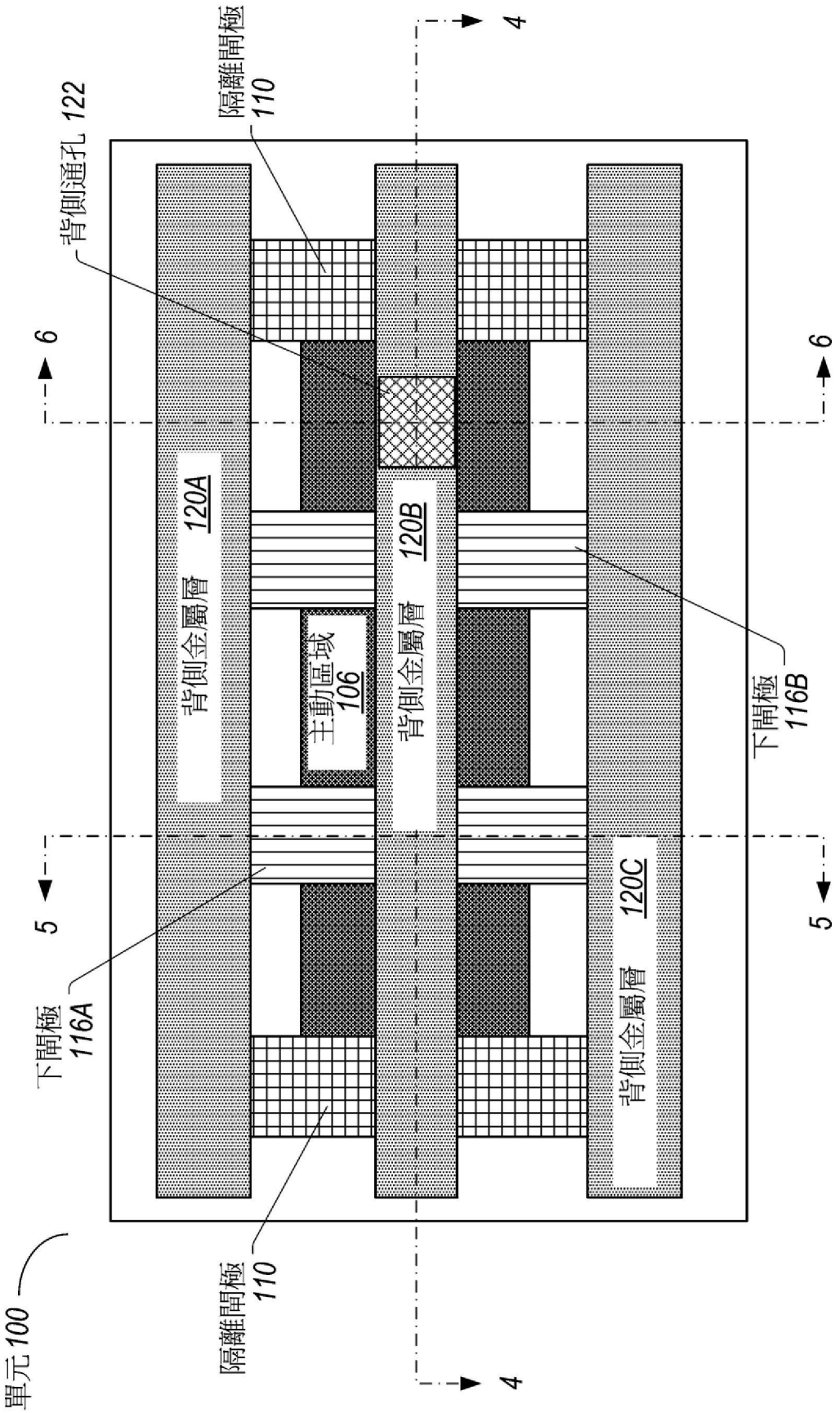
【請求項19】如請求項18之記憶體設備，其中該第一耦接及該第二耦接在該垂直維度中定位在該金屬層及該第二電晶體區域之間。

【請求項20】如請求項16之記憶體設備，其中該第三電晶體及該第四電晶體的該等輸出係提供作為該第一電晶體及該第二電晶體的該等輸入，且其中該第一電晶體及該第二電晶體的該等輸出係提供作為該第三電晶體及該第四電晶體的該等輸入。

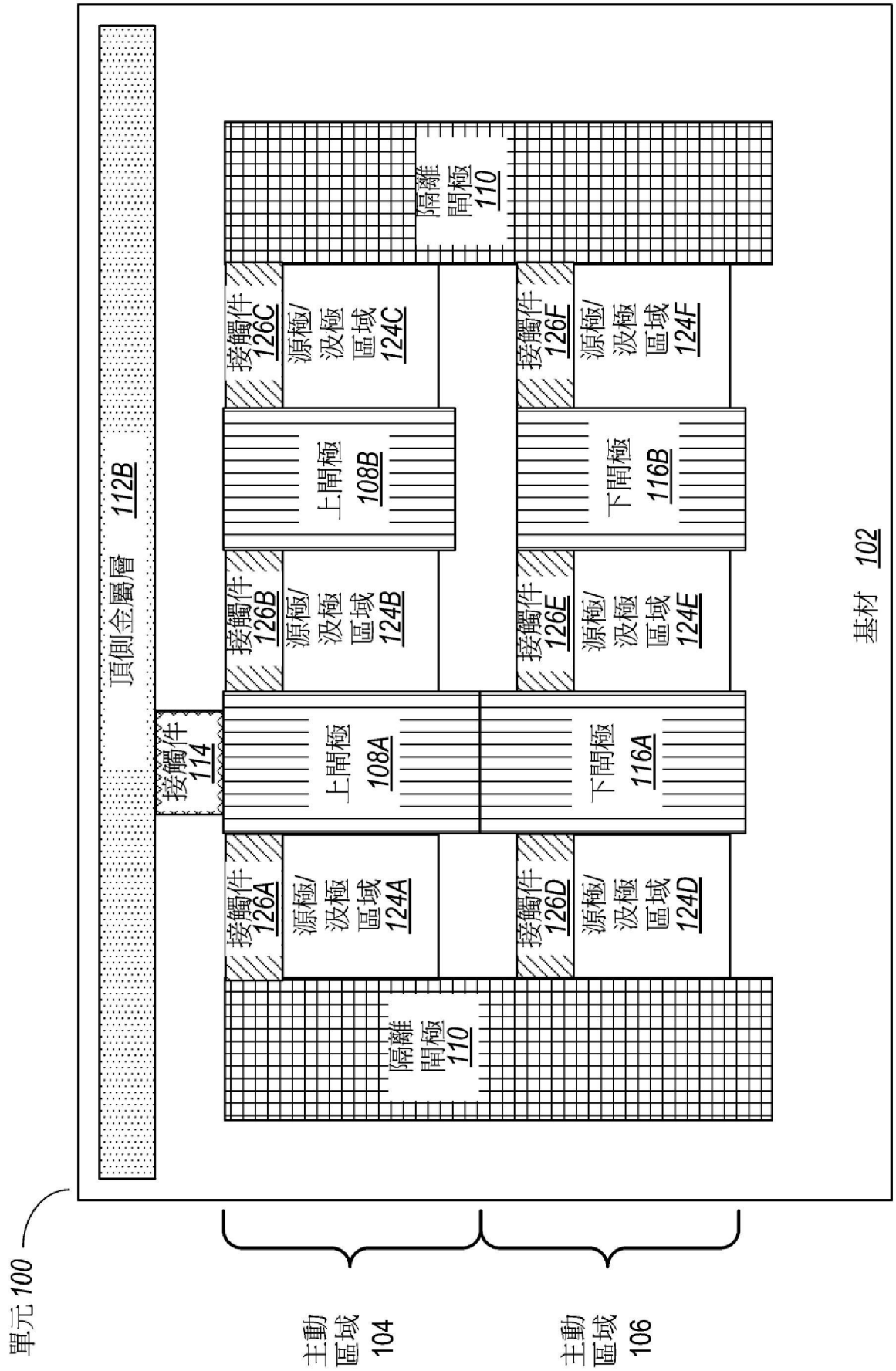
【發明圖式】


電力軌合併層 109
隔離閘極 110
3
電力軌合併層 111
上閘極 108B
6
6
頂側金屬層 112D'
頂側金屬層 112A
頂側金屬層 112B
主動區域 104
頂側金屬層 112C
頂側金屬層 112D
基材 102
5
5
接觸件 114
上閘極 108A
隔離閘極 110
單元 100
3

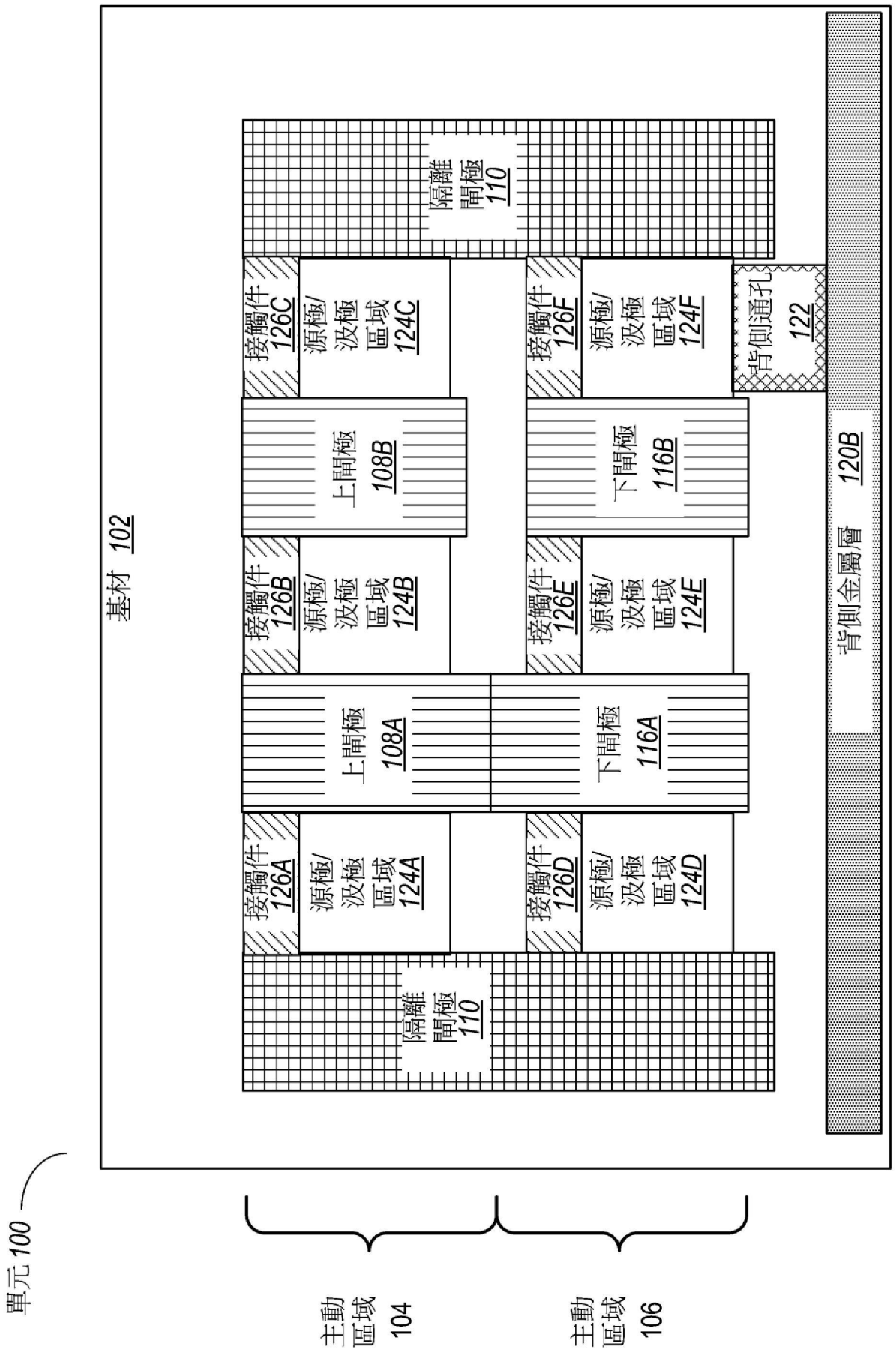
【圖1】


隔離閘極 110
4
背側通孔 122
6
6
背側金屬層 120A
主動區域 106
背側金屬層 120B
下閘極 116B
5
5
下閘極 116A
背側金屬層 120C
隔離閘極 110
4
單元 100

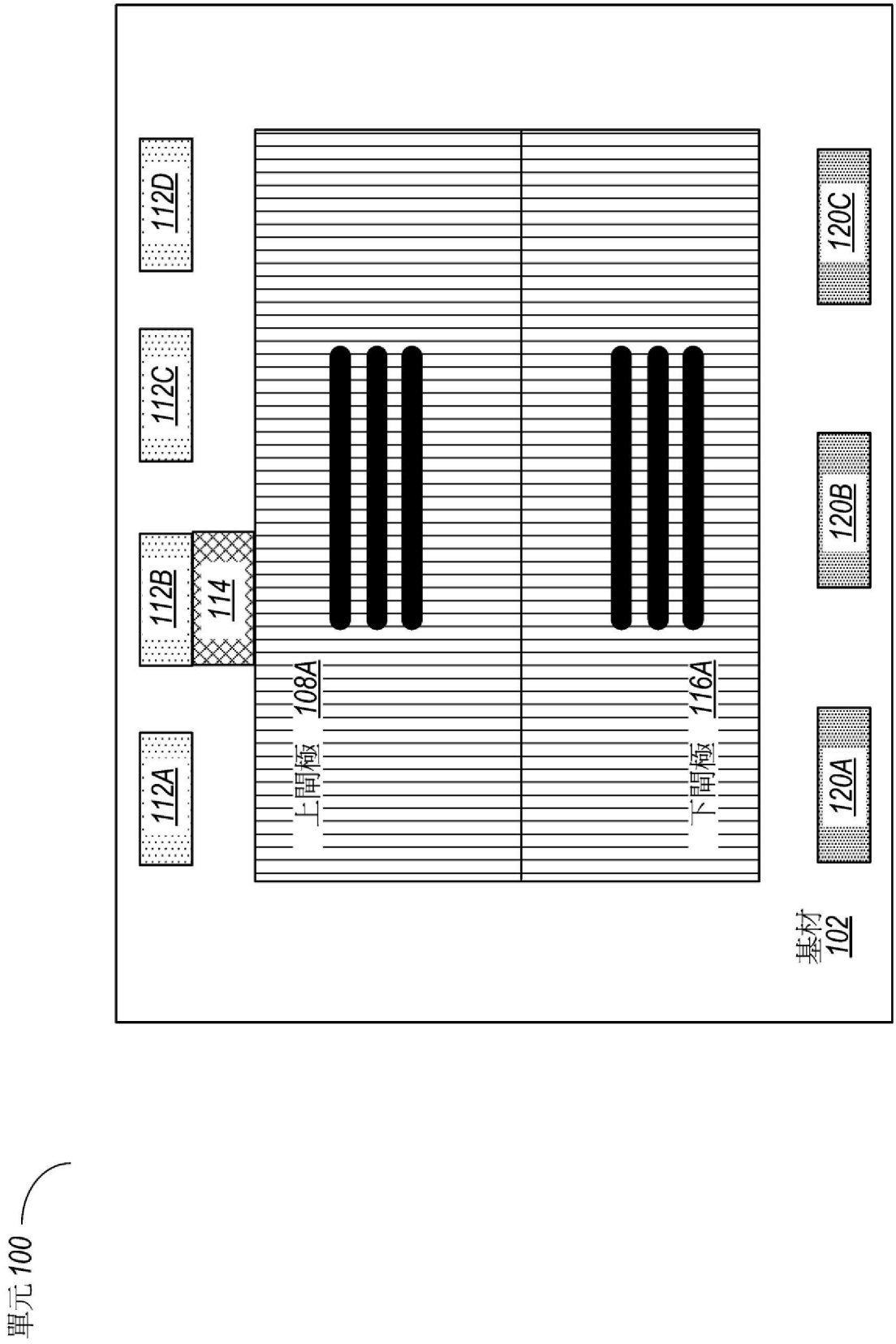
【圖2】


單元 100
頂側金屬層 112B
基材 102
接觸件 114
上閘極 108A
上閘極 108B
下閘極 116A
下閘極 116B
隔離閘極 110
隔離閘極 110
接觸件 126A
源極/汲極區域 124A
接觸件 126B
源極/汲極區域 124B
接觸件 126C
源極/汲極區域 124C
接觸件 126D
源極/汲極區域 124D
接觸件 126E
源極/汲極區域 124E
接觸件 126F
源極/汲極區域 124F
主動區域 104
主動區域 106

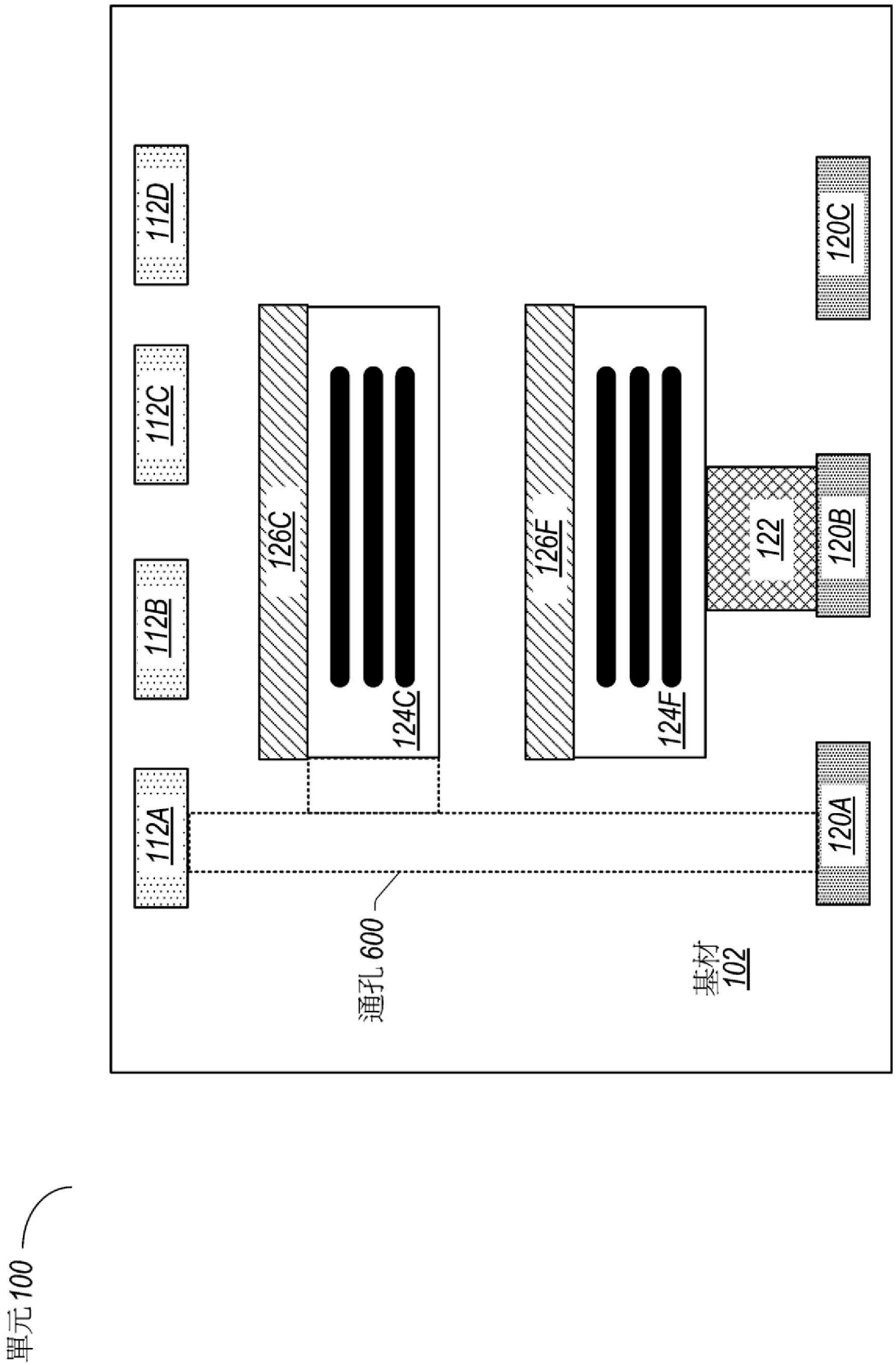
【圖3】


單元 100
基材 102
隔離閘極 110
接觸件 126A
源極/汲極區域 124A
上閘極 108A
接觸件 126B
源極/汲極區域 124B
上閘極 108B
接觸件 126C
源極/汲極區域 124C
隔離閘極 110
下閘極 116A
接觸件 126D
源極/汲極區域 124D
下閘極 116B
接觸件 126E
源極/汲極區域 124E
接觸件 126F
源極/汲極區域 124F
背側通孔 122
背側金屬層 120B
主動區域 104
主動區域 106

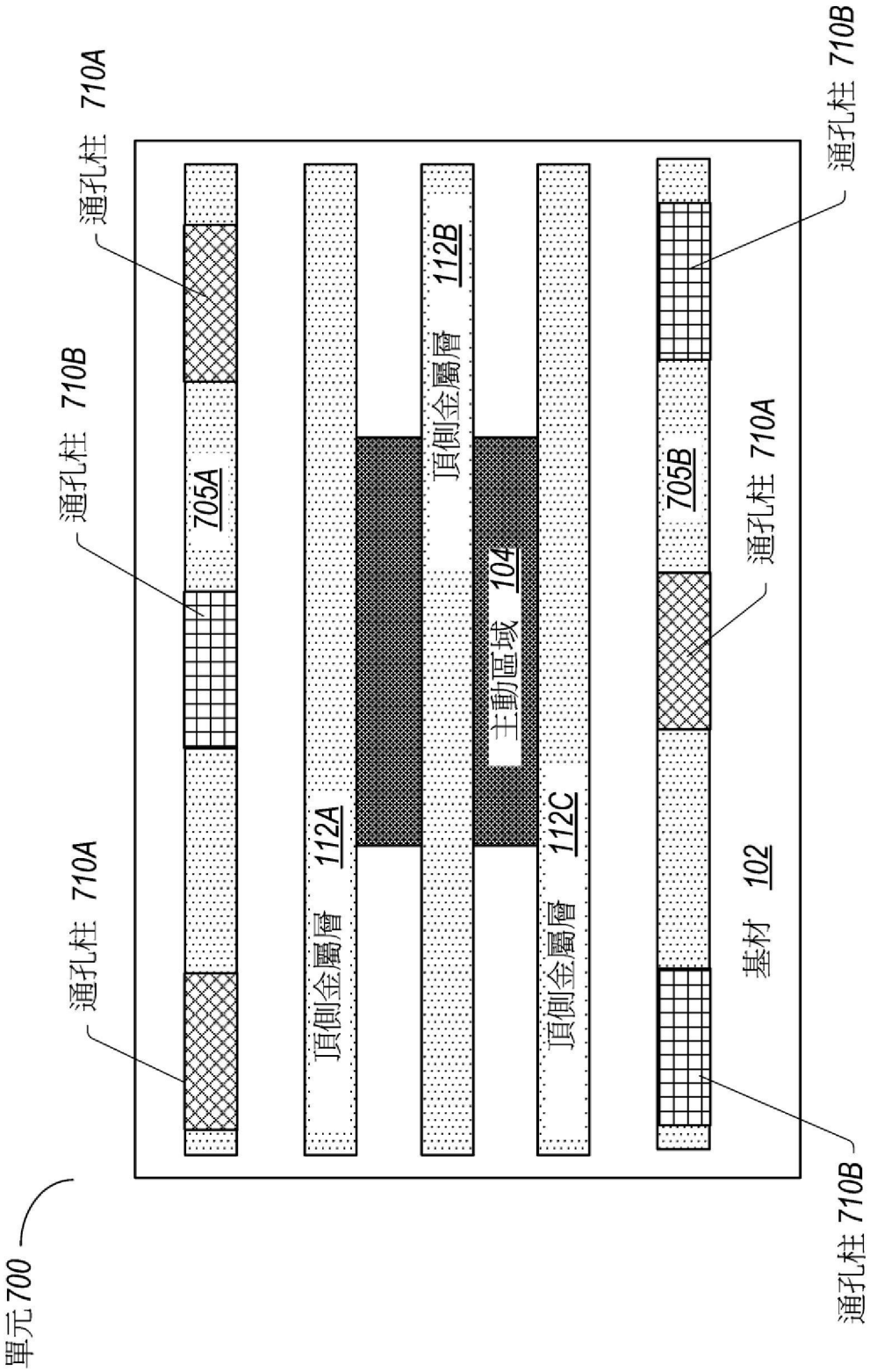
【圖4】


112D
112C
112B
114
112A
108A
上閘極
116A
下閘極
120C
120B
120A
基材
102
單元 100

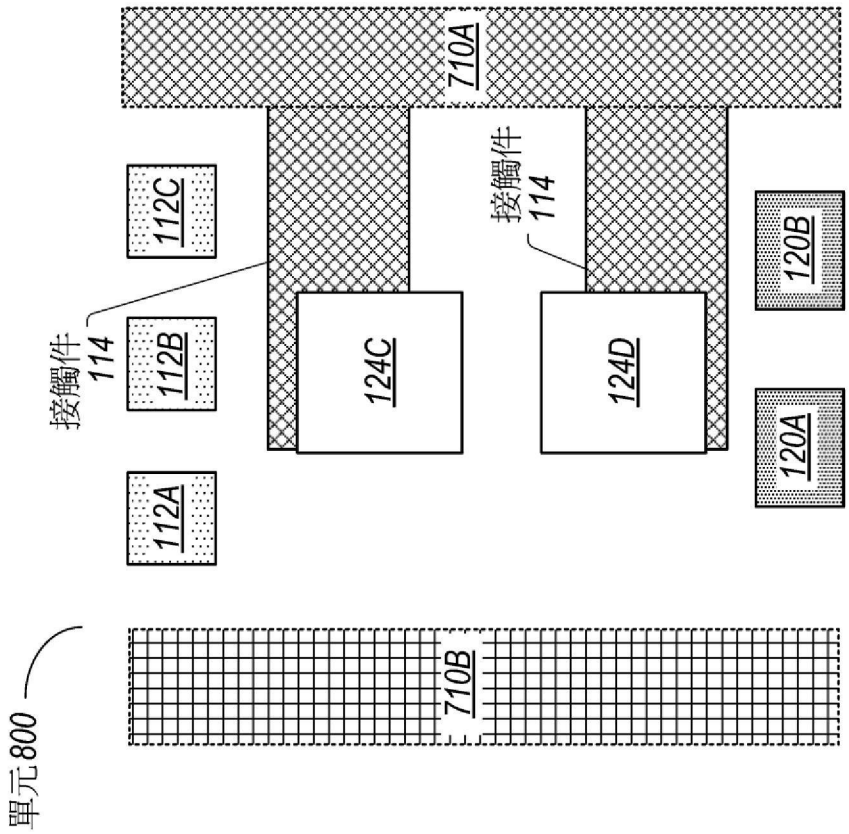
【圖5】


112D
112C
112B
112A
126C
124C
126F
124F
122
120C
120B
120A
通孔 600
基材 102
單元 100

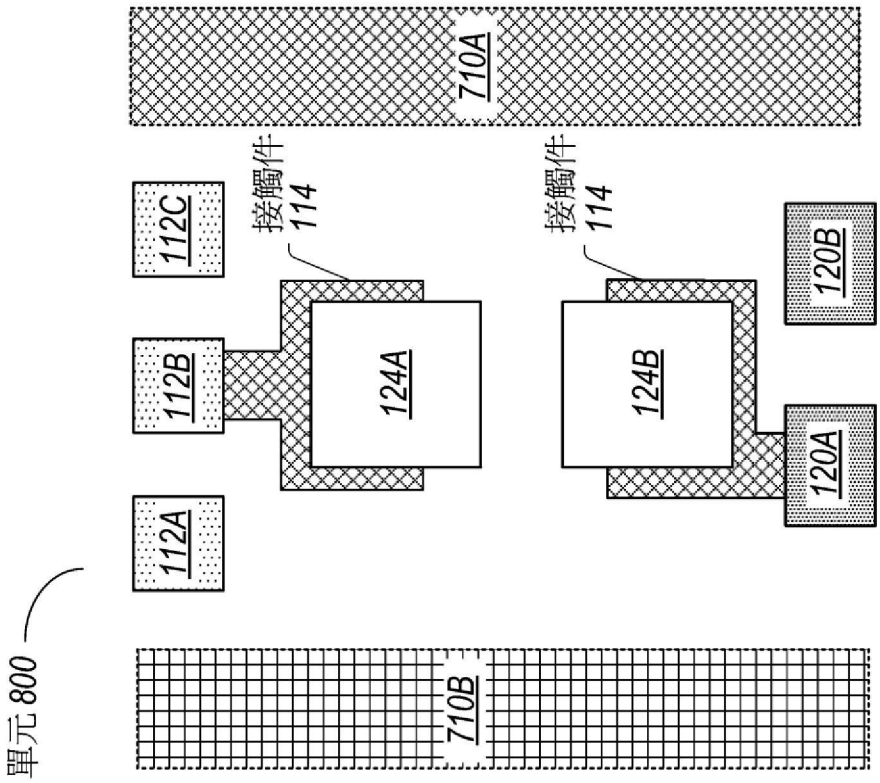
【圖6】


單元 700
通孔柱 710A
通孔柱 710B
通孔柱 710A
通孔柱 710B
通孔柱 710A
通孔柱 710B
705A
705B
頂側金屬層 112A
頂側金屬層 112B
頂側金屬層 112C
主動區域 104
基材 102

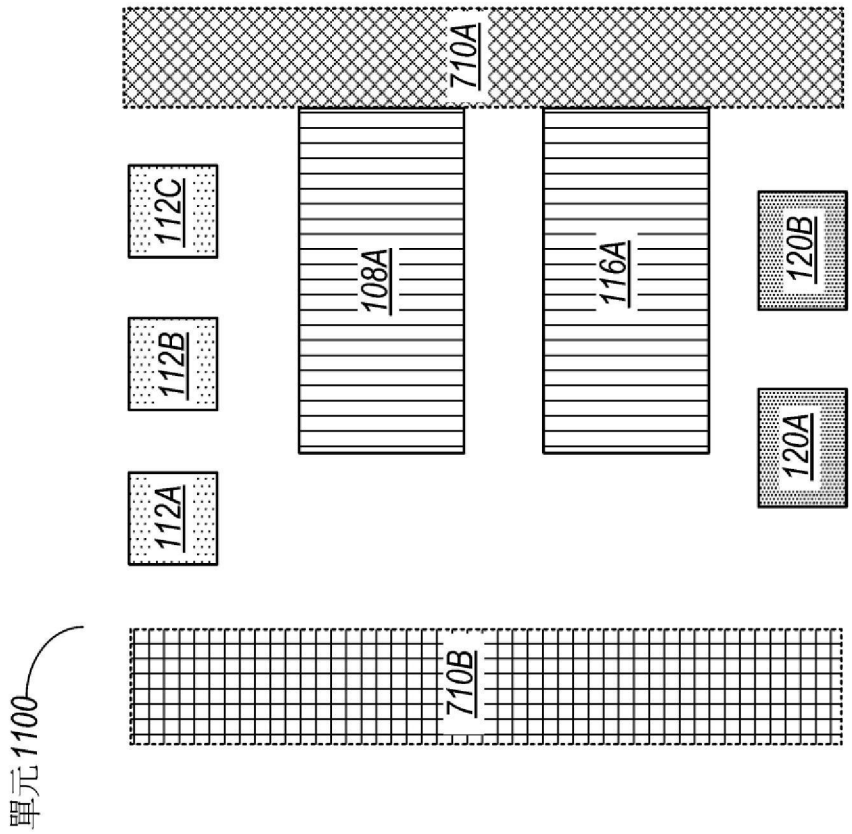
【圖7】


710A
112C
接觸件
114
112B
124C
124D
120B
120A
112A
710B
單元 800

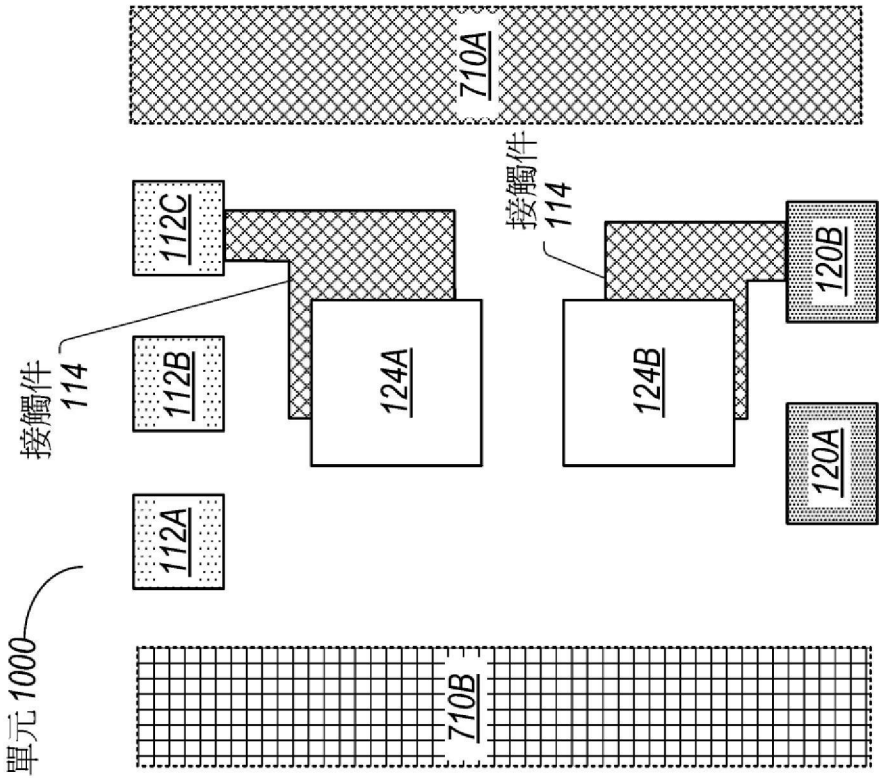
【圖9】


710A
112C
接觸件
114
接觸件
114
112B
124A
124B
120B
120A
112A
710B
單元 800

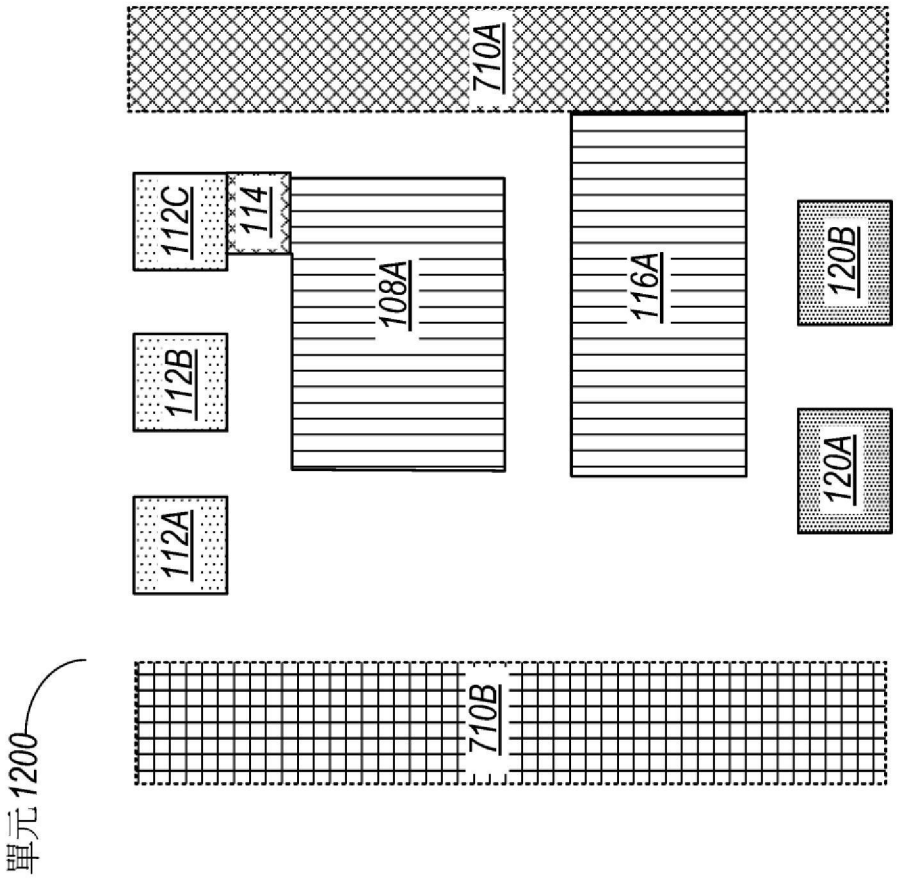
【圖8】


710A
112C
112B
112A
108A
116A
120B
120A
710B
單元 1100

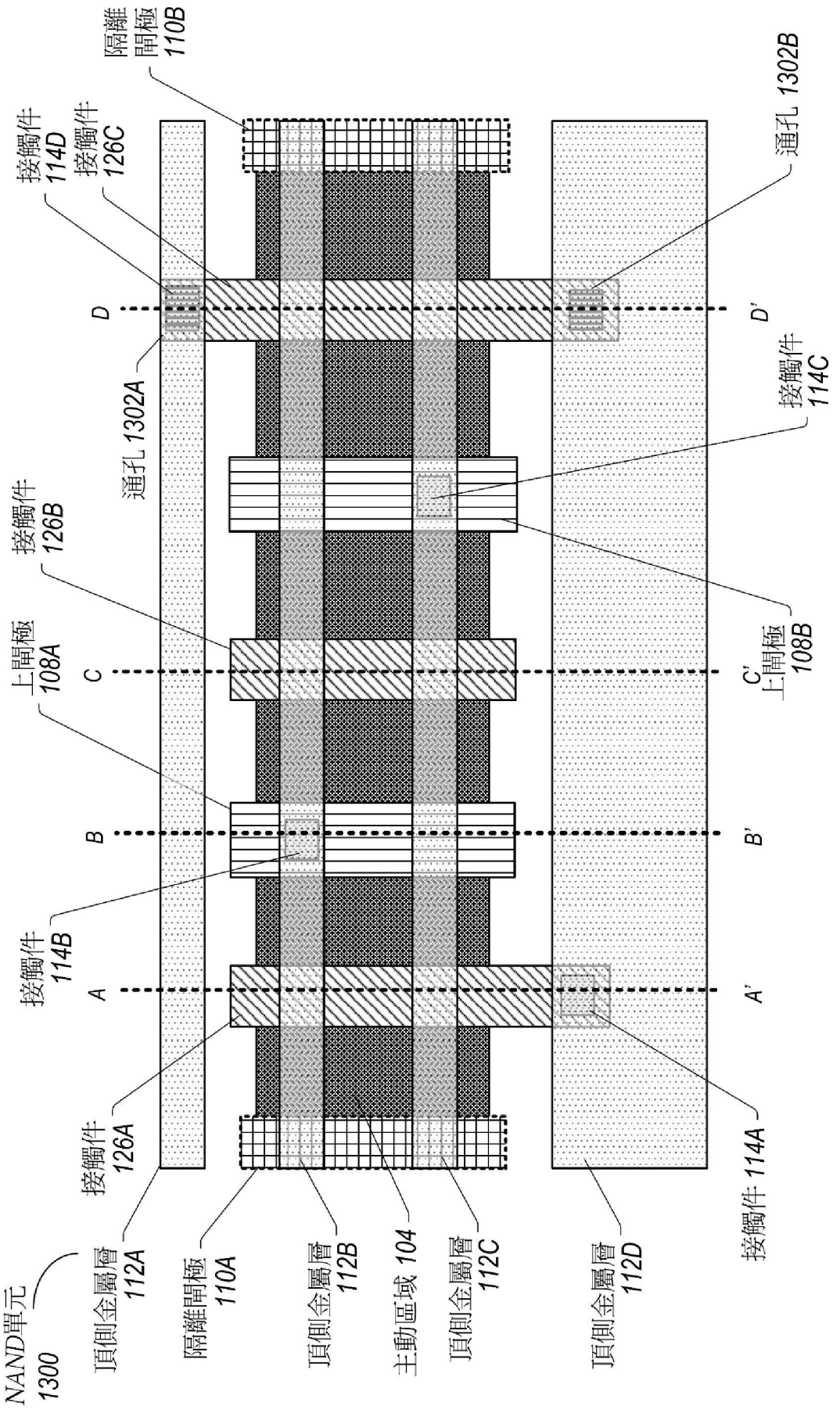
【圖11】


710A
接觸件 114
112C
112B
112A
接觸件 114
124A
124B
120B
120A
710B
單元 1000

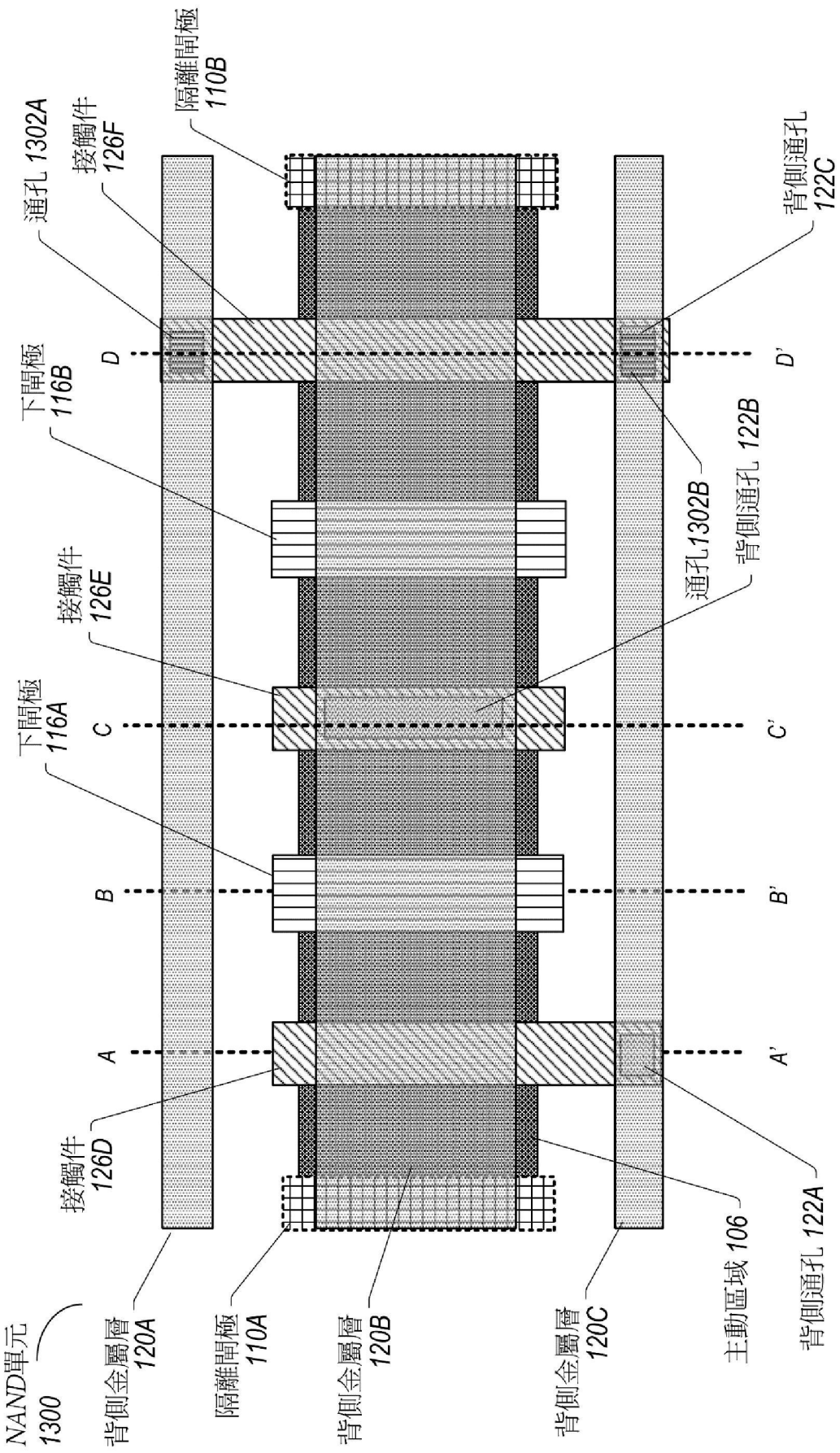
【圖10】



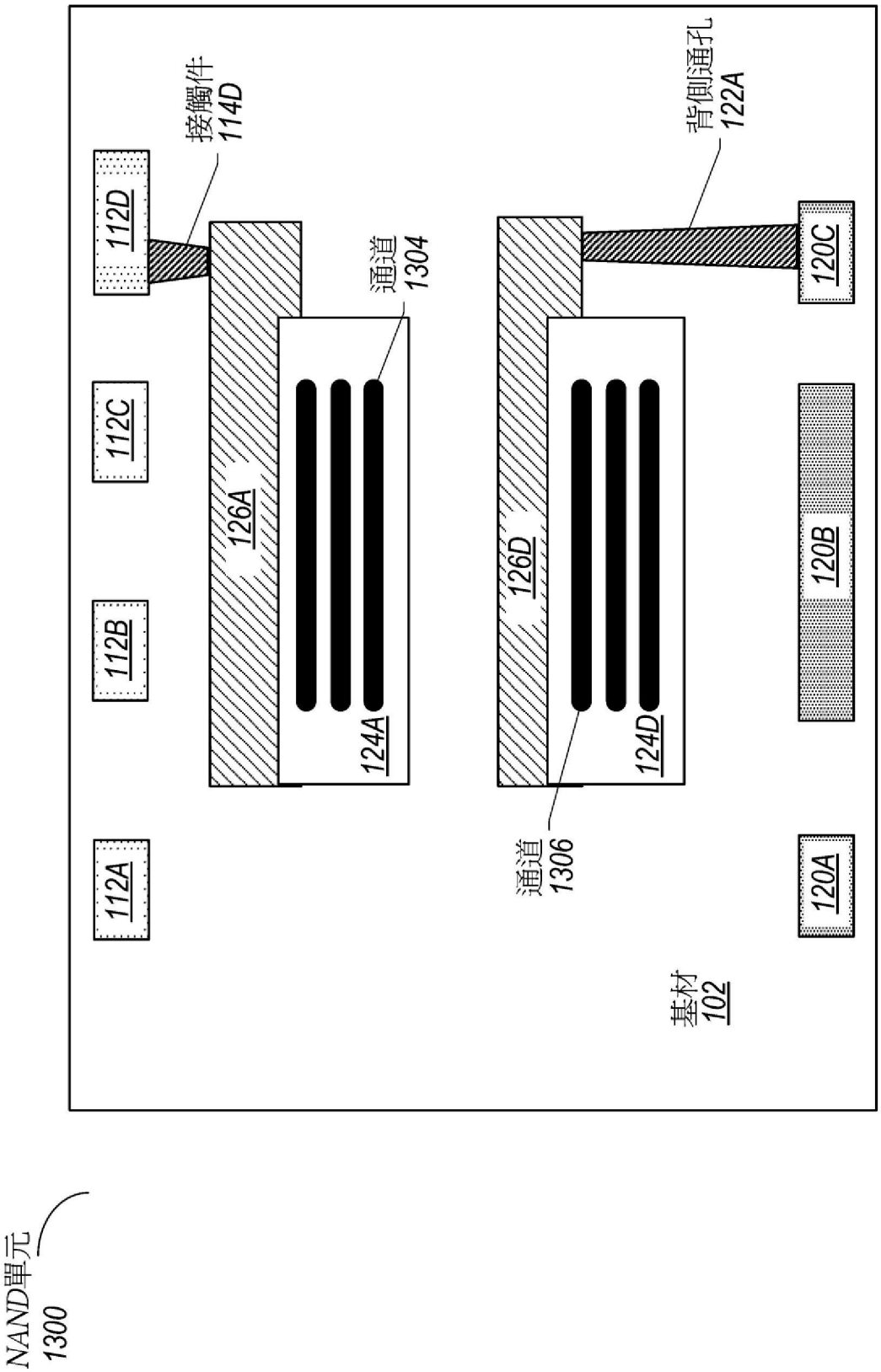
【圖12】


NAND單元
1300
頂側金屬層
112A
隔離閘極
110A
頂側金屬層
112B
主動區域 104
頂側金屬層
112C
頂側金屬層
112D
接觸件 114A
接觸件
126A
接觸件
114B
上閘極
108A
接觸件
126B
通孔 1302A
接觸件
126C
接觸件
114D
隔離
閘極
110B
通孔 1302B
接觸件
114C
上閘極
108B
A
A'
B
B'
C
C'
D
D'

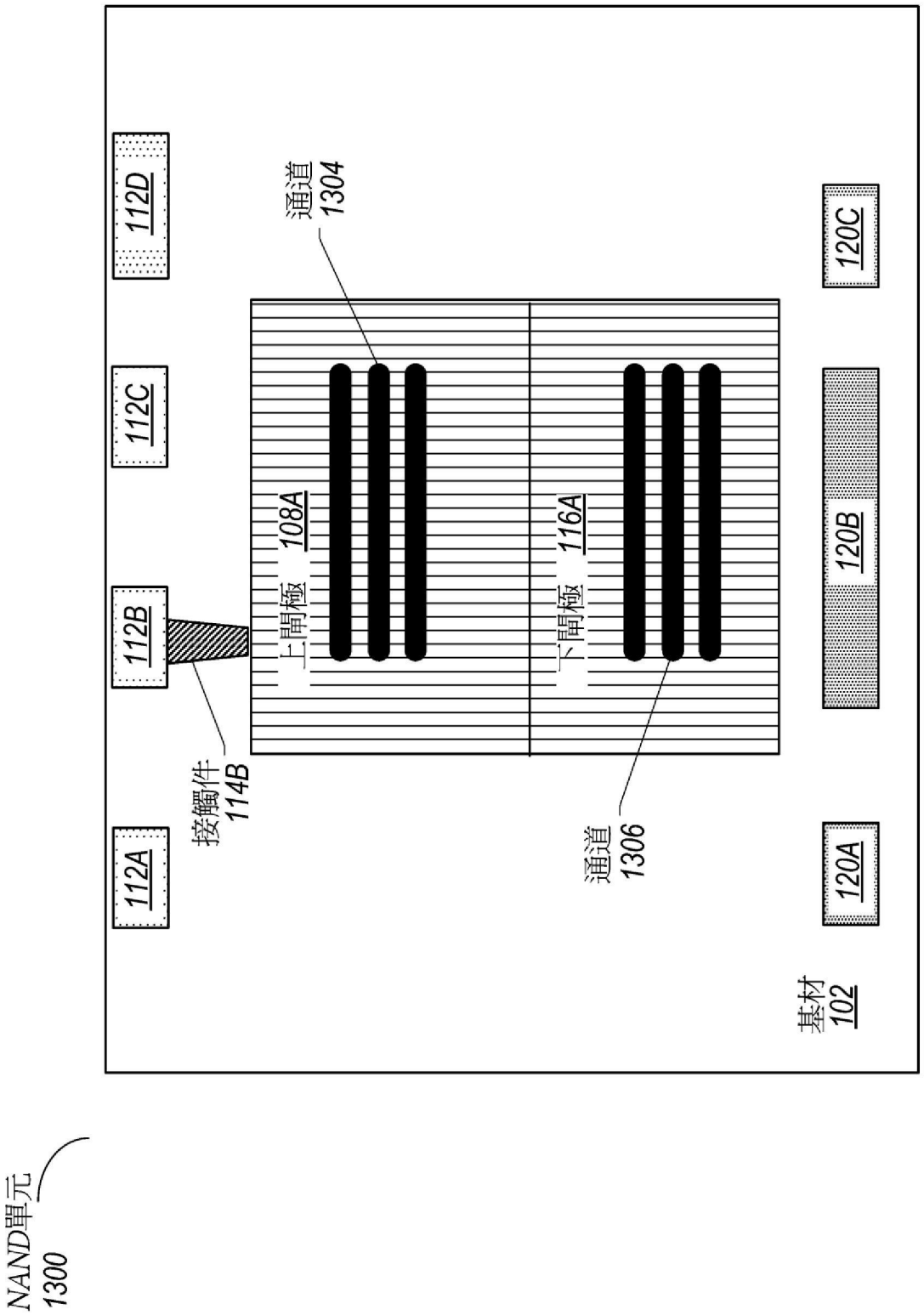
【圖13】


NAND單元
1300
背側金屬層
120A
隔離閘極
110A
背側金屬層
120B
背側金屬層
120C
主動區域 106
背側通孔 122A
接觸件
126D
下閘極
116A
接觸件
126E
下閘極
116B
接觸件
126F
通孔 1302A
隔離閘極
110B
通孔 1302B
背側通孔 122B
背側通孔
122C
A
A'
B
B'
C
C'
D
D'

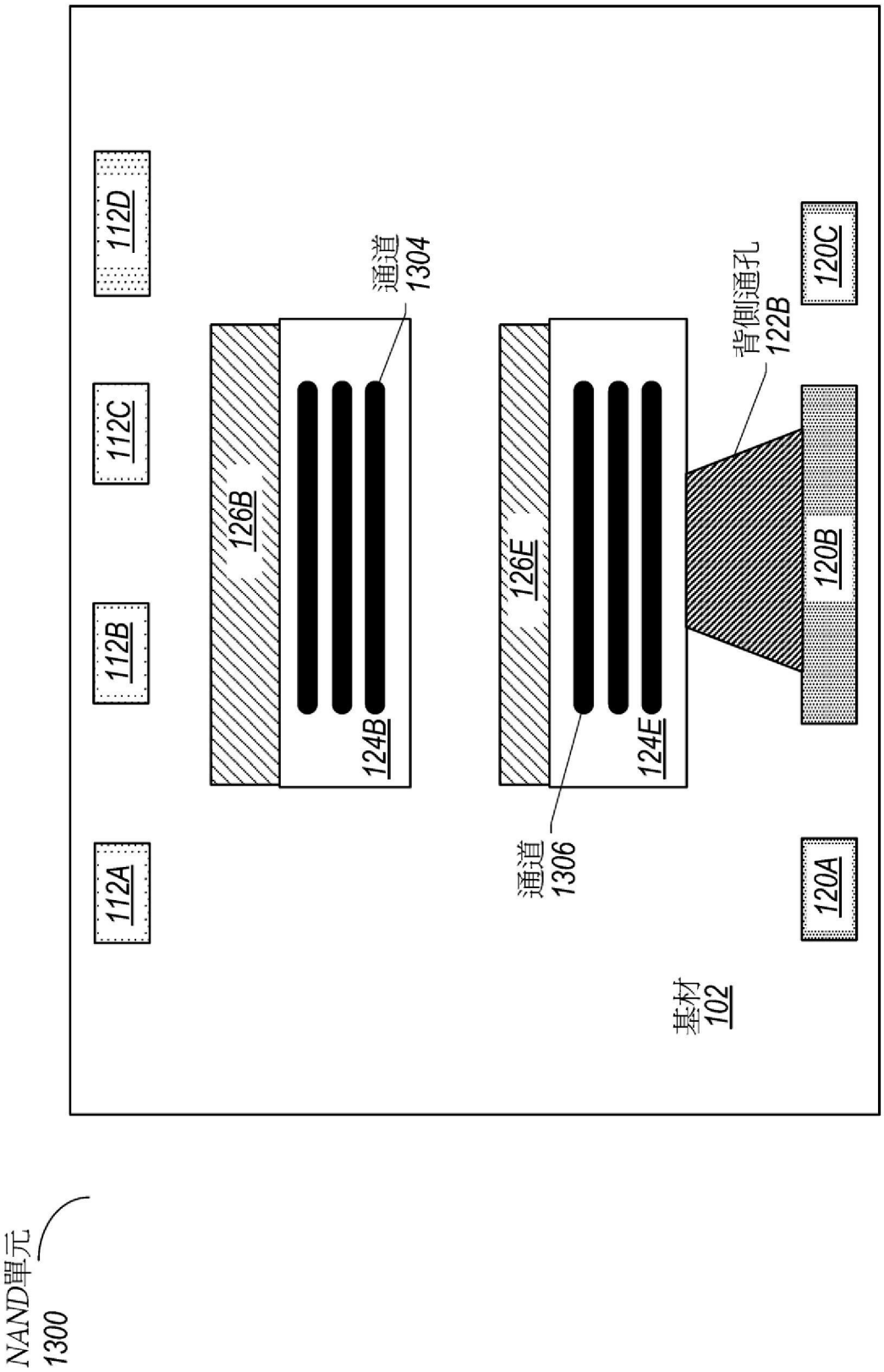
【圖14】


NAND單元
1300
基材
102
112A
112B
112C
112D
120A
120B
120C
122A
124A
124D
126A
126D
接觸件
114D
通道
1304
通道
1306
背側通孔

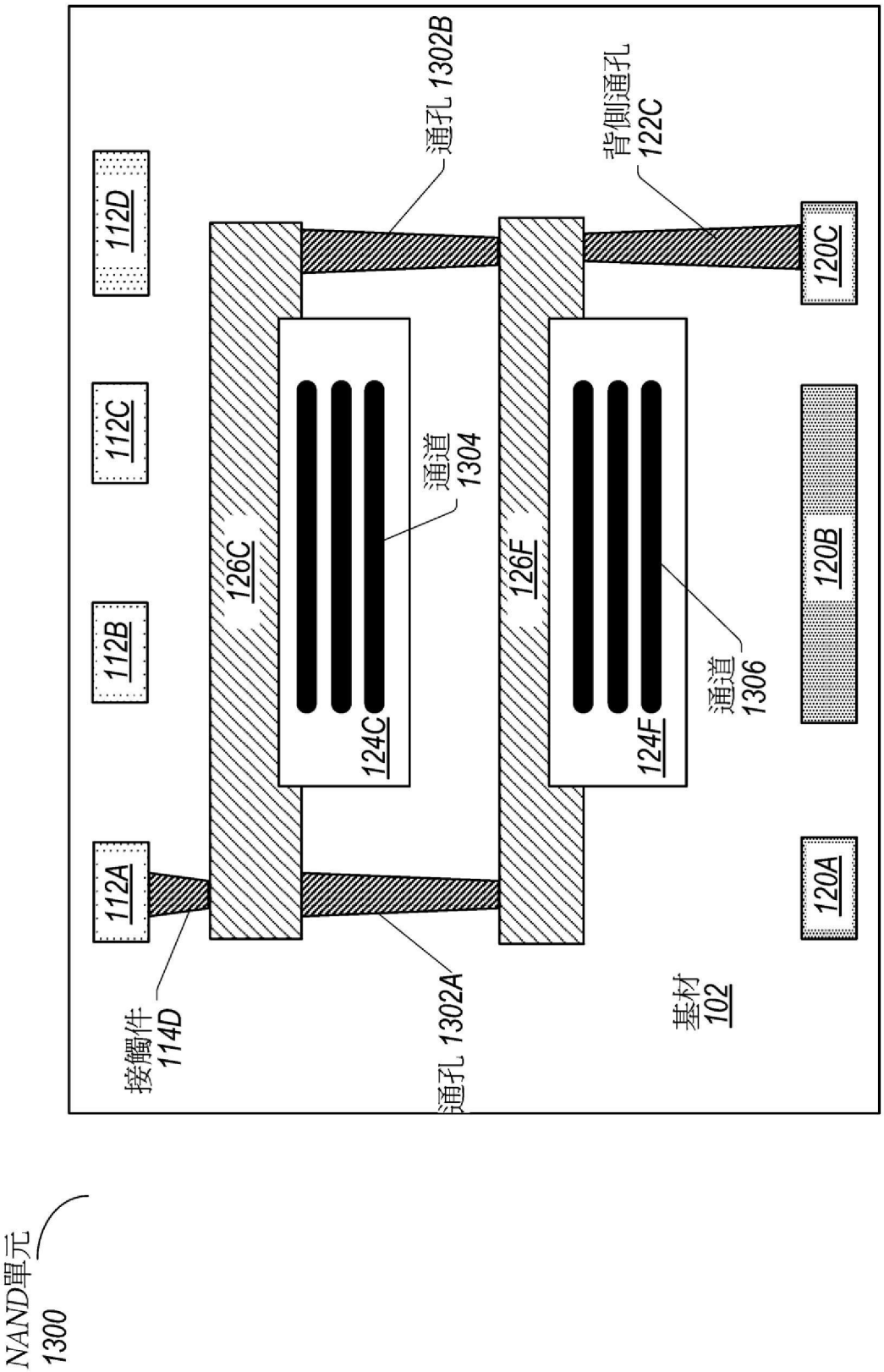
【圖15】


NAND單元
1300
112A
112B
112C
112D
接觸件
114B
上閘極
108A
下閘極
116A
通道
1304
通道
1306
120A
120B
120C
基材
102

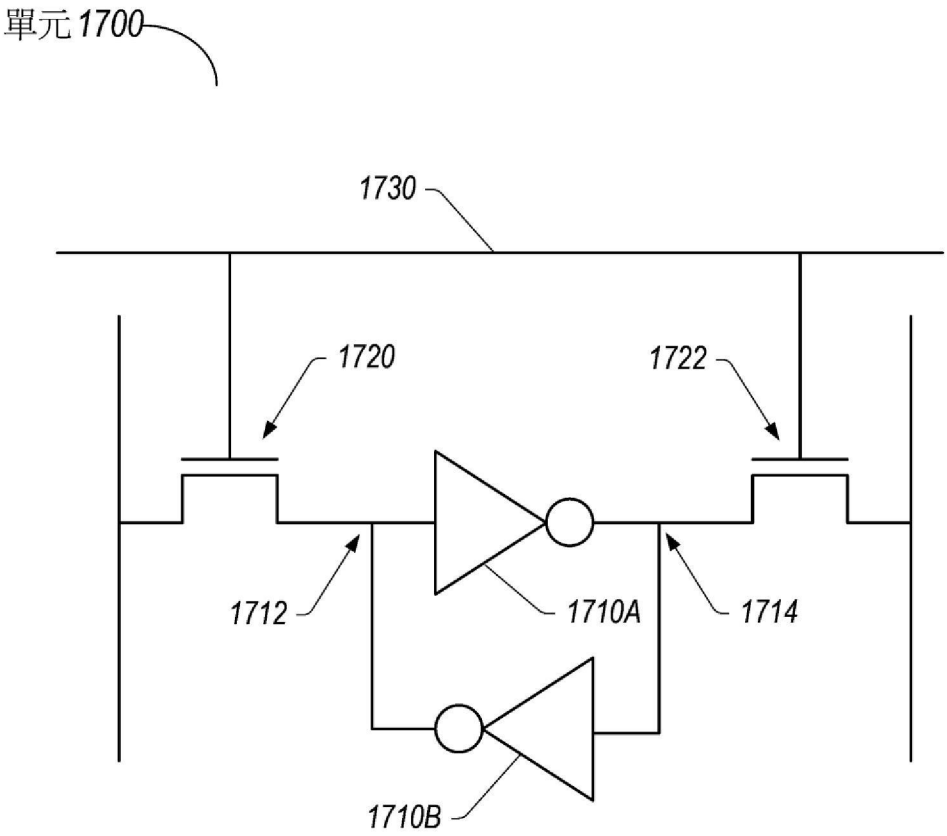
【圖16】


NAND單元
1300
112A
112B
112C
112D
126B
124B
通道
1304
126E
124E
通道
1306
背側通孔
122B
120A
120B
120C
基材
102

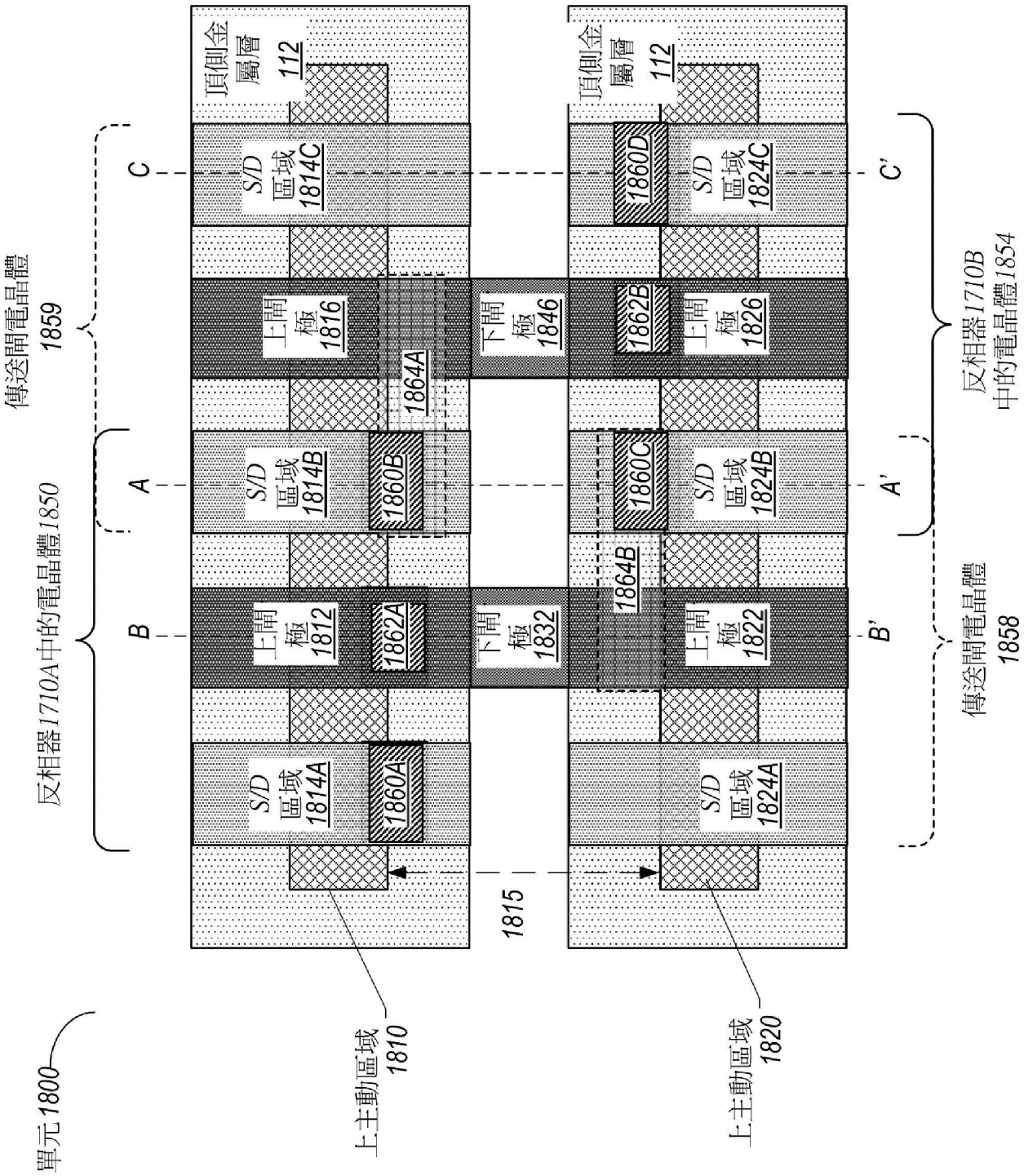
【圖17】


NAND單元
1300
接觸件
114D
112A
112B
112C
112D
126C
126F
通孔 1302A
通孔 1302B
通道
1304
通道
1306
124C
124F
背側通孔
122C
120A
120B
120C
基材
102

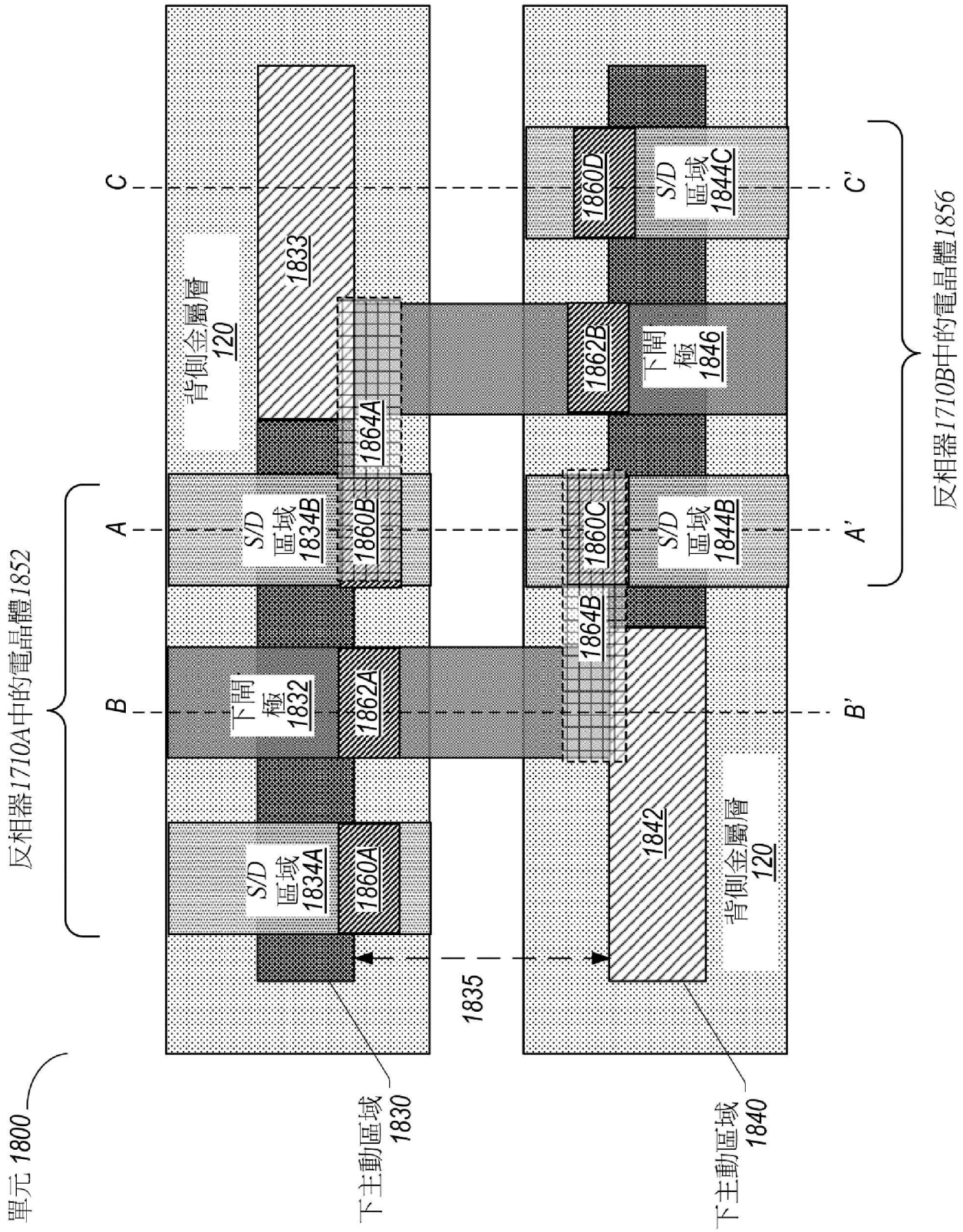
【圖18】



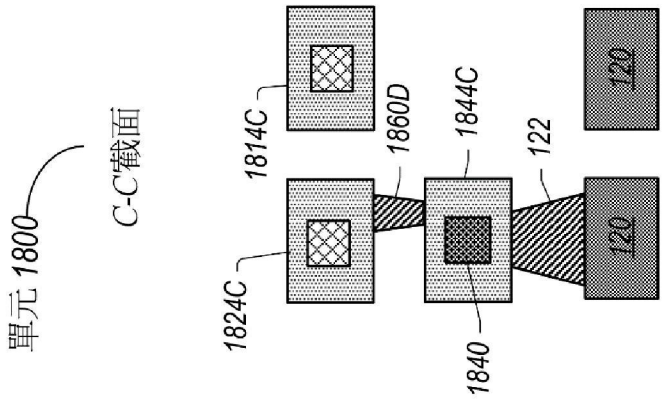
【圖19】


頂側金屬層 112
S/D 區域 1814C
S/D 區域 1814B
S/D 區域 1814A
上閘極 1816
上閘極 1812
下閘極 1846
下閘極 1832
1860A
1860B
1862A
1864A
1815
頂側金屬層 112
1860D
1860C
1862B
1864B
S/D 區域 1824C
S/D 區域 1824B
S/D 區域 1824A
上閘極 1826
上閘極 1822
傳送閘電晶體 1859
反相器1710A中的電晶體1850
A
A'
B
B'
C
C'
反相器1710B 中的電晶體1854
傳送閘電晶體 1858
單元 1800
上主動區域 1810
上主動區域 1820

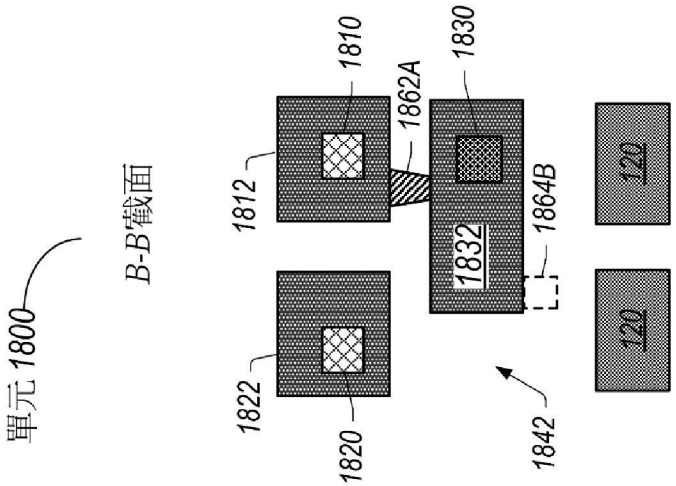
【圖20】


單元 1800
反相器1710A中的電晶體1852
反相器1710B中的電晶體1856
背側金屬層 120
背側金屬層 120
S/D 區域 1834A
S/D 區域 1834B
S/D 區域 1844B
S/D 區域 1844C
下閘極 1832
下閘極 1846
1833
1835
1842
1860A
1860B
1860C
1860D
1862A
1862B
1864A
1864B
A
A'
B
B'
C
C'
下主動區域 1830
下主動區域 1840

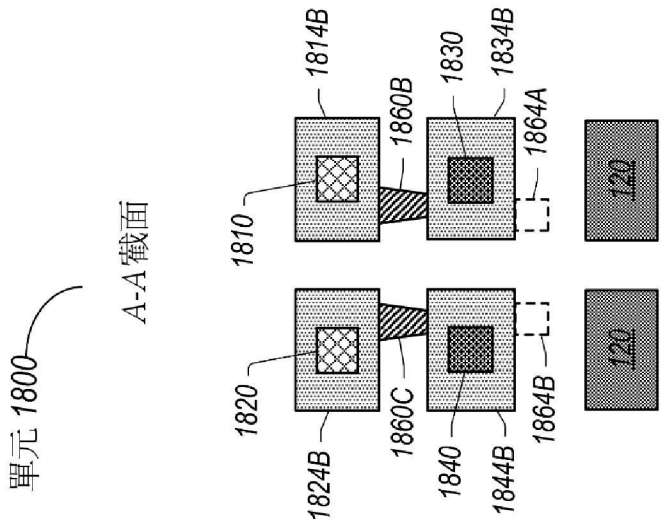
【圖21】


單元 1800
C-C'截面
1814C
1860D
1844C
122
120
1824C
1840
120

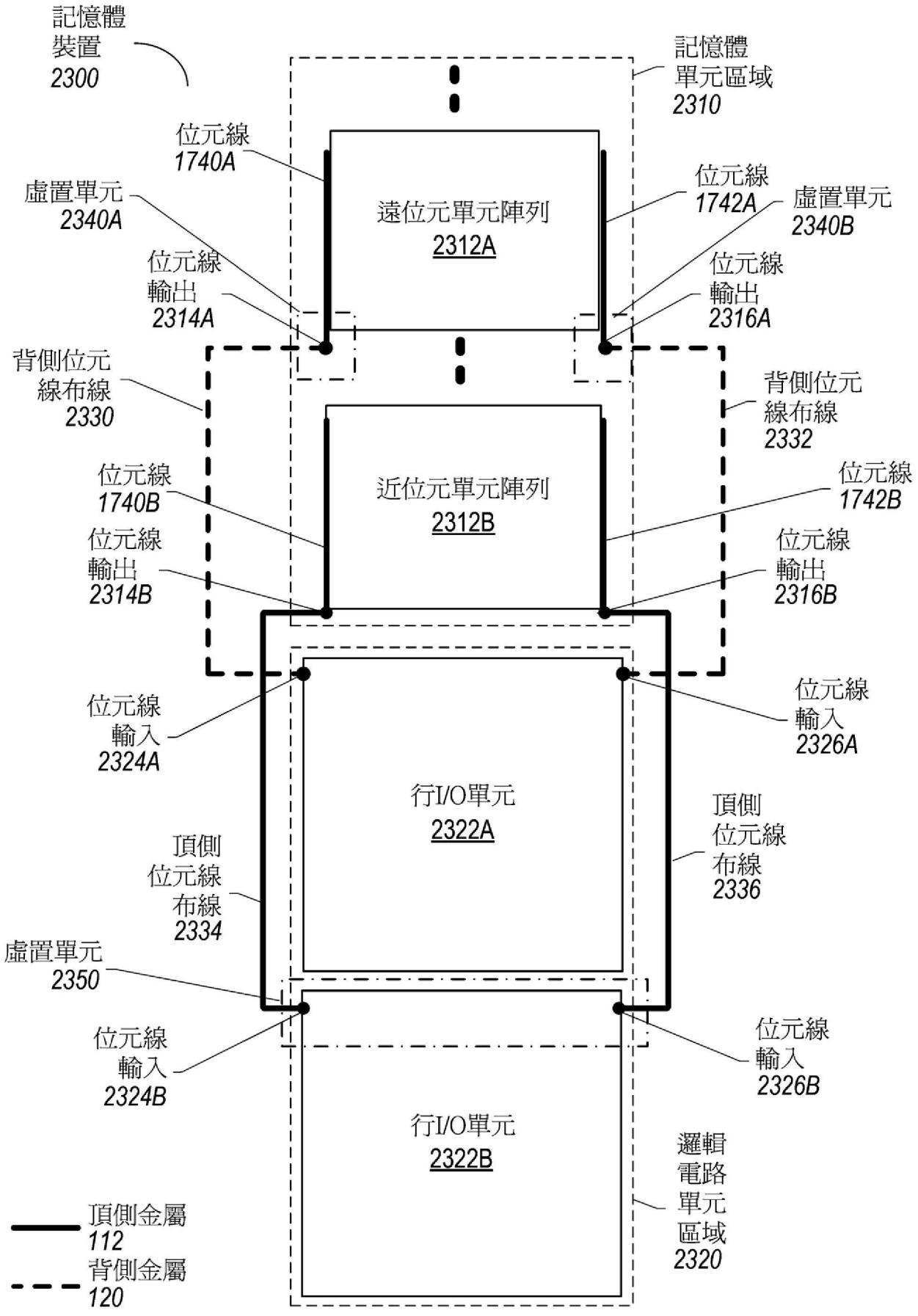
【圖24】


單元 1800
B-B'截面
1810
1862A
1830
1812
1832
1864B
120
120
1822
1820
1842

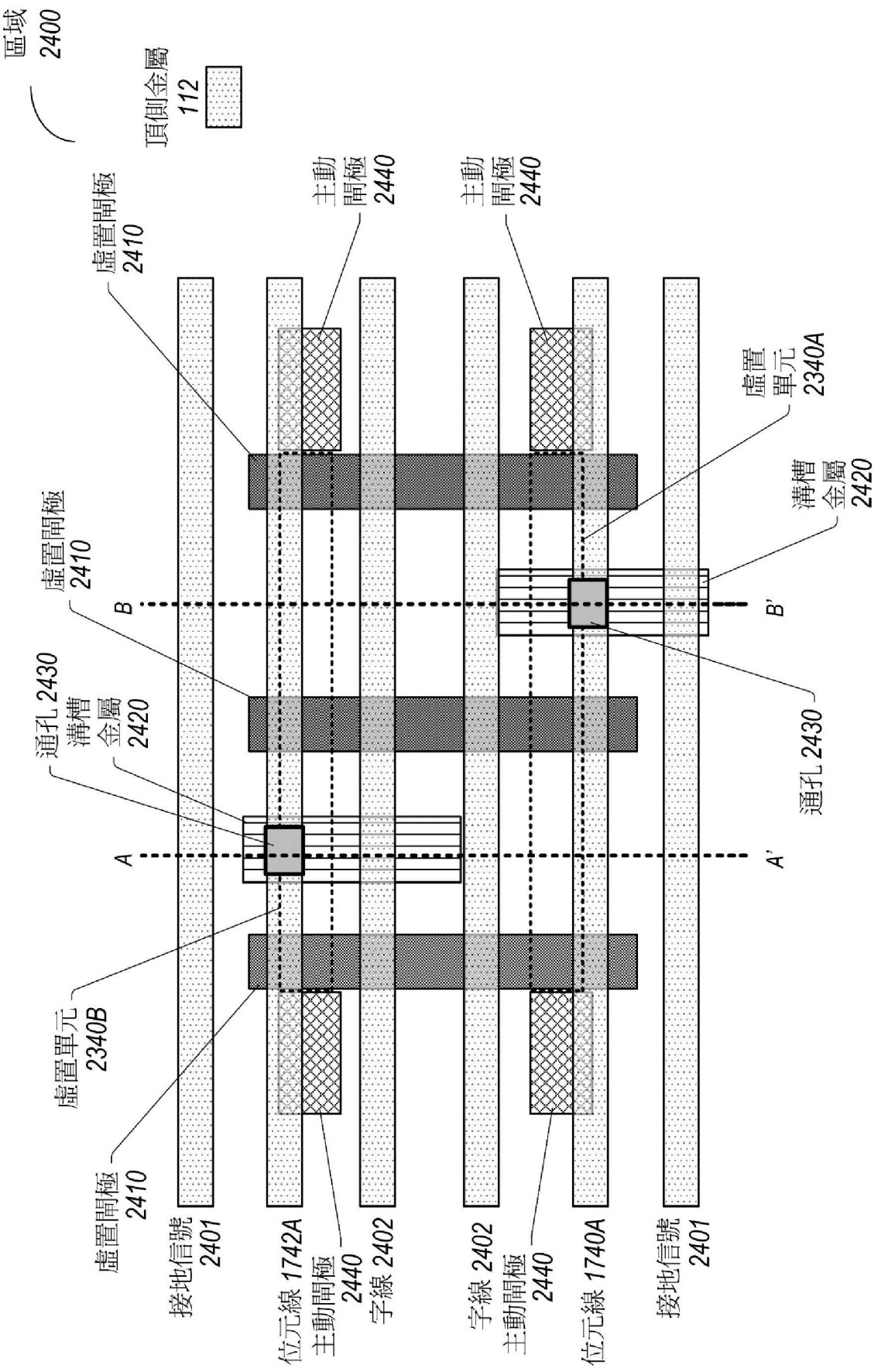
【圖23】


單元 1800
A-A'截面
1814B
1860B
1830
1834B
1864A
1810
120
120
1820
1860C
1840
1844B
1864B
1824B

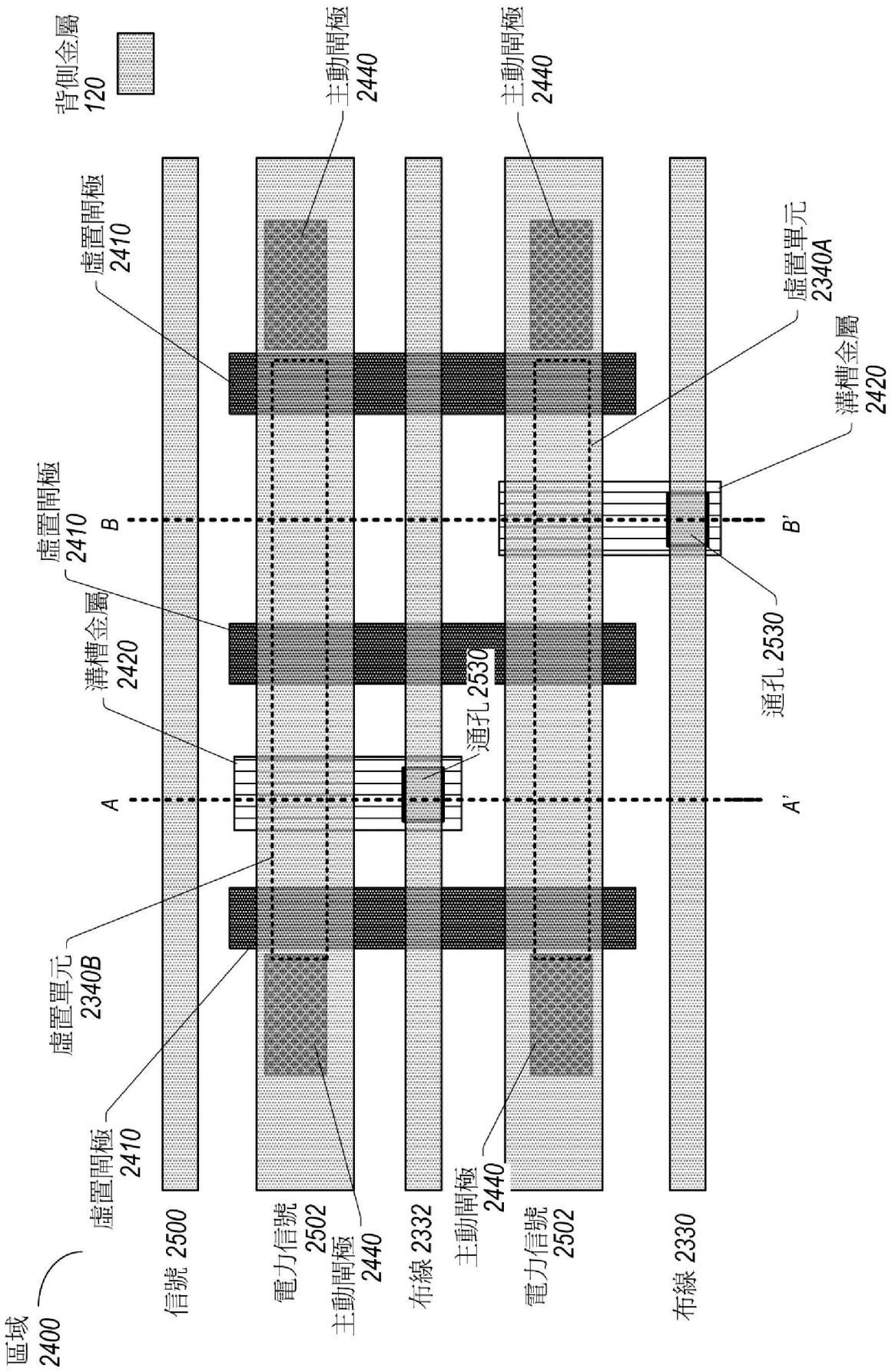
【圖22】


記憶體
裝置
2300
記憶體
單元區域
2310
位元線
1740A
位元線
1742A
虛置單元
2340A
虛置單元
2340B
遠位元單元陣列
2312A
位元線
輸出
2314A
位元線
輸出
2316A
背側位元
線布線
2330
背側位元
線布線
2332
位元線
1740B
位元線
1742B
近位元單元陣列
2312B
位元線
輸出
2314B
位元線
輸出
2316B
位元線
輸入
2324A
位元線
輸入
2326A
行I/O單元
2322A
頂側
位元線
布線
2334
頂側
位元線
布線
2336
虛置單元
2350
位元線
輸入
2324B
位元線
輸入
2326B
行I/O單元
2322B
邏輯
電路
單元
區域
2320
頂側金屬
112
背側金屬
120

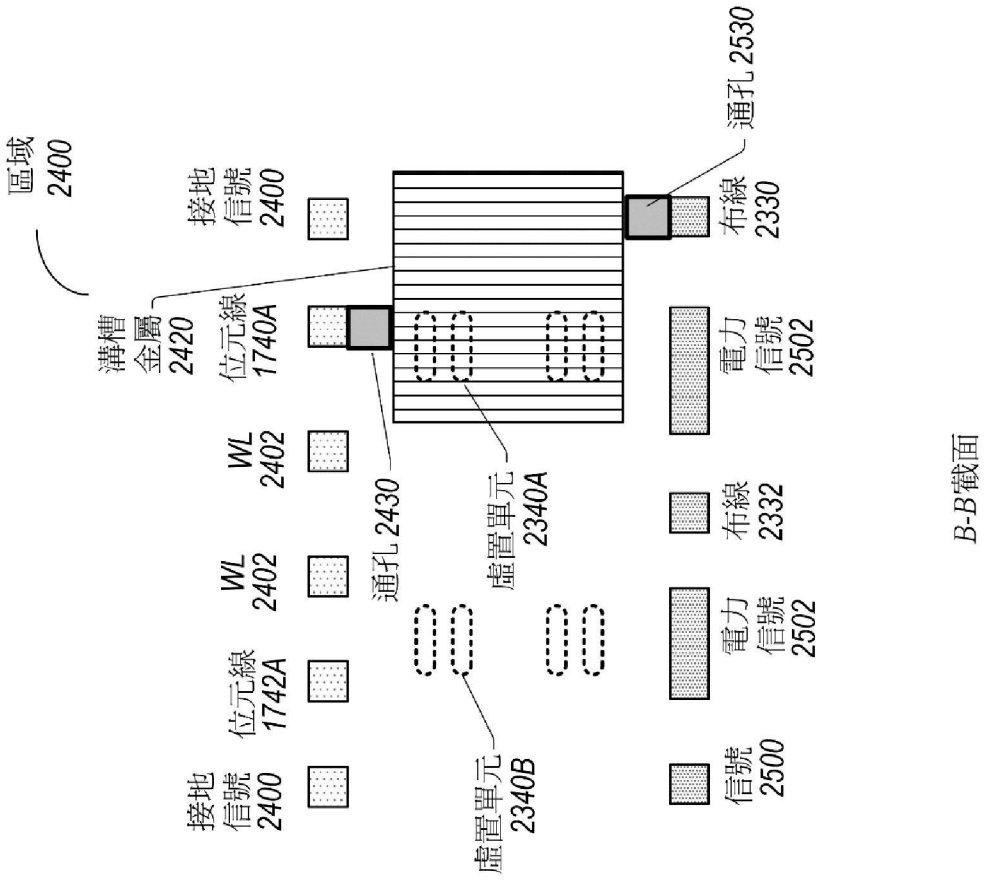
【圖25】


區域 2400
頂側金屬 112
虛置閘極 2410
主動閘極 2440
虛置閘極 2410
主動閘極 2440
虛置單元 2340A
溝槽金屬 2420
虛置閘極 2410
B
B'
通孔 2430
溝槽金屬 2420
通孔 2430
A
A'
虛置單元 2340B
虛置閘極 2410
接地信號 2401
位元線 1742A
主動閘極 2440
字線 2402
字線 2402
主動閘極 2440
位元線 1740A
接地信號 2401

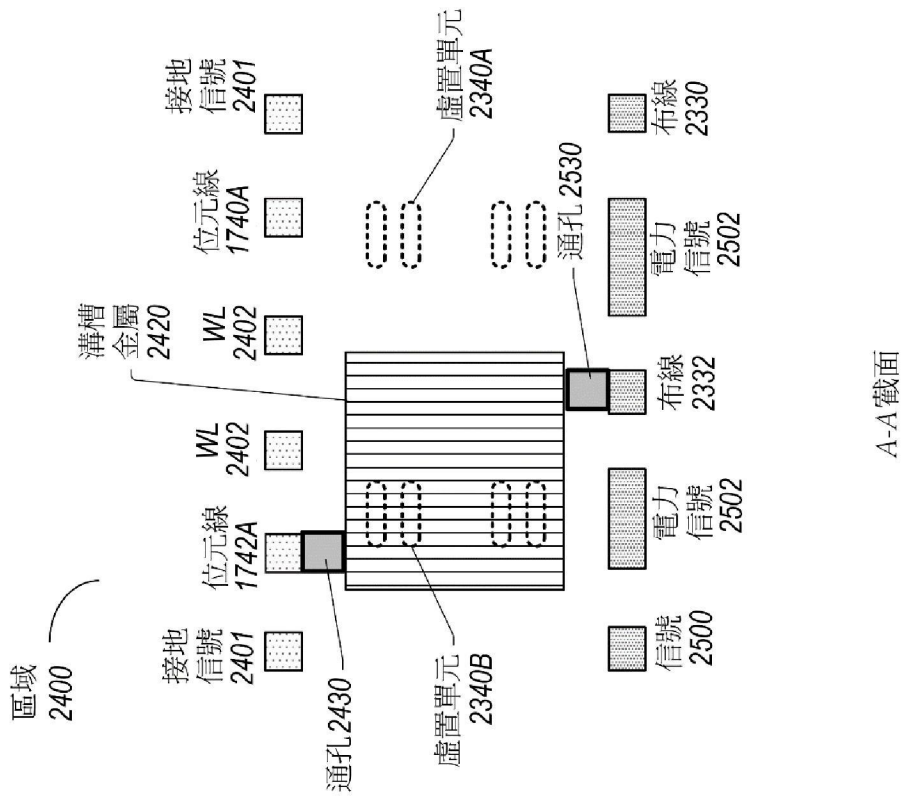
【圖26】


背側金屬
120
主動閘極
2440
主動閘極
2440
虛置閘極
2410
虛置單元
2340A
溝槽金屬
2420
虛置閘極
2410
B
B'
溝槽金屬
2420
通孔 2530
通孔 2530
A
A'
虛置單元
2340B
虛置閘極
2410
主動閘極
2440
區域
2400
信號 2500
電力信號
2502
主動閘極
2440
布線 2332
主動閘極
2440
電力信號
2502
布線 2330

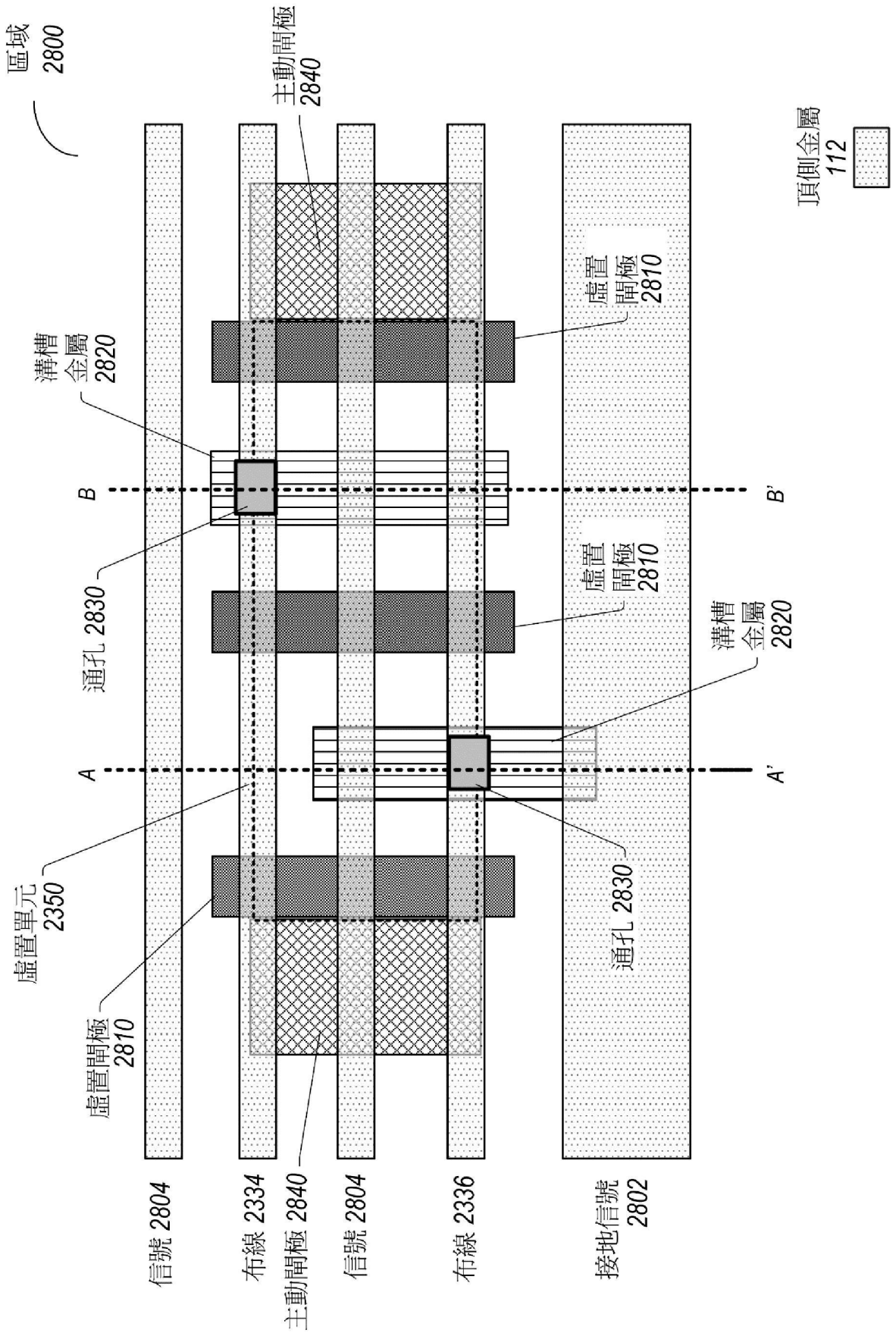
【圖27】


區域
2400
溝槽
金屬
2420
接地
信號
2400
位元線
1740A
WL
2402
通孔 2430
虛置單元
2340A
通孔 2530
布線
2330
電力
信號
2502
布線
2332
虛置單元
2340B
信號
2500
B-B截面

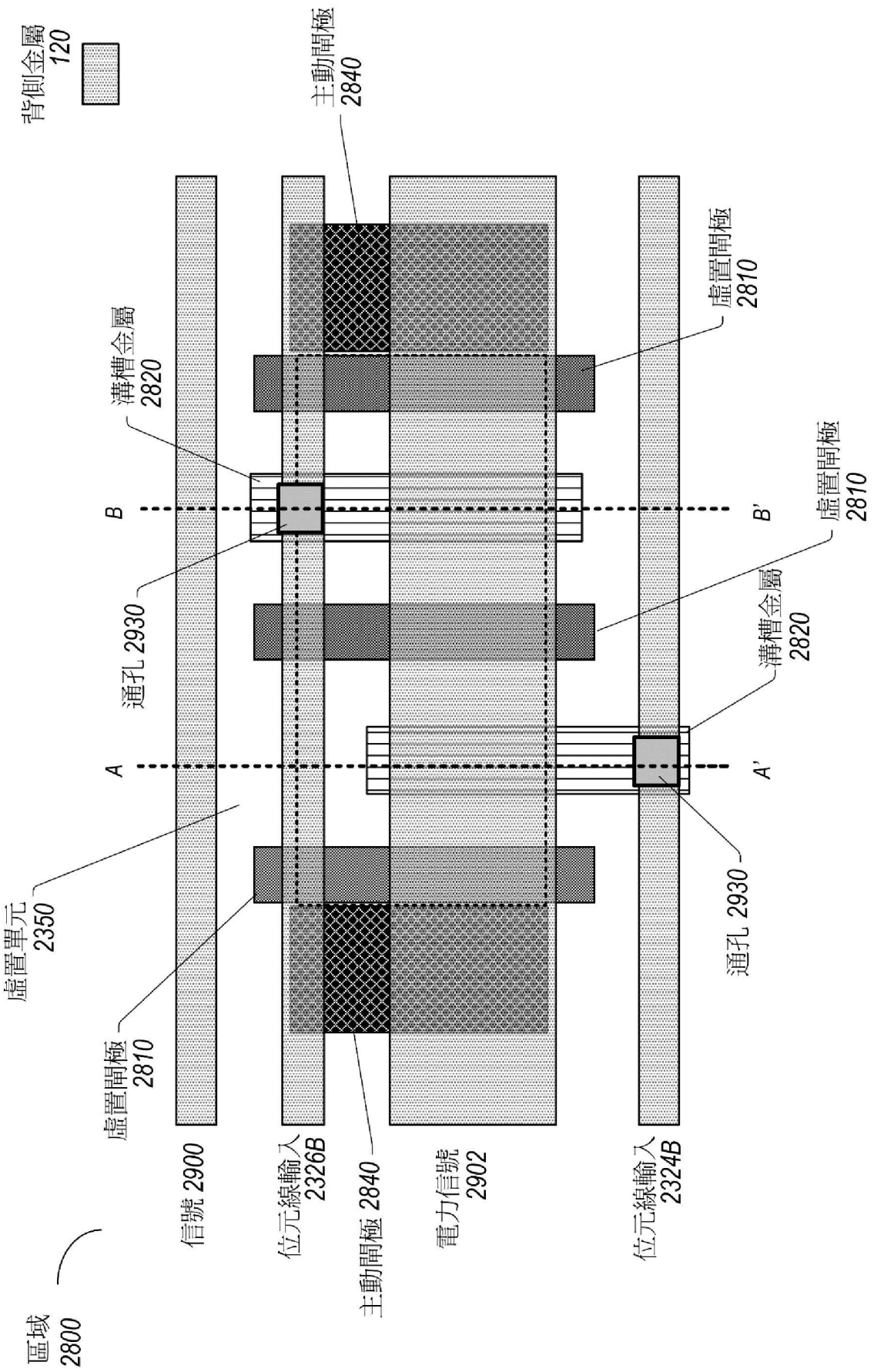
【圖29】


區域
2400
接地
信號
2401
位元線
1742A
WL
2402
溝槽
金屬
2420
虛置單元
2340A
通孔 2530
布線
2330
電力
信號
2502
布線
2332
通孔 2430
虛置單元
2340B
信號
2500
A-A截面

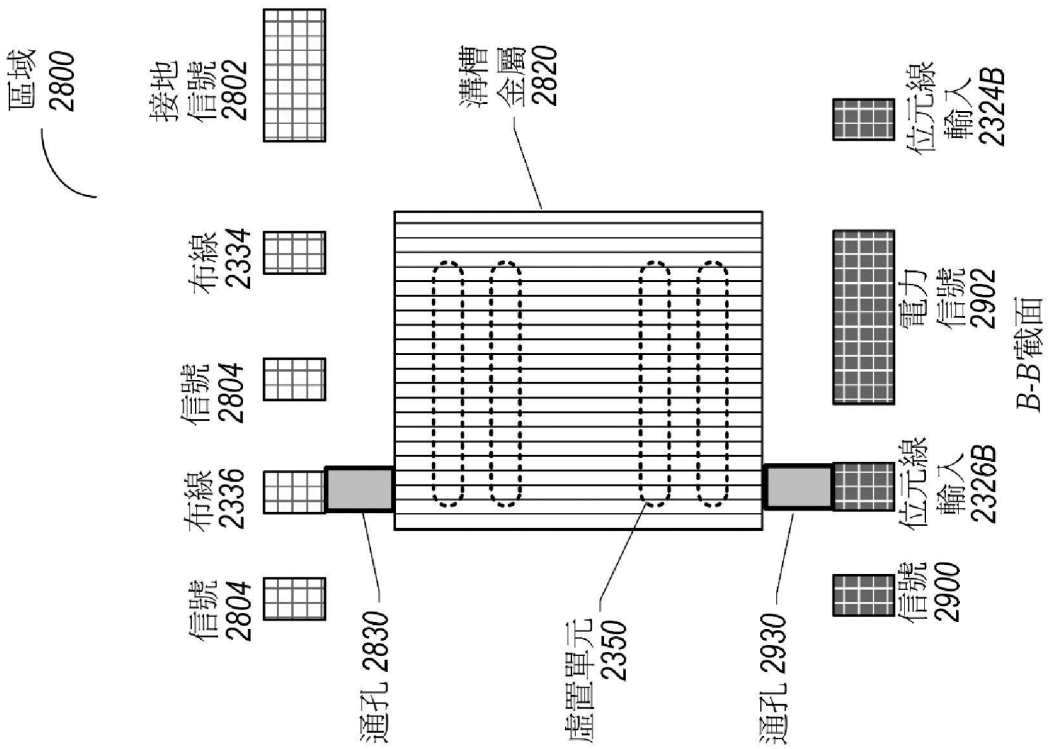
【圖28】


區域 2800
主動閘極 2840
頂側金屬 112
虛置閘極 2810
溝槽金屬 2820
B
B'
通孔 2830
虛置閘極 2810
溝槽金屬 2820
A
A'
虛置單元 2350
通孔 2830
虛置閘極 2810
信號 2804
布線 2334
主動閘極 2840
信號 2804
布線 2336
接地信號 2802

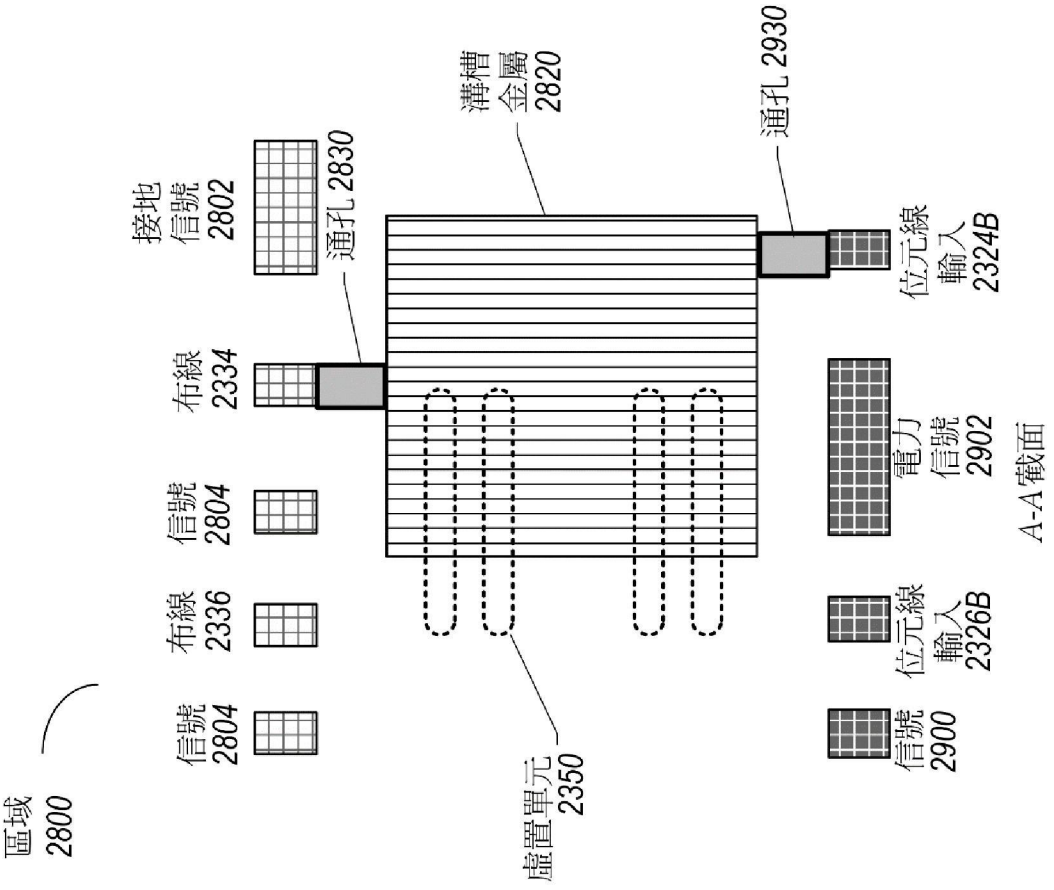
【圖30】


背側金屬 120
主動閘極 2840
溝槽金屬 2820
虛置閘極 2810
B
B'
通孔 2930
虛置閘極 2810
溝槽金屬 2820
A
A'
虛置單元 2350
通孔 2930
虛置閘極 2810
信號 2900
位元線輸入 2326B
主動閘極 2840
電力信號 2902
位元線輸入 2324B
區域 2800

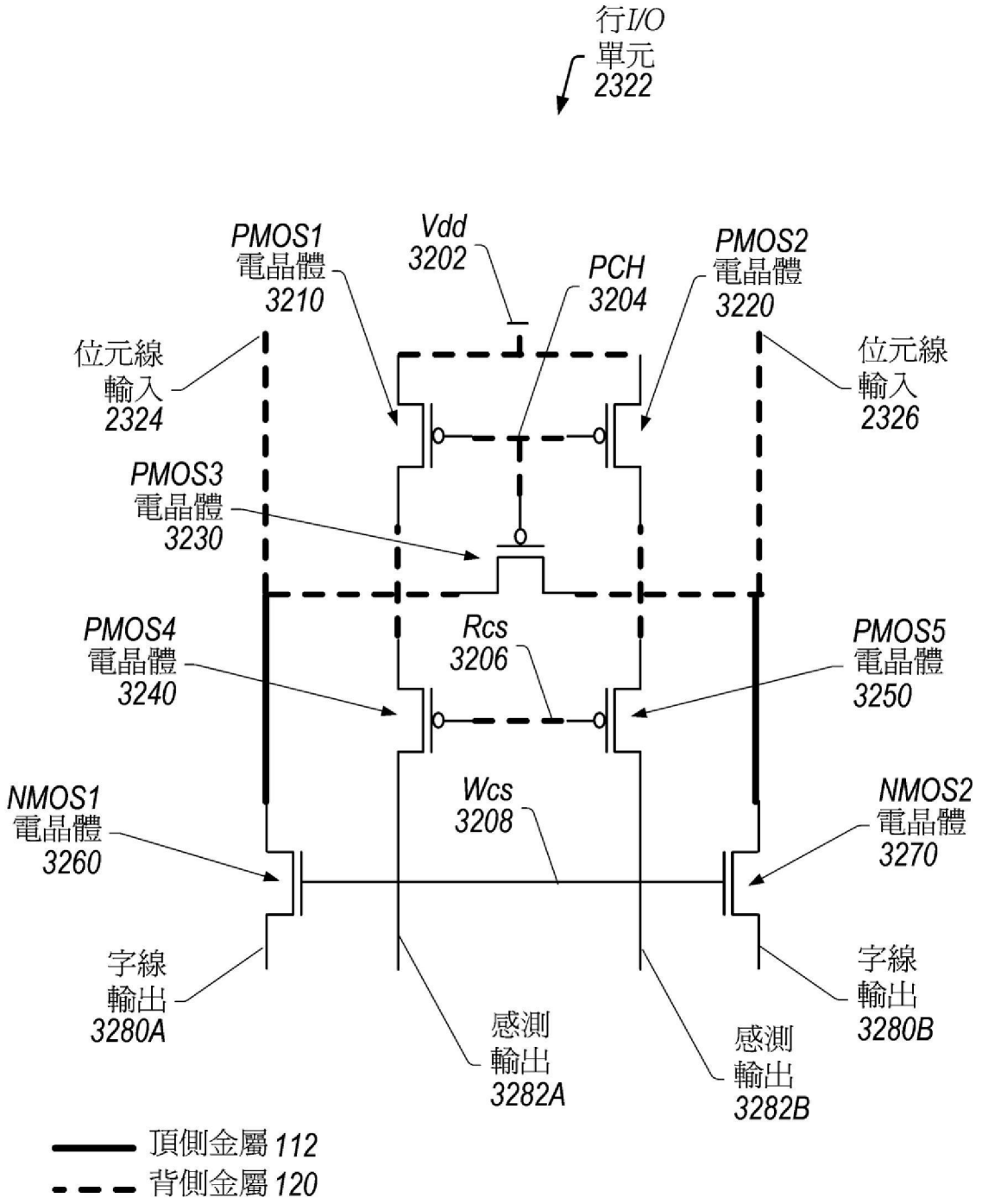
【圖31】


區域
2800
接地
信號
2802
溝槽
金屬
2820
位元線
輸入
2324B
布線
2334
電力
信號
2902
B-B'截面
信號
2804
布線
2336
位元線
輸入
2326B
信號
2804
信號
2900
通孔 2830
虛置單元
2350
通孔 2930

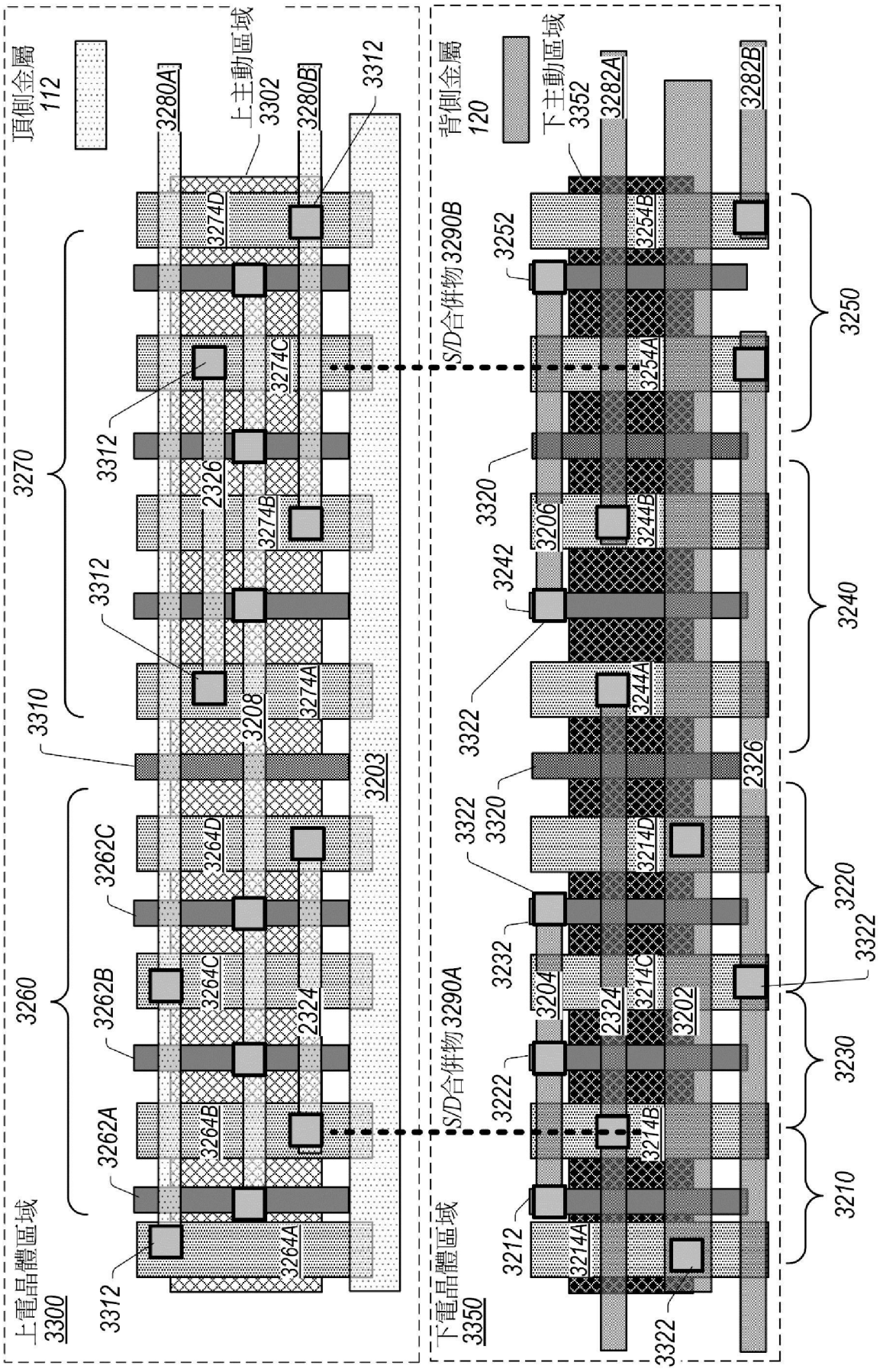
【圖33】


溝槽
金屬
2820
通孔 2930
接地
信號
2802
通孔 2830
位元線
輸入
2324B
布線
2334
電力
信號
2902
A-A'截面
信號
2804
布線
2336
位元線
輸入
2326B
信號
2804
信號
2900
虛置單元
2350
區域
2800

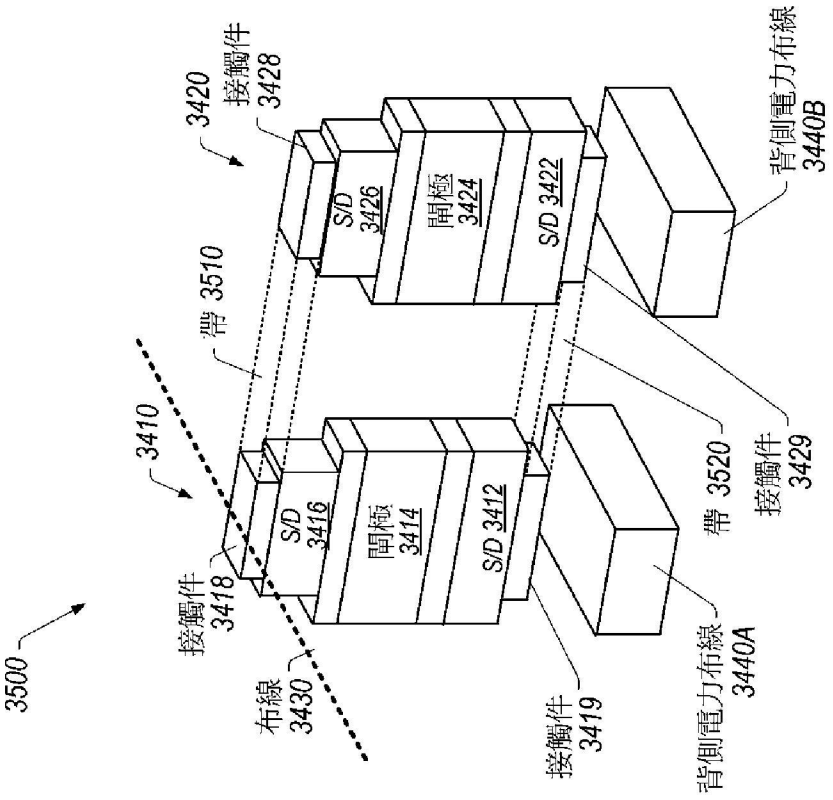
【圖32】


行I/O
單元
2322
PMOS1
電晶體
3210
Vdd
3202
PCH
3204
PMOS2
電晶體
3220
位元線
輸入
2324
位元線
輸入
2326
PMOS3
電晶體
3230
PMOS4
電晶體
3240
Rcs
3206
PMOS5
電晶體
3250
NMOS1
電晶體
3260
Wcs
3208
NMOS2
電晶體
3270
字線
輸出
3280A
字線
輸出
3280B
感測
輸出
3282A
感測
輸出
3282B
頂側金屬 112
背側金屬 120

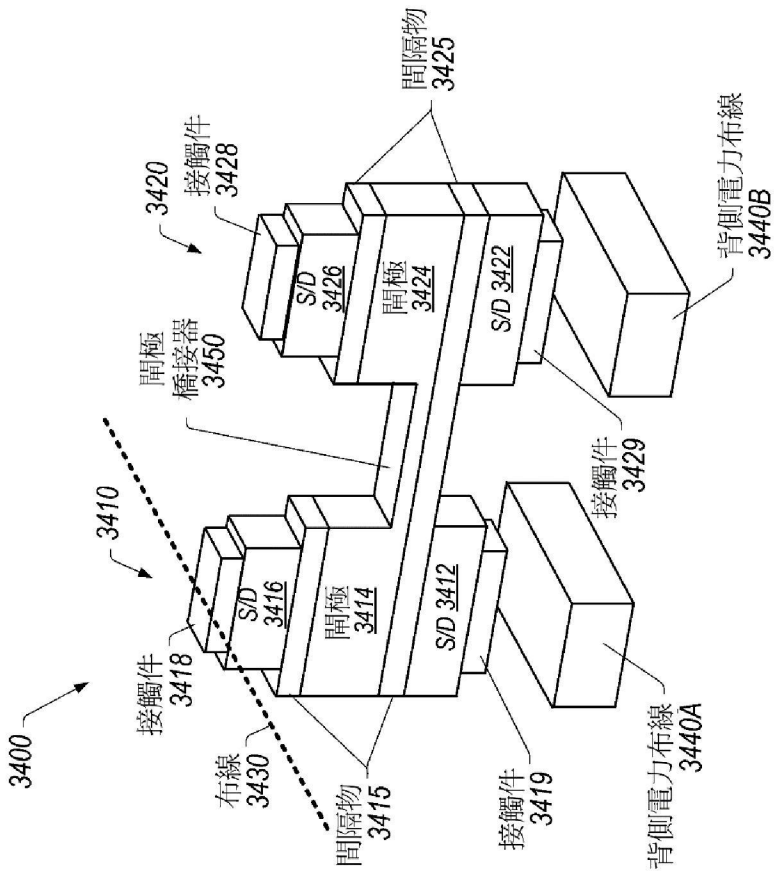
【圖34】


頂側金屬
112
上主動區域
3302
背側金屬
120
下主動區域
3352
S/D合併物 3290B
S/D合併物 3290A
上電晶體區域
3300
下電晶體區域
3350
3270
3260
3262A
3262B
3262C
3264A
3264B
3264C
3264D
3274A
3274B
3274C
3274D
3280A
3280B
3282A
3282B
3254A
3254B
3252
3250
3240
3244A
3244B
3242
3206
3320
3322
3310
3312
3308
3203
2326
2324
3214A
3214B
3214C
3214D
3212
3222
3232
3204
3202
3220
3230
3210

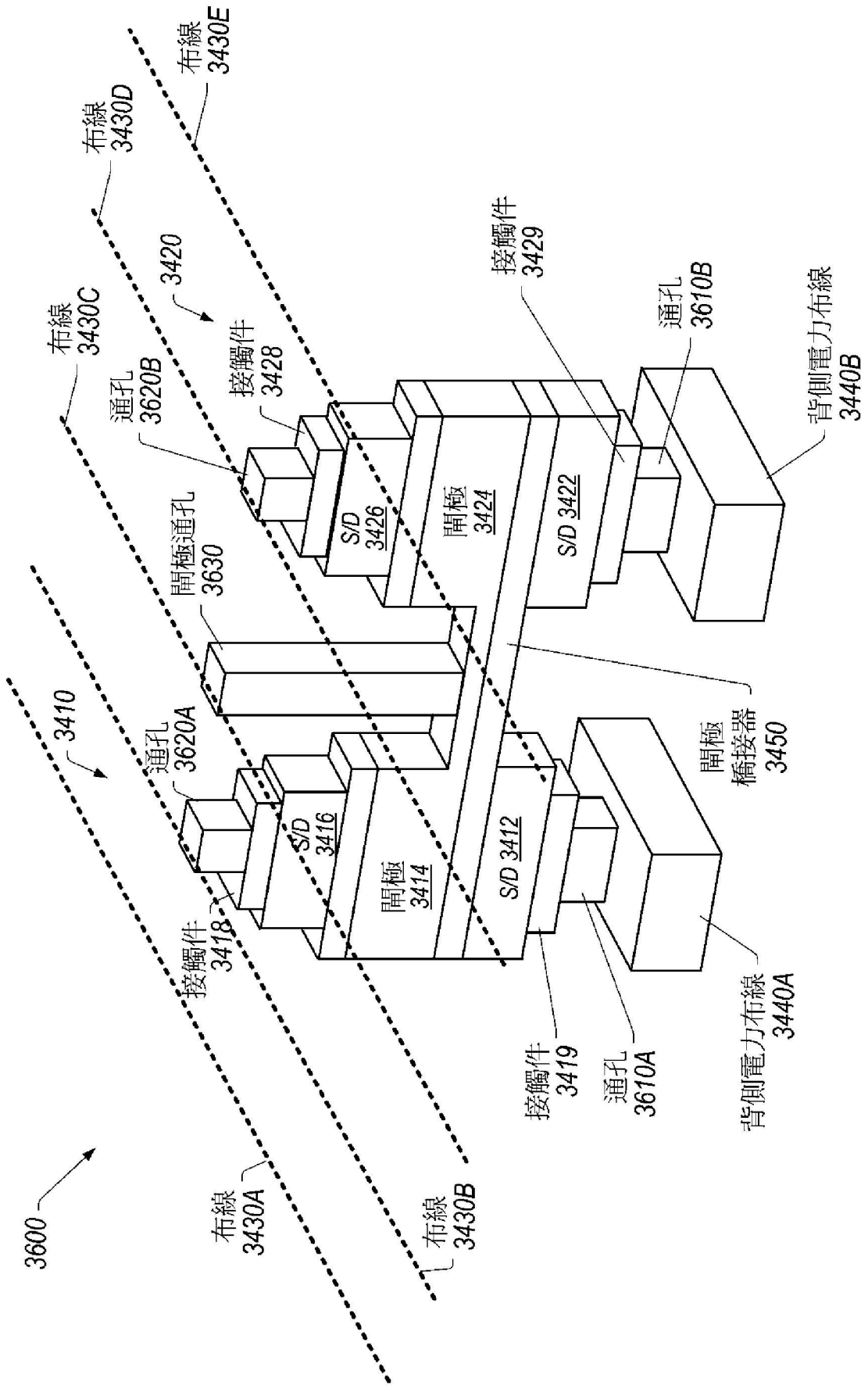
【圖35】


3500
3410
3420
接觸件 3428
帶 3510
S/D 3426
閘極 3424
S/D 3422
背側電力布線 3440B
接觸件 3429
帶 3520
S/D 3416
閘極 3414
S/D 3412
接觸件 3418
布線 3430
接觸件 3419
背側電力布線 3440A

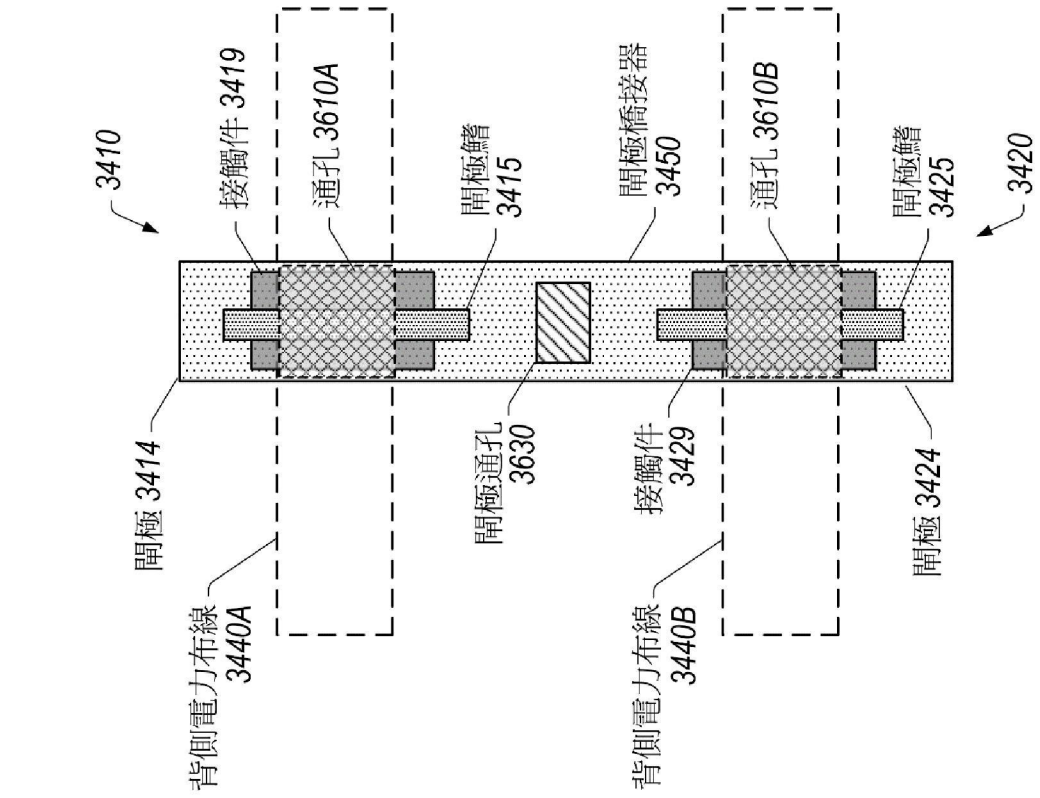
【圖37】


3400
3410
3420
接觸件 3428
間隔物 3425
閘極 橋接器 3450
S/D 3426
閘極 3424
S/D 3422
背側電力布線 3440B
接觸件 3429
S/D 3416
閘極 3414
S/D 3412
接觸件 3418
布線 3430
間隔物 3415
接觸件 3419
背側電力布線 3440A

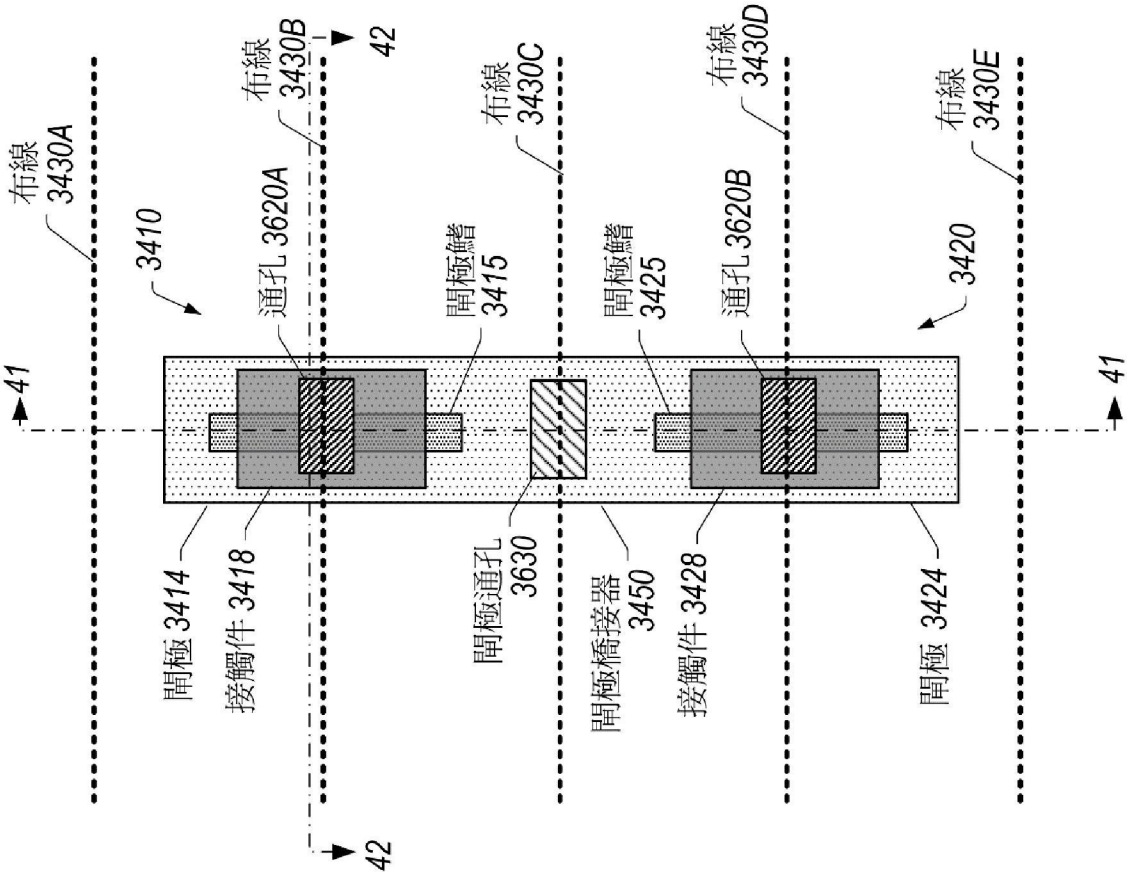
【圖36】


3600
3410
3420
布線 3430A
布線 3430B
布線 3430C
布線 3430D
布線 3430E
通孔 3620A
通孔 3620B
閘極通孔 3630
接觸件 3418
接觸件 3428
接觸件 3429
接觸件 3419
S/D 3416
S/D 3426
S/D 3412
S/D 3422
閘極 3414
閘極 3424
閘極橋接器 3450
通孔 3610A
通孔 3610B
背側電力布線 3440A
背側電力布線 3440B

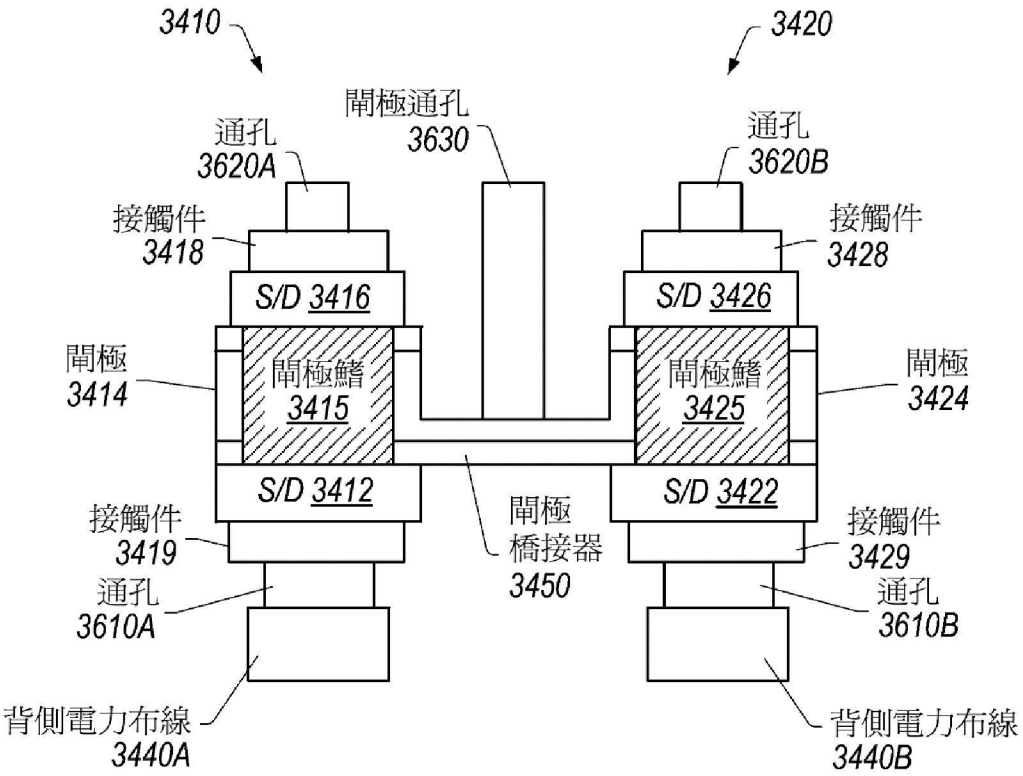
【圖38】


3410
接觸件 3419
通孔 3610A
閘極鰭
3415
閘極橋接器
3450
通孔 3610B
閘極鰭
3425
3420
閘極 3414
閘極通孔
3630
接觸件
3429
閘極 3424
背側電力布線
3440A
背側電力布線
3440B

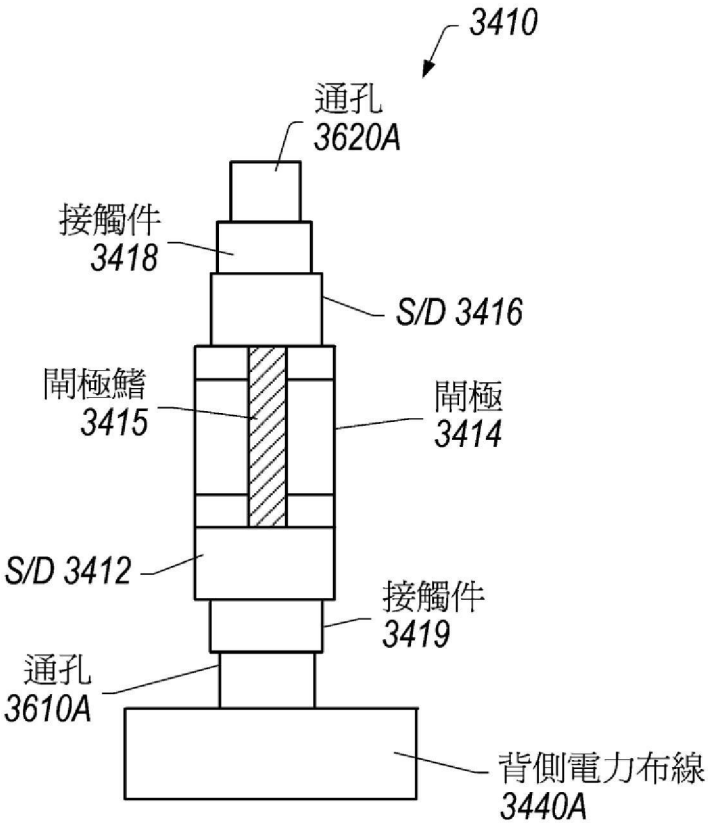
【圖40】


布線
3430A
布線
3430B
42
布線
3430C
布線
3430D
布線
3430E
3410
通孔 3620A
閘極鰭
3415
閘極鰭
3425
通孔 3620B
3420
41
41
閘極 3414
接觸件 3418
閘極通孔
3630
閘極橋接器
3450
接觸件 3428
閘極 3424
42

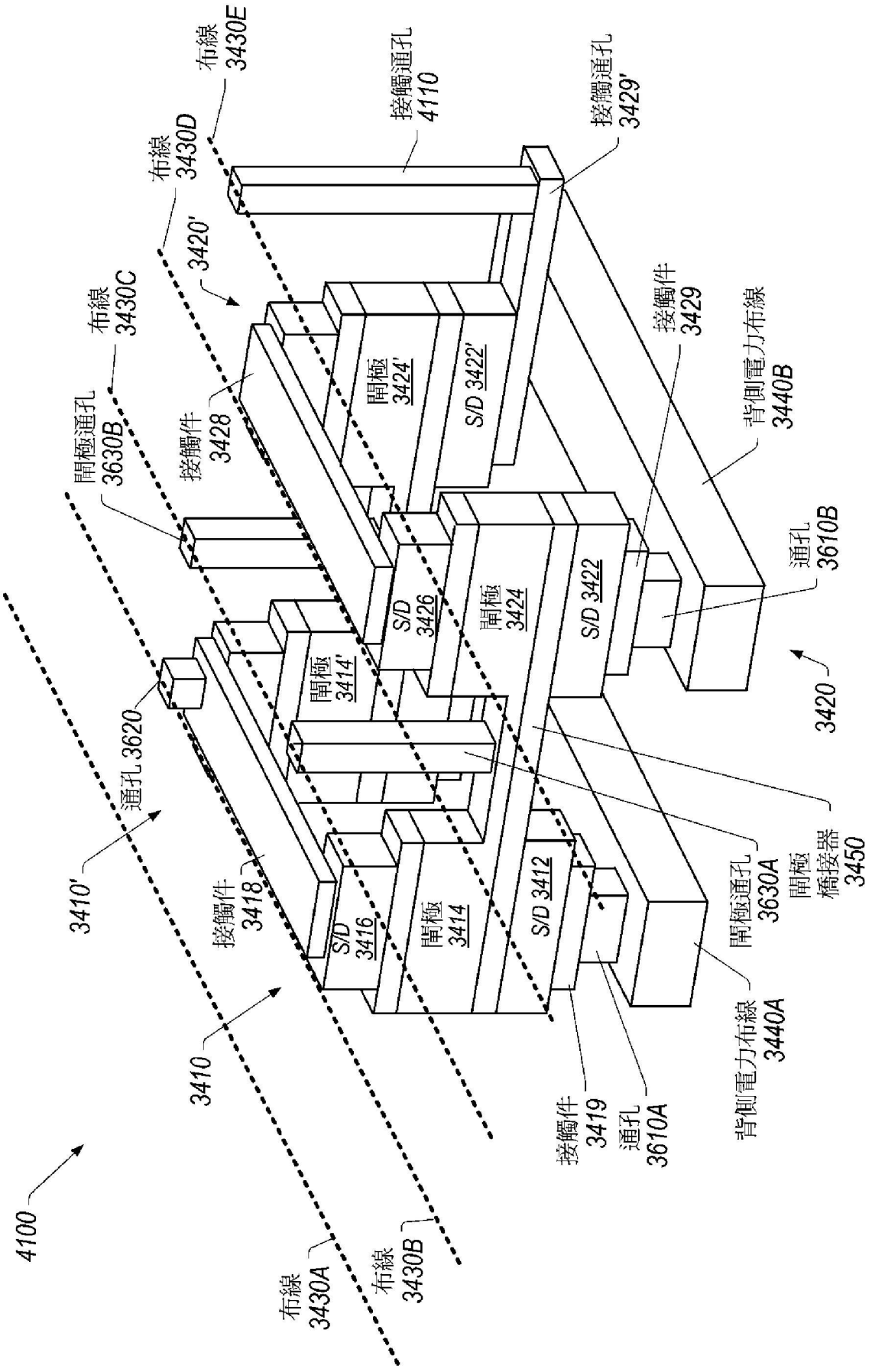
【圖39】


3410
3420
閘極通孔
3630
通孔
3620A
通孔
3620B
接觸件
3418
接觸件
3428
S/D 3416
S/D 3426
閘極
3414
閘極鰭
3415
閘極鰭
3425
閘極
3424
S/D 3412
S/D 3422
接觸件
3419
閘極
橋接器
3450
接觸件
3429
通孔
3610A
通孔
3610B
背側電力布線
3440A
背側電力布線
3440B

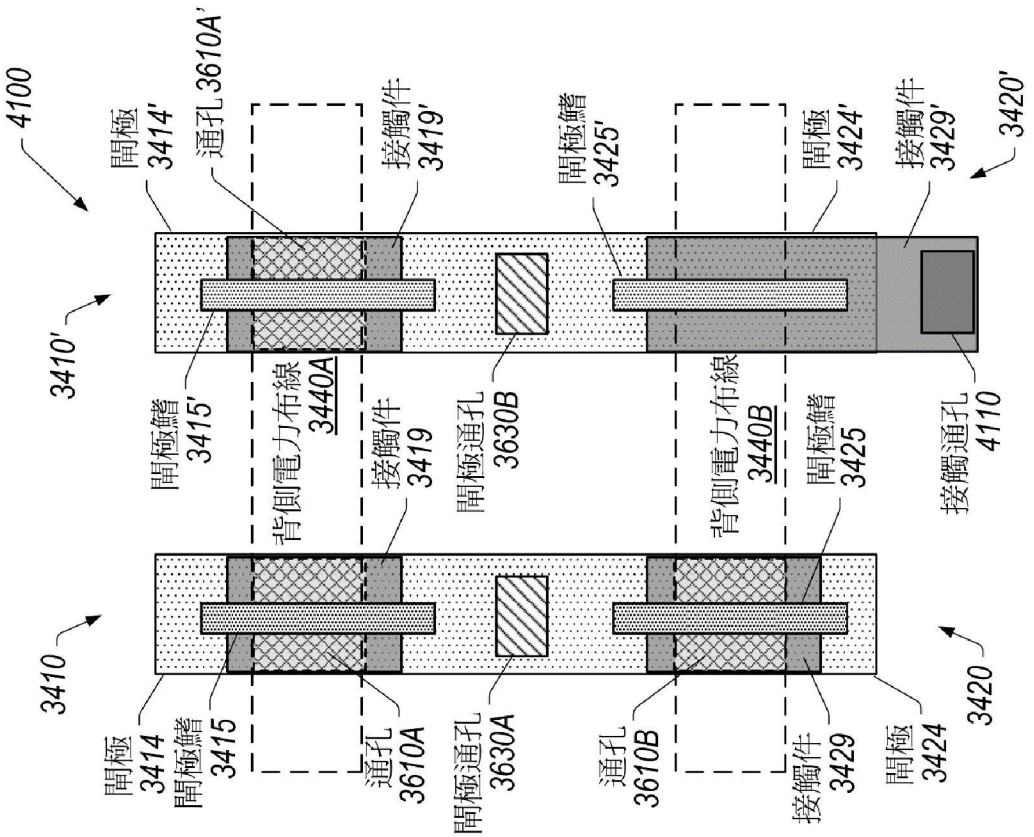
【圖41】


3410
通孔
3620A
接觸件
3418
S/D 3416
閘極鰭
3415
閘極
3414
S/D 3412
接觸件
3419
通孔
3610A
背側電力布線
3440A

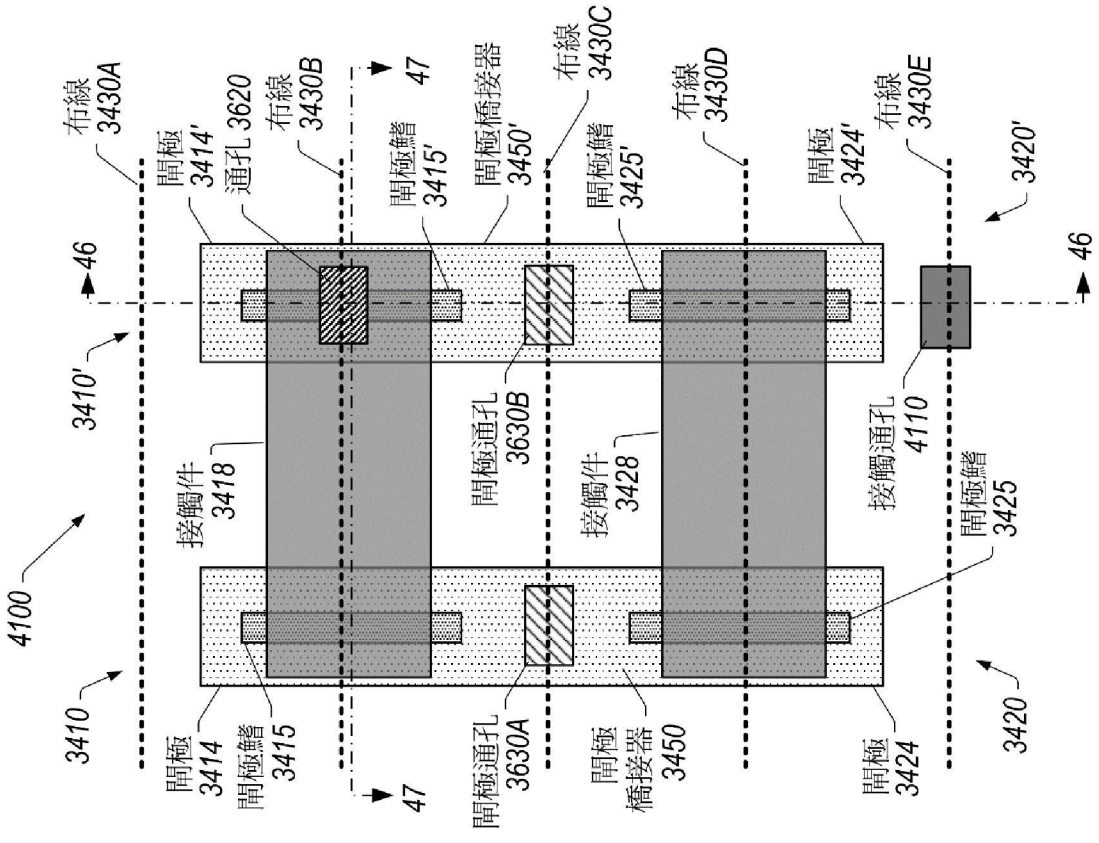
【圖42】


4100
3410
3410'
3420
3420'
3430A
3430B
3430C
3430D
3430E
3440A
3440B
3450
3610A
3610B
3620
3630A
3630B
3412
3414
3414'
3416
3418
3419
3422
3422'
3424
3424'
3426
3428
3429
3429'
4110
S/D
閘極
接觸件
通孔
閘極通孔
閘極橋接器
背側電力布線
布線

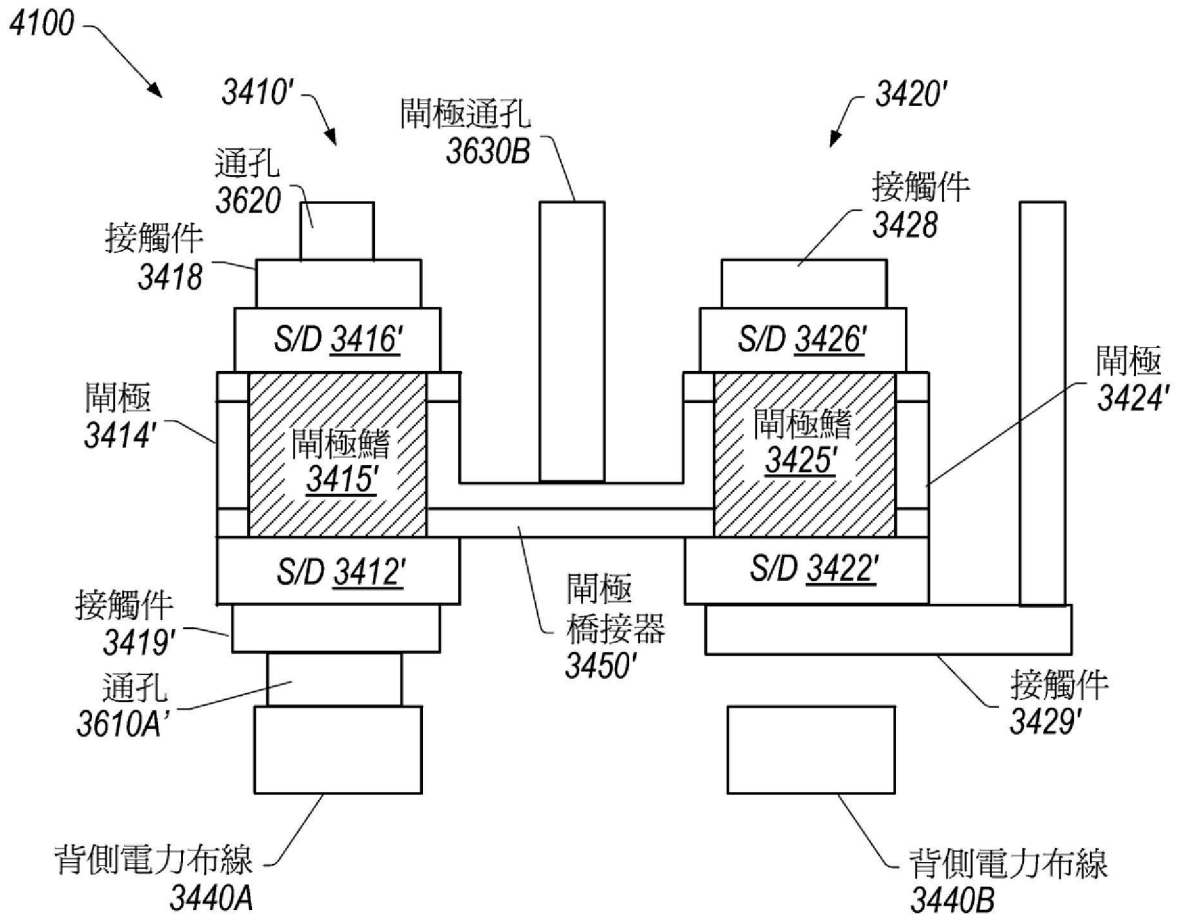
【圖43】


4100
閘極 3414'
通孔 3610A'
接觸件 3419'
閘極鰭 3425'
閘極 3424'
接觸件 3429'
3420'
3410'
閘極鰭 3415'
背側電力布線 3440A
接觸件 3419
閘極通孔 3630B
背側電力布線 3440B
閘極鰭 3425
接觸通孔 4110
3410
閘極 3414
閘極鰭 3415
通孔 3610A
閘極通孔 3630A
通孔 3610B
接觸件 3429
閘極 3424
3420

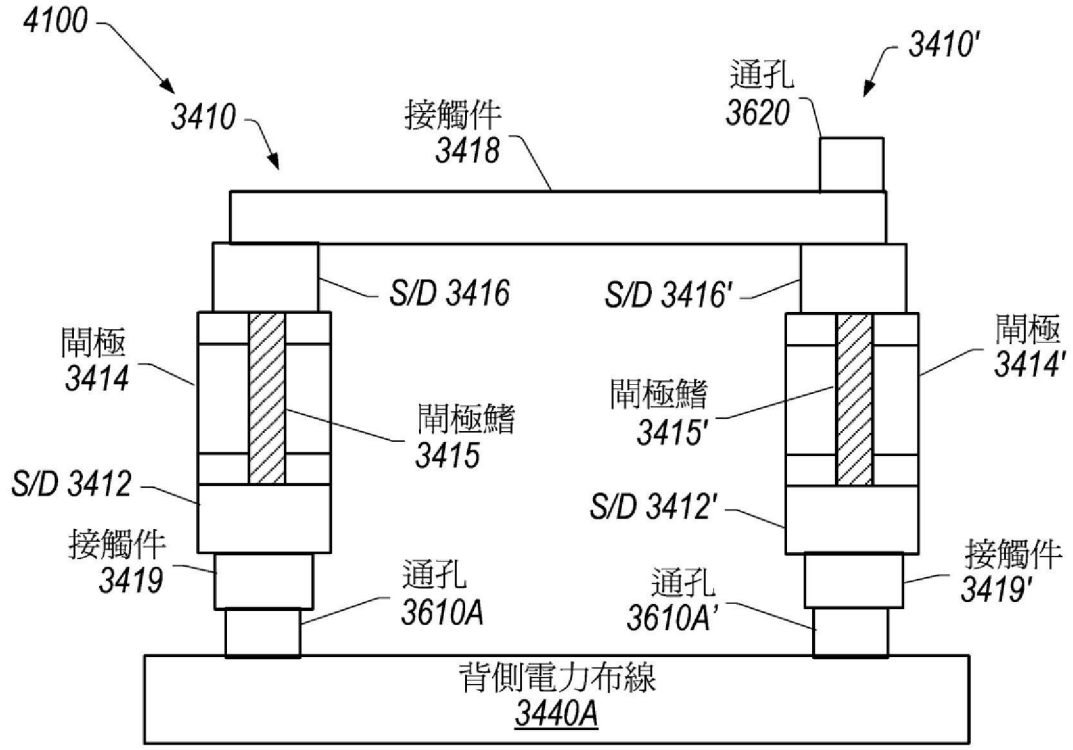
【圖45】


布線 3430A
閘極 3414'
通孔 3620
布線 3430B
47
閘極鰭 3415'
閘極橋接器 3450'
布線 3430C
閘極鰭 3425'
布線 3430D
閘極 3424'
布線 3430E
3420'
46
46
4100
3410'
接觸件 3418
閘極通孔 3630B
接觸件 3428
接觸通孔 4110
閘極鰭 3425
3410
閘極 3414
閘極鰭 3415
47
閘極通孔 3630A
閘極橋接器 3450
閘極 3424
3420

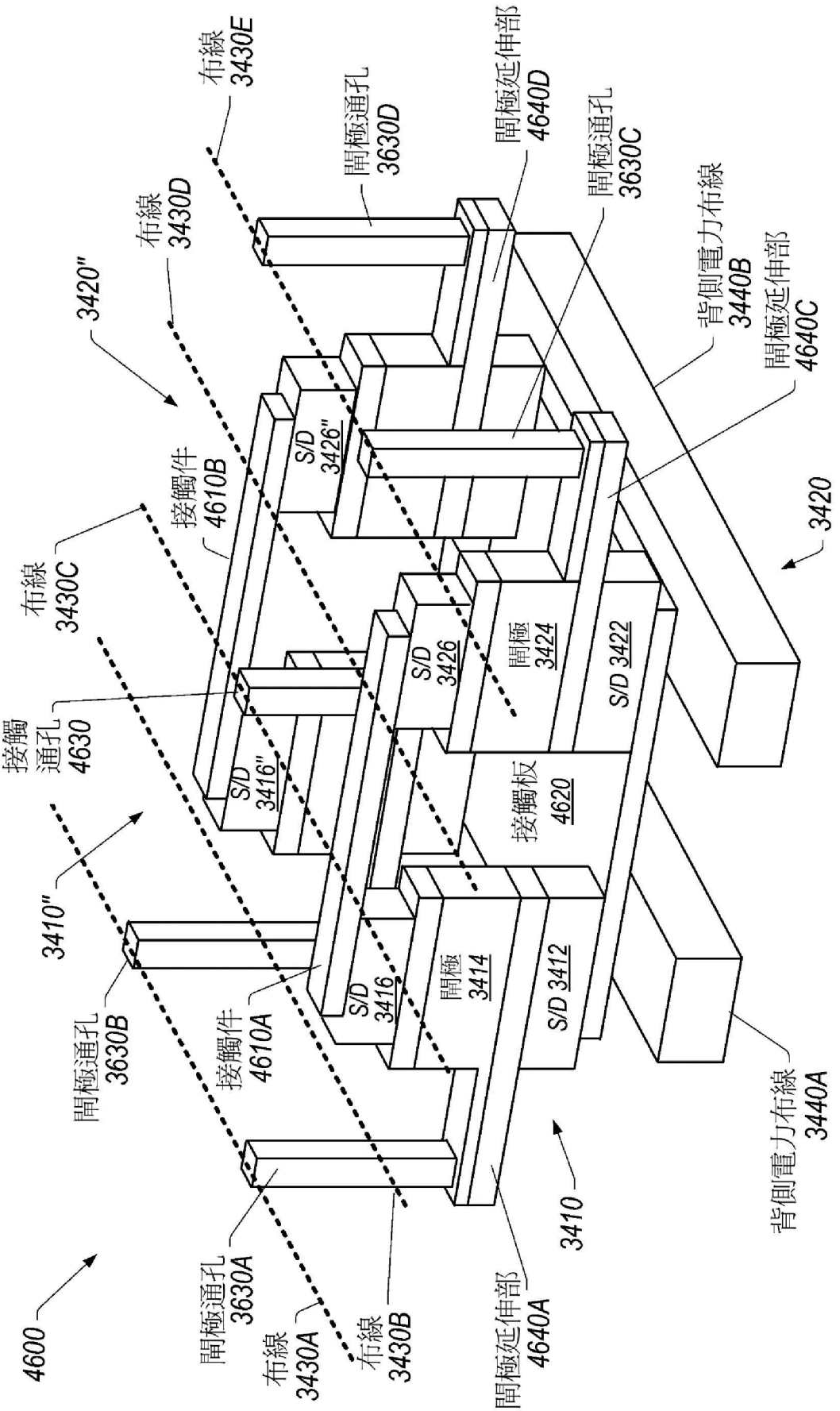
【圖44】


4100
3410'
閘極通孔
3630B
3420'
通孔
3620
接觸件
3428
接觸件
3418
S/D 3416'
S/D 3426'
閘極
3424'
閘極
3414'
閘極鰭
3415'
閘極鰭
3425'
S/D 3412'
S/D 3422'
閘極
橋接器
3450'
接觸件
3419'
接觸件
3429'
通孔
3610A'
背側電力布線
3440A
背側電力布線
3440B

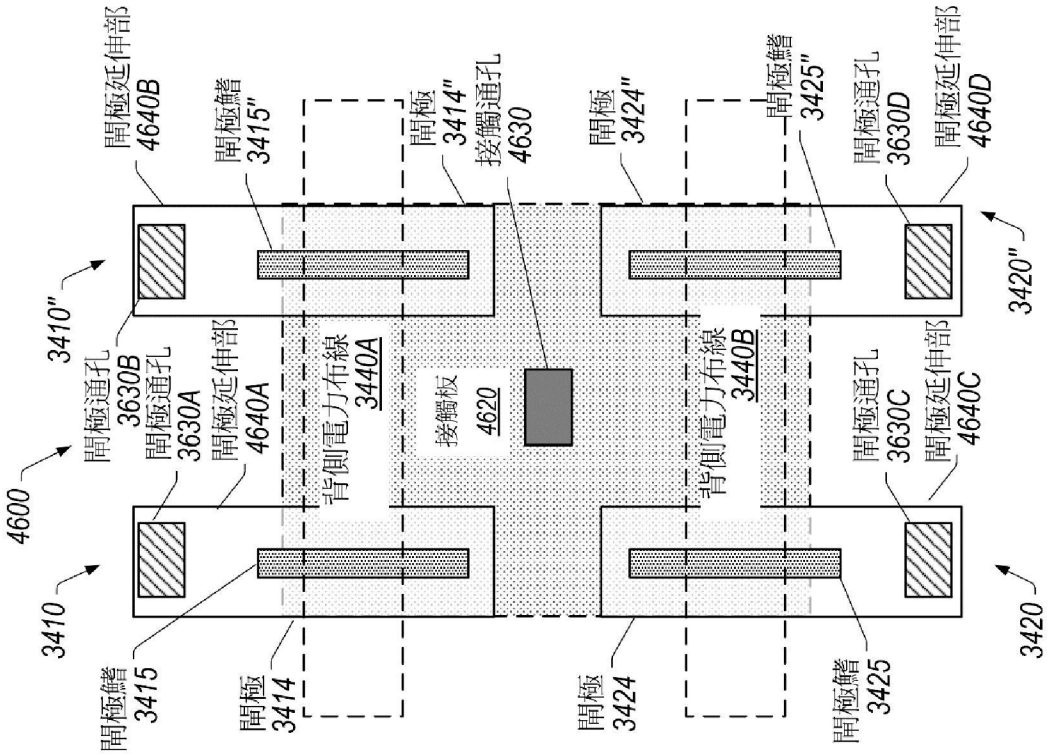
【圖46】


4100
3410'
3410
通孔
3620
接觸件
3418
S/D 3416
S/D 3416'
閘極
3414
閘極
3414'
閘極鰭
3415
閘極鰭
3415'
S/D 3412
S/D 3412'
接觸件
3419
通孔
3610A
通孔
3610A'
接觸件
3419'
背側電力布線
3440A

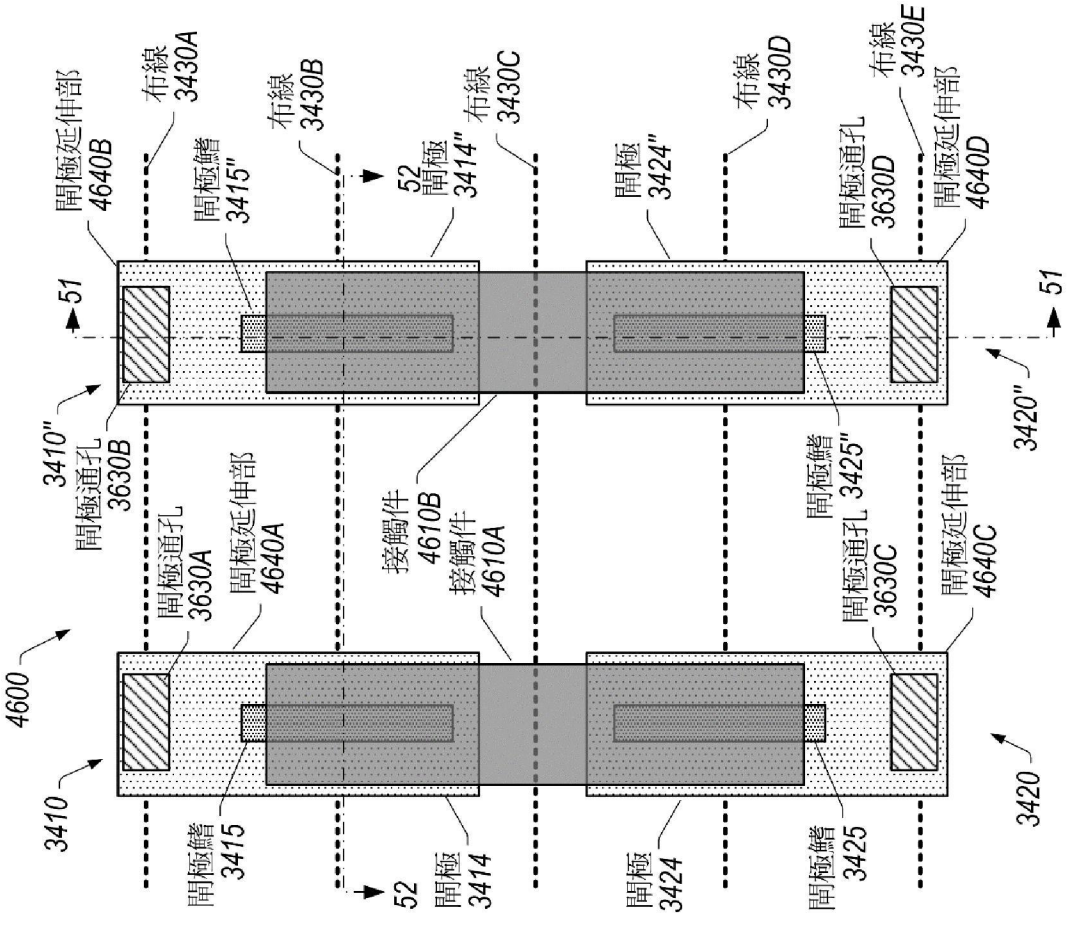
【圖47】


4600
3420"
3410"
3420
3410
布線 3430E
布線 3430D
布線 3430C
布線 3430A
布線 3430B
閘極通孔 3630D
閘極通孔 3630C
閘極通孔 3630B
閘極通孔 3630A
閘極延伸部 4640D
閘極延伸部 4640C
閘極延伸部 4640A
背側電力布線 3440B
背側電力布線 3440A
接觸件 4610B
接觸件 4610A
接觸通孔 4630
接觸板 4620
S/D 3426"
S/D 3416"
S/D 3426
S/D 3416
S/D 3422
S/D 3412
閘極 3424
閘極 3414

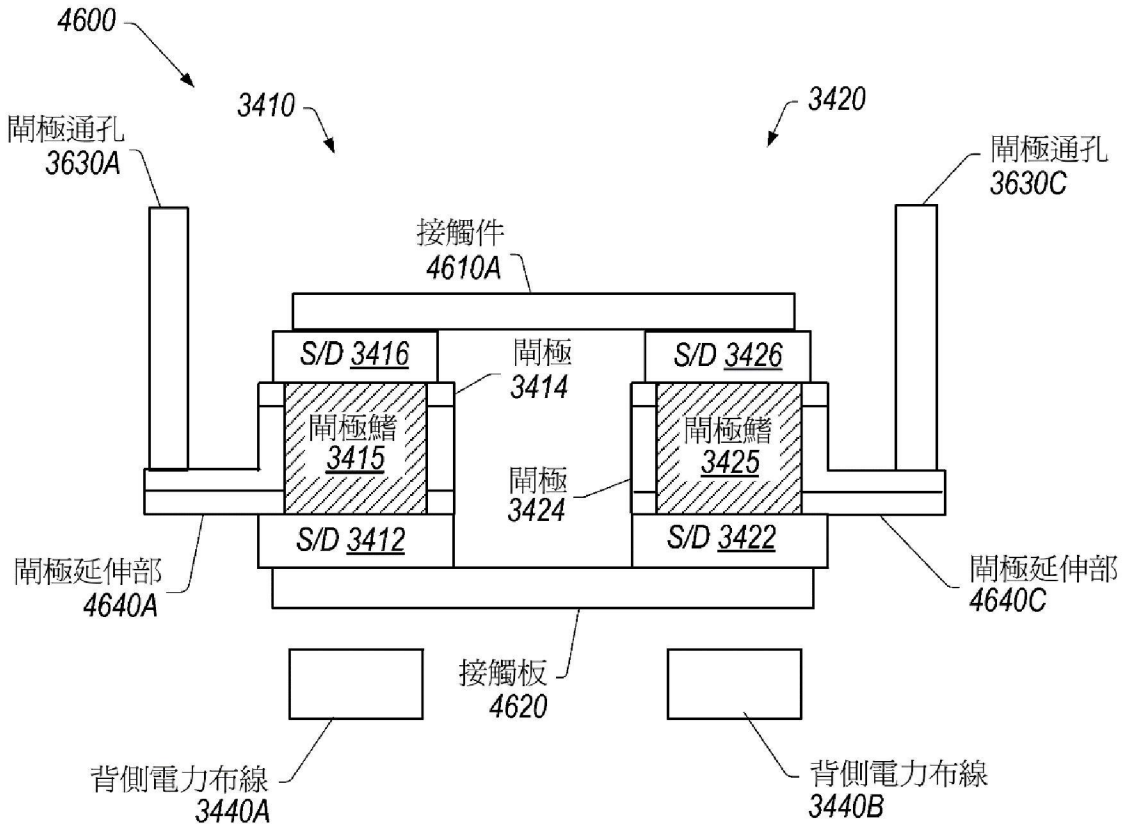
【圖48】


閘極延伸部 4640B
閘極鰭 3415"
閘極 3414"
接觸通孔 4630
閘極 3424"
閘極鰭 3425"
閘極通孔 3630D
閘極延伸部 4640D
3420"
3410"
閘極通孔 3630B
閘極通孔 3630A
閘極延伸部 4640A
背側電力布線 3440A
接觸板 4620
背側電力布線 3440B
閘極通孔 3630C
閘極延伸部 4640C
4600
3410
3420
閘極鰭 3415
閘極 3414
閘極 3424
閘極鰭 3425

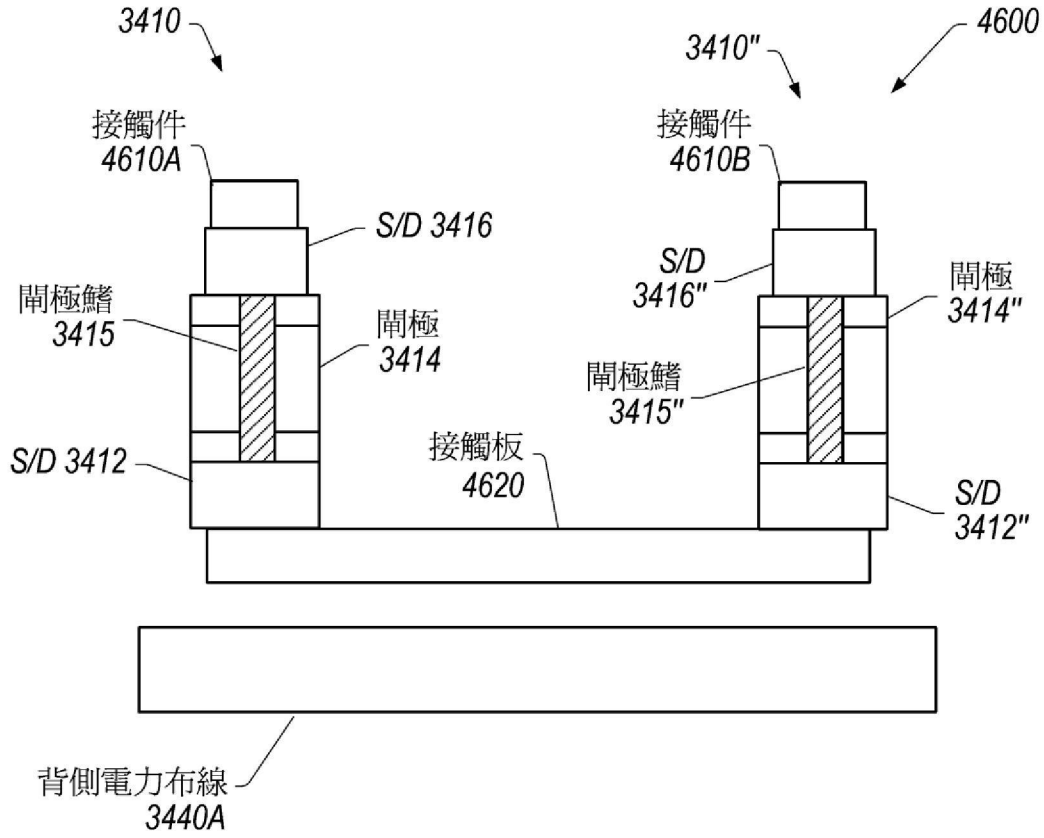
【圖50】


閘極延伸部 4640B
布線 3430A
閘極鰭 3415"
布線 3430B
52
閘極 3414"
布線 3430C
閘極 3424"
布線 3430D
閘極通孔 3630D
布線 3430E
閘極延伸部 4640D
51
51
3410"
閘極通孔 3630B
接觸件 4610B
接觸件 4610A
閘極鰭 3425"
3420"
閘極通孔 3630A
閘極延伸部 4640A
閘極通孔 3630C
閘極延伸部 4640C
4600
3410
3420
閘極鰭 3415
52
閘極 3414
閘極 3424
閘極鰭 3425

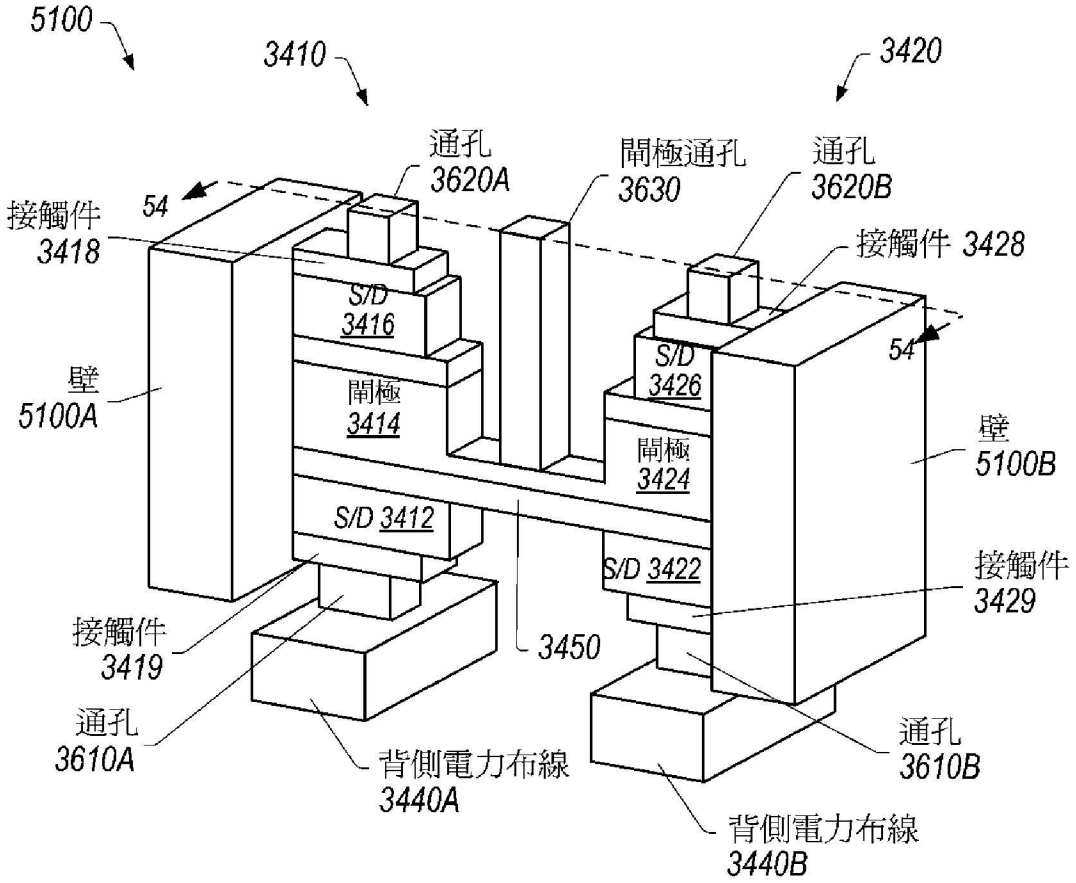
【圖49】


4600
3410
3420
閘極通孔
3630A
閘極通孔
3630C
接觸件
4610A
S/D 3416
閘極
3414
S/D 3426
閘極鰭
3415
閘極鰭
3425
閘極
3424
S/D 3412
S/D 3422
閘極延伸部
4640A
閘極延伸部
4640C
接觸板
4620
背側電力布線
3440A
背側電力布線
3440B

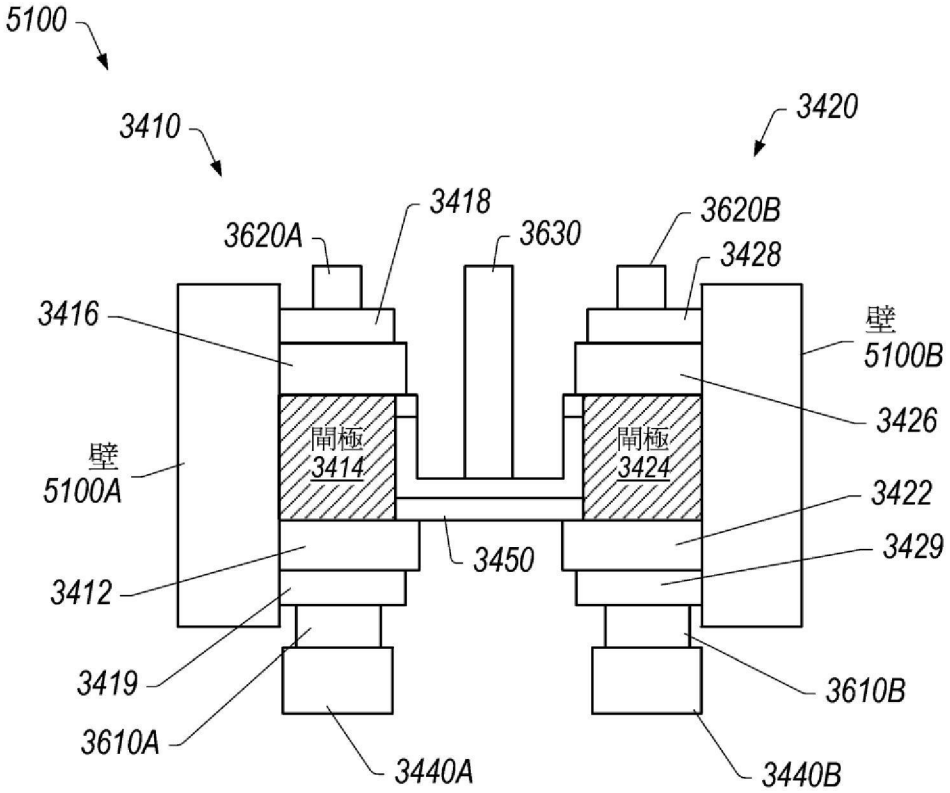
【圖51】


3410
4600
3410"
接觸件
4610A
接觸件
4610B
S/D 3416
S/D
3416"
閘極
3414"
閘極鰭
3415
閘極
3414
閘極鰭
3415"
S/D 3412
接觸板
4620
S/D
3412"
背側電力布線
3440A

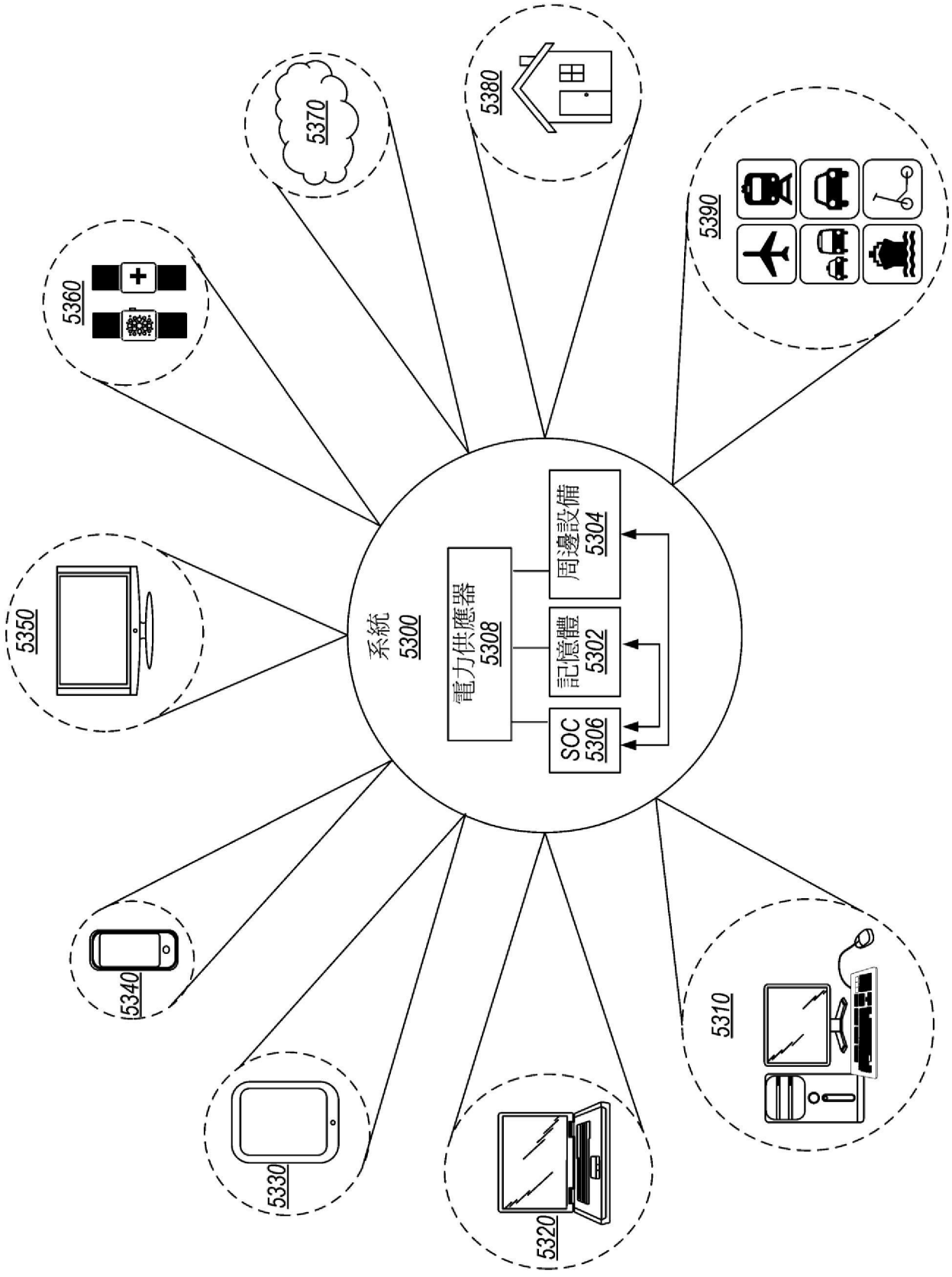
【圖52】


5100
3410
3420
通孔
3620A
閘極通孔
3630
通孔
3620B
接觸件
3418
54
接觸件 3428
S/D
3416
S/D
3426
54
壁
5100A
閘極
3414
閘極
3424
壁
5100B
S/D 3412
S/D 3422
接觸件
3429
接觸件
3419
3450
通孔
3610A
背側電力布線
3440A
通孔
3610B
背側電力布線
3440B

【圖53】


5100
3410
3420
3418
3620A
3630
3620B
3428
3416
壁
5100B
3426
閘極
3414
閘極
3424
壁
5100A
3422
3450
3429
3412
3419
3610B
3610A
3440A
3440B

【圖54】


5370
5380
5360
5390
5350
系統
5300
電力供應器
5308
記憶體
5302
周邊設備
5304
SOC
5306
5340
5310
5330
5320

【圖55】