202321492

(19)中華民國智慧財產局

(12)發明說明書公開本 (11)公開編號：TW 202321492 A

(43)公開日： 中華民國 112 (2023) 年 06 月 01 日

(21)申請案號：111130556 (22)申請日： 中華民國 111 (2022) 年 08 月 15 日

(51)Int. Cl.： *C23C16/06 (2006.01)* *C23C16/46 (2006.01)*
H01L21/22 (2006.01) *H01L21/324 (2006.01)*

(30)優先權：2021/08/20 美國 63/235,595

(71)申請人：日商東京威力科創股份有限公司 (日本) TOKYO ELECTRON LIMITED (JP)
日本

(72)發明人：克拉克 羅伯特 D CLARK, ROBERT D. (US)

(74)代理人：周良謀；周良吉

申請實體審查：無 申請專利範圍項數：20 項 圖式數：6 共 44 頁

(54)名稱

藉由固態擴散的超淺摻質區域及歐姆接觸區域

(57)摘要

基板處理方法包括：將該基板裝載於處理腔室中，該基板包括半導體的凸起特徵部；藉由原子層沉積(ALD)在該凸起特徵部上形成保形摻質層；在該凸起特徵部上方形成金屬層；將該摻質層進行熱處理，以藉由使摻質從該摻質層擴散至該凸起特徵部中，以在該凸起特徵部中形成超淺摻質區域；以及將該金屬層進行熱處理，以藉由使金屬從該金屬層擴散至該凸起特徵部中，以在該凸起特徵部中形成歐姆接觸區域。

A method of processing a substrate that includes: loading the substrate in a processing chamber, the substrate including a raised feature of a semiconductor; forming a conformal dopant layer on the raised feature by atomic layer deposition (ALD); forming a metal layer over the raised feature; thermally treating the dopant layer to form an ultra-shallow dopant region in the raised feature by diffusion of a dopant from the dopant layer into the raised feature; and thermally treating the metal layer to form an ohmic contact region in the raised feature by diffusion of a metal from the metal layer into the raised feature.

指定代表圖：

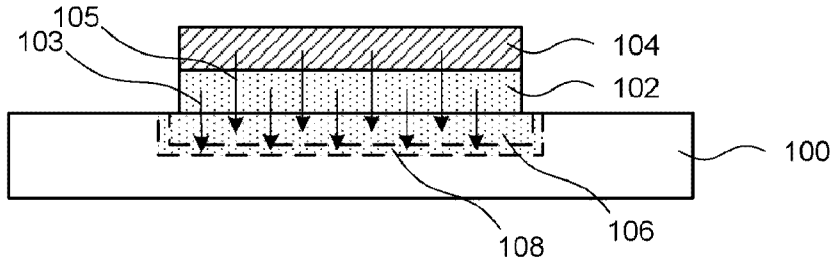

圖 1D

符號簡單說明：

100:基板

102:摻質層

103:箭頭

104:金屬層

105:箭頭

106:歐姆接觸區域

108:摻質區域

【發明摘要】

【中文發明名稱】　藉由固態擴散的超淺摻質區域及歐姆接觸區域

【英文發明名稱】　ULTRA-SHALLOW DOPANT AND OHMIC CONTACT REGIONS BY SOLID STATE DIFFUSION

【中文】

基板處理方法包括：將該基板裝載於處理腔室中，該基板包括半導體的凸起特徵部；藉由原子層沉積(ALD)在該凸起特徵部上形成保形摻質層；在該凸起特徵部上方形成金屬層；將該摻質層進行熱處理，以藉由使摻質從該摻質層擴散至該凸起特徵部中，以在該凸起特徵部中形成超淺摻質區域；以及將該金屬層進行熱處理，以藉由使金屬從該金屬層擴散至該凸起特徵部中，以在該凸起特徵部中形成歐姆接觸區域。

【英文】

A method of processing a substrate that includes: loading the substrate in a processing chamber, the substrate including a raised feature of a semiconductor; forming a conformal dopant layer on the raised feature by atomic layer deposition (ALD); forming a metal layer over the raised feature; thermally treating the dopant layer to form an ultra-shallow dopant region in the raised feature by diffusion of a dopant from the dopant layer into the raised feature; and thermally treating the metal layer to form an ohmic contact region in the raised feature by diffusion of a metal from the metal layer into the raised feature.

【指定代表圖】　　圖 1D

【代表圖之符號簡單說明】

100:基板

102:摻質層

103:箭頭

104:金屬層

105:箭頭

106:歐姆接觸區域

108:摻質區域

【發明說明書】

【中文發明名稱】　藉由固態擴散的超淺摻質區域及歐姆接觸區域

【英文發明名稱】　ULTRA-SHALLOW DOPANT AND OHMIC CONTACT REGIONS BY SOLID STATE DIFFUSION

【技術領域】

【0001】 本發明整體是關於基板處理方法，且在特定實施例中是關於藉由固態擴散而形成超淺摻質區域及歐姆接觸區域。

[相關申請案的交互參照]

【0002】 本揭示主張 2021 年 8 月 20 日提出申請的美國臨時申請案第 63/235,595 號的優先權，其係作為參考文獻而引進本文。

【先前技術】

【0003】 半導體產業的特點是傾向於在給定的半導體晶片上製造更大且更複雜的電路。這些更大且更複雜的電路是通過減小這些電路內的個別裝置的尺寸，並且使這些裝置間距更近而加以實現。隨著裝置(例如，金屬氧化物半導體(MOS)或雙極電晶體)內的個別構件的尺寸減小，並且使裝置構件靠得更近，可獲得經改善的電性效能。然而，必須對於基板中的摻雜區域的形成多加注意，以確保不會出現有害的電場狀態。

【發明內容】

【0004】 根據本發明的實施例，一種基板處理方法包括：將該基板裝載於處理腔室中，該基板包括半導體的凸起特徵部；藉由原子層沉積(ALD)在該凸起特徵部上形成保形摻質層；在該凸起特徵部上方形成金屬層；將

該摻質層進行熱處理，以藉由使摻質從該摻質層擴散至該凸起特徵部中，以在該凸起特徵部中形成超淺摻質區域；以及將該金屬層進行熱處理，以藉由使金屬從該金屬層擴散至該凸起特徵部中，以在該凸起特徵部中形成歐姆接觸區域。

【0005】 根據本發明的實施例，一種半導體裝置的形成方法，包括：形成摻質層，使其與基板上的矽(Si)特徵部直接接觸；在該摻質層上形成金屬層，該金屬層包含金屬，以在該 Si 特徵部中形成金屬矽化物；以及執行熱處理，以藉由使該摻質及該金屬擴散進入該基板而形成超淺摻質區域及金屬矽化物區域，該熱處理包括將該基板加熱至退火溫度，其中該基板在形成該摻質層之後且在該熱處理之前是被維持在低於該退火溫度。

【0006】 根據本發明的實施例，一種基板處理方法，包括：將該基板裝載於處理腔室中，該基板包括垂直凹陷部，該垂直凹陷部具有側壁，該側壁包括從該側壁的主表面橫向凸出的特徵部，該特徵部具有至少三個暴露面；在第一溫度範圍內藉由原子層沉積(ALD)以在該特徵部上方形成摻質層，該摻質層保形覆蓋著該特徵部的至少三個面；在第二溫度範圍內於該特徵部上方形成金屬層；藉由將該基板維持高於該第一溫度範圍及該第二溫度範圍以對該摻質層進行熱處理，從而在該特徵部中形成超淺摻質區域；以及藉由將該基板維持高於該第一溫度範圍及該第二溫度範圍以對該金屬層進行熱處理，從而在該特徵部中形成歐姆接觸區域。

【圖式簡單說明】

【0007】 為了更完整理解本發明及其優點，現在將參照下方的實施方式及隨附圖式，其中：

【0008】 圖 1A-1F 繪示根據實施例的用於在基板中形成超淺摻質區域及歐姆接觸區域的處理流程的示意性截面圖，其中圖 1A 繪示所輸入基板，圖 1B 繪示在形成摻質層過後的基板，圖 1C 繪示在形成金屬層過後的基板，圖 1D 繪示在熱處理期間的基板，圖 1E 繪示在熱處理過後的基板，而圖 1F 繪示在移除金屬層的殘留物過後的基板；

【0009】 圖 2A-2G 繪示根據另一實施例的用於在基板中形成超淺摻質區域及歐姆接觸區域的處理流程的示意性截面圖，其中圖 2A 繪示所輸入基板，圖 2B 繪示在形成摻質層過後的基板，圖 2C 繪示在第一熱處理期間的基板，圖 2D 繪示形成在金屬層過後的基板，圖 2E 繪示在第二熱處理期間的基板，圖 2F 繪示在第二熱處理過後的基板，而圖 2G 繪示在移除金屬層的殘留物過後的基板；

【0010】 圖 3A-3D 繪示根據替代實施例的用於在基板中形成超淺摻質區域及歐姆接觸區域的處理流程的示意性截面圖，其中圖 3A 繪示具有經圖案化遮罩層的所輸入基板，圖 3B 繪示在形成摻質層及金屬層過後的基板，圖 3C 繪示在熱處理期間的基板，而圖 3D 繪示在移除金屬層、摻質層及經圖案化遮罩層的殘留物過後的基板；

【0011】 圖 4A-4D 繪示根據又一實施例的用於在基板上的凸起特徵部中形成超淺摻質區域的處理流程的示意性截面圖，其中圖 4A 繪示具有鰭特徵部的所輸入基板，圖 4B 繪示在形成摻質層及金屬層過後的基板，圖 4C 繪示在熱處理過後的基板，而圖 4D 繪示在移除金屬層及摻質層的殘留物過後的基板；

【0012】 圖 5A-5E 繪示根據又一替代實施例的用於在基板上的凸起特徵部中形成超淺摻質區域的處理流程的示意性截面圖，其中圖 5A 繪示具有奈米線特徵部的所輸入基板，圖 5B 繪示在形成摻質層及金屬層過後

的基板，圖 5C 繪示在熱處理過後的基板，圖 5D 繪示在移除金屬層及摻質層的殘留物過後的基板，而圖 5E 繪示在源極區/汲極區的磊晶生長過後的基板；以及

【0013】 圖 6A-6C 繪示根據各種實施例的超淺摻質區域的形成方法的處理流程圖，其中圖 6A 繪示一實施例，圖 6B 繪示另一實施例，而圖 6C 繪示替代實施例。

【實施方式】

【0014】 本申請案涉及一種基板處理方法，更具體而言是涉及藉由固態擴散而形成超淺摻質區域及歐姆接觸區域。隨著裝置構件(例如，MOS 裝置中的電晶體閘極，以及雙極裝置中的射極區)的尺寸減小，在半導體基板中形成的摻雜區域的接面深度也必須減小。要形成具有均勻摻雜輪廓及高表面濃度的淺接面已被證明是非常難以實現的。其中一種常用的技術是利用離子植入設備將摻質原子植入基板中。在離子植入法中，高能量摻質原子以高速轟擊至基板的表面中，並藉由後續的退火處理而被驅使進入該基板。雖然已證實此方法對於形成具有中等深度接面的摻雜區域是有效的，但要使用離子植入法形成超淺接面是極其困難的。在形成淺植入接面所需的低能量下，基板內的高能摻質原子的路徑及植入均勻性都是難以控制的。高能摻質原子的植入會使基板中的晶格受損，而這種受損是難以修復的。由晶格受損而導致的錯位(dislocation)很容易在刺穿(spike across)淺接面，導致通過該接面的電流洩漏。此外，植入在矽中會快速擴散的 p 型摻質(例如，硼)會導致摻質原子在被引進基板後過度分散。接著要在基板中的特定區域中，尤其是在基板表面處，形成非常受侷限的 p 型摻質原子濃度就變得更加困難。

【0015】 此外，目前正在實施的是利用經摻雜的三維結構而供電晶體及儲存裝置所用的新型裝置結構。此等裝置的示例包括但不限於鰭式場效電晶體(FinFET)、三閘極 FET、凹陷通道電晶體(RCAT)及嵌入式動態隨機存取記憶體(EDRAM)溝槽。為了對這些結構均勻地進行摻雜，故需要一種保形的摻雜方法。離子植入處理具有生效視線(effectively line of sight)，因此需要特殊的基板位向以均勻地摻雜鰭及溝槽結構。此外，在高裝置密度下，遮蔽效應會使藉由離子植入技術進行鰭結構的均勻摻雜是極其困難，甚至是不可能實現的。習知電漿摻雜及原子層摻雜是已展現出對於 3 維半導體結構進行保形摻雜的技術，但這些技術各自都受限於在理想條件下可及的摻質密度及深度範圍。此外，在先進的半導體節點下，由於無法繼續提高摻質層級，以及費米能階釘紮(Fermi level pinning)所產生的肖特基能障(Schottky barrier)，故接觸電阻正在造成越來越多的問題。

【0016】 本申請案的實施例提供用於形成超淺摻質區域及歐姆接觸區域的方法，而這些方法克服這些難處的其中一些。歐姆接觸區域可包括低電阻接面(非整流)，其中電流會隨著所施加的電壓而線性變化。

【0017】 各種實施例中揭示藉由固相擴散到基板層中以在半導體裝置中形成超淺摻質區域及歐姆接觸區域的方法。歐姆接觸區域的形成(藉由形成金屬/半導體錯合物(例如，NiSi 或 TiSi)的反應)被認為會由於「雪犁效應」及傾向對於半導體基板進行置換性摻雜的摻質活化，而強化摻質往基板層之中的擴散。

【0018】 在各種實施例中，透過固相擴散的超淺摻質區域及歐姆接觸區域的方法可提供各種優勢，包括優於習知離子植入處理的低電阻接面及在 3D 結構(即，非平面結構)中的應用性。原子層沉積(ALD)可用於形成保形摻質層，而該保形摻質層適用於各種 3D 結構。因此，本申請案中所揭示

的方法可用於取代離子植入處理，或在某些實施例中是用於補強離子植入處理並與其結合使用。

【0019】超淺摻質區域及歐姆接觸區域例如可包括平面電晶體、FinFET 或三閘極 FET 所用的源極-汲極延伸部。超淺摻質區域及歐姆接觸區域的其他應用可包括但不限於替代閘極處理流程中的通道摻雜以設定閾值電壓(Vt)，對於 FinFET 是設定 Vt 或在鰭/STI 界面處阻止主體 FinFET 中的電擊穿，或用於極薄絕緣體上矽(ET-SOI)裝置，ET-SOI 裝置(包括平面或 FinFET)的接地平面摻雜，以及嵌入式 DRAM 電容器的溝槽摻雜。亦可使用所揭示的方法對具有極薄替代性半導體通道的裝置(例如，絕緣體上鍺(GeOI)裝置或 Ge FinFET，以及例如 GaAs、InSb、InAs、InGaAs 或 InGaSb FinFET 的化合物半導體通道裝置)進行摻雜。此外，在非晶形 Si 或多晶 Si 層中形成的裝置(例如，EDRAM 裝置)可運用所揭示的方法調整 Si 摻雜層級。此外，本揭示的實施例可被應用於包含全環繞閘極(GAA)及奈米線電晶體結構的 CMOS 裝置。

【0020】在下文中，利用摻質及金屬擴散的共同熱處理，從而藉由固相擴散形成超淺摻質區域及歐姆接觸區域的方法是參照圖 1A-1F 而描述。接著，利用個別熱處理的方法是參照圖 2A-2G 而描述。進一步實施例是參照圖 3A-3D(具有經圖案化遮罩層)、圖 4A-4D(針對鰭結構)及圖 5A-5E(針對奈米線結構)而描述。示例性處理流程圖繪示於圖 6A-6C 中。本揭示中的所有圖式僅是繪示於說明目的，且並未按照比例繪示，包括特徵部的深寬比。

【0021】本發明相關領域中具有通常知識者將能理解，可在缺少一或更多具體細節的情況下，或者用其他替代及/或額外方法、材料或構件來實施各種實施例。在其他情況下，未詳細顯示或描述眾所皆知的結構、材料

或操作以避免模糊本發明的各種實施例的態樣。類似地，具體數目、材料及構造是闡述於解釋目的，以便提供對本發明的透徹理解。此外，應當理解，圖式中所示的各種實施例是說明性表示，且不一定按比例繪製。

【0022】 圖 1A-1F 繪示根據實施例的用於在基板 100 中形成超淺摻質區域及歐姆接觸區域的處理流程的示意性截面圖。

【0023】 圖 1A 繪示基板 100 的示意性截面圖。在各種實施例中，基板 100 可為半導體裝置的一部分，或是包括半導體裝置，並且可例如在習知處理之後經歷複數處理步驟。因此，基板 100 可包括在各種微電子學中實用的半導體層。舉例而言，半導體結構可以包括基板 100，且在該基板 100 中形成各種裝置區域。基板 100 可具有任何尺寸，例如 200 mm 基板、300 mm 基板或甚至更大的基板。根據一實施例，基板 100 可包含 Si，例如結晶形 Si、多晶形 Si 或非晶形 Si。在一示例中，基板 100 可為拉伸應變 Si 層。根據另一實施例，基板 100 可包含 Ge 或 Si_xGe_{1-x} 化合物，或是由 Ge 或 Si_xGe_{1-x} 化合物組成，其中 x 為 Si 的原子分率，1-x 為 Ge 的原子分率，且 $0<x<1$。示例性 Si_xGe_{1-x} 化合物包括 $Si_{0.1}Ge_{0.9}$、$Si_{0.2}Ge_{0.8}$、$Si_{0.3}Ge_{0.7}$、$Si_{0.4}Ge_{0.6}$、$Si_{0.5}Ge_{0.5}$、$Si_{0.6}Ge_{0.4}$、$Si_{0.7}Ge_{0.3}$、$Si_{0.8}Ge_{0.2}$ 及 $Si_{0.9}Ge_{0.1}$。在一示例中，基板 100 可為在鬆弛 $Si_{0.5}Ge_{0.5}$ 緩衝層上所沉積的壓縮應變 Ge 層或拉伸應變 $Si_xGe_{1-x}(x>0.5)$。根據一些實施例，基板 100 可包括絕緣體上矽(SOI)。此外，基板 100 可包括化合物半導體，例如 GaAs、GaN、InP、InSb、InAs、InGaAs 及 InGaSb。在各種實施例中，基板 100 是被圖案化或嵌入在半導體裝置的其他構件中。

【0024】 圖 1B 繪示基板 100，伴隨著與基板 100 直接物理接觸的摻質層 102 的示意性截面圖。

【0025】 摻質層 102 可藉由原子層沉積(ALD)而沉積作為毯覆膜，然後進行圖案化以在基板 100 的一部分上方形成摻質層 102。舉例而言，可使用習知的光微影圖案化方法及蝕刻方法來對摻質層 102 進行圖案化。ALD 非常適合在具有大深寬比的 3D 結構(例如，圖 4A 及 5A)上方保形沉積摻質層 102。

【0026】 在各種實施例中，摻質層 102 可包括 n 型摻質或 p 型摻質。摻質層 102 可包括來自元素週期表 IIIA 族的一或更多摻質：硼(B)、鋁(Al)、鎵(Ga)、銦(In)及鉈(Tl)；以及 VA 族：氮(N)、磷(P)、砷(As)、銻(Sb)及鉍(Bi)。根據一些實施例，摻質層 102 可包含低摻質層級，例如在約 0.5 與約 5 原子%之間的摻質。根據其他實施例，摻質層 102 可包含中等摻質層級，例如在約 5 與約 20 原子%之間的摻質。根據又一實施例，摻質層可包含高摻質層級，例如大於 20 原子百分比的摻質。在一些示例中，摻質層 102 的厚度可為 4 nm 以下，例如在 1 nm 與 4 nm 之間、在 2 nm 與 4 nm 之間，或是在 3 nm 與 4 nm 之間。然而，在其他實施例中可使用其他厚度。

【0027】 摻質層 102 可包括氧化物、氮化物、氧氮化物，或是包含一或更多摻質的其他材料。在實施例中，摻質層 102 可包括摻質的氧化物、摻質的氮化物或摻質的氧氮化物。在一示例中，可將一或更多摻質至少實質均勻地分佈在摻質層 102 各處。在其他示例中，一或更多摻質可能不均勻地分佈在摻質層 102 各處。在其他示例中，一或更多摻質的濃度可橫跨摻質層 102 的厚度且遠離摻質層 102 與基板 100 的界面而降低或增加。摻質層 102 中的摻質濃度梯度可被有利地利用以調整摻雜率。根據一些實施例，摻質層 102 可包含氧化物材料、氮化物材料或氮氧化物材料形式的經摻雜高 k 介電材料，或是由其所組成。高 k 介電材料中的摻質可選自上方的摻質列表。高 k 介電材料可包含選自元素週期表的鹼土元素、稀土元素、

IIIA 族、IVA 族及 IVB 族元素的一或更多金屬元素。鹼土金屬元素包括鈹(Be)、鎂(Mg)、鈣(Ca)、鍶(Sr)及鋇(Ba)。示例性氧化物材料包括氧化鎂、氧化鈣及氧化鋇，以及其組合。稀土金屬元素可選自鈧(Sc)、釔(Y)、鎦(Lu)、鑭(La)、鈰(Ce)、鐠(Pr)、釹(Nd)、釤(Sm)、銪(Eu)、釓(Gd)、鋱(Tb)、鏑(Dy)、鈥(Ho)、鉺(Er)、銩(Tm)及鐿(Yb)的群組。IVB 族元素包括鈦(Ti)、鉿(Hf)及鋯(Zr)。根據本發明的一些實施例，高 k 介電材料可包含 HfO_2、HfON、HfSiON、ZrO_2、ZrON、ZrSiON、TiO_2、TiON、Al_2O_3、La_2O_3、W_2O_3、CeO_2、Y_2O_3 或 Ta_2O_5，或是其中二或更多者的組合。然而，其他介電材料也是被考量的，並且可被使用。

【0028】 圖 1C 顯示基板 100，伴隨著形成在摻質層 102 上的金屬層 104 的示意性截面圖。

【0029】 金屬層 104 可被沉積作為毯覆膜，然後進行圖案化以形成金屬層 104。舉例而言，可使用習知的光微影圖案化方法及蝕刻方法以形成金屬層 104。根據另一實施例，摻質層 102 及金屬層 104 皆可被沉積作為毯覆膜，然後兩者都被圖案化以形成圖 1C 中所示意性繪示的膜結構。

【0030】 金屬層 104 包含在與基板 100 進行反應時能夠形成歐姆接觸區域的金屬，或是由其所組成。舉例而言，在 Si 基板的情況下，金屬能夠形成金屬矽化物接觸區域。在鍺(Ge)的情況下，該金屬能夠形成金屬鍺化物接觸區域。此外，該金屬能夠與 III-V 半導體反應以形成作為歐姆導體的金屬-半導體合金。在非限制性示例中，所述金屬可包括鈦(Ti)、鎳(Ni)、鉑(Pt)或鎢(W)，或是其中二或更多者的組合。金屬層 104 例如可藉由物理氣相沉積(PVD)、ALD 或 CVD 而加以沉積。在一些示例中，金屬層 104 的厚度可介於 1 nm 與 100 nm 之間、2 nm 與 50 nm 之間，或是 2 nm 與 20 nm 之間。

【0031】 圖 1D 繪示基板 100 在熱處理期間的示意性截面圖。

【0032】 圖 1C 中的經圖案化膜結構可進行熱處理，以將摻質(例如，B、Al、Ga、In、Tl、N、P、As、Sb 或 Bi)及金屬(例如，Ti、Ni、Pt 或 W)二者進行擴散。在熱處理期間，摻質擴散到基板 100 中並且改變基板 100(特別是表面附近局部)的化學組成。從摻質層 102 擴散到基板 100 中的摻質是由圖 1D 中的箭頭 103 所表示，並且作為摻雜的結果，可在摻質層 102 下方的基板 100 中形成超淺摻質區域 108。熱處理進一步活化摻質區域 108 中的摻質，並也如箭頭 105 所示地將金屬原子從金屬層 104 擴散到基板 100 中，並形成歐姆接觸區域 106。歐姆接觸區域 106 可例如為 Ti、Ni、Pt 或 W 的金屬矽化物。在各種實施例中，摻質區域 108 及歐姆接觸區域 106 可在空間上重疊。在各種實施例中，歐姆接觸的形成強化了往基板 100 中的摻質擴散，以及摻質區域 108 中的摻質活化。

【0033】 圖 1E 繪示在熱處理之後的基板 100 的示意性截面圖。圖 1F 繪示在移除金屬層的殘留物後的基板 100 的示意性截面圖。

【0034】 在一些示例中，超淺摻質區域 108 及歐姆接觸區域 106 的厚度可介於 1 nm 與 10 nm 之間，或介於 2 nm 與 5 nm 之間。然而，本發明所屬技術領域中具有通常知識者能容易理解的是，基板 100 中的區域(即，歐姆接觸區 106 和超淺摻雜區 108)的下邊界可能不是驟降的，而是以摻質濃度及金屬濃度逐漸減少作為特徵。

【0035】 在熱處理之後，殘留金屬層 110 可能會存在於基板 100 上。這繪示於圖 1E 中。可使用乾式蝕刻處理或濕式蝕刻處理殘留金屬層 110 從基板 100 移除。經此得到的結構顯示於圖 1F 中。在一些示例中，可在將殘留金屬從基板 100 移除之後使用額外的熱處理。此等額外處理可進一步活化摻質。在某些實施例中，額外的熱處理可在沉積保護蓋層(例如，氧化物

或氮化物，例如氧化矽、氮化矽或其組合)之後進行。保護蓋層可在後續的退火處理期間防止摻質釋氣(out-gassing)。後續的退火處理可被選擇成對摻質進行活化，但不會增加金屬原子從歐姆接觸區域 108 的向外擴散。

【0036】 圖 2A-2G 繪示根據另一實施例的用於在基板 100 中形成超淺摻質區域及歐姆接觸區域的處理流程的示意性截面圖。在此實施例中，可分別對摻質層及金屬層進行兩次熱處理。已參照圖 1A-1F 而描述於上的材料(例如，基板、摻質層、摻質及金屬層組成)、處理步驟、處理條件(例如，沉積方法及熱處理條件)及層厚度可無困難地在圖 2A-2G 中示意性描述的實施例中使用，因此其中一些細節將不再重複。

【0037】 圖 2A 繪示基板 100 的示意性截面圖，圖 2B 繪示在形成與基板 100 直接接觸的摻質層 102 之後的基板 100 的示意性截面圖。圖 2C 繪示基板 100 在第一熱處理期間的示意性截面圖。可對圖 2B 中的摻質層 102 進行熱處理以將摻質從摻質層 102 擴散到基板 100 中，如圖 2C 中的箭頭 103 所示，從而在摻質層 102 下方的基板 100 中形成超淺摻質區域 108。第一熱處理可進一步活化摻質區域 108 中的摻質。

【0038】 圖 2D 繪示形成金屬層 104 之後的基板 100 的示意性截面圖，圖 2E 繪示在第二熱處理期間的基板 100 的示意性截面圖，圖 2F 繪示在第二次熱處理過後的基板 100 的示意性截面圖，而圖 2G 繪示在移除金屬層的殘留物過後的基板 100 的示意截面圖。

【0039】 金屬層 104 可被沉積為毯覆膜，接著被圖案化以形成圖 2D 中的金屬層 104。金屬層 104 可被進行熱處理，以將金屬從金屬層 104 擴散到基板 100 中，如圖 2E 中的箭頭 105 所示，並且形成歐姆接觸區域 106。摻質區域 108 及歐姆接觸區域 106 可在空間上重疊，但摻質區域 108 是被預期比歐姆接觸區域 106 更深入延伸到基板 100 中。

【0040】 在第二熱處理之後，殘留金屬層 110 可能會存在於基板 100 上。這繪示於圖 2F 中。可使用乾式蝕刻處理或濕式蝕刻處理將殘留金屬層 110 從基板 100 移除。所得到的結構顯示於圖 2G 中。

【0041】 圖 3A-3D 繪示根據替代實施例的用於在基板 300 中形成超淺摻質區域及歐姆接觸區域的處理流程的示意性截面圖。在此實施例中，基板 300 可具有遮罩層，該遮罩層界定出超淺摻質區域及歐姆接觸區域所用的區域。已參照圖 1A-1F 而描述於上的材料(例如，基板、摻質層、摻質及蓋層組成)、處理條件(例如，沉積方法及熱處理條件)及層厚度可無困難地在圖 3A-3D 中示意性描述的實施例中使用。

【0042】 圖 3A 繪示基板 300 的示意性截面圖，該基板 300 包含在基板 300 上形成的經圖案化遮罩層 307，以在基板 300 上方的經圖案化遮罩層 307 中界定摻質窗部(井部)301。經圖案化遮罩層 307 例如可為氮化物硬遮罩(例如，SiN 硬遮罩)，該氮化物硬遮罩可使用習知的光微影圖案化方法及蝕刻方法而形成。

【0043】 圖 3B 繪示在形成摻質層 302 之後的基板 300 的示意性截面圖。

【0044】 摻質層 302 可藉由 ALD 而沉積，並且在摻質窗部 301 中與基板 300 直接接觸，以及位於經圖案化遮罩層 307 上。在圖 3B 中，金屬層 304 也可以沉積在摻質層 302 上。摻質層 302 可包含 n 型摻質或 p 型摻質。

【0045】 圖 3C 繪示在熱處理期間的基板 300 的示意性截面圖。

【0046】 如圖 3C 所示，圖 3B 中的膜結構可被熱處理，以將摻質 303 從摻質層 302 擴散到基板 300 中，並且在摻質窗部 301 中、摻質層 302 下的基板 300 中形成超淺摻質區域 308。熱處理會活化摻質區域 308 中的摻

質，並且還將金屬從金屬層 304 擴散到基板 300 中(如箭頭 305 所示)，且形成歐姆接觸區域 306。摻質區域 308 及歐姆接觸區域 306 在空間上重疊，但由於摻質層 302 比金屬層 304 更靠近基板 100，因此摻質區域 308 會預期比歐姆接觸區域 306 更深入延伸到基板 300 中。歐姆接觸的形成會強化摻質往基板 300 中的擴散，以及摻質區域 308 中的摻質活化。

【0047】 圖 3D 繪示在移除剩餘層之後的基板 300 的示意性截面圖。

【0048】 在熱處理之後，可使用乾式蝕刻處理或濕式蝕刻處理將殘留金屬層、殘留摻質層及經圖案化遮罩層 307 從基板 100 移除。所得到的結構顯示於圖 3D 中。

【0049】 根據另一實施例，與參照圖 2A-2G 所述的利用兩個單獨熱處理的先前實施例類似，可在基板 300 上形成金屬層 304 之前先對基板 300 進行熱處理以形成超淺摻質區域 308，接著在基板 300 上形成金屬層 304，並再次對基板 300 進行熱處理而形成歐姆接觸區域 306。

【0050】 圖 4A-4D 繪示根據又一實施例的用於在基板 400 上的凸起特徵部中形成超淺摻質區域的處理流程的示意性截面圖。

【0051】 圖 4A 繪示基板 400 上的凸起特徵部(鰭)404 及氧化物層(例如，SiO_2)402 的示意性截面圖。基板 400 及凸起特徵部 404 的材料可包括上述用於圖 1A 中的基板 100 的材料的其中一或多者。在一示例中，基板 400 及凸起特徵部 404 可包含相同的材料(例如，Si)，或是由相同的材料組成。本發明所屬技術領域中具有通常知識者將容易理解的是，本發明的實施例可應用於基板上的其他簡單或複雜的凸起特徵部。根據一實施例，凸起特徵部可位於凹陷特徵部的底部。舉例而言，凹陷特徵部可包括通孔、溝槽。在一實施例中，凸起特徵部可包括 FinFET 的鰭。在圖 4A 中，凸起

特徵部 404 可具有三個露出且可供下述的膜形成所用的面(即，圖 4A 中的頂表面及兩個側壁)。

【0052】 圖 4B 繪示基板 400，伴隨保形摻質層 406 及保形金屬層 408 的示意性截面圖，其中該保形金屬層 408 是沉積在凸起特徵部 407 及氧化物層 402 上。

【0053】 保形摻質層 406 的材料可包括上述用於圖 1B 中的摻質層 102 的材料的其中一或多者。保形金屬層 408 的金屬可包括上述用於圖 1C 中的金屬層 104 的金屬的其中一或多者。如圖 4B 所示，凸起特徵部 404 的所有暴露面(包括圖 4A 中的三個可視面)可被摻質層 406 及金屬層 408 的層堆疊保形地覆蓋。

【0054】 圖 4C 繪示在熱處理之後的基板 400 的示意性截面圖。

【0055】 圖 4B 中的結構可被進行熱處理以將來自摻質層 406 的摻質，以及來自金屬層 408 的金屬擴散到凸起特徵部 404 中，以形成超淺摻質及歐姆接觸區域 403。超淺摻質及歐姆接觸區域 403 被繪示為單一區域，但其可如圖 1F 所示包括部分重疊的超淺摻質區域及歐姆接觸區域。熱處理使超淺摻質及歐姆接觸區域 403 中的摻質進一步活化。在熱處理之後，可能會存在殘留金屬層 412 及殘留摻質層 410。

【0056】 熱處理可包括在惰性氣氛(例如，氬(Ar)或氮(N_2))、氧化性氣氛(例如，氧氣(O_2)或水蒸氣(H_2O))或還原性氣氛(例如，氨)中加熱基板 400。可基於金屬層 408 的組成來選擇熱處理。舉例而言，當金屬層 408 包括鎳時，熱處理可在 300℃與 600℃之間進行 10 秒與 10 分鐘之間。當金屬層 408 包含鈦時，熱處理可在 400℃與 700℃之間進行 10 秒與 10 分鐘之間。在一些情況下，可使用多於一次的熱處理，例如可使用複數次熱處理以將摻質擴散到基板中、形成第一金屬半導體錯合物、形成第二金屬半

導體錯合物，以及活化摻質。在各種實施例中，熱處理的溫度可經過選擇，使摻質及金屬的擴散得以實現。在金屬包括 Ni 的一實施例中，溫度例如可介於 450-550℃之間。在金屬包括 Ti 的另一實施例中，溫度可介於 550-650℃之間。在一些示例中，熱處理可包括快速熱退火(RTA)、突發式退火或雷射突發式退火。

【0057】 在各種實施例中，為了避免在熱處理之前造成不期望的固態擴散，可在低於熱處理的溫度形成摻質層 406 及金屬層 408。因此，在一實施例中，摻質層 406 的形成可在第一溫度範圍內進行，金屬層 408 的形成可在第二溫度範圍內進行，其中第一溫度範圍及第二溫度範圍均低於熱處理的溫度。

【0058】 有利的是，在一或更多實施例中可使用固態摻雜來形成電晶體的源極/汲極區，而無需繁重的植入處理。未使用植入能避免在複雜的非平面結構中形成遮蔽區。由於在矽化物形成期間摻質原子會優先偏析(segregation)到矽晶格中，因此可能會形成高活性且突陡接面。此等接面可能無法使用傳統的固態擴散摻雜技術達成。

【0059】 圖 4D 繪示在移除剩餘層之後的基板 400 的示意性截面圖。

【0060】 在熱處理之後剩餘的層(例如，圖 4C 中的剩餘金屬層 412 及剩餘摻質層 410)可使用乾式蝕刻處理或濕式蝕刻處理而從基板 400 移除。

【0061】 圖 5A-5E 繪示根據又一實施例的依據在基板 500 上的凸起特徵部中形成超淺摻質區域的處理流程而進行製造的期間的裝置的示意性截面圖。在此實施例中，凸起特徵部可為奈米線的一部分，或是包括上述奈米線，其中所述奈米線是被橫向定位以製造奈米線 FET。

【0062】 圖 5A 繪示在凹陷特徵部 501 中形成的凸起特徵部(奈米線 504)的示意性截面圖。基板 500 及奈米線 504 的材料可包括上述圖 1A 中

的基板 100 所用的材料的其中一或多者。在一示例中，基板 500 及奈米線 504 可包含相同材料(例如，Si)，或是由相同的材料所構成。

【0063】 如圖 5A 所示，基板 500 可包括複數奈米線 504。具體而言，這些奈米線 504 被嵌入不同材料中。奈米線 504 可透過複數犧牲層或犧牲層 520 的其中一者而彼此間隔開。因此，基板 500 包括犧牲層 520 及奈米線 504 的交替層。在各種實施例中，奈米線 504 在製造結束時可形成電晶體通道，而犧牲層 520 將會在後續製造步驟中被移除，以釋出用於形成閘極介電質及閘極端子的空隙空間。在各種實施例中，奈米線 504 具有數奈米至數十奈米的厚度，例如在一實施例中約為 1 nm 至約 20 nm。在另一實施例中，奈米線 504 具有約 1 nm 至約 10 nm 的厚度。

【0064】 在某些實施例中，犧牲層 520 包括矽鍺(SiGe)，而奈米線 504 包括矽。在替代實施例中，犧牲層 520 包括矽，而奈米線 504 包括矽鍺。

【0065】 如圖 5A 中進一步繪示，在橫截面圖中的橫向方向中，犧牲層 520 可短於奈米線 504，這會產生橫向凹陷部 505，而橫向凹陷部 505 會使奈米線 504 的尖端露出。此等特徵部例如可藉由橫向凹陷部蝕刻(空腔蝕刻)來製造，以相對於奈米線 504 而選擇性地移除犧牲層 520 的一部分。

【0066】 此外，在各種實施例中，可形成內部間隔物 590 以覆蓋犧牲層 520 的表面。內部間隔物 590 可包括含矽介電質材料，例如氮化矽、碳氮化矽(SiCN)、碳氮氧化矽(SiOCN)及碳氮化矽硼(SiBCN)。內部間隔物 590 的形成可藉由氣相沉積而執行，例如使用化學氣相沉積(CVD)、電漿增強 CVD (PECVD)、低壓 CVD (LPCVD)、物理氣相沉積(PVD)、原子層沉積(ALD)及/或其他沉積處理。在某些實施例中，可先執行內部間隔物材料的毯覆式沉積，接著進行回蝕處理以露出奈米線 504 的尖端。

【0067】 如圖 5A 進一步繪示，基板 500 可包括位於奈米線 504 及犧牲層 520 的交替層堆疊上方的介電質阻擋層 540。在一實施例中，介電質阻擋層 540 可為氧化物層。在介電質阻擋層 540 上方，基板 500 可更包括偽閘極 550。偽閘極 550 例如可包括多晶矽或非晶形矽。在各種實施例中，偽閘極 550 可具有約 50 nm 至約 500 nm 的厚度。

【0068】 仍然參照圖 5A，可在偽閘極 550 上方形成經圖案化硬遮罩 560，且在一實施例中經圖案化硬遮罩 560 包括氧化矽。在各種實施例中，硬遮罩 560 可包括氮化矽、碳氮化矽(SiCN)或碳氧化矽(SiOC)。在替代實施例中，硬遮罩 560 可包括氮化鈦。在各種實施例中，硬遮罩 560 可具有約 5 nm 至約 50 nm 的厚度。

【0069】 在某些實施例中，可形成第一側壁間隔層 570 以覆蓋偽閘極 550。第一側壁間隔層 570 可包括介電質材料，該介電質材料包括氧化物或氮化物。在某些實施例中，第一側壁間隔層 570 可包括含矽介電質材料，例如氧化矽、氧氮化矽(SiON)、碳氮氧化矽(SiOCN)及碳氮化矽硼(SiBCN)。在各種實施例中，第一側壁間隔層 570 可具有約 1 nm 至約 10 nm 的厚度。在某些實施例中，第一側壁間隔層 570 可為堆疊層，該堆疊層例如包括使用兩種不同材料的兩或更多層。

【0070】 圖 5B 繪示在形成摻質層 506 及金屬層 508 之後的基板 500 的示意性截面圖。

【0071】 摻質層 506 可藉由原子層沉積(ALD)而被沉積為保形毯覆膜。ALD 特別適用於在具有複數面的 3D 結構上形成保形膜，而這對於離子植入技術來說是困難的。如圖 5B 所示，舉例而言，圖 5A 中露出的奈米線 504 的所有面可被保形摻質層 506 保形覆蓋。

【0072】 在各種實施例中，保形摻質層 506 可包括 n 型摻質或 p 型摻質。對於矽的 n 型摻質可為砷、磷及銻，而對於矽的 p 型摻質可為硼。保形摻質層 506 可包括氧化物、氮化物、氧氮化物，或是包含一或更多摻質的其他材料。保形摻質層 506 還可包含從元素週期表的鹼土元素、稀土元素、IIIA 族、IVA 族及 IVB 族元素所選擇的一或更多金屬元素。

【0073】 保形金屬層 508 的金屬可包括鈦(Ti)、鎳(Ni)、鉑(Pt)或鎢(W)，或是其中二或多者的組合。保形金屬層 508 可例如藉由物理氣相沉積(PVD)、ALD 或 CVD 而沉積。

【0074】 圖 5C 繪示在熱處理之後的基板 500 的示意性截面圖。

【0075】 圖 5B 中的結構可被進行熱處理，以將來自摻質層 506 的摻質及來自金屬層 508 的金屬擴散到奈米線 504 中，從而形成超淺摻質及歐姆接觸區域 503。超淺摻質及歐姆接觸區域 503 是被描繪為單一區域，但其可包括如圖 1F 所示的部分重疊超淺摻質及歐姆接觸區域。熱處理可包括將基板 500 在惰性氣氛(例如，氬氣(Ar)或氮(N_2))、氧化性氣氛(例如，氧氣(O_2)或水蒸氣(H_2O))或還原性氣氛(例如，氨)中加熱至介於 450°C 與 650°C 之間的溫度 10 秒至 10 分鐘。類似於圖 4A-4D 中描述的先前實施例，熱處理的溫度可經過選擇，使得摻質及金屬的擴散得以實現。熱處理使超淺摻質及歐姆接觸區域 503 中的摻質進一步活化。在熱處理之後，可能會形成殘留金屬層 512 及殘留摻質層 510。

【0076】 圖 5D 繪示在移除剩餘層之後的基板 500 的示意性截面圖。

【0077】 在熱處理之後剩餘的層(例如，圖 5C 中的剩餘金屬層 512 及剩餘摻質層 510)可使用乾式蝕刻處理或濕式蝕刻處理而將其從基板 500 移除。

【0078】 圖 5E 繪示在源極區/汲極區的磊晶生長過後的基板 500 的示意性截面圖。

【0079】 在形成超淺摻質及歐姆接觸區域 503 並且移除剩餘層之後，可接著進行後續製造處理。在一或更多實施例中，如圖 5E 所繪示，源極/汲極區 515 可被形成在超淺摻質及歐姆接觸區域 503 周圍。源極/汲極區 515 填充橫向凹陷部 505(圖 5D 中所繪示)及奈米線 504 的暴露尖端。舉例而言，源極/汲極區 515 可藉由磊晶生長而形成。雖然未顯示，但利用磊晶生長處理所形成的源極/汲極區 515 通常具有多面(faceted)外表面。在各種實施例中，源極/汲極材料包括矽-鍺，其中矽-鍺可在沉積處理期間利用 p 型摻雜法進行摻雜。在一些實施例中，源極/汲極材料包括矽或矽-碳，其中矽或矽-碳可在沉積處理期間利用 n 型摻雜法進行摻雜。

【0080】 圖 6A-6C 繪示根據各種實施例的超淺摻質區域的形成方法的處理流程圖，其中圖 6A 繪示一實施例，圖 6B 繪示另一實施例，而圖 6C 繪示替代實施例。該處理流程可依循著上述圖式(例如，圖 1B-1F、圖 2B-2G 及圖 4A-4D)，因此將不再次敘述。

【0081】 在圖 6A 中，處理流程 60 從在基板上形成摻質層(方格 610，例如圖 2B)開始。接著，可將摻質層進行熱處理，以藉由使摻質從摻質層擴散進入基板而在該基板中形成超淺摻質區域(方格 620，例如圖 2C)，從而露出導電層的一部分，該導電層包括基板的第一導電材料。接著，可在基板上方形成金屬層(方格 630，例如圖 2D)。接下來，可對金屬層進行熱處理，以藉由使金屬從金屬層擴散進入基板而在該基板中形成歐姆接觸區域(方格 640，例如圖 2E-2F)。在某些實施例中，可將金屬層的殘留物移除(方格 650，例如圖 2G)。在替代實施例中，金屬層可在對摻質層進行熱處理之前形成，如圖 6B 所示。

【0082】 在圖 6B 中，處理流程 62 從在基板上形成摻質層(方格 610，例如圖 1B)開始。接下來，可在摻質層上方形成金屬層(方格 630，例如圖 1C)。隨後，可對摻質層及金屬層二者進行熱處理，以在基板中形成超淺摻質區域及歐姆接觸區域(方格 642，例如圖 1D-1E)。

【0083】 在圖 6C 中，處理流程 64 從將基板裝載到處理腔室中開始，其中該基板包括凸起半導體特徵部，例如鰭或奈米線結構(方格 605，例如圖 4A)。接下來，可藉由原子層沉積(ALD)以在凸起特徵部上形成摻質層(方格 614，例如圖 4B)，接著在凸起特徵部上方形成金屬層(方格 634，例如圖 4B)。隨後，可對摻質層進行熱處理，以在凸起特徵部中形成超淺摻質區域(方格 620，例如圖 4C)。接著，可對金屬層進行熱處理，以在凸起特徵部中形成歐姆接觸區域(方格 640，例如圖 4C)。在某些實施例中，上述兩種熱處理(一個是用於摻質層，而另一個是用於金屬層)可被執行為單一熱處理，使摻質及金屬能夠同時擴散。

【0084】 現在將根據本發明的各種實施例描述在基板上沉積摻質層的示例性方法。

【0085】 根據一實施例，硼摻質層可包括氧化硼、氮化硼或氮氧化硼。根據其他實施例，硼摻質層可包含氧化物層、氮化物層或氧氮化物層形式的硼摻雜高 k 材料，或由其所組成。在一示例中，氧化硼摻質層可藉由 ALD 以下列步驟進行沉積：a) 在配置於執行 ALD 處理的處理腔室中提供基板；b) 將該基板暴露於氣相硼醯胺或有機硼烷前驅物；c) 吹淨/抽空該處理腔室；d) 將該基板暴露於含有 H_2O、O_2 或 O_3，及其組合的反應氣體；e) 吹淨/抽空該處理腔室；以及 f) 重複步驟 b)–e)任意次數，直到氧化硼摻質層具有所欲厚度。根據其他實施例，可在步驟 d)中使用含 NH_3 的反應物氣體以沉積氮化硼摻質層，或是可在步驟 d)中使用含 1) H_2O、O_2 或 O_3，以及

NH_3的反應物氣體，或是含 2) NO、NO_2或 N_2O，以及任選 H_2O、O_2、O_3及 NH_3的其中一或多者的反應物氣體以沉積氮氧化硼摻質層。

【0086】根據本發明的實施例，硼醯胺可包括 $LnB(NR_1R_2)_3$ 形式的硼化合物，其中 L 是中性路易斯鹼，n 是 0 或 1，而 R_1 及 R_2 的各者可選擇自烷基、芳基、氟烷基、氟芳基、烷氧基烷基及氨基烷基。硼醯胺的示例包括 $B(NMe_2)_3$、$(Me_3)B(NMe_2)_3$ 及 $B[N(CF_3)_2]_3$。根據本發明的實施例，有機硼烷可包括 $LnBR_1R_2R_3$ 形式的硼化合物，其中 L 是中性路易斯鹼，n 是 0 或 1，而 R_1、R_2 及 R_3 的各者可選擇自烷基、芳基、氟烷基、氟芳基、烷氧基烷基及氨基烷基。有機硼烷的示例包括 BMe_3、$(Me_3N)BMe_3$、$B(CF_3)_3$ 及$(Me_3N)B(C_6F_3)$。

【0087】根據一實施例，砷摻質層可包括氧化砷、氮化砷或氮氧化砷。根據其他實施例，砷摻質層可包含氧化物層、氮化物層或氧氮化物層形式的砷摻雜高 k 材料，或由其所組成。在一示例中，氧化砷摻質層可藉由 ALD 以下列步驟進行沉積：a) 在配置於執行 ALD 處理的處理腔室中提供基板；b) 將該基板暴露於含砷的氣相前驅物；c) 吹淨/抽空該處理腔室；d) 將該基板暴露於 H_2O、O_2 或 O_3，及其組合；e) 吹淨/抽空該處理腔室；以及 f) 重複步驟 b)–e)任意次數，直到氧化砷摻質層具有所欲厚度。根據其他實施例，可在步驟 d)中使用 NH_3 以沉積氮化砷摻質層，或是可在步驟 d)中使用 1) H_2O、O_2 或 O_3，以及 NH_3，或是 2) NO、NO_2 或 N_2O，以及任選 H_2O、O_2、O_3 及 NH_3 的其中一或多者以沉積氮氧化砷摻質層。根據本發明的一些實施例，含砷的氣相前驅物可包括鹵化砷，例如 $AsCl_3$、$AsBr_3$ 或 AsI_3。

【0088】根據一實施例，磷摻質層可包括氧化磷、氮化磷或氮氧化磷。根據其他實施例，磷摻質層可包含氧化物層、氮化物層或氧氮化物層形式的磷摻雜高 k 材料，或由其所組成。在一示例中，氧化磷摻質層可藉由 ALD

以下列步驟進行沉積：a) 在配置於執行 ALD 處理的處理腔室中提供基板；b) 將該基板暴露於含磷的氣相前驅物；c) 吹淨/抽空該處理腔室；d) 將該基板暴露於含 H_2O、O_2 或 O_3，及其組合的反應物氣體；e) 吹淨/抽空該處理腔室；以及 f) 重複步驟 b)–e)任意次數，直到氧化磷摻質層具有所欲厚度。根據其他實施例，可在步驟 d)中使用含 NH_3 的反應物氣體以沉積氮化磷摻質層，或是可在步驟 d)中使用含 1) H_2O、O_2 或 O_3，以及 NH_3 的反應物氣體，或是含 2) NO、NO_2 或 N_2O，以及任選 H_2O、O_2、O_3 及 NH_3 的其中一或多者的反應物氣體以沉積氮氧化磷摻質層。根據本發明的一些實施例，含磷的氣相前驅物可包括$[(CH_3)_2N]_3PO$、$P(CH_3)_3$、PH_3、$OP(C_6H_5)_3$、$OPCl_3$、PCl_3、PBr_3、$[(CH_3)_2N]_3P$ 或 $P(C_4H_9)_3$。

【0089】 於此總結本發明的示例性實施例。其他實施例也可從本說明書的整體內容以及本文所提出的申請專利範圍而理解。

【0090】 示例 1。一種基板處理方法，包括：將該基板裝載於處理腔室中，該基板包括半導體的凸起特徵部；藉由原子層沉積(ALD)在該凸起特徵部上形成保形摻質層；在該凸起特徵部上方形成金屬層；將該摻質層進行熱處理，以藉由使摻質從該摻質層擴散至該凸起特徵部中，以在該凸起特徵部中形成超淺摻質區域；以及將該金屬層進行熱處理，以藉由使金屬從該金屬層擴散至該凸起特徵部中，以在該凸起特徵部中形成歐姆接觸區域。

【0091】 示例 2。如示例 1 的基板處理方法，其中將該摻質層進行熱處理是執行在將該金屬層進行熱處理之前。

【0092】 示例 3。如示例 1 或 2 的方法，其中該摻質層包括該摻質的氧化物、該摻質的氮化物或該摻質的氮氧化物，而該歐姆接觸區域包括金屬矽化物。

【0093】 示例 4。如示例 1 至 3 的其中一者的方法，其中該摻質是選自硼(B)、鋁(Al)、鎵(Ga)、銦(In)、鉈(Tl)、氮(N)、磷(P)、砷(As)、銻(Sb)及鉍(Bi)所構成的群組，且其中該金屬包括鈦(Ti)、鎳(Ni)、鉑(Pt)或鎢(W)。

【0094】 示例 5。如示例 1 至 4 的其中一者的方法，更包括在將該金屬層進行熱處理過後，將該金屬層的殘留物從該基板移除。

【0095】 示例 6。如示例 1 至 5 的其中一者的方法，其中該超淺摻質區域及該歐姆接觸區域在該基板中部份重疊，且其中該超淺摻質區域比該歐姆接觸區域更進一步延伸至該基板中。

【0096】 示例 7。一種半導體裝置的形成方法，包括：形成摻質層，使其與基板上的矽(Si)特徵部直接接觸；在該摻質層上形成金屬層，該金屬層包含金屬，以在該 Si 特徵部中形成金屬矽化物；以及執行熱處理，以藉由使該摻質及該金屬擴散進入該基板而形成超淺摻質區域及金屬矽化物區域，該熱處理包括將該基板加熱至退火溫度，其中該基板在形成該摻質層之後且在該熱處理之前是被維持在低於該退火溫度。

【0097】 示例 8。如示例 7 之方法，其中形成該摻質層包括藉由原子層沉積(ALD)以在該基板上方保形沉積該摻質層。

【0098】 示例 9。如示例 7 或 8 之方法，其中形成該摻質層包括沉積該摻質的氧化物、氮化物、氮氧化物。

【0099】 示例 10。如示例 7 至 9 的其中一者的方法，其中形成該摻質層包括將該基板暴露至氣相硼醯胺或有機硼烷前驅物。

【0100】 示例 11。如示例 7 至 10 的其中一者的方法，其中形成該摻質層包括將該基板暴露至含砷或磷的氣相前驅物。

【0101】 示例 12。如示例 7 至 11 的其中一者的方法，其中該 Si 特徵部包括凸起特徵部。

【0102】 示例 13。如示例 7 至 12 的其中一者的方法，其中該摻質層覆蓋著該基板的多於一面。

【0103】 示例 14。如示例 7 至 13 的其中一者的方法，其中該摻質是選自硼(B)、鋁(Al)、鎵(Ga)、銦(In)、鉈(Tl)、氮(N)、磷(P)、砷(As)、銻(Sb)及鉍(Bi)所構成的群組，且其中該金屬包括鈦(Ti)、鎳(Ni)、鉑(Pt)或鎢(W)。

【0104】 示例 15。如示例 7 至 14 的其中一者的方法，其中該退火溫度介於 450°C 與 650°C 之間。

【0105】 示例 16。一種基板處理方法，包括：將該基板裝載於處理腔室中，該基板包括垂直凹陷部，該垂直凹陷部具有側壁，該側壁包括從該側壁的主表面橫向凸出的特徵部，該特徵部具有至少三個暴露面；在第一溫度範圍內藉由原子層沉積(ALD)以在該特徵部上方形成摻質層，該摻質層保形覆蓋著該特徵部的至少三個面；在第二溫度範圍內於該特徵部上方形成金屬層；藉由將該基板維持高於該第一溫度範圍及該第二溫度範圍以對該摻質層進行熱處理，從而在該特徵部中形成超淺摻質區域；以及藉由將該基板維持高於該第一溫度範圍及該第二溫度範圍以對該金屬層進行熱處理，從而在該特徵部中形成歐姆接觸區域。

【0106】 示例 17。如示例 16 的方法，其中該金屬層與該摻質層直接接觸。

【0107】 示例 18。如示例 16 或 17 的方法，其中對該摻質層進行熱處理是執行在形成該金屬層之前，該金屬層與該特徵部直接接觸。

【0108】 示例 19。如示例 16 至 18 的其中一者的方法，其中對該摻質層進行熱處理或對該金屬層進行熱處理是在惰性氣氛或氧化性氣氛中執行。

【0109】 示例 20。如示例 16 至 19 的其中一者的方法，其中該特徵部包括矽(Si)，而該歐姆接觸區域包括金屬矽化物。

【0110】 雖然已參照複數說明性實施例來描述本發明，但本實施方式並不被視為限制意圖。這些說明性實施例的各種修改例及結合例，以及本發明的其他實施例對於本發明所屬技術領域中具有通常知識者在參照本實施方式後將為顯而易知的。因此，隨附申請專利範圍係含括任何此樣的修改例或實施例。

【符號說明】

【0111】

60, 62, 64:處理流程

100:基板

102:摻質層

103:箭頭

104:金屬層

105:箭頭

106:歐姆接觸區域

108:摻質區域

110:殘留金屬層

300:基板

301:摻質窗部

302:摻質層

303:摻質

304:金屬層

305:箭頭

306:歐姆接觸區域

307:經圖案化遮罩層

308:摻質區域

400:基板

402:氧化物層

403:超淺摻質及歐姆接觸區域

404:凸起特徵部

406:保形摻質層

408:保形金屬層

410:殘留摻質層

412:殘留金屬層

500:基板

501:凹陷特徵部

503:超淺摻質及歐姆接觸區域

504:奈米線

505:橫向凹陷部

506:摻質層

508:金屬層

510:殘留摻質層

512:殘留金屬層

515:源極/汲極區

520:犧牲層

540:介電質阻擋層

550:偽閘極

560:經圖案化硬遮罩

570:第一側壁間隔層

590:內部間隔物

605, 610, 614, 620, 630, 634, 640, 642, 650:方格

【發明申請專利範圍】

【請求項1】 一種基板處理方法，包括：

將該基板裝載於處理腔室中，該基板包括半導體的凸起特徵部；

藉由原子層沉積(ALD)在該凸起特徵部上形成保形的摻質層；

在該凸起特徵部上方形成金屬層；

將該摻質層進行熱處理，以藉由使摻質從該摻質層擴散至該凸起特徵部中，以在該凸起特徵部中形成超淺摻質區域；以及

將該金屬層進行熱處理，以藉由使金屬從該金屬層擴散至該凸起特徵部中，以在該凸起特徵部中形成歐姆接觸區域。

【請求項2】 如請求項 1 之基板處理方法，其中將該摻質層進行熱處理是執行在將該金屬層進行熱處理之前。

【請求項3】 如請求項 1 之基板處理方法，其中該摻質層包括該摻質的氧化物、該摻質的氮化物或該摻質的氮氧化物，而該歐姆接觸區域包括金屬矽化物。

【請求項4】 如請求項 1 之基板處理方法，其中該摻質是選自硼(B)、鋁(Al)、鎵(Ga)、銦(In)、鉈(Tl)、氮(N)、磷(P)、砷(As)、銻(Sb)及鉍(Bi)所構成的群組，且其中該金屬包括鈦(Ti)、鎳(Ni)、鉑(Pt)或鎢(W)。

【請求項5】 如請求項 1 之基板處理方法，更包括在將該金屬層進行熱處理過後，將該金屬層的殘留物從該基板移除。

【請求項6】 如請求項 1 之基板處理方法，其中該超淺摻質區域及該歐姆接觸區域在該基板中部份重疊，且其中該超淺摻質區域比該歐姆接觸區域更進一步延伸至該基板中。

【請求項7】 一種半導體裝置的形成方法，包括：

形成摻質層，使其與基板上的矽(Si)特徵部直接接觸；

在該摻質層上形成金屬層，該金屬層包含金屬，用以在該 Si 特徵部中形成金屬矽化物；以及

執行熱處理，以藉由使摻質及該金屬擴散進入該基板而形成超淺摻質區域及金屬矽化物區域，該熱處理包括將該基板加熱至退火溫度，

其中該基板在形成該摻質層之後且在該熱處理之前是被維持在低於該退火溫度。

【請求項8】 如請求項 7 之半導體裝置的形成方法，其中形成該摻質層包括藉由原子層沉積(ALD)以在該基板上方保形沉積該摻質層。

【請求項9】 如請求項 7 之半導體裝置的形成方法，其中形成該摻質層包括沉積該摻質的氧化物、氮化物或氮氧化物。

【請求項10】 如請求項 7 之半導體裝置的形成方法，其中形成該摻質層包括將該基板暴露至氣相硼醯胺或有機硼烷前驅物。

【請求項11】 如請求項 7 之半導體裝置的形成方法，其中形成該摻質層包括將該基板暴露至含砷或磷的氣相前驅物。

【請求項12】 如請求項 7 之半導體裝置的形成方法，其中該 Si 特徵部包括凸起特徵部。

【請求項13】 如請求項 7 之半導體裝置的形成方法，其中該摻質層覆蓋著該基板的多於一面。

【請求項14】 如請求項 7 之半導體裝置的形成方法，其中該摻質是選自硼(B)、鋁(Al)、鎵(Ga)、銦(In)、鉈(Tl)、氮(N)、磷(P)、砷(As)、銻(Sb)及鉍(Bi)所構成的群組，且其中該金屬包括鈦(Ti)、鎳(Ni)、鉑(Pt)或鎢(W)。

【請求項15】 如請求項 7 之半導體裝置的形成方法，其中該退火溫度介於 450°C 與 650°C 之間。

【請求項16】 一種基板處理方法，包括：

將該基板裝載於處理腔室中，該基板包括垂直凹陷部，該垂直凹陷部具有側壁，該側壁包括從該側壁的主表面橫向凸出的特徵部，該特徵部具有至少三個暴露面；

在第一溫度範圍內藉由原子層沉積(ALD)以在該特徵部上方形成摻質層，該摻質層保形覆蓋著該特徵部的至少三個面；

在第二溫度範圍內於該特徵部上方形成金屬層；

藉由將該基板維持高於該第一溫度範圍及該第二溫度範圍以對該摻質層進行熱處理，從而在該特徵部中形成超淺摻質區域；以及

藉由將該基板維持高於該第一溫度範圍及該第二溫度範圍以對該金屬層進行熱處理，從而在該特徵部中形成歐姆接觸區域。

【請求項17】 如請求項 16 之基板處理方法，其中該金屬層與該摻質層直接接觸。

【請求項18】 如請求項 16 之基板處理方法，其中對該摻質層進行熱處理是執行在形成該金屬層之前，該金屬層與該特徵部直接接觸。

【請求項19】 如請求項 16 之基板處理方法，其中對該摻質層進行熱處理或對該金屬層進行熱處理是在惰性氣氛或氧化性氣氛中執行。

【請求項20】 如請求項 16 之基板處理方法，其中該特徵部包括矽(Si)，而該歐姆接觸區域包括金屬矽化物。

【發明圖式】



圖 1A

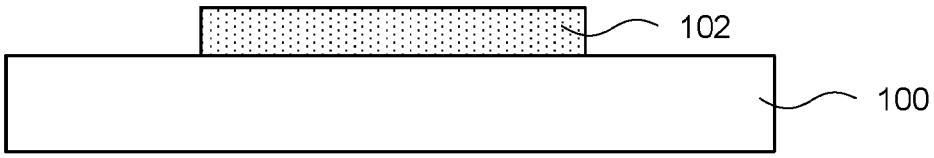

圖 1B

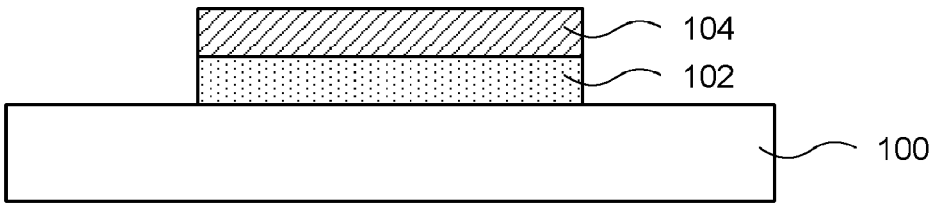

圖 1C

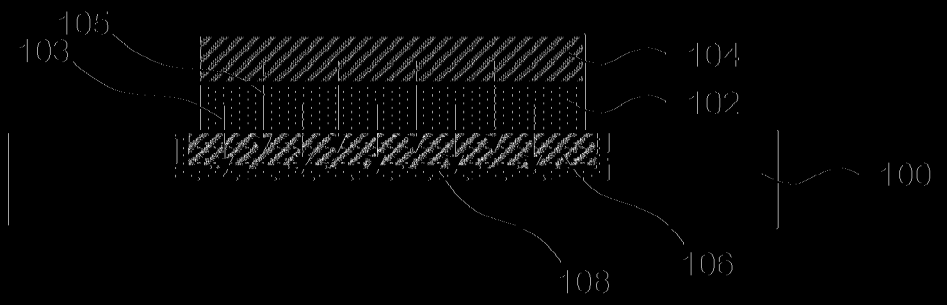

圖 1D

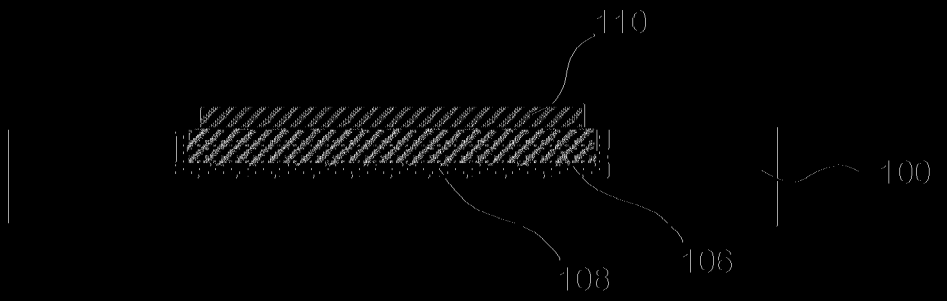

圖 1E

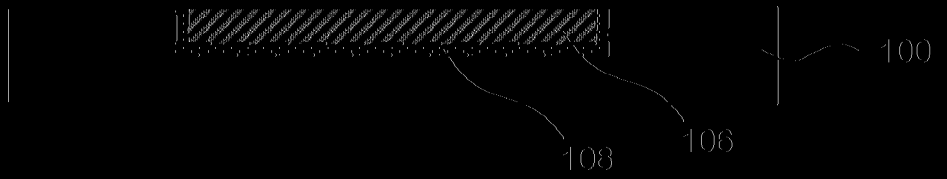

圖 1F



圖 2A

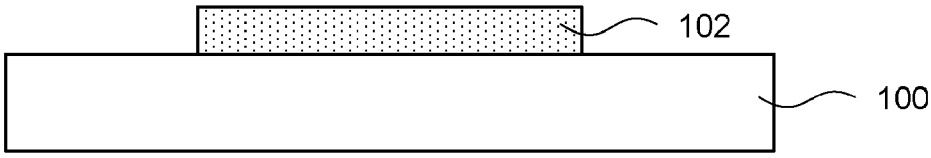

圖 2B

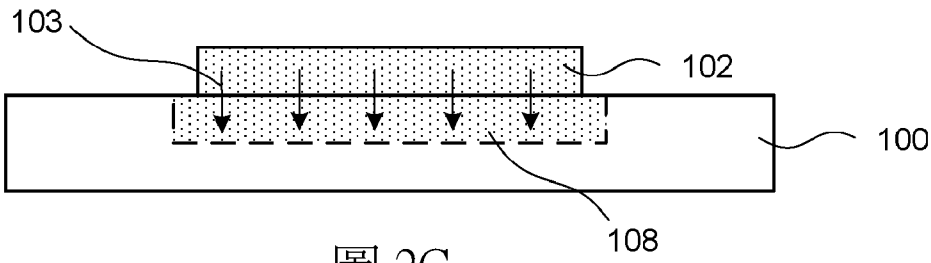

圖 2C

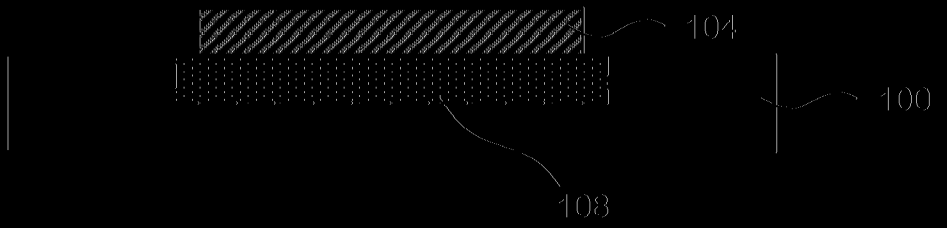

圖 2D

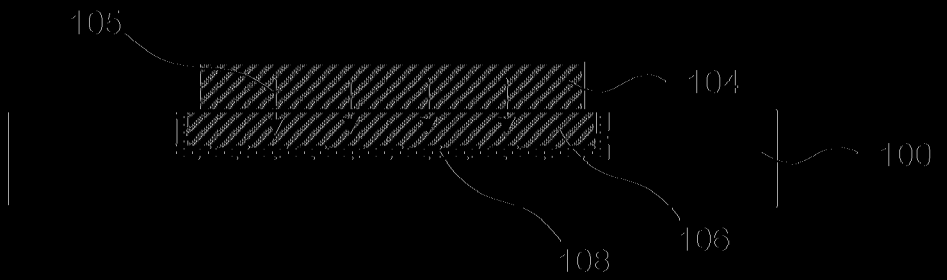

圖 2E

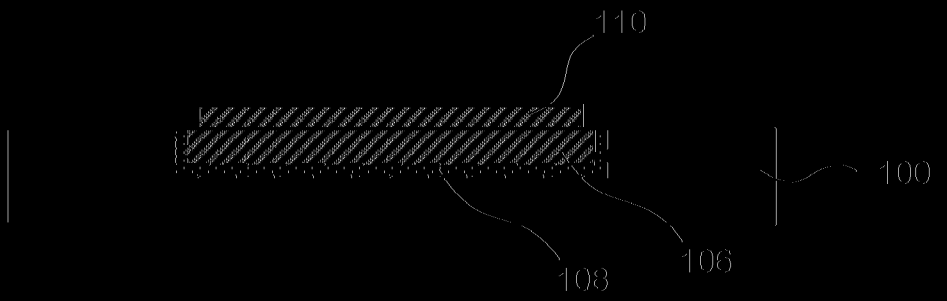

圖 2F

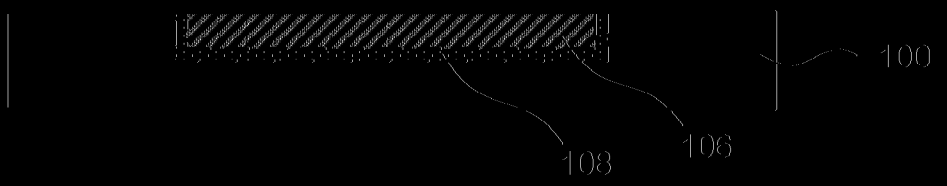

圖 2G

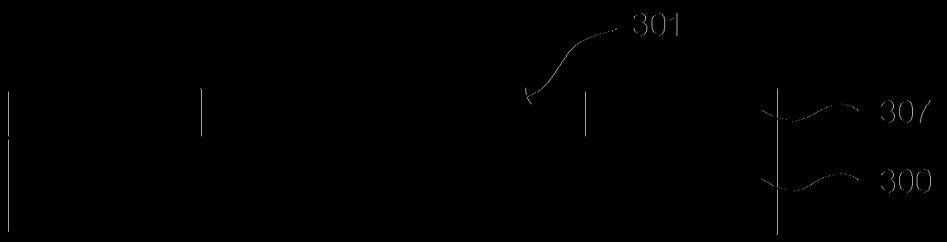

圖 3A

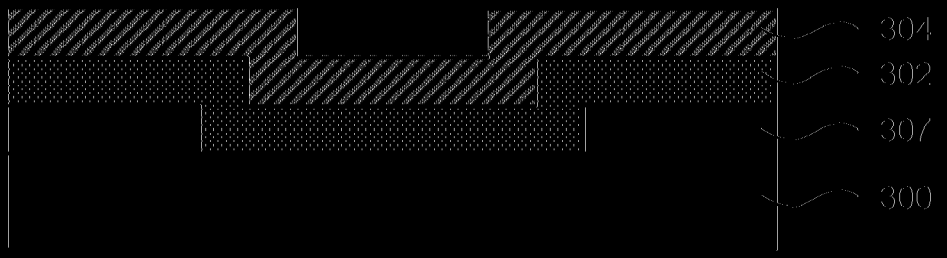

圖 3B

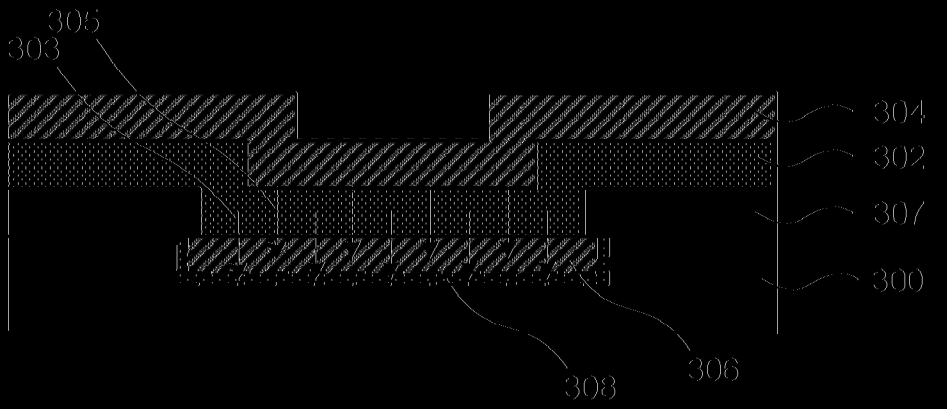

圖 3C

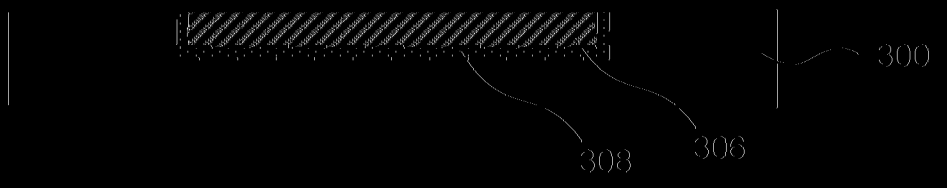

圖 3D

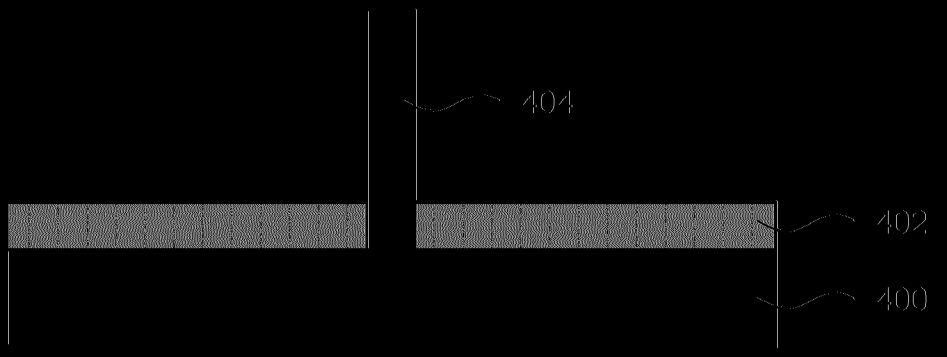

圖 4A

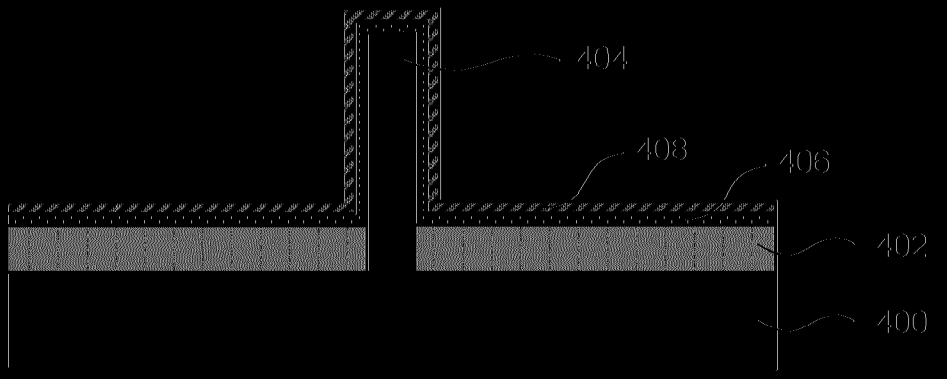

圖 4B

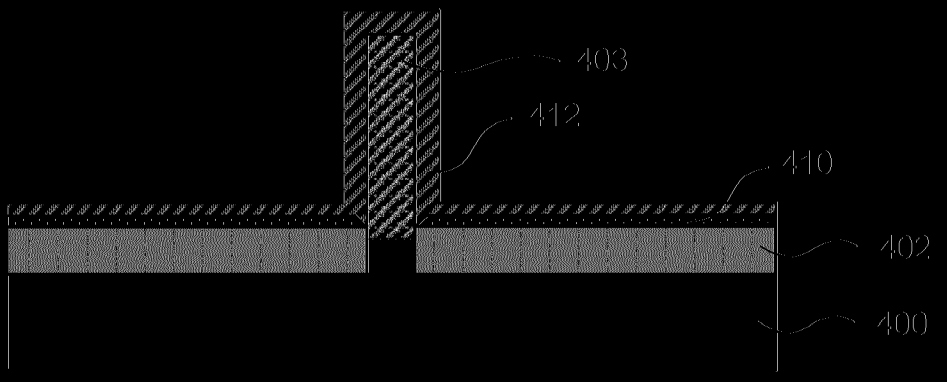

圖 4C

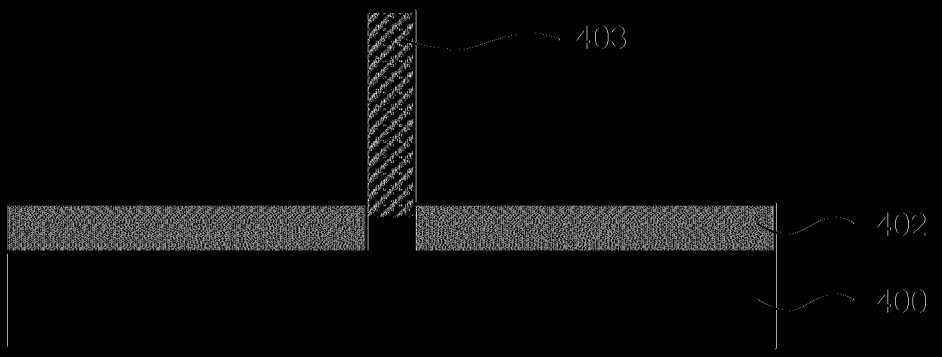

圖 4D



圖 5A

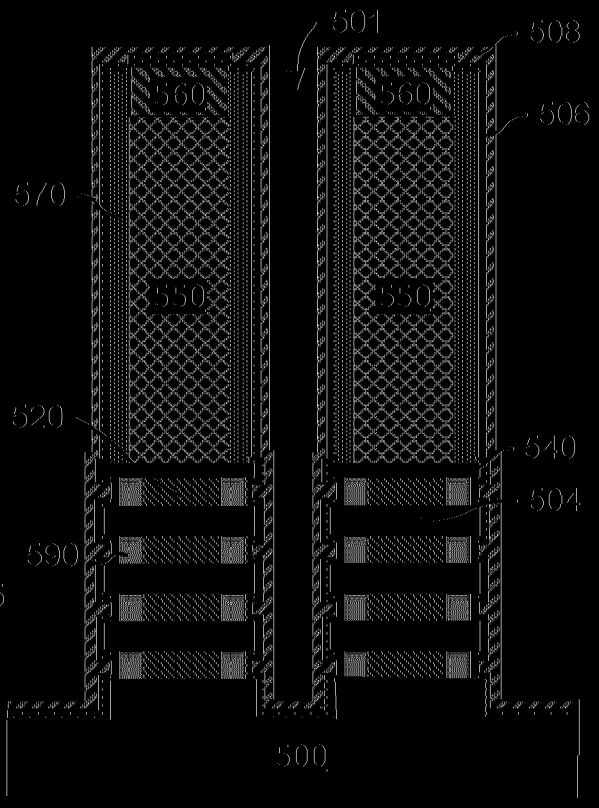

圖 5B

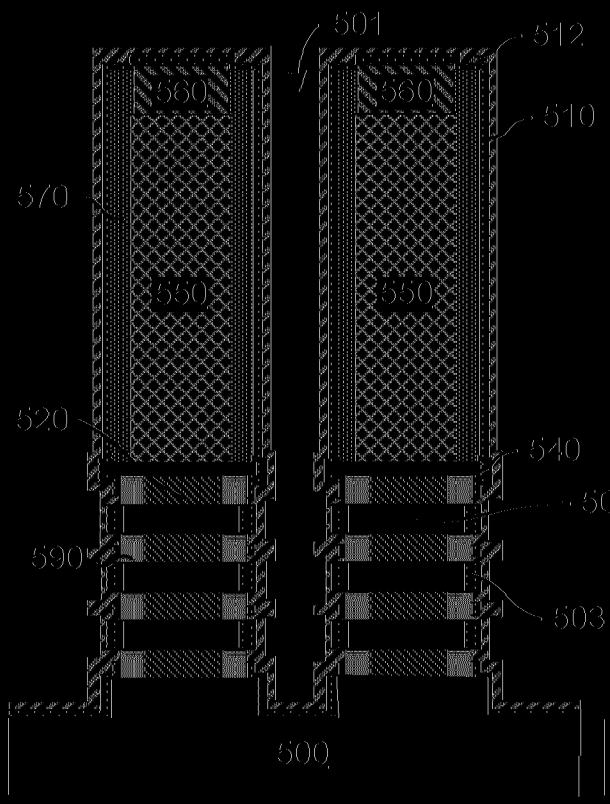

圖 5C

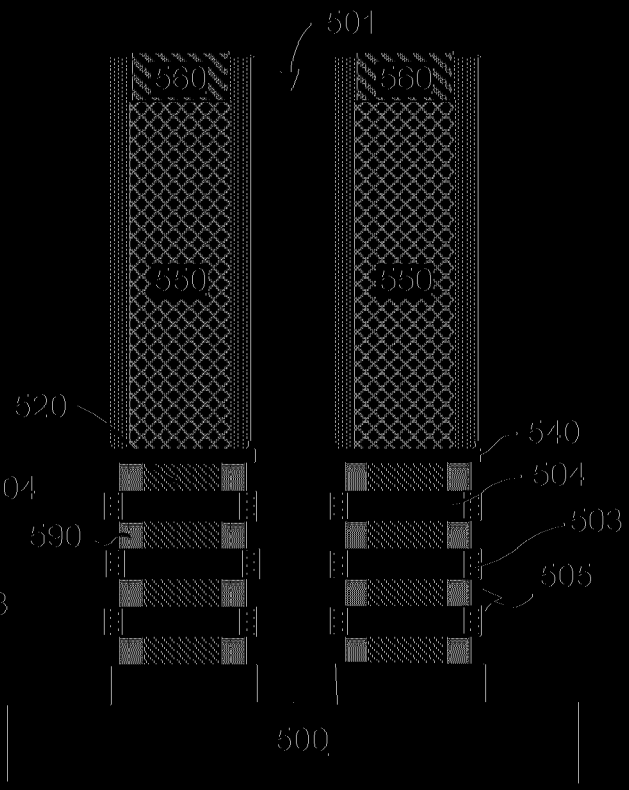

圖 5D

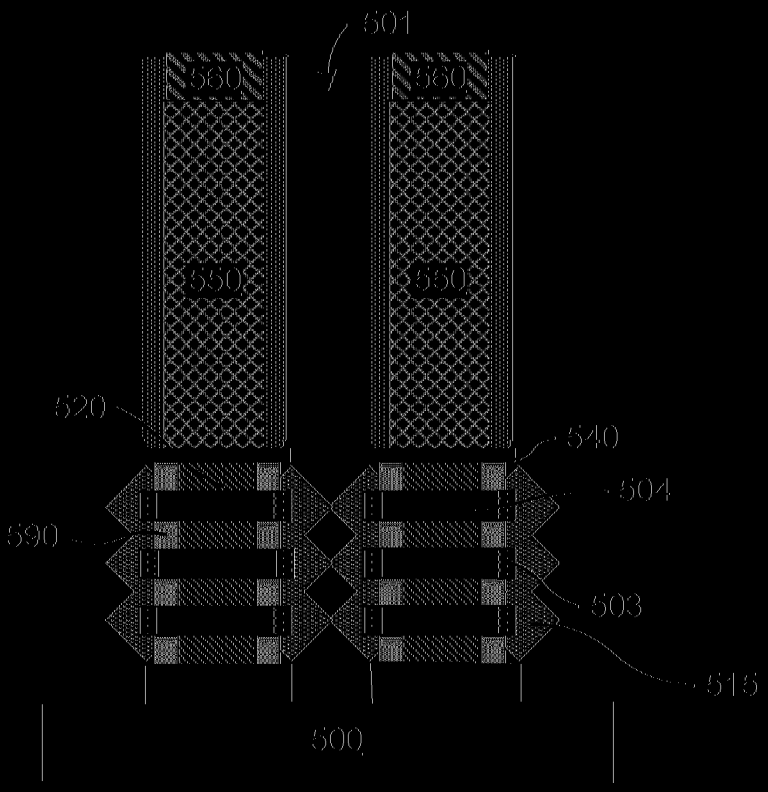

圖 5E

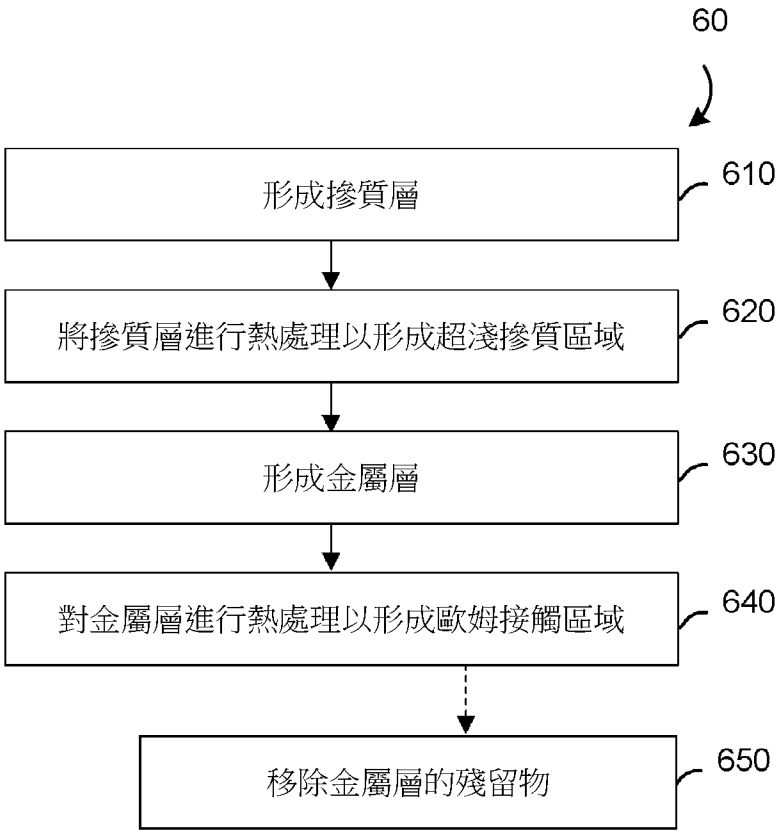
60
形成摻質層
610
將摻質層進行熱處理以形成超淺摻質區域
620
形成金屬層
630
對金屬層進行熱處理以形成歐姆接觸區域
640
移除金屬層的殘留物
650

圖 6A

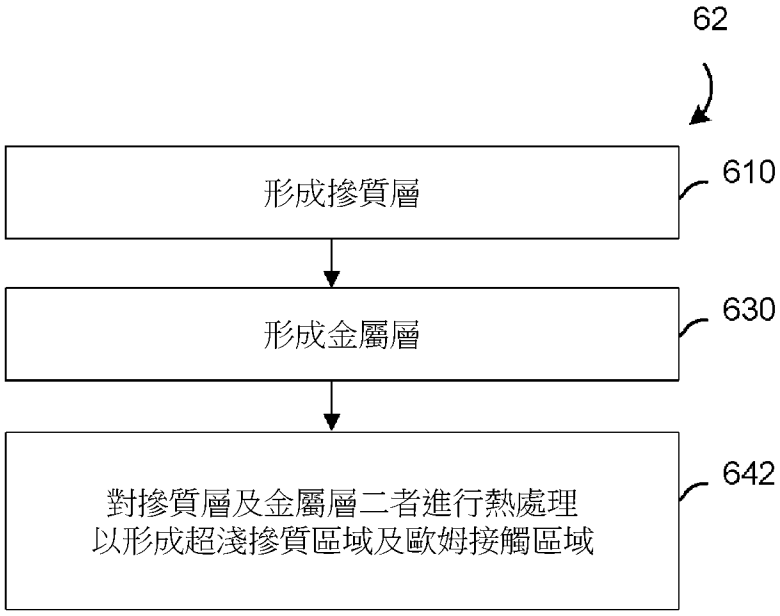
62
形成摻質層
610
形成金屬層
630
對摻質層及金屬層二者進行熱處理
以形成超淺摻質區域及歐姆接觸區域
642

圖 6B

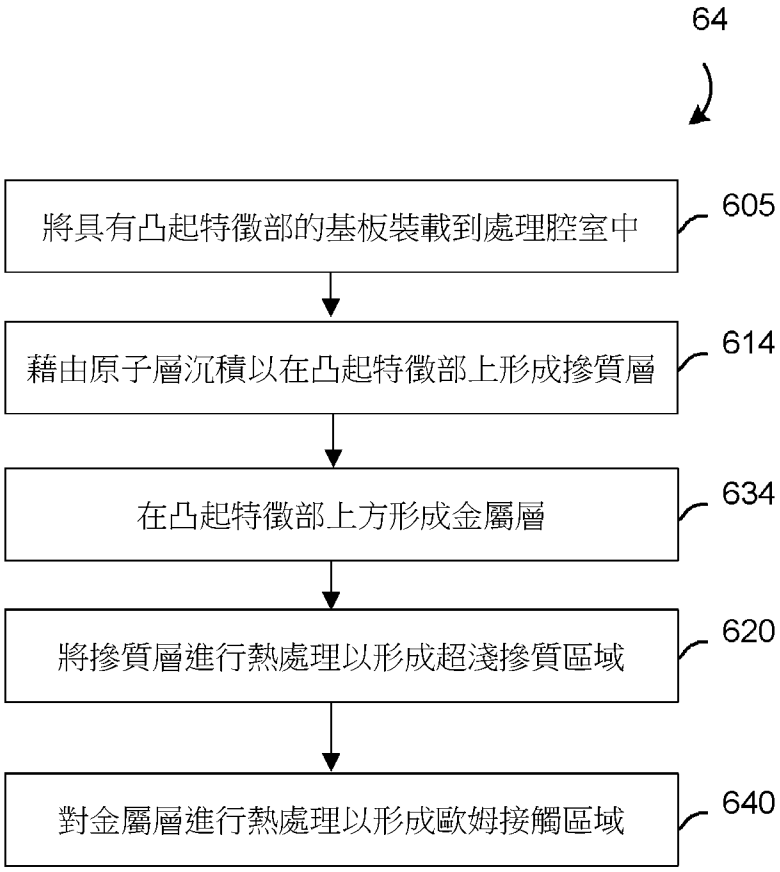
64
將具有凸起特徵部的基板裝載到處理腔室中
605
藉由原子層沉積以在凸起特徵部上形成摻質層
614
在凸起特徵部上方形成金屬層
634
將摻質層進行熱處理以形成超淺摻質區域
620
對金屬層進行熱處理以形成歐姆接觸區域
640

圖 6C