

# 公告本

申請日期	P1. 6. 13
案號	P1112926
類別	H01L 21/065

A4  
C4

544904

(以上各欄由本局填註)

## 發明專利說明書

一、發明名稱	中文	半導體元件及其製造方法(二)
	英文	SEMICONDUCTOR DEVICE AND METHOD OF PRODUCTION OF SAME
二、發明人	姓名	1. 真篠直寬 Naohiro Mashino 2. 東光敏 Mitsutoshi Higashi
	國籍	日本 Japan
	住、居所	1~2 日本國長野縣長野市大字栗田字舍利田711番地 711, Aza Shariden, Oaza Kurita, Nagano-shi, Nagano 380-0921, Japan
三、申請人	姓名 (名稱)	日商・新光電氣工業股份有限公司 SHINKO ELECTRIC INDUSTRIES CO., LTD.
	國籍	日本 Japan
	住、居所 (事務所)	日本國長野縣長野市大字栗田字舍利田711番地 711, Aza Shariden, Oaza Kurita, Nagano-shi, Nagano 380-0921, Japan
	代表人 姓名	茂木淳一 Junichi Mogi

裝

訂

線

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6  
B6

本案已向：

日本 國(地區) 申請專利, 申請日期: 案號: , 有 無主張優先權  
2001,6,14 特願2001-180893

有關微生物已寄存於: , 寄存日期: , 寄存號碼:

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

## 五、發明說明 ( 1 )

### 發明背景

#### 1.發明範疇

本發明有關於一種半導體元件及其製造方法；更特定言之係有關於一種半導體元件及其製造方法，其中在通過電極墊及半導體基材之一通孔的側壁於一電極墊與一半導體基材之間可確保足夠的絕緣。

#### 2.相關技藝描述

過去，安裝在一主板上的一半導體元件已由安裝在一稱為“中介板(interposer)”的接線板上之一半導體晶片構成，咸認需要此中介板以對準半導體晶片與主板之電極端子。

但是若使用一中介板，半導體元件的厚度會增加該厚度量，所以較佳盡量不使用此中介板，以符合近來降低電子設備尺寸的需求。

因此，近年來，已致力發展一種不需中介板的半導體元件，第9A圖顯示相關技藝之此半導體元件的剖視圖。

相關技藝的半導體元件101主要由一矽基材102構成並且不具有中介板。矽基材102的一表面102a上已形成有一電子元件形成層103，電子元件形成層103包括一電晶體或其他電子元件而與一通道孔電極墊110電性連接，一絕緣膜104可防止通道孔電極墊110或主電極墊105與矽基材102產生電性連接。

半導體構件形成層103及通道孔電極墊110上已堆疊有一SiO<sub>2</sub>膜106及一導線圖案107，SiO<sub>2</sub>膜106中開設有一通道

(請先閱讀背面之注意事項再填寫本頁)

表

訂

表

## 五、發明說明 ( 2 )

孔106a。導線圖案107及通道孔電極墊110經由此開口電性連接。

通道孔電極墊110一體式設有主電極墊105，並且，主電極墊105及其下的矽基材102中開設有一通孔111。

通孔111為此型半導體元件的特徵特性並導出導線圖案107外前往矽基材102的其他表面102b，導出其他表面102b的導線圖案107係設有作為外部連接端子之焊料凸塊108以對準主板(未圖示)端子的位置。

第9C圖為從第9A圖的箭頭A方向看到之半導體元件101的平面圖，為方便說明起見省略導線圖案107。

通道孔106a為一寬直徑的圓形並在其底部暴露出通道孔電極墊110。

在第11圖剖面所示的既有半導體元件(LSI等)109內建造一新結構，藉以製造半導體元件101。如同利用第11圖的說明，主電極墊105亦設置於既有的半導體元件109上，其係為原始供焊線、打線成球(stud bump)等結合的位置，可將訊號輸出及輸入並供應電力。

另一方面，通道孔電極墊110(第9C圖)係為一種新結構且不設置在既有的半導體元件109中。另外新提供通道孔電極墊110並在其上設置一寬直徑通道孔106a藉以增加與導線圖案107的接觸面積(第9A圖)，並防止因為應力而與導線圖案107剝離因而造成不良電性接觸。

利用此方式，相關技藝的半導體元件中，除了原來的本主墊105外，新提供一通道孔墊110作為與導線圖案107

(請先閱讀背面之注意事項再填寫本頁)

訂

## 五、發明說明 ( 3 )

產生電性連接之一部份並確保可靠的電性連接，一寬直徑的圓形通道孔106a係開設在通道孔電極墊110上方。

現在參照第9B圖，藉由矽基材102的一開口102c、絕緣膜104的一開口104a及主電極墊105的一開口105a來界定通孔11。因此，在通孔111的側壁，矽基材102及主電極墊105沿著側壁相距一高度D2而彼此絕緣。

但高度D2較小，故難以於通孔111側壁上在矽基材102與主電極墊105之間確保足夠的絕緣。

並且，半導體元件101的製造程序亦有一種問題，參照第10A及10B圖中相關技藝的半導體元件101之剖視圖描述此問題。

首先，製備處於第10A圖所示狀態的一矽基材，此狀態中，絕緣膜104、主電極墊105及電子元件形成層103係形成於矽基材102上。

然後，如第10B圖所示，從主電極墊105側發射一雷射束，受雷射束打擊的部份係蒸發因此形成通孔111。

但在此方法中，主電極墊105及矽基材102的材料受到雷射束所蒸發且蒸發的導電材料(矽、鋁、銅等)沉積在絕緣膜104的開口104a上，而具有使矽基材102與主電極墊105電性連接之危險。

### 發明概述

本發明之一目的係提供一種具有一通孔之半導體元件，此通孔係穿過一電極墊及一半導體基材，其中可在通孔的側壁於電極墊及半導體基材之間確保足夠的絕緣。

(請先閱讀背面之注意事項再填寫本頁)

訂

## 五、發明說明 ( 4 )

本發明之另一目的係提供一種半導體元件之製造方法，包括形成一通孔，此通孔穿過一電極墊及一半導體基材，其中降低了電極墊與矽基材電性連接之危險。

為達成此目的，根據本發明第一型態提供一種半導體元件，此半導體元件係包含一半導體基材；一電子元件，其形成於半導體基材的一表面上；一電極墊，其具有形成於該一表面上且與該元件呈電性連接之一延伸部；一通孔，其通過電極墊及半導體基材；一絕緣膜，其形成於半導體基材的至少其他表面、通孔的一內壁、及包括延伸部的電極墊上；一通道孔，其設置於電極墊的延伸部上之絕緣膜中；及一導線圖案，其經由通孔及通道孔電性導出電極墊外前往半導體基材的其他表面，該通孔在通過電極墊的一部份具有比通過半導體基材的一部份更大之直徑。

一項實施例中，導線圖案亦電性導出電極墊外前往半導體基材的一表面。可能將複數個這些半導體元件堆疊在一起，並經由外部連接端子將各底半導體元件與頂半導體元件之面對表面的導線圖案加以電性連接。

一項實施例中，藉由與導線圖案呈電性連接之一導體來充填通孔。可能堆疊複數個這些半導體元件，並經由外部連接端子將充填在各底半導體元件及頂半導體元件之對應通孔中的導體加以電性連接。

根據本發明之第二型態，提供一種半導體元件之製造方法，此方法包含以下步驟：在一半導體基材的一表面上形成一電子元件；形成與半導體基材的一表面上的元件呈

(請先閱讀背面之注意事項再填寫本頁)

表

訂

表

## 五、發明說明 ( 5 )

電性連接之一電極墊；藉由圖案化在電極墊中形成一第一開口；將具有比第一開口直徑更小直徑的一雷射束發射通過第一開口以在半導體基材包括電子元件中形成一第二開口，藉以由第一開口及第二開口界定一通孔；在半導體基材的至少其他表面、通孔的一內壁、及電極墊包括延伸部上形成一絕緣膜；藉由絕緣膜的圖案化來形成一通道孔以暴露出電極墊的延伸部的一部份；在絕緣膜上及通道孔中形成一導電膜；藉由導電膜的圖案化形成經過通孔及通道孔從電極墊導往半導體基材的其他表面之一導線圖案。

較佳，在形成第一開口之步驟及形成第二開口之步驟之間係包括一拋光半導體基材其他表面之步驟，以降低半導體基材厚度。

較佳藉由一雷射束開啟絕緣膜以進行形成通孔之步驟。

一項實施例中，藉由形成導線圖案的步驟，形成導線圖案使得電極墊亦電性導出到半導體基材的一表面，可提供製備複數個半導體元件以及經過外部連接端子電性連接半導體元件的導線圖案以多層堆疊半導體元件之步驟。

一項實施例中，此方法包括在形成導電膜之後藉由電性連接至導電膜的一導體來充填通孔之一步驟。可提供製備複數個此等半導體元件以及經過外部連接端子電性連接自複數個半導體元件的對應通孔暴露出之導體以複數層堆疊半導體元件之步驟。

### 圖式簡單說明

(請先閱讀背面之注意事項再填寫本頁)

訂

## 五、發明說明 ( 6 )

可由較佳實施例的下列描述並參照圖式而更清楚地得知本發明之上述及其他目的與特性，其中：

第1A、1B、1C圖為根據本發明一較佳實施例之一半導體元件的剖視圖，其中第1B圖為第1A圖一圓形1B的一部份之放大圖，且第1C圖為第1B圖一圓形1C的一部份之放大圖；

第2圖為第1A圖所示之根據本發明一實施例之一半導體元件從第1A的A側觀看之平面圖；

第3圖為根據本發明一實施例之複數個半導體元件堆疊成之一半導體模組的剖視圖，藉以獲得一立體性安裝結構；

第4A至4Q圖為製造根據本發明一實施例之一半導體元件的步驟之剖視圖，其中第4P圖顯示放大之第4O圖的圓形4P部份；

第5圖為製備根據本發明一實施例進行堆疊之複數個半導體元件的狀態之剖視圖；

第6圖為根據本發明一實施例在第4K圖的步驟與第4L圖的步驟之間進行形成一保護膜之一步驟的剖視圖；

第7圖為根據本發明一實施例以一導體充填一通孔情形的放大剖視圖；

第8圖為如第7圖所示以一導體充填通孔之複數個半導體元件堆疊成之一半導體模組之剖視圖，藉以形成一立體性安裝結構；

第9A及9C圖為相關技藝之一半導體元件的剖視圖及

(請先閱讀背面之注意事項再填寫本頁)

訂

## 五、發明說明 ( 7 )

平面圖，第9B圖為第9A圖的圓形9B部份之放大剖視圖；

第10A及10B圖為製造相關技藝之一半導體元件的剖視圖；及

第11圖為一習知既有的半導體元件之剖視圖。

### 較佳實施例描述

下文參照圖式詳細描述本發明的較佳實施例。

根據本發明之一半導體元件係設有一半導體基材及形成於半導體基材的一表面上之一電子元件。一個與此元件呈電性連接之電極墊係形成於半導體基材的該表面上，電極墊及半導體基材貫穿設有一通孔，一絕緣膜形成於該通孔的內壁，此絕緣膜進一步形成於半導體基材的其他表面上及電極墊上。

絕緣膜中，形成於電極墊延伸部上的部份係設有一通道孔，用於經由通道孔及通孔將電極墊電性導往半導體基材其他表面之一導線圖案係設置於半導體元件中。

特定言之，本發明中，較佳使通孔直徑在穿過電極墊的部份(下文稱為“第一開口”)中比穿過半導體元件的部份(下文稱為“第二開口”)更大。

根據此結構，相較於相關技藝中不論在任何位置均有固定通孔直徑之結構，可能延長第一開口的近開端與第二開口之間的距離，藉以在通孔側壁處充份確保電極墊與半導體基材之間的絕緣。

並且，導線圖案可電性導出電性連接外前往半導體基材的一表面。

(請先閱讀背面之注意事項再填寫本頁)

訂

## 五、發明說明 ( 8 )

此情形中，在一垂直方向中製備複數個此等半導體元件並經由外部連接端子電性連接各底半導體元件與頂半導體元件的面對表面之導線圖案，藉以獲得一立體性安裝結構。因為各半導體元件的平面性尺寸比過去更小，此立體性安裝結構比起過去可在橫向保持小的展幅。

依此方式堆疊元件時，可藉由與導線圖案呈電性連接之一導體來充填通孔。此情形中，位於從通孔露出位置之導體係進行導線圖案的功能，所以不再需要形成導線圖案，且可容易地堆疊頂與底半導體元件。

另一方面，根據本發明之一種製造半導體元件之方法係包含以下步驟：

- (a) 在一半導體基材的一表面上形成一電子元件；
- (b) 形成一具有一延伸部且在半導體基材的一表面上與元件呈電性連接之電極墊；
- (c) 藉由圖案化在電極墊中形成一第一開口；
- (d) 將具有比第一開口更小的直徑之一雷射束發射通過第一開口而在包括電子元件的半導體基材中形成一第二開口，藉以由第一開口及第二開口界定一通孔；
- (e) 在半導體基材的至少其他表面、通孔的一內壁、及包括延伸部的電極墊上形成一絕緣膜；
- (f) 藉由絕緣膜的圖案化形成一通道孔以暴露出電極墊的延伸部之一部份；
- (g) 在絕緣膜上及通道孔中形成一導電膜；及
- (h) 藉由導電膜的圖案化來形成經過通孔及通道孔將

(請先閱讀背面之注意事項再填寫本頁)

表

訂

線

## 五、發明說明 ( 9 )

電極墊電性導往半導體基材的其他表面之一導線圖案。

根據這些步驟中之步驟(c)及(d)，因為形成後將一具有比第一開口直徑更小的直徑之雷射束發射通過第一開口，可防止雷射束接觸第一開口及蒸發電極墊的材料，藉以減輕半導體基材及電極墊最後變成電性連接之危險。

此外，根據上述步驟，獲得一種使第一開口直徑大於第二開口直徑之結構。如上文所描述，此結構的優點為：可充分確保通孔側壁處電極墊與半導體基材之間的絕緣。

並且，步驟(c)及(d)之間可包括拋光半導體基材的其他表面之一步驟，藉以降低半導體基材的厚度。

為此，因為在形成第二開口之前降低半導體基材的厚度，可藉由以一段短時間發射一雷射束來形成第二開口，並降低因為雷射束發射對於半導體基材造成之熱損害。並且，因為雷射束的工作深度變淺，使雷射束的材料蒸發量降低，並使材料蒸發與沉積在通孔中的量降低。因此可乾淨地形成通孔。

並且，可由一雷射束開啟絕緣膜藉以進行步驟(f)(在絕緣膜中形成通道孔之步驟)。

第1A、1B、1C圖為根據本發明一較佳實施例之一半導體元件的剖視圖，第1B圖為第1A圖的圓形1B區域之放大圖，而第1C圖為第1B圖的圓形1C區域之放大圖。

如圖所示，半導體元件215設有一矽基材201(半導體基材)，此矽基材201的一表面201a設有一半導體構件形成層202並在其中建造有一電晶體或其他電子元件。並且，半導

(請先閱讀背面之注意事項再填寫本頁)

訂

## 五、發明說明 ( 10 )

體構件形成層 202 上設有一電極墊 211。雖然未圖示，電極墊 211 與半導體構件形成層 202 中的一構件呈電性連接，電極墊 211 及矽基材 201 之間具有構件形成層 202，編號 204 代表保護半導體構件形成層 202 之一鈍化層，此層譬如由  $\text{SiO}_2$  組成。

編號 212 代表穿過電極墊 211 及矽基材 201 之一通孔，一  $\text{SiO}_2$  膜 209 (絕緣膜) 形成於其內壁上， $\text{SiO}_2$  膜 209 亦形成於矽基材 201 的其他表面 201b 上、電極墊 211 上及電極墊 211 的延伸部 211X 上。

電極墊 211 的延伸部 211X 上之  $\text{SiO}_2$  膜 209 係設有一通道孔 209a，電極墊 211 及  $\text{SiO}_2$  膜上的一導線圖案 214 係經由此通道孔 209a 電性連接。

參照第 1B 圖，通孔 212 係由第一開口 208 及第二開口 201c 所界定，其中第一開口 208 係為穿過電極墊 211 之部份，而第二開口 201c 係為穿過矽基材 201 之部份。

本發明中，令第一開口 208 的直徑  $R1$  大於第二開口 201c 的直徑  $R2$ 。具體言之， $R1$  約為 50 至 70 微米，並令  $R2$  小於  $R2$  或約為 25 至 50 微米。重要的是使  $R1 > R2$ ，本發明不限於上述數值。

根據此結構，相較於具有相同直徑  $R1$  及  $R2$  的情形，可延長第一開口 208 及第二開口 201c 的近開端 208a 與 201d 之間的距離  $D1$  (第 1C 圖)，因此可確保通孔 212 側壁處電極墊 211 與矽基材 201 之間的充份絕緣。

圖示範例中，第二開口 201c 形成推拔狀，但如同後文

(請先閱讀背面之注意事項再填寫本頁)

訂

線

## 五、發明說明 ( 11 )

說明，這是因為由一雷射束形成第二開口201c所致，形狀不限於推拔狀，譬如，即使形成直線形狀的第二開口201c仍可獲得本發明的優點。

並且，圖示範例中，通孔212為中空狀，但如第7圖所示，亦可由與導線圖案214電性連接之一導體217來充填通孔212，此情形的導體217譬如可為銅。

另一方面，若注意第1A圖所示的導線圖案214，其形成於SiO<sub>2</sub>膜209上並經由通孔212延伸至矽基材201的其他表面201b，導線圖案214的功能係使電極墊211經由通道孔209a及通孔212電性連接至其他表面201b。

以此方式導出的導線圖案214的預定位置係設有作為外部連接端子的焊料凸塊210，但外部連接端子不限於焊料凸塊210，亦可採用打線成球或其他已知的外部連接端子。

藉由焊料凸塊210抵靠住主板端子墊(未圖示)的狀態造成焊料凸塊210回流，將半導體元件215電性與機械性連接在主板上。

半導體元件215可以此方式單獨使用或可如上述方式堆疊使用。

第2圖為半導體元件215從第1A圖的A側觀看之平面圖。

形成於表面201a上的導線圖案214係設有一端子部份214a，此端子部份214a設置為電性導出電極墊211前往矽基材201的表面201a。當垂直堆疊複數個半導體元件215時，其係為可使頂半導體元件215提供的一焊料凸塊210結合之

(請先閱讀背面之注意事項再填寫本頁)

表

訂

線

## 五、發明說明 ( 12 )

部份。但在不需要堆疊時，並不需提供端子部份214a。

以此方式堆疊的半導體元件215之剖視圖顯示於第3圖，如第3圖所示，各頂與底半導體元件215的面對表面之導線圖案214係經由焊料凸塊210電性連接，此結構為一種由複數個半導體元件堆疊成之立體性安裝結構。各半導體元件215的平面性尺寸係比習知技藝更小，所以此立體性結構中，可能相較於習知技藝保持小的橫向展幅。這有助於近年來半導體封裝的較高密度及較小尺寸。

請注意當如第7圖所示以一導體217充填通孔212時，可使用從通孔212的開口212a暴露出部份之導體217a而非端子部份214a，所以並不需要位於設有焊料凸塊210的部份上之導線圖案214以及端子部份214a，且可容易地堆疊半導體元件215。第8圖顯示依此方式堆疊半導體元件215情形之剖視圖。

接下來參照第4A至4Q圖說明上述半導體元件215的製造方法，第4A至4Q圖為不同製造步驟之半導體元件的剖視圖。

首先，如第4A圖所示，製備一矽基材201(半導體基材)，此矽基材201為一用於產生大量半導體元件之基材(晶圓)。

然後，如第4B圖所示，一電晶體或其他電子元件形成於矽基材201的一表面201a上。圖中，編號202顯示設有半導體構件的一半導體構件形成層。

然後，如第4C圖所示，一含鋁(第一金屬)的膜(未圖示)

(請先閱讀背面之注意事項再填寫本頁)

家

訂

錄

## 五、發明說明 ( 13 )

係形成於半導體構件形成層202上，且此膜係圖案化形成底電極墊203，底電極墊203的厚度約為1微米，請注意若不用鋁，亦可以銅形成底電極墊203。

因為底電極墊203及矽基材201之間設有半導體構件形成層202，底電極墊203位於矽基材201上而不接觸矽基材201。並且，雖未特別顯示，底電極墊203形成為與半導體構件形成層202中的一導線層呈電性連接。

然後，如第4D圖所示，底電極墊203及半導體構件形成層202上已形成有由SiO<sub>2</sub>等構成之一鈍化層204。然後，此鈍化層204係圖案化形成可暴露出底電極墊203之一開口204a。

請注意可從半導體製造商獲得處於第4D圖所示狀態之產品，如第4D圖所示，設有底半導體電極墊203或半導體構件形成層202及鈍化層204等之半導體基材201係為通常由半導體製造商生產之一般基材，底電極墊203原來僅作為一種用於打線接合或接合外部連接端子(凸塊等)之電極墊(相關技藝的範例中為主電極墊110)。

然後，如第4E圖所示，一含Cr(鉻)的電源供給層205a係形成於鈍化層204及底電極墊203的暴露表面上，譬如由噴濺形成電源供給層205a。

然後，如第4F圖所示，一第一光阻206塗覆在電源供給層205a上。適後，第一光阻206暴光及顯影以形成與鈍化層204的開口204a重疊之第一光阻開口206a。

然後，如第4G圖所示，以第一光阻開口206a中暴露出

(請先閱讀背面之注意事項再填寫本頁)

訂

錄

## 五、發明說明 ( 14 )

的電源供給層205a浸入一電鍍溶液(未圖示)的狀態將電流供應至電源供給層205a，以形成鍍銅層205b。

然後，如第4H圖所示，移除第一光阻206，然後選擇性蝕刻以移除已於第一光阻206下形成之電源供給層205a。以至今描述的步驟完成由電源供給層205a及鍍銅層205b構成之頂電極墊205，頂電極墊205的厚度約為1至25微米。

並且，本實施例中，底電極墊203及頂電極墊205形成電極墊211，頂電極墊205的一部份在第4H圖中往左延伸以形成電極墊211的一延伸部211X。

然後，如第4I圖所示，一第一光阻207形成於鈍化層204及電極墊211的暴露表面上，並且，光阻207暴光及顯影以形成使電極墊211暴露出之一第二開口207a。

然後，如第4J圖所示，使用光阻207作為一蝕刻遮罩以將電極墊211圖案化並在電極墊211中形成一第一開口208，此情形的蝕刻譬如為化學蝕刻或電漿蝕刻，請注意第一開口的直徑R1約為50至70微米，但應根據電極墊211直徑適當地設定。

然後，如第4K圖所示，矽基材201的其他表面201b拋光以將矽基材201降低到約50至150微米。藉由此步驟獲得較晚完成的半導體元件可變薄之優點，但當半導體元件不必為薄型時則可省略此步驟。

然後，如第4L圖所示，一具有比第一開口208直徑R1更小直徑的雷射束係發射通過第一開口208。雷射的一範例

(請先閱讀背面之注意事項再填寫本頁)

訂

錄

## 五、發明說明 ( 15 )

中，具有一UV雷射、YAG雷射、或受激準分子雷射。雷射束打擊的部份將蒸發，因此一第二開口201c形成於矽基材中，此第二開口201c的直徑R2約為25至50微米。並且，通孔212係由第一開口208及第二開口201c所界定。

藉由在形成第一開口208之後發射一具有比直徑R1更小直徑的雷射束，可防止雷射束接觸第一開口208及蒸發電極墊211的材料(鋁或銅)，藉以降低蒸發材料沉積在通孔212的側壁上及電性連接矽基材201與電極墊211之危險。

此外，獲得一種使第一開口208直徑R1大於第二開口201c直徑R2之結構。如上述，此結構具有充份確保通孔212側壁處電極墊211與矽基材201之間的絕緣之優點。

並且，因為形成第二開口201c前在第4K圖步驟將矽基材201降低厚度，可在一段短時間發射雷射束藉以形成第二開口201c，故可降低因為雷射束造成矽基材201的熱損害。

並且，因為雷射束的工作深度變淺，使得雷射束蒸發的矽量降低且蒸發與沉積在通孔212中的矽量亦降低，因此可乾淨地形成通孔212。

請注意當通孔212中的矽沉積或熱損害並不重要時，可省略第4K圖的步驟(降低矽基材201厚度之步驟)。

並且，雖然圖示的第二開口201c為推拔狀，這是因為使用藉由一聚焦鏡片(未圖示)聚焦至一點的一雷射束而非平行光的雷射束所致。第二開口201c不必為推拔狀，譬如，即使第二開口201c形成直線狀仍可獲得本發明的優點。

並且，如第4L圖所示，可從矽基材201的其他表面201b

(請先閱讀背面之注意事項再填寫本頁)

訂

訂

訂

## 五、發明說明 ( 16 )

發射雷射束而非經由第一開口208發射雷射束藉以形成第二開口201c，即使進行此作用時，仍可防止雷射所蒸發的矽沉積在電極墊211上。

尚且，可在第4K圖與第4L圖的步驟之間進行第6圖所示的步驟，此步驟中，在鈍化層204上、電極墊211包括延伸部211X上、第一開口208的側壁上、及自第一開口208暴露出之半導體構件形成層202上藉由化學氣相沉積(CVD)形成一SiO<sub>2</sub>膜或其他保護膜216。在第4L圖的雷射處理時間中，若因雷射束而發生雜屑或毛邊則予以清除(電漿清理或化學清洗)。若如上述形成保護膜216，可在清理期間防止損傷電極墊211或鈍化層204。

形成通孔212之後，進行第4M圖所示的步驟，此步驟中，一SiO<sub>2</sub>膜209(絕緣膜)形成於半導體基材201的至少其他表面201b上、通孔212的內壁上、及電極墊211包括延伸部211X上。譬如由化學氣相沉積(CVD)形成SiO<sub>2</sub>膜209。

請注意為了如圖示將SiO<sub>2</sub>膜209形成於半導體基材201的兩主表面上，譬如，首先，可將一SiO<sub>2</sub>膜209只形成於半導體基材201的表面201a及通孔212的側壁上，然後SiO<sub>2</sub>膜209形成於其他表面201b上。

然後，如第4N圖所示，SiO<sub>2</sub>膜209係圖案化形成通道孔209a藉以暴露出電極墊211的延伸部211X之一部份。

至於形成通道孔209a之方法，譬如，可形成一阻劑(未圖示)，此阻劑具有與SiO<sub>2</sub>膜209上形狀對應之一開口，並經由該開口選擇性蝕刻SiO<sub>2</sub>膜，此時使用的蝕刻技術譬如

(請先閱讀背面之注意事項再填寫本頁)

訂

訂

訂

## 五、發明說明 ( 17 )

為化學蝕刻或電漿蝕刻。

另一方法中，可能在應設有通道孔209a之位置於SiO<sub>2</sub>膜209上發射一雷射束，以使該部份蒸發藉以形成通道孔209。譬如，可能相對於雷射束放置一光遮罩(未圖示)，此光遮罩具有與通道孔209a對應的一形狀窗口，並藉由通過此窗口的雷射束來開啟通道孔209a。

形成通道孔209a之後，進行第40圖所示的步驟，此步驟中，導電膜213形成於SiO<sub>2</sub>膜209上及通道孔209a中，導電膜213的厚度約為1至20微米。

如第4P圖所示，導電膜213包含：噴濺形成的一Cr(鉻)膜213a、亦由噴濺形成其上的一銅膜213b、及利用Cr(鉻)膜213a及銅膜213b作為電源供給層形成的一鍍銅膜213c，但是導電膜213的結構不限於此。譬如，亦可以噴濺形成一鋁膜，並使用鋁膜作為一導電膜213。或者，可以噴濺形成一Cr(鉻)膜，然後利用無電極電鍍或電鍍在Cr(鉻)膜上形成一Cu(銅)、Ni(鎳)、Au(金)或其他膜作為導電膜213。

請注意在圖示範例中，通孔212為中空狀，但本發明不限於此，譬如，亦可能如第7圖放大所示厚厚地施加鍍銅膜213c藉以將一銅構成的導體217充填於通孔212內。

充填方法並不限於上述方法，譬如，導電膜213亦可形成約1至20微米的厚度，然後形成一鍍阻層，此鍍阻層設有只暴露出通孔212側壁之一開口，並將側壁電解性鍍銅以由銅充填通孔212。此方法中，導電膜213並未變厚，故可在一後續步驟中將導電層213細微地圖案化，請注意不論何

(請先閱讀背面之注意事項再填寫本頁)

表

訂

錄

## 五、發明說明 ( 18 )

種方法，導體217均應與導電膜213電性連接。

然後描述不充填一導體217的情形，但即使在充填導體217時仍可採用相同的步驟。

在形成導電層213之後，如第4Q圖所示，導電膜213圖案化以形成導線圖案214，導線圖案214形成於矽基材201的兩主要表面201a及201b上，兩主要表面201a及201b的導線圖案214經由通孔212電性連接。

然後，如第1A圖所示，矽基材201的其他表面201b上之導線圖案214的預定位置係設有作為外部連接端子之焊料凸塊210，然後將基材切割，藉以完成如第1A圖所示的半導體元件。

完成的半導體元件215可單獨安裝在一主板(未圖示)上或可加以堆疊。

在堆疊時，如第2圖所示，端子部份214a設置於導線圖案214上，如第5圖所示，製備複數個完成的半導體元件215。

然後，如第3圖所示，以焊料凸塊210抵靠住底半導體元件215的端子部份214a之狀態令焊料凸塊210回流。回流之後，焊料凸塊215的溫度降低，藉以完成由大量堆疊的半導體元件215構成之一立體性安裝結構的一半導體模組。

並且，當以導體217充填通孔212時，如第8圖所示，自通孔212的開口212a暴露出之部份的導體217a係提供上述端子部份214a的功能，所以不需要可提供焊料凸塊210位置之導線圖案214及端子部份214a。

綜合本發明的效果，如上述，通孔的直徑在通過電極

(請先閱讀背面之注意事項再填寫本頁)

家

訂

線

## 五、發明說明（19）

墊的部份係比通過半導體元件的部份更大，所以可在通孔側壁處充分確保電極墊與半導體基材之間的絕緣。

雖然已經參照圖示選用的特定實施例來描述本發明，熟悉此技藝者瞭解顯然應可作多種修改，而不脫離本發明之基本概念及範圍。

本揭示係有關於日本專利應用2001-180893號的主體，其揭示以引用方式整體明確併入本文中。

（請先閱讀背面之注意事項再填寫本頁）

訂

## 五、發明說明 ( 20 )

## 元件標號對照

101...半導體元件	205b...鍍銅層
102...矽基材	206...第一光阻
102a...表面	206a...第一光阻開口
102b...表面	207...第一光阻
102c...開口	207a...第二開口
103...電子元件形成層	208...第一開口
104...絕緣膜	208a...近開端
104a...開口	209...SiO <sub>2</sub> 膜
105...主電極墊	209a...通道孔
105a...開口	210...焊料凸塊
106...SiO <sub>2</sub> 膜	211...電極墊
106a...通道孔	211X...延伸部
107...導線圖案	212...通孔
108...焊料凸塊	212a...開口
109...半導體元件	213...導電膜
110...電極墊	213a...Cr(鉻)膜
111...通孔	213b...銅膜
201矽基材	213c...鍍銅膜
201a...主要表面	214...導線圖案
201b...其他表面	214a...端子部份
201c...第二開口	215...半導體元件
202...半導體構件形成層	216...保護膜
203...底電極墊	217...導體
204...鈍化層	217a...導體
205a...電源供給層	

(請先閱讀背面之注意事項再填寫本頁)

訂

訂

訂

四、中文發明摘要(發明之名稱:

## 半導體元件及其製造方法(二)

一種半導體元件係能夠可靠地連接一主電極及一導線圖案而在既有的主電極墊之外不需分開提供一通道使用電極墊，並且設有一矽基材(半導體基材)；一電子元件形成層，其形成於矽基材的一表面上；一電極墊，其具有一延伸部且電性連接至電子元件形成層；一通孔，其通過電極墊及矽基材；一SiO<sub>2</sub>膜(絕緣膜)；一通道孔，其設置於電極墊的延伸部上之SiO<sub>2</sub>膜中；及一導線圖案，其經由通孔及通道孔電性導出電極墊外前往矽基材的其他表面，該通孔在通過電極墊的一部份係具有比通過半導體基材的一部份更大之直徑。

英文發明摘要(發明之名稱: SEMICONDUCTOR DEVICE AND METHOD OF PRODUCTION OF SAME)

A semiconductor device, enabling reliable electrical connection of a main electrode pad with an interconnection pattern without separate provision of a use electrode pad in addition to the existing main electrode pad, provided with a silicon substrate (semiconductor substrate), an electronic element formation layer formed on one surface of that silicon substrate, an electrode pad having an extension and electrically connected to the electronic element formation layer, a through hole passing through the electrode pad and the silicon substrate, an SiO<sub>2</sub> film (insulating film), a via hole provided in the SiO<sub>2</sub> film on the extension of the electrode pad, and an interconnection pattern electrically leading out the electrode pad to the other surface of the silicon substrate through the through hole and via hole, said through hole having a diameter larger at a portion passing through the electrode pad than a portion passing through the semiconductor substrate.

## 六、申請專利範圍

1. 一種半導體元件，其包含：
  - 一半導體基材；
  - 一電子元件，其形成於該半導體基材的一表面上；
  - 一電極墊，其具有形成於該一表面上並與該電子元件電性連接之一延伸部；
  - 一通孔，其通過該電極墊及該半導體基材；
  - 一絕緣膜，其形成於該半導體基材的至少其他表面、該通孔的一內壁、及該電極墊包括該延伸部上；
  - 一通道孔，其設置於該電極墊的延伸部上之絕緣膜中；
  - 一導線圖案，其經由該通孔及該通道孔而電性導出該電極墊外前往該半導體基材的其他表面；及
  - 該通孔具有在通過該電極墊的一部份比通過該半導體基材的一部份更大之一直徑。
2. 如申請專利範圍第1項之半導體元件，其中該導線圖案亦電性導出該電極墊外前往該半導體基材的其他表面。
3. 一種半導體模組，其包含根據申請專利範圍第2項之複數個半導體元件，該等複數個半導體元件係堆疊在一起並具有經由外部連接端子電性連接之各底半導體元件及頂半導體元件的面對表面之導線圖案。
4. 如申請專利範圍第1項之半導體元件，其中藉由與該導線圖案電性連接之一導體來充填該通孔。
5. 一種半導體模組，其由根據申請專利範圍第4項之複

(請先閱讀背面之注意事項再填寫本頁)

訂

## 六、申請專利範圍

數個半導體元件構成，該等複數個半導體元件係堆疊在一起並具有充填在經由外部連接端子電性連接之各底半導體元件及頂半導體元件的對應通孔中之導體。

6. 一種半導體元件之製造方法，其包含以下步驟：

在一半導體基材的一表面上形成一電子元件；

形成一電極墊，其具有一延伸部且與該半導體基材的一表面上之電子元件呈電性連接；

在該電極墊中藉由圖案化形成一第一開口；

藉由將具有比該第一開口直徑更小的直徑之一雷射束發射通過該第一開口，在包括該電子元件的半導體基材中形成一第二開口，藉以由該第一開口及該第二開口界定一通孔；

在該半導體基材的至少其他表面、該通孔的一內壁、及該電極墊包括該延伸部上形成一絕緣膜；

將該絕緣膜圖案化藉以形成一通道孔而暴露出該電極墊的延伸部之一部份；

在該絕緣膜上及該通道孔中形成一導電膜；及

該導電膜圖案化藉以形成經過該通孔及該通道孔將該電極墊電性導往該半導體基材的其他表面之一導線圖案。

7. 如申請專利範圍第6項之半導體元件之製造方法，其中該形成第一開口之步驟及該形成第二開口之步驟之間係包括拋光該半導體基材的其他表面以降低該

(請先閱讀背面之注意事項再填寫本頁)

訂

## 六、申請專利範圍

半導體基材的厚度之一步驟。

8. 如申請專利範圍第6項之半導體元件之製造方法，其中藉由一雷射束開啟該絕緣膜來進行該形成通道孔之步驟。

9. 如申請專利範圍第6項之半導體元件之製造方法，其中藉由該形成導線圖案之步驟形成該導線圖案，使該電極墊亦電性導往該半導體基材之一表面。

10. 一種半導體模組之製造方法，其包含以下步驟：

藉由根據申請專利範圍第9項之方法製備複數個半導體元件及

經由外部連接端子電性連接該半導體元件的導線圖案而以複數個層堆疊該等半導體元件。

11. 如申請專利範圍第6項之半導體元件之製造方法，其包括以下步驟：在該形成該導電膜之步驟後，藉由電性連接至該導電膜之一導體來充填該通孔。

12. 一種半導體模組之製造方法，其包含以下步驟：製備藉由根據申請專利範圍第11項之方法產生的複數個半導體元件及

經由外部連接端子將從該等複數個半導體元件的對應通孔的開口暴露出之導體加以電性連接而以複數個層堆疊該等半導體元件。

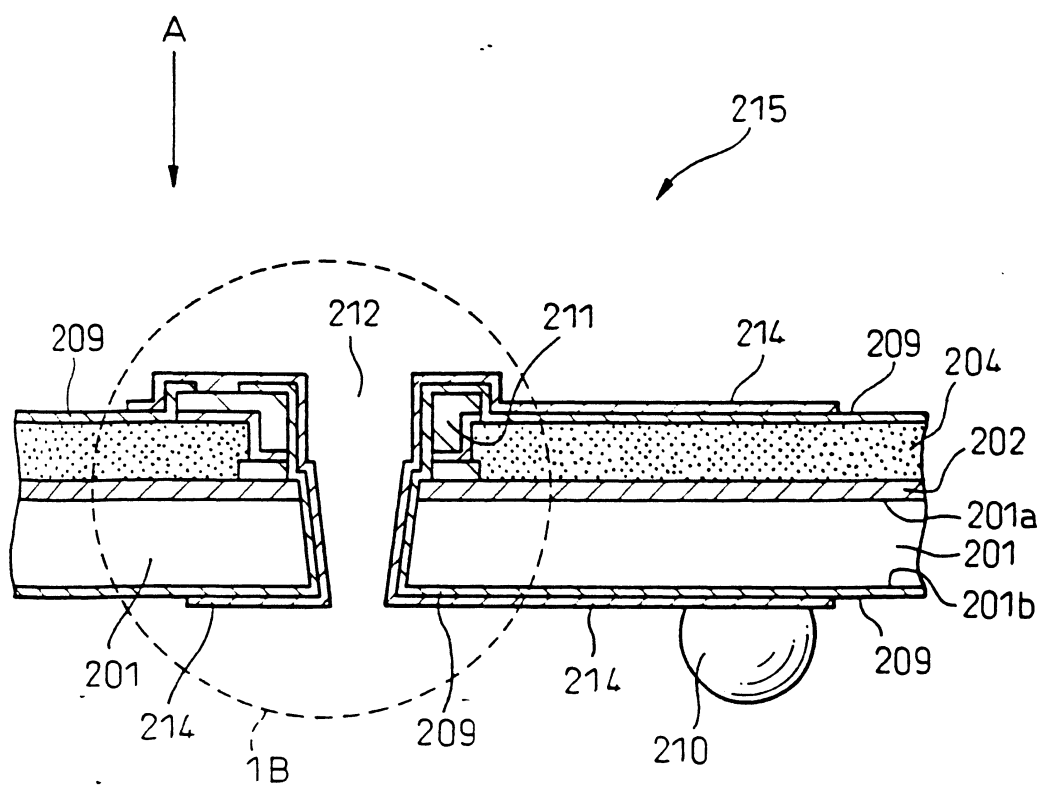
(請先閱讀背面之注意事項再填寫本頁)

訂

P1112916

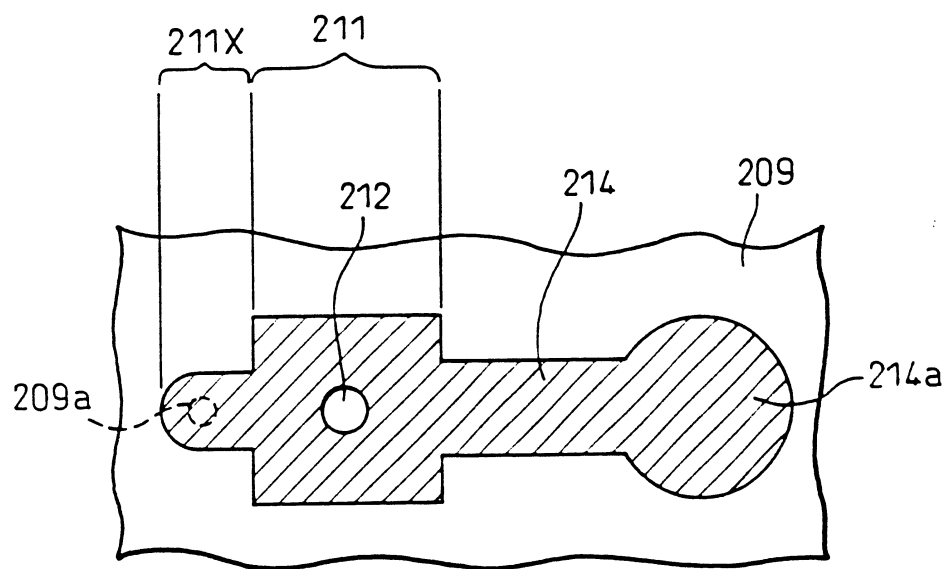
1/15

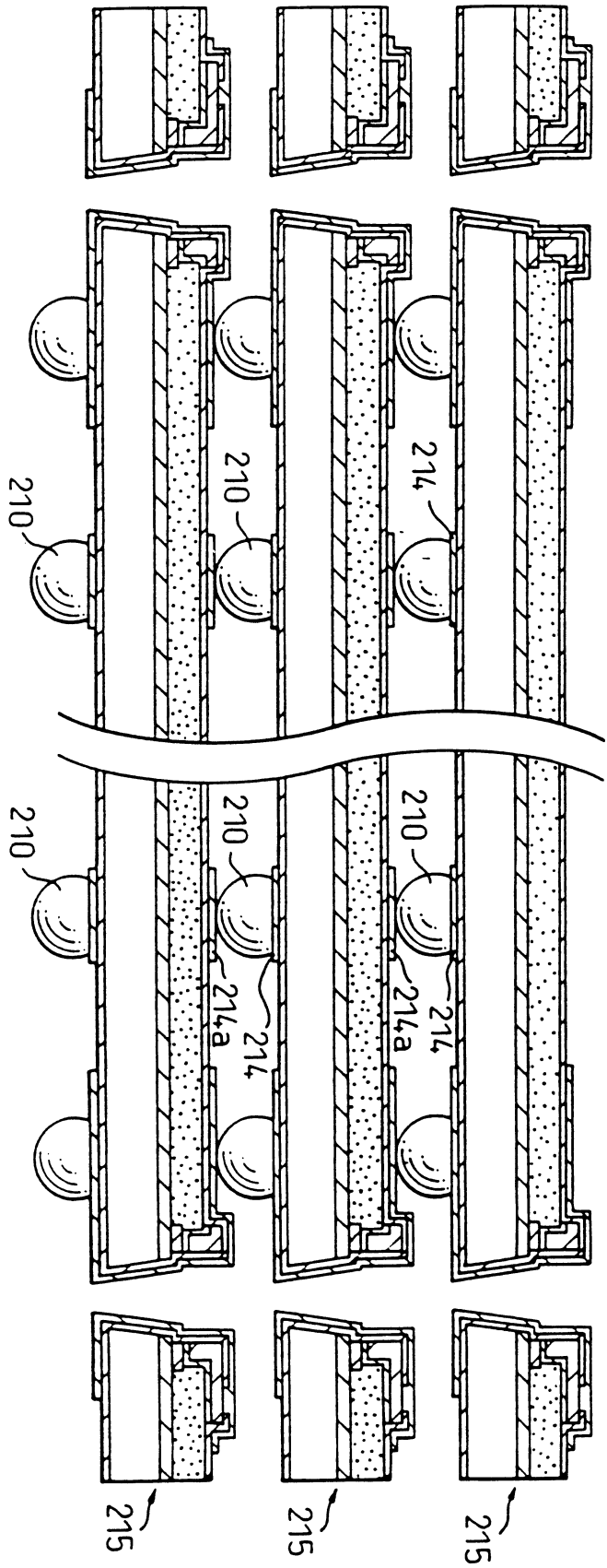
第 1A 圖





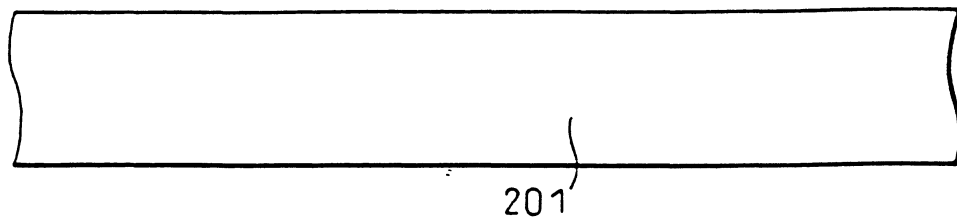
第 2 圖



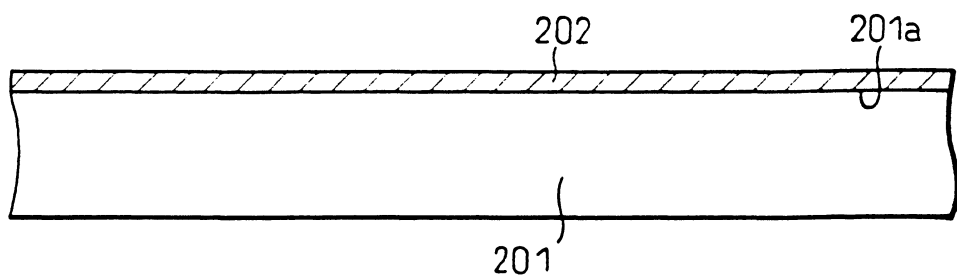


第 3 圖

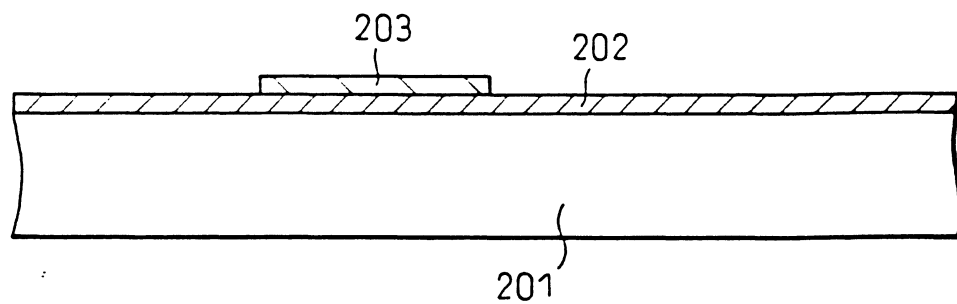
第4A圖



第4B圖

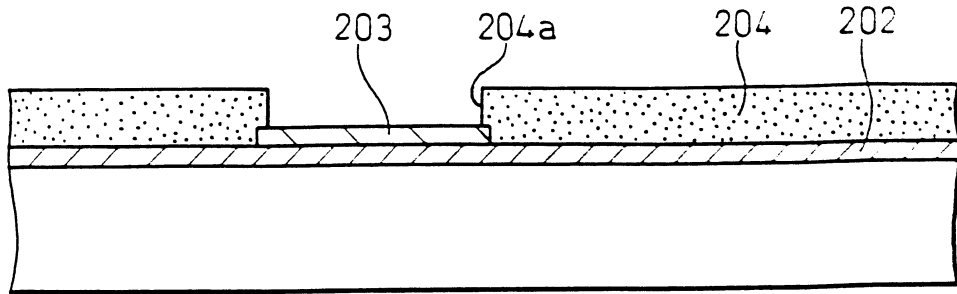


第4C圖

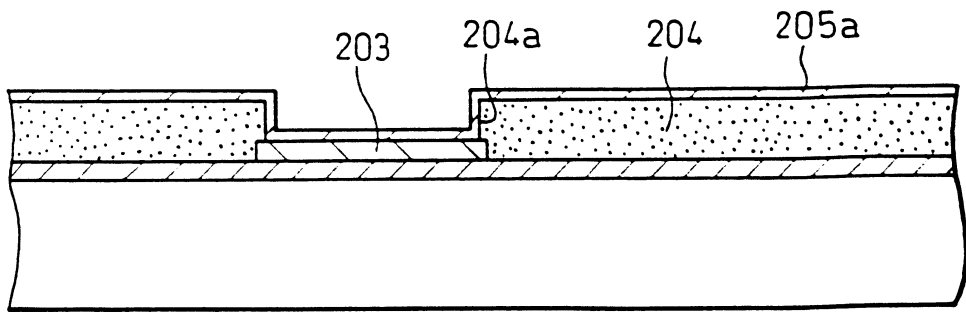


6/15

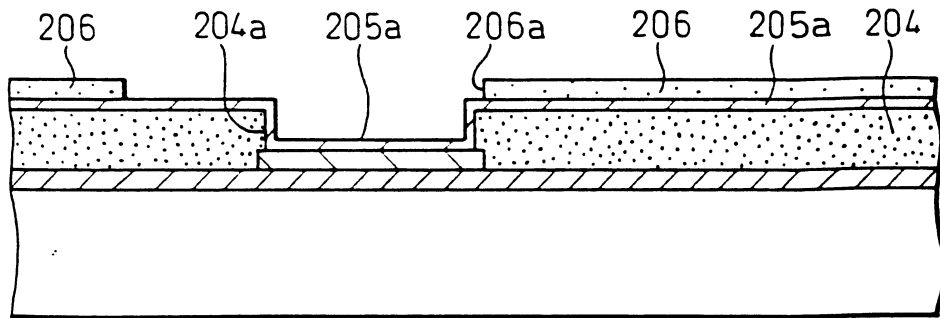
第4D圖



第4E圖

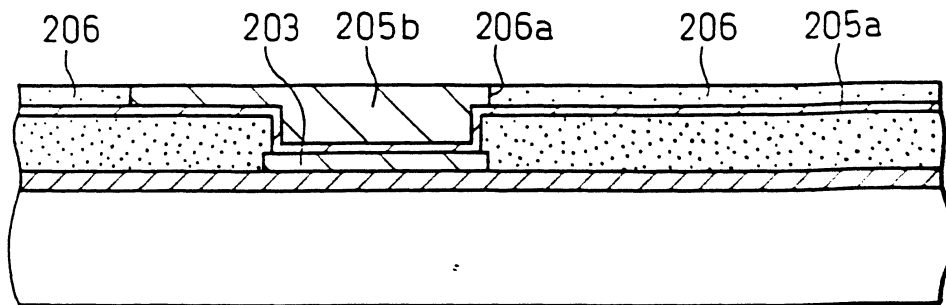


第4F圖

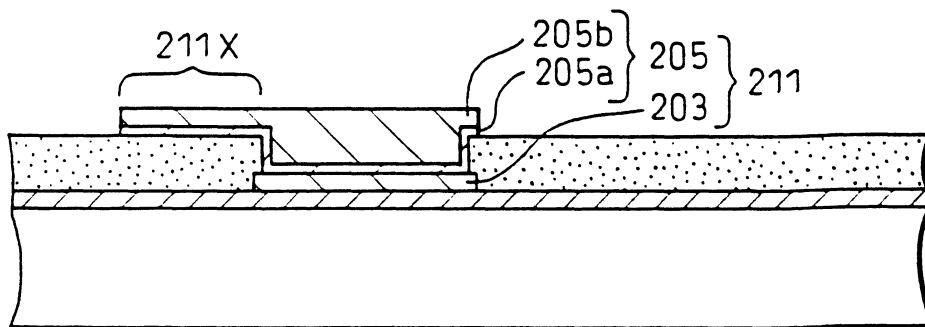


7/15

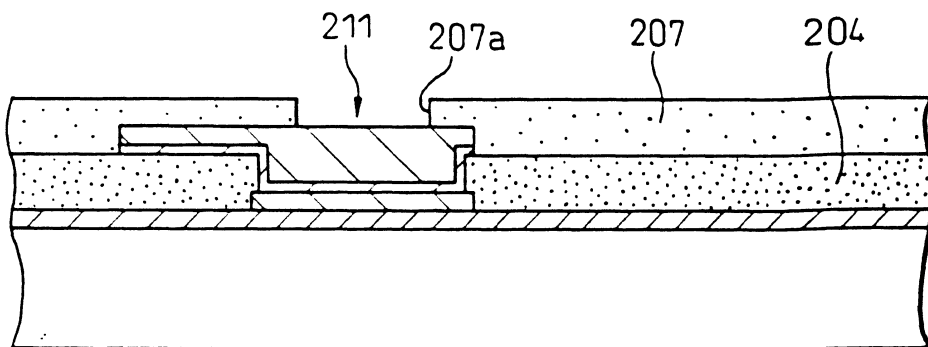
第4G圖



第4H圖

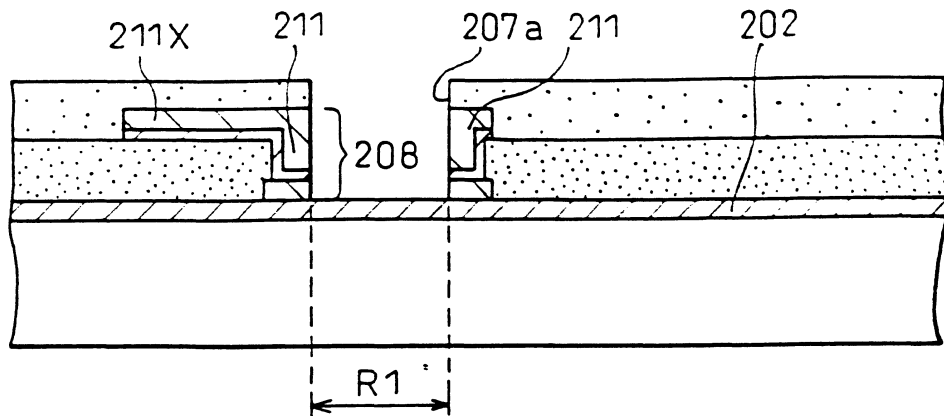


第4I圖

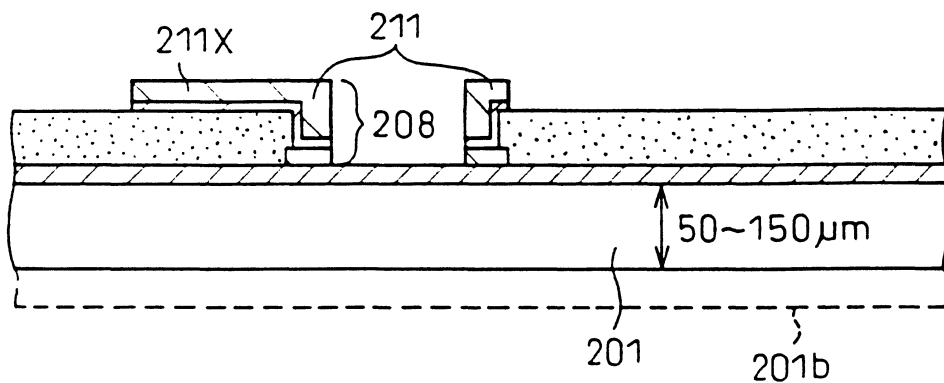


8/15

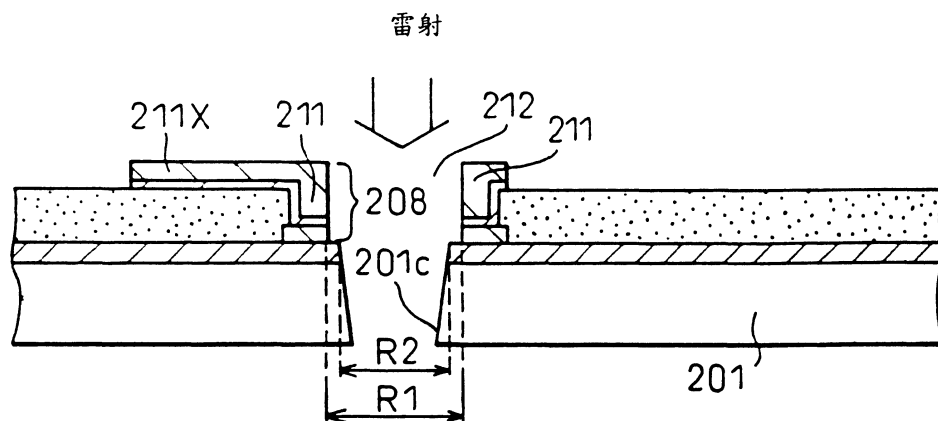
第4J圖



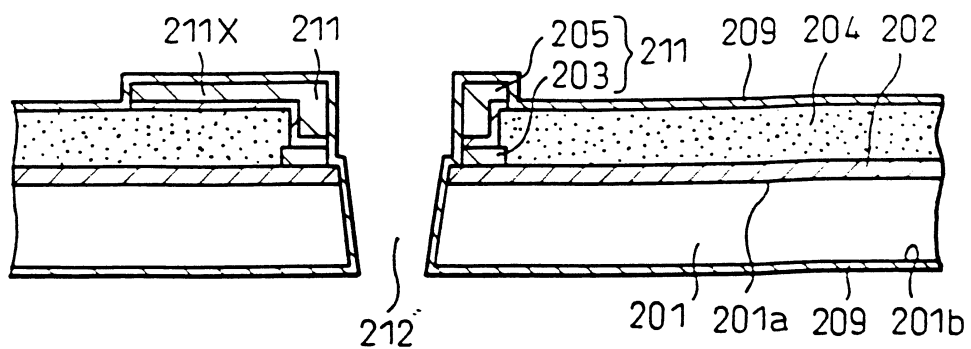
第4K圖



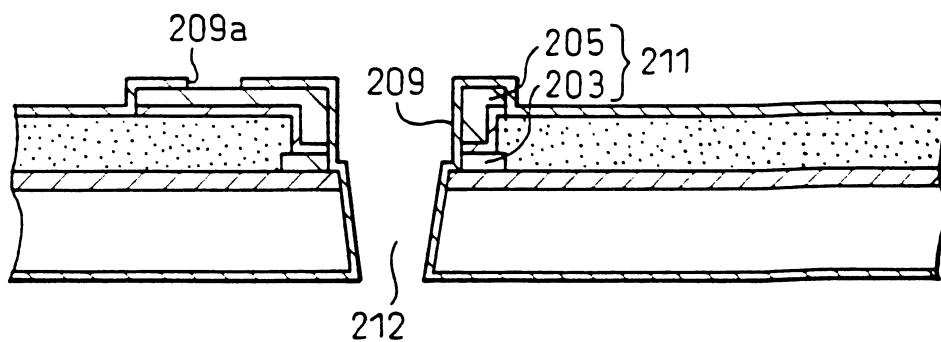
第4L圖



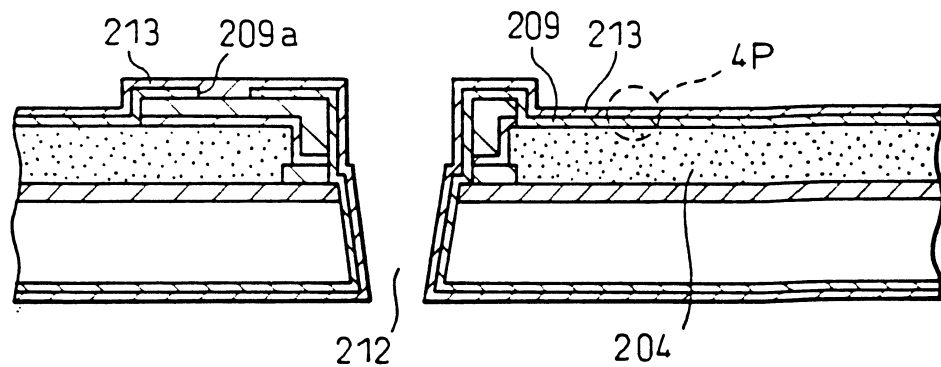
第4M圖



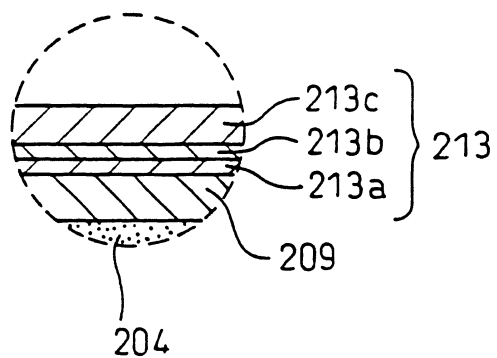
第4N圖



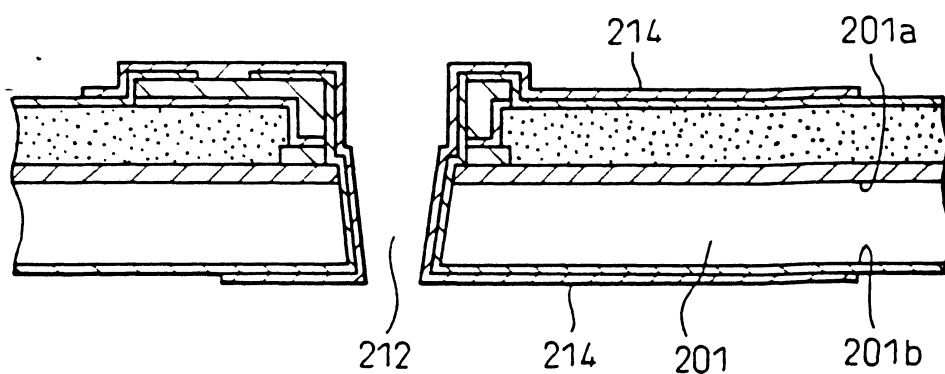
第4O圖



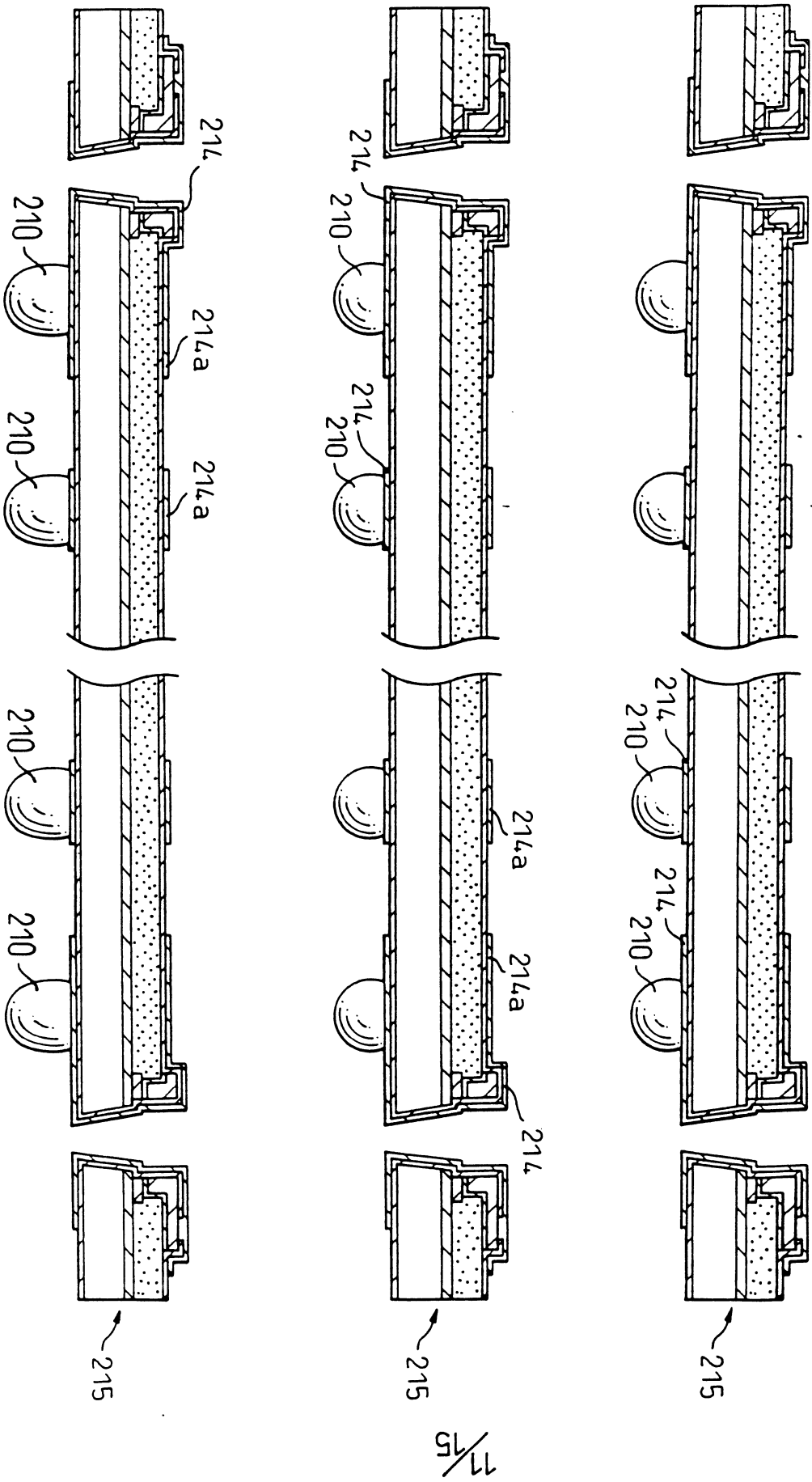
第4P圖



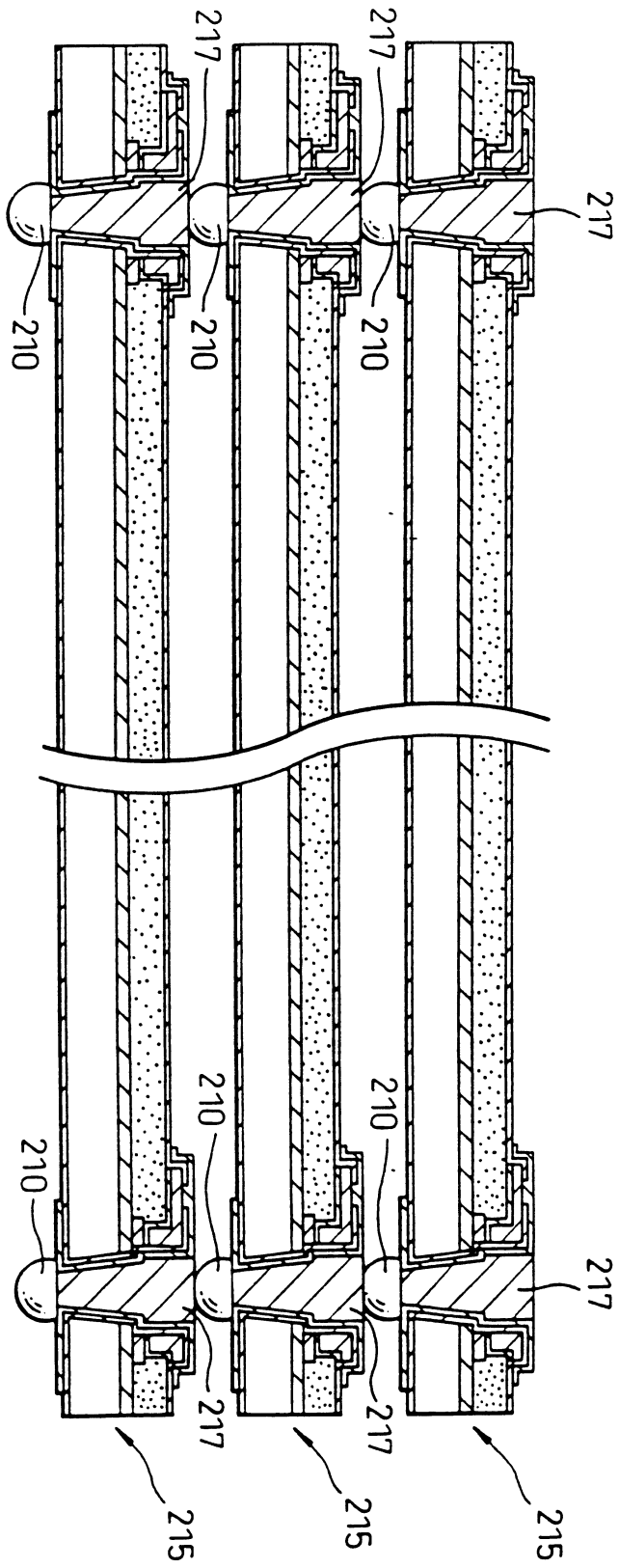
第4Q圖



第 5 圖







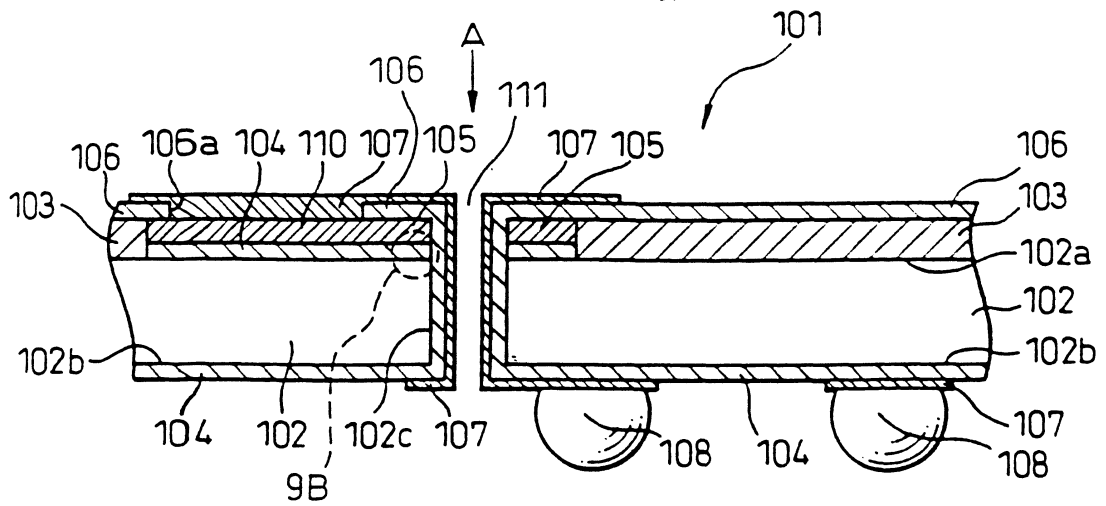
第 8 圖

13/5

14/15

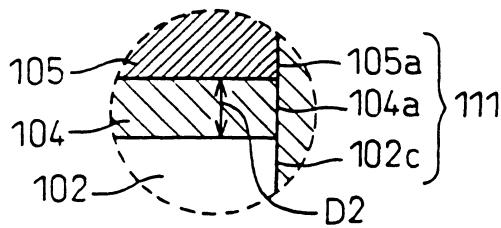
第9A圖

習知技藝



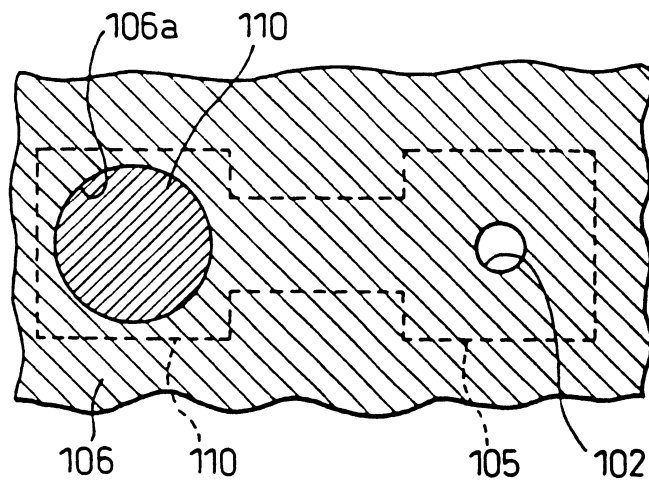
第9B圖

習知技藝



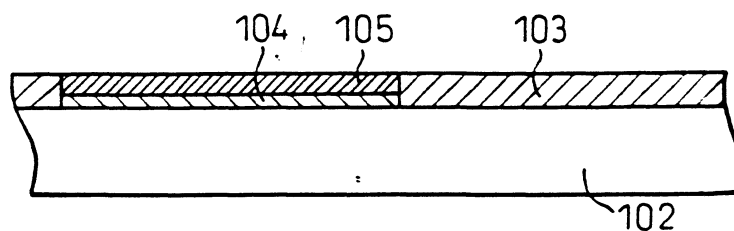
第9C圖

習知技藝



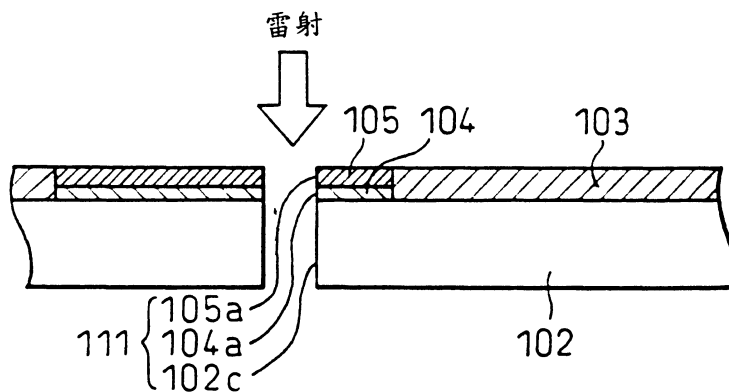
第10A圖

習知技藝



第10B圖

習知技藝



第11圖

習知技藝

