

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2022年9月29日(29.09.2022)



(10) 国際公開番号

WO 2022/201385 A1

(51) 国際特許分類:
H04L 1/06 (2006.01)

Akinori); 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内 Tokyo (JP).

(21) 国際出願番号: PCT/JP2021/012363

(22) 国際出願日: 2021年3月24日(24.03.2021)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(71) 出願人:三菱電機株式会社(MITSUBISHI ELECTRIC CORPORATION) [JP/JP]; 〒1008310 東京都千代田区丸の内二丁目7番3号 Tokyo (JP).

(72) 発明者:佐々木 慧(SASAKI, Satoshi); 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内 Tokyo (JP). 中島 昭範(NAKAJIMA,

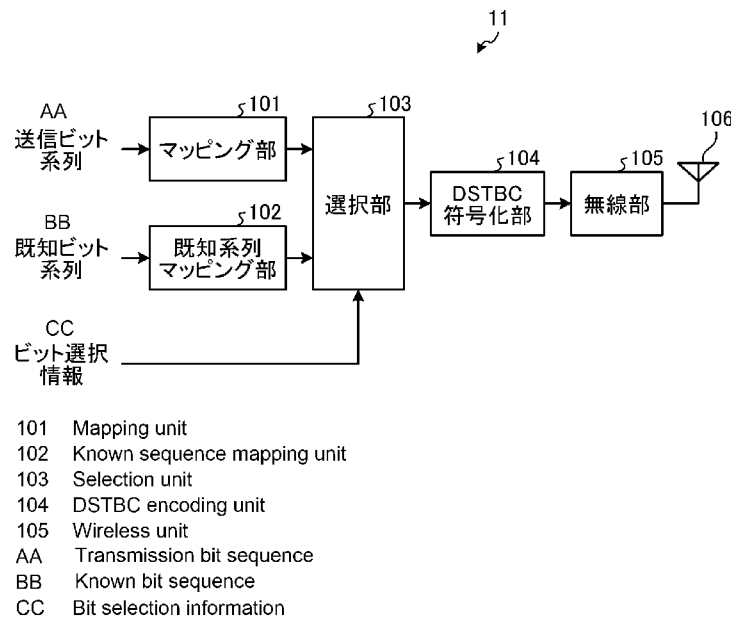
(74) 代理人:高村 順(TAKAMURA, Jun); 〒1000013 東京都千代田区霞が関3丁目8番1号 虎の門三井ビルディング 弁理士法人酒井国際特許事務所 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,

(54) Title: TRANSMISSION DEVICE, RECEPTION DEVICE, COMMUNICATION DEVICE, WIRELESS COMMUNICATION SYSTEM, CONTROL CIRCUIT, STORAGE MEDIUM, TRANSMISSION METHOD, AND RECEPTION METHOD

(54) 発明の名称: 送信装置、受信装置、通信装置、無線通信システム、制御回路、記憶媒体、送信方法および受信方法

【図3】



(57) Abstract: The present invention comprises: a mapping unit (101) that modulates a transmission bit sequence and generates a modulated symbol sequence; a known sequence mapping unit (102) that modulates a known bit sequence and generates a known symbol sequence; a selection unit (103) that selects either the modulated symbol sequence or the

NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

known symbol sequence and transmits the same as a transmission symbol sequence; and a DSTBC encoding unit (104) that performs differential spatiotemporal block encoding on the transmission symbol sequence. The known sequence mapping unit (102) generates the known symbol sequence so that a matrix acquired through the differential spatiotemporal block encoding by the DSTB encoding unit (104) becomes a prescribed matrix.

(57) 要約: 送信ビット系列を変調し変調シンボル系列を生成するマッピング部(101)と、既知ビット系列を変調し既知シンボル系列を生成する既知系列マッピング部(102)と、変調シンボル系列または既知シンボル系列のうち一方を選択し、送信シンボル系列として出力する選択部(103)と、送信シンボル系列を差動時空間ブロック符号化するDSTBC符号化部(104)と、を備え、既知系列マッピング部(102)は、DSTBC符号化部(104)の差動時空間ブロック符号化で得られる行列が規定された行列になるように既知シンボル系列を生成する。

明 細 書

発明の名称：

送信装置、受信装置、通信装置、無線通信システム、制御回路、記憶媒体、送信方法および受信方法

技術分野

[0001] 本開示は、無線通信を行う送信装置、受信装置、通信装置、無線通信システム、制御回路、記憶媒体、送信方法および受信方法に関する。

背景技術

[0002] 無線通信における課題として、各種の干渉による性能劣化が広く知られている。例えば、伝搬路が周波数選択性を持つことで信号が歪み、正しく復調できないことが起こりうる。この現象は、マルチパス環境における遅延波によって発生し、伝搬路の特性、すなわち遅延波の数、遅延波の位相関係、遅延波の大きさなどによって歪み方が様々に変化する。また、複数の基地局を設置する際、周波数を有効利用するため、複数の基地局で同一の周波数を使用する。複数の基地局で同一周波数を使用する場合、互いに干渉しないようにするため、離れて使用する。しかしながら、地理的な条件、受信装置の位置などによって、ある基地局からの送信信号を受信する受信装置では、同一周波数を使用する他の基地局からの送信信号が干渉、いわゆる同一チャネル干渉が発生することがある。

[0003] 特許文献 1 には、遅延波を含む同一チャネル干渉への対策として、複数のアンテナで受信した受信信号に対し、振幅、位相などを調節するウェイトを乗算し、合成することで、受信信号に含まれる干渉信号を抑圧する技術が開示されている。振幅、位相などを調節するウェイトの算出には、既知系列を用いたウェイト算出アルゴリズム、ブラインド型のウェイト算出アルゴリズムなどがある。

[0004] また、無線通信では、フェージングによる通信性能の低下を防ぐ技術として、ダイバーシチ技術が適用される。例えば、送信ダイバーシチの 1 つの方

式として、時空間ブロック符号化、すなわち S T B C (Space Time Block Coding) によって直交した複数の系列を生成し、異なるアンテナで送信する方式がある。S T B C は、受信装置においてフルダイバーシチ利得を得ることができる。

[0005] S T B C は、複数のシンボルを 1 つのブロックとして扱う。一般的には、アンテナ数と、1 つのブロックとして扱うシンボル数とが関連付けられる。例えば、アンテナ数 2 の S T B C 伝送では、2 シンボルを 1 つのブロックとする。受信装置で受信した S T B C シンボルの復調には伝送路情報の推定が必要となるが、S T B C によるダイバーシチの効果を得ることができ、かつ伝送路情報推定が不要な方式として、S T B C のブロック単位で差動符号化した差動時空間ブロック符号方式、すなわち D S T B C (Differential Space Time Block Coding) がある。例えば、アンテナ数 2 の D S T B C 伝送では、2 シンボルを 1 つのブロックとして 2×2 の行列を生成し、連続する 2 つのブロックの行列間で差動符号化を行う。受信装置は、受信した 2 シンボルで 2×2 の行列を生成し、2 つのブロックの行列間で差動復号化することで復調を行う。

先行技術文献

特許文献

[0006] 特許文献 1：特許第 6 5 2 6 3 4 8 号公報

発明の概要

発明が解決しようとする課題

[0007] 既知系列を用いたウェイト算出アルゴリズムを適用する場合、受信装置は、ウェイトを算出するため、受信信号から干渉信号を検出し生成する必要がある。特許文献 1 に記載の手法では、干渉信号の生成にチャネル推定を用いている。チャネル推定は、逆行列演算を行う必要があるが、既知系列が直交していない場合、所望信号と干渉信号とを完全に分離できず、ウェイトの精度が低下する、という問題があった。また、自基地局からの遅延波、および

他の基地局からの同一チャネル干渉のいずれにも対応する場合、所望信号と干渉信号とによる逆行列演算では遅延波を分離できず、遅延波に対応するためには遅延波を考慮したチャネル推定が必要となり、回路規模が増大する、という問題があった。

[0008] 本開示は、上記に鑑みてなされたものであって、受信装置において干渉信号を精度良く抽出できる信号を送信可能な送信装置を得ることを目的とする。

課題を解決するための手段

[0009] 上述した課題を解決し、目的を達成するために、本開示の送信装置は、送信ビット系列を変調し変調シンボル系列を生成するマッピング部と、既知ビット系列を変調し既知シンボル系列を生成する既知系列マッピング部と、変調シンボル系列または既知シンボル系列のうち一方を選択し、送信シンボル系列として出力する選択部と、送信シンボル系列を差動時空間ブロック符号化する符号化部と、を備える。既知系列マッピング部は、符号化部の差動時空間ブロック符号化で得られる行列が規定された行列になるように既知シンボル系列を生成する、ことを特徴とする。

発明の効果

[0010] 本開示に係る送信装置は、受信装置において干渉信号を精度良く抽出できる信号を送信することができる、という効果を奏する。

図面の簡単な説明

[0011] [図1]実施の形態1に係る無線通信システムの構成例を示す図

[図2]実施の形態1に係る基地局から送信される送信信号のフォーマットの例を示す図

[図3]実施の形態1に係る基地局が備える送信装置の構成例を示すブロック図

[図4]実施の形態1に係る基地局が備える送信装置の動作を示すフローチャート

[図5]実施の形態1に係る送信装置のマッピング部が送信ビット系列を四位相偏移変調でマッピングしたときの変調シンボルの配置の例を示す図

[図6]実施の形態１に係る移動局が備える受信装置の構成例を示すブロック図

[図7]実施の形態１に係る移動局が備える受信装置の動作を示すフローチャート

[図8]実施の形態１に係る送信装置が備える処理回路をプロセッサおよびメモリで実現する場合の処理回路の構成の一例を示す図

[図9]実施の形態１に係る送信装置が備える処理回路を専用のハードウェアで構成する場合の処理回路の構成の一例を示す図

[図10]実施の形態２に係る無線通信システムの構成例を示す図

[図11]実施の形態２に係る各基地局から送信される送信信号のフォーマットの例を示す図

[図12]実施の形態３に係る無線通信システムの構成例を示す図

発明を実施するための形態

[0012] 以下に、本開示の実施の形態に係る送信装置、受信装置、通信装置、無線通信システム、制御回路、記憶媒体、送信方法および受信方法を図面に基づいて詳細に説明する。

[0013] 実施の形態１．

図１は、実施の形態１に係る無線通信システム１の構成例を示す図である。無線通信システム１は、通信エリア１０Ｅを形成する基地局１０と、基地局１０からパス１０Ｐ－１およびパス１０Ｐ－２の２つのパスを通った送信信号を受信する移動局２０と、基地局１０を制御する制御装置３０と、を備える。無線通信システム１において、基地局１０は、送信装置１１を備え、制御装置３０からの制御に基づいて、制御装置３０から受け取った情報である送信ビット系列を送信信号として無線で送信する通信装置である。移動局２０は、受信装置２１を備え、基地局１０から送信された情報である送信ビット系列を受信する通信装置である。制御装置３０は、基地局１０に対して、基地局１０が無線で送信する情報、および基地局１０の制御情報を送信する。

[0014] 図１では、無線通信システム１が備える基地局１０の数を１つ、移動局２

0の数を1つとしているが、無線通信システム1が備える基地局10の数および移動局20の数は図1の例に限定されない。また、本実施の形態では、基地局10が送信機能を有し、移動局20が受信機能を有しているものとしているが、移動局20が送信機能を有し、基地局10が受信機能を有していてもよい。以降、本実施の形態では、具体的に、基地局10の数が1つ、移動局20の数が1つの場合を例にして説明する。

[0015] 図1において、移動局20は、パス10P-1を通った基地局10からの送信信号、およびパス10P-2を通った基地局10からの送信信号の2つの信号を受信する。このとき、図1に示す通り、パス10P-1の経路長とパス10P-2の経路長との間に差がある場合、パス10P-1を通った送信信号およびパス10P-2を通った送信信号が移動局20に到達するタイミングが異なり、移動局20において受信性能の劣化要因となる。移動局20は、干渉抑圧を行い、一方のパスを通った送信信号を抑圧する。以降、本実施の形態では、パス10P-1を通った送信信号に対してパス10P-2を通った送信信号が遅延して到達するものとし、パス10P-1を通った送信信号を先行波、パス10P-2を通った送信信号を遅延波として扱う。本実施の形態では、先行波を所望信号とし、遅延波を干渉信号として扱い、移動局20において、干渉信号を抑圧するものとする。なお、先行波を干渉信号、遅延波を所望信号として扱ってもよい。

[0016] 移動局20にて干渉抑圧を行うため、基地局10は、送信信号に複素で表される既知シンボル系列を挿入する。図2は、実施の形態1に係る基地局10から送信される送信信号のフォーマットの例を示す図である。図2に示す送信信号のフォーマットは、基地局10が送信する情報を複素で表したデータシンボル系列の前に既知シンボル系列が挿入される構成である。移動局20は、既知シンボル系列を用いて干渉抑圧処理を行う。

[0017] まず、基地局10が備える送信装置11の構成および動作について説明する。図3は、実施の形態1に係る基地局10が備える送信装置11の構成例を示すブロック図である。図3に示す送信装置11は、図2に示す送信信号

を生成するための構成である。送信装置 11 は、マッピング部 101 と、既知系列マッピング部 102 と、選択部 103 と、DSTBC 符号化部 104 と、無線部 105 と、アンテナ 106 と、を備える。マッピング部 101 は、送信ビット系列を変調シンボル系列として複素平面上にマッピングする。既知系列マッピング部 102 は、既知ビット系列を既知シンボル系列として複素平面上にマッピングする。選択部 103 は、変調シンボル系列および既知シンボル系列から一方を選択し、送信シンボル系列として出力する。DSTBC 符号化部 104 は、送信シンボル系列に対し差動時空間符号化を行い、DSTBC シンボルを生成する符号化部である。無線部 105 は、DSTBC シンボルから送信信号を生成する。アンテナ 106 は、無線部 105 で生成された送信信号を送信する。

[0018] 送信装置 11 の動作について説明する。図 4 は、実施の形態 1 に係る基地局 10 が備える送信装置 11 の動作を示すフローチャートである。マッピング部 101 は、制御装置 30 から取得した送信ビット系列を変調、すなわち複素で表されるシンボル系列にマッピングし（ステップ S101）、変調シンボル系列を生成して選択部 103 に出力する。マッピング部 101 は、マッピング方式として、例えば、四位相偏移変調、すなわち QPSK (Quadrature Phase Shift Keying) を使用する。QPSK は送信ビット 2 ビットを 1 シンボルにマッピングする方式であり、QPSK における変調シンボルの配置は図 5 の通りとなる。図 5 は、実施の形態 1 に係る送信装置 11 のマッピング部 101 が送信ビット系列を四位相偏移変調でマッピングしたときの変調シンボルの配置の例を示す図である。図 5 において、横軸は実軸を示し、縦軸は虚軸を示す。マッピング部 101 は、QPSK の場合、送信ビット 2 ビットを 1 シンボルとして、図 5 に示す 4 点のいずれかにマッピングする。なお、本実施の形態において、変調方式は QPSK に限定されるものではない。また、図 3 の例では、基地局 10 は、制御装置 30 から送信ビット系列を取得し、マッピング部 101 で変調シンボル系列を生成しているが、変調シンボル系列そのものを制御装置 30 から取得してもよい。

[0019] 既知系列マッピング部102は、既知ビット系列を変調、すなわち複素で表されるシンボル系列にマッピングし（ステップS102）、既知シンボル系列を生成して選択部103に出力する。既知系列マッピング部102は、DSTBC符号化を想定したマッピングを行う。例えば、DSTBC符号化が2シンボル単位で実施される場合、既知系列マッピング部102は、2シンボル単位でマッピングを行う。本実施の形態では、既知系列マッピング部102から出力される2つの既知シンボル系列 $s_0[k, 1]$ 、 $s_0[k, 2]$ は、式（1）で示される2通りのうち一方を選択するものとする。

[0020] [数1]

$$(s_0[k, 1], s_0[k, 2]) = (1, 0), (0, 1) \quad \cdots (1)$$

[0021] 選択部103は、制御装置30からの制御情報に含まれるビット選択情報に基づいて、マッピング部101から取得した変調シンボル系列、または既知系列マッピング部102から取得した既知シンボル系列のうち一方を選択し（ステップS103）、送信シンボル系列として出力する。

[0022] DSTBC符号化部104は、選択部103から取得した送信シンボル系列をDSTBC符号化し（ステップS104）、DSTBC符号化後のシンボル系列をDSTBCシンボルとして無線部105に出力する。以降の説明において、DSTBC符号化部104でDSTBC符号化することを、差動時空間ブロック符号化すると称することがある。DSTBC符号化部104は、DSTBC符号化として、選択部103から取得した送信シンボル系列のうち、変調シンボル2シンボルを1つのブロックとして変調シンボル行列 $S[k]$ を生成する。DSTBC符号化部104は、式（2）に示す通り、変調シンボル行列 $S[k]$ と1ブロック前のDSTBC行列 $C[k-1]$ とを乗算してDSTBC行列 $C[k]$ を生成し、DSTBC行列 $C[k]$ をDSTBCシンボルとして無線部105に出力する。なお、以下の式（2）では複数の式が示されているが、複数の式をまとめて式（2）とする。以降で複数の式が示される場合も同様とする。

[0023]

[数2]

$$C[k] = S[k]C[k-1]$$

$$C[k] = \begin{bmatrix} c[k,1] & c[k,2] \\ -c^*[k,2] & c^*[k,1] \end{bmatrix} \cdots (2)$$

$$S[k] = \begin{bmatrix} s[k,1] & s[k,2] \\ -s^*[k,2] & s^*[k,1] \end{bmatrix}$$

[0024] このとき、 k はブロック番号を示しており、 $k = 1, 2, \dots$ となる。以降の説明において、ブロック番号 k のブロックをブロック k と表記する。 $s[k, 1]$ 、 $s[k, 2]$ はDSTBC符号化部104が選択部103から取得する変調シンボル2シンボルである。また、 $s^*[k, 1]$ 、 $s^*[k, 2]$ はそれぞれ $s[k, 1]$ 、 $s[k, 2]$ の共役複素をとったものである。 $C[k]$ は式(2)に示す通り、次のブロックの処理で必要となるため、出力するとともに、内部で次の処理まで保持する。また、式(2)では、行列演算として全ての要素を対象に乗算および加減算を行っているが、例えば、 $c[k, 1]$ 、 $c[k, 2]$ の2要素のみを行列演算により算出し、符号の入替、共役複素をとることなどで $c^*[k, 1]$ 、 $-c^*[k, 2]$ を計算し、演算量を削減してもよい。

[0025] DSTBC符号化部104は、DSTBCシンボルとして、無線部105に $c[k, 1]$ 、 $-c^*[k, 2]$ 、または $c[k, 2]$ 、 $c^*[k, 1]$ の順番で出力する。本実施の形態では、DSTBC符号化部104は、無線部105に対して、 $c[k, 1]$ 、 $-c^*[k, 2]$ の順番で出力しているものとする。

[0026] DSTBC符号化部104は、最初の演算、またはDSTBC符号化を初期化する際、 $C[k-1]$ を初期値 C' に置き換える。初期値 C' を式(3)に示す。

[0027] [数3]

$$C' = \begin{bmatrix} c'[1] & c'[2] \\ -c'^*[2] & c'^*[1] \end{bmatrix} \cdots (3)$$

[0028] ブロック番号 k が k' のときにDSTBC符号化が初期化される場合、 C

$\hat{c}$ は式 (4) で表される。

[0029] [数4]

$$C[k'] = S[k']C' \quad \dots (4)$$

[0030] DSTBC符号化部104は、選択部103から出力される送信シンボル系列が既知系列マッピング部102から入力される既知シンボル系列 $s_0[k, 1]$, $s_0[k, 2]$ であった場合、DSTBC符号化によって式 (5) で表されるDSTBC行列 $C_0[k]$ を生成する。

[0031] [数5]

$$\begin{aligned} C_0[k] &= S_0[k]C_0[k-1] \\ S_0[k] &= \begin{bmatrix} s_0[k, 1] & s_0[k, 2] \\ -s_0^*[k, 2] & s_0^*[k, 1] \end{bmatrix} \quad \dots (5) \\ C_0[k] &= \begin{bmatrix} c_0[k, 1] & c_0[k, 2] \\ -c_0^*[k, 2] & c_0^*[k, 1] \end{bmatrix} \end{aligned}$$

[0032] 式 (1) より、 $S_0[k]$ は式 (6) に示す J_0 、 J_1 の2種類のうちいずれかと等しくなる。

[0033] [数6]

$$\begin{aligned} J_0 &= \begin{bmatrix} 1 & 0 \\ 0 & 1 \end{bmatrix} \\ J_1 &= \begin{bmatrix} 0 & 1 \\ -1 & 0 \end{bmatrix} \quad \dots (6) \end{aligned}$$

[0034] このとき、 $S_0[k]$ が J_0 の場合は式 (7) が成り立ち、 $S_0[k]$ が J_1 の場合は式 (8) が成り立つ。

[0035] [数7]

$$C_0[k] = \begin{bmatrix} c_0[k-1, 1] & c_0[k-1, 2] \\ -c_0^*[k-1, 2] & c_0^*[k-1, 1] \end{bmatrix} \quad \dots (7)$$

[0036] [数8]

$$C_0[k] = \begin{bmatrix} -c_0^*[k-1, 2] & c_0^*[k-1, 1] \\ -c_0[k-1, 1] & -c_0^*[k-1, 2] \end{bmatrix} \quad \dots (8)$$

[0037] 従って、既知系列マッピング部102は、DSTBC符号化部104のDSTBC符号化で得られる行列が規定された行列になるように既知シンボル

系列を生成する。上記のように、既知系列マッピング部 102 は、規定された行列が、0 および 1、または 0 および 1 および -1 で構成されるように既知シンボル系列を生成する。

[0038] 無線部 105 は、DSTBC 符号化部 104 から取得した DSTBC シンボルに対し、波形整形、D/A (Digital/Analog) 変換、アップコンバート、増幅処理などの処理を行って送信信号を生成し (ステップ S105)、アンテナ 106 から移動局 20 に送信する (ステップ S106)。なお、無線部 105 において送信信号を生成する処理は一般的な処理であり、本実施の形態を限定するものではない。また、本実施の形態では、基地局 10 を 1 送信アンテナ用の構成としたが、DSTBC が送信ダイバーシチ技術であることから、基地局 10 を 2 送信アンテナ用の構成としてもよい。この場合、基地局 10 は、無線部 105 およびアンテナ 106 を 2 送信アンテナ用として 2 つずつ必要となる。この場合、DSTBC 符号化部 104 は、一方の無線部 105 に対して $c[k, 1]$ 、 $-c^*[k, 2]$ の順番で出力し、他方の無線部 105 に対して $c[k, 2]$ 、 $c^*[k, 1]$ の順番で出力するようにする。

[0039] つぎに、移動局 20 が備える受信装置 21 の構成および動作について説明する。図 6 は、実施の形態 1 に係る移動局 20 が備える受信装置 21 の構成例を示すブロック図である。受信装置 21 は、アンテナ 201 と、無線部 202 と、既知シンボル系列判定部 203 と、第 1 の遅延部 204 と、第 2 の遅延部 205 と、制御部 206 と、合成制御部 207 と、ブロック合成部 208 と、ウェイト算出部 209 と、ウェイト乗算部 210 と、復調部 211 と、を備える。

[0040] アンテナ 201 は、基地局 10 から送信された送信信号などを受信する。無線部 202 は、受信信号から受信シンボル系列を生成する。既知シンボル系列判定部 203 は、既知シンボル系列を用いて既知シンボル系列の受信タイミングを検出する。第 1 の遅延部 204 は、受信シンボル系列を既知シンボル系列判定部 203 の処理遅延分遅延させる。第 2 の遅延部 205 は、受

信シンボル系列をウェイト算出に必要な時間分遅延させる。制御部206は、所望信号に挿入されている既知シンボル系列の情報を基に制御を行う。合成制御部207は、受信タイミングと合成シンボル情報を基にブロック合成部208の合成方法を指示する。ブロック合成部208は、受信シンボル系列をDSTBCブロック単位で合成し、干渉信号を抽出する。ウェイト算出部209は、干渉信号から干渉抑圧ウェイトを算出する。ウェイト乗算部210は、干渉抑圧ウェイトと受信シンボル系列とを乗算し、さらに合成し、受信シンボル系列に対して干渉抑圧を行う。復調部211は、干渉抑圧された受信シンボル系列に対して復調処理を行い、受信ビット系列を得る。なお、図6では、移動局20のアンテナ201の数を2本としているが、アンテナ201の数は2本に限定されるものではない。以降、本実施の形態では、移動局20のアンテナ201の数は2本であるものとして説明する。

[0041] 受信装置21の動作について説明する。図7は、実施の形態1に係る移動局20が備える受信装置21の動作を示すフローチャートである。アンテナ201は、基地局10からの送信信号が合成された信号を受信し（ステップS201）、受信信号として無線部202に出力する。

[0042] 無線部202は、アンテナ201から取得した受信信号に対して、増幅処理、ダウンコンバート、A/D（Analog/Digital）変換、波形整形などの処理を行って複素で表される受信シンボル系列を生成する（ステップS202）。無線部202は、生成した受信シンボル系列を、既知シンボル系列判定部203、第1の遅延部204、および第2の遅延部205に出力する。なお、無線部202において受信シンボル系列を生成する処理は一般的な処理であり、本実施の形態を限定するものではない。

[0043] 制御部206は、外部から入力される所望信号に挿入された既知シンボル系列を示す既知シンボル系列情報に基づいて、既知シンボル系列判定部203に既知シンボル系列を出力し、合成制御部207に合成シンボル情報を出力する（ステップS203）。

[0044] 既知シンボル系列判定部203は、無線部202から取得した受信シンボ

ル系列と制御部206から取得した既知シンボル系列との相関を計算し、DSTBC符号化されている受信シンボル系列に挿入されている既知シンボル系列の位置、すなわち既知シンボル系列の受信タイミングを検出する（ステップS204）。例えば、既知シンボル系列判定部203は、相関値が最大となるタイミングを既知シンボル系列の受信タイミングとして合成制御部207に出力する。

[0045] 第1の遅延部204は、無線部202から取得した受信シンボル系列を第1の時間、具体的には、既知シンボル系列判定部203および合成制御部207の処理遅延分遅延させる（ステップS205）。これにより、第1の遅延部204は、合成制御部207から出力される処理タイミングでブロック合成部208が処理を行う受信シンボル系列が既知シンボル系列となるようにする。

[0046] 第2の遅延部205は、無線部202から取得した受信シンボル系列を第2の時間、具体的には、ウェイト算出部209が干渉抑圧ウェイトを算出するまでに必要な処理遅延分遅延させる（ステップS206）。これにより、第2の遅延部205は、ウェイト乗算部210において、受信シンボル系列に挿入された既知シンボル系列の先頭から干渉抑圧ウェイトを乗算するようにする。

[0047] 合成制御部207は、既知シンボル系列判定部203から取得した受信シンボル系列内の既知シンボル系列の位置情報、すなわち既知シンボル系列の受信タイミングに基づいて、ブロック合成部208が受信シンボルを合成する処理タイミングを生成する。また、合成制御部207は、制御部206から取得した合成シンボル情報に基づいて、ブロック合成部208に対する合成方法指示情報を生成する（ステップS207）。合成制御部207は、生成した処理タイミングおよび合成方法指示情報をブロック合成部208に出力する。

[0048] ブロック合成部208は、合成制御部207から取得した処理タイミングで、合成制御部207から取得した合成方法指示情報に従い、第1の遅延部

204から取得した受信シンボル系列を、DSTBCブロック単位で異なるDSTBCブロックの受信シンボル系列と合成する（ステップS208）。ブロックkにおける送信信号が $c_0[k, 1]$ 、 $-c_0^*[k, 2]$ の場合、受信アンテナnに対応する第1の遅延部204から取得するブロックkにおける受信シンボル系列を $r_{0,n}[k, 1]$ 、 $r_{0,n}[k, 2]$ とすると、式（9）が成り立つ。なお、 $h_{1,n}[k, 1]$ 、 $h_{1,n}[k, 2]$ はパス10P-1の伝送路情報とし、 $h_{2,n}[k, 1]$ 、 $h_{2,n}[k, 2]$ はパス10P-2の伝送路情報とし、 $\Delta[k, 1]$ 、 $\Delta[k, 2]$ は先行波に対する遅延波の変動量とし、 $w_n[k, 1]$ 、 $w_n[k, 2]$ は雑音成分とする。

[0049] [数9]

$$\begin{aligned} r_{0,n}[k, 1] &= h_{1,n}[k, 1]c_0[k, 1] + h_{2,n}[k, 1](c_0[k, 1] + \Delta[k, 1]) \\ &\quad + w_n[k, 1] \\ r_{0,n}[k, 2] &= h_{1,n}[k, 2](-c_0^*[k, 2]) + h_{2,n}[k, 2](-c_0^*[k, 2] + \Delta[k, 2]) \\ &\quad + w_n[k, 2] \end{aligned} \quad \dots (9)$$

[0050] ここで、ブロックkおよびブロックk-1における伝送路情報の変動が無視できると仮定する。 $c_0[k, 1]$ 、 $c_0[k, 2]$ を生成する基となった $S_0[k]$ が J_0 の場合、式（10）が成り立つ。

[0051] [数10]

$$\begin{aligned} ri_n[k, 1] &= r_{0,n}[k, 1] - r_{0,n}[k-1, 1] \\ &= h_{2,n}[k, 1](\Delta[k, 1] - \Delta[k-1, 1]) + w_n[k, 1] \\ &\quad - w_n[k-1, 1] \\ ri_n[k, 2] &= r_{0,n}[k, 2] - r_{0,n}[k-2, 2] \\ &= h_{2,n}[k, 1](\Delta[k, 2] - \Delta[k-2, 2]) + w_n[k, 2] \\ &\quad - w_n[k-2, 2] \end{aligned} \quad \dots (10)$$

[0052] 一方、 $c_0[k, 1]$ 、 $c_0[k, 2]$ を生成する基となった $S_0[k]$ が J_1 の場合、式（11）が成り立つ。

[0053]

[数11]

$$\begin{aligned}
 ri_n[k,1] &= r_{0,n}[k,1] + r_{0,n}[k-1,2] \\
 &= h_{2,n}[k,1](\Delta[k,1] + \Delta[k-1,1]) + w_n[k,1] \\
 &\quad + w_n[k-1,1] \\
 &\quad \dots (11) \\
 ri_n[k,2] &= r_{0,n}[k,2] - r_{0,n}[k-2,1] \\
 &= h_{2,n}[k,1](\Delta[k,2] - \Delta[k-2,1]) + w_n[k,2] \\
 &\quad - w_n[k-1,2]
 \end{aligned}$$

[0054] 式(10)および式(11)において、 $ri_n[k,1]$ および $ri_n[k,2]$ は干渉信号である。すなわち、ブロック合成部208は、 $c_0[k,1]$ 、 $c_0[k,2]$ を生成する基となった $S_0[k]$ が J_0 の場合、 $r[k,1]$ から $r[k-1,1]$ を減算し、 $r[k,2]$ から $r[k-2,2]$ を減算することで、干渉信号を抽出することができる。また、ブロック合成部208は、 $c_0[k,1]$ 、 $c_0[k,2]$ を生成する基となった $S_0[k]$ が J_1 の場合、 $r[k,1]$ と $r[k-1,2]$ とを加算し、 $r[k,2]$ から $r[k-2,1]$ を減算することで、干渉信号を抽出することができる。なお、式(10)または式(11)に示す通り、干渉信号の抽出において乗算処理が含まれていないため、ブロック合成部208は、雑音強調が発生せず精度よく干渉信号を抽出できる。このように、ブロック合成部208は、処理タイミングで、受信シンボル系列をDSTBC符号化のブロック単位でシンボルを加算または減算することで合成し、干渉信号を抽出することができる。

[0055] ブロック合成部208が合成制御部207から取得する合成方法指示情報は、式(10)または式(11)を使って遅延波を抽出するか否かを示す情報である。ブロック合成部208は、抽出した遅延波をウェイト算出部209に出力する。なお、本実施の形態では、ブロック合成部208は、連続するブロック k およびブロック $k-1$ で合成処理を行っているが、伝送路情報の変動が無視できる場合、必ずしも連続するブロックである必要はない。例えば、ブロック合成部208は、ブロック k およびブロック $k-2$ の間で伝

送路情報の変動が無視できる場合、ブロック k およびブロック $k-2$ で合成処理を行えばよい。

[0056] ウェイト算出部 209 は、ブロック合成部 208 から取得した干渉信号 $r_{i_n}[k, 1]$ 、 $r_{i_n}[k, 2]$ を用いて、干渉信号 $r_{i_n}[k, 1]$ 、 $r_{i_n}[k, 2]$ を抑圧するための干渉抑圧ウェイトを算出する（ステップ S209）。例えば、ウェイト算出部 209 は、白色化を実現する干渉抑圧ウェイト w_{00} 、 w_{11} 、 w_{01} 、 w_{10} を算出する。ウェイト算出部 209 は、算出した干渉抑圧ウェイトをウェイト乗算部 210 に出力する。

[0057] ウェイト乗算部 210 は、ウェイト算出部 209 から取得した干渉抑圧ウェイトを用いて干渉抑圧を行い、干渉抑圧された受信シンボル系列を得る。具体的には、ウェイト乗算部 210 は、第 2 の遅延部 205 で遅延された受信シンボル系列に、ウェイト算出部 209 から取得した干渉抑圧ウェイトを乗算する（ステップ S210）。例えば、ウェイト乗算部 210 がウェイト算出部 209 から干渉抑圧ウェイト w_{00} 、 w_{11} 、 w_{01} 、 w_{10} を取得した場合、干渉抑圧された受信シンボル系列を $r'_n[k, 1]$ 、 $r'_n[k, 2]$ とすると、 $r'_n[k, 1]$ 、 $r'_n[k, 2]$ は式 (12) で表される。

[0058] [数12]

$$\begin{aligned} r'_1[k, 1] &= w_{00}r_1[k, 1] + w_{01}r_2[k, 1] \\ r'_2[k, 1] &= w_{10}r_1[k, 1] + w_{11}r_2[k, 1] \\ r'_1[k, 2] &= w_{00}r_1[k, 2] + w_{01}r_2[k, 2] \\ r'_2[k, 2] &= w_{10}r_1[k, 2] + w_{11}r_2[k, 2] \end{aligned} \quad \dots (12)$$

[0059] ウェイト乗算部 210 は、干渉抑圧された受信シンボル系列 $r'_n[k, 1]$ 、 $r'_n[k, 2]$ を復調部 211 に出力する。

[0060] 復調部 211 は、ウェイト乗算部 210 から取得した干渉抑圧された受信シンボル系列 $r'_n[k, 1]$ 、 $r'_n[k, 2]$ に対して復調処理を行い（ステップ S211）、受信ビット系列を生成する。

[0061] つづいて、実施の形態 1 に係る送信装置 11 のハードウェア構成について説明する。送信装置 11 において、無線部 105 は通信装置である。アンテ

ナ１０６はアンテナ素子である。マッピング部１０１、既知系列マッピング部１０２、選択部１０３、およびＤＳＴＢＣ符号化部１０４は処理回路により実現される。処理回路は、プログラムを格納するメモリ、およびメモリに格納されるプログラムを実行するプロセッサであってもよいし、専用のハードウェアであってもよい。処理回路は制御回路とも呼ばれる。

[0062] 図８は、実施の形態１に係る送信装置１１が備える処理回路をプロセッサ９１およびメモリ９２で実現する場合の処理回路９０の構成の一例を示す図である。図８に示す処理回路９０は制御回路であり、プロセッサ９１およびメモリ９２を備える。処理回路９０がプロセッサ９１およびメモリ９２で構成される場合、処理回路９０の各機能は、ソフトウェア、ファームウェア、またはソフトウェアとファームウェアとの組み合わせにより実現される。ソフトウェアまたはファームウェアはプログラムとして記述され、メモリ９２に格納される。処理回路９０では、メモリ９２に記憶されたプログラムをプロセッサ９１が読み出して実行することにより、各機能を実現する。すなわち、処理回路９０は、送信装置１１の処理が結果的に実行されることになるプログラムを格納するためのメモリ９２を備える。このプログラムは、処理回路９０により実現される各機能を送信装置１１に実行させるためのプログラムであるともいえる。このプログラムは、プログラムが記憶された記憶媒体により提供されてもよいし、通信媒体など他の手段により提供されてもよい。

[0063] 上記プログラムは、マッピング部１０１が、送信ビット系列を変調し変調シンボル系列を生成する第１のステップと、既知系列マッピング部１０２が、既知ビット系列を変調し既知シンボル系列を生成する第２のステップと、選択部１０３が、変調シンボル系列または既知シンボル系列のうち一方を選択し、送信シンボル系列として出力する第３のステップと、ＤＳＴＢＣ符号化部１０４が、送信シンボル系列を差動時空間ブロック符号化する第４のステップと、を基地局１０に実行させ、第２のステップにおいて、既知系列マッピング部１０２が、ＤＳＴＢＣ符号化部１０４の差動時空間ブロック符号

化で得られる行列が規定された行列になるように既知シンボル系列を生成させるプログラムであるとも言える。

[0064] ここで、プロセッサ 91 は、例えば、CPU (Central Processing Unit)、処理装置、演算装置、マイクロプロセッサ、マイクロコンピュータ、またはDSP (Digital Signal Processor) などである。また、メモリ 92 は、例えば、RAM (Random Access Memory)、ROM (Read Only Memory)、フラッシュメモリ、EPROM (Erasable Programmable ROM)、EEPROM (登録商標) (Electrically EPROM) などの、不揮発性または揮発性の半導体メモリ、磁気ディスク、フレキシブルディスク、光ディスク、コンパクトディスク、ミニディスク、またはDVD (Digital Versatile Disc) などが該当する。

[0065] 図9は、実施の形態1に係る送信装置11が備える処理回路を専用のハードウェアで構成する場合の処理回路93の構成の一例を示す図である。図9に示す処理回路93は、例えば、単回路、複合回路、プログラム化したプロセッサ、並列プログラム化したプロセッサ、ASIC (Application Specific Integrated Circuit)、FPGA (Field Programmable Gate Array)、またはこれらを組み合わせたものが該当する。処理回路93については、一部を専用のハードウェアで実現し、一部をソフトウェアまたはファームウェアで実現するようにしてもよい。このように、処理回路93は、専用のハードウェア、ソフトウェア、ファームウェア、またはこれらの組み合わせによって、上述の各機能を実現することができる。

[0066] 以上では、送信装置11のハードウェア構成について説明したが、受信装置21のハードウェア構成も同様である。受信装置21において、アンテナ201はアンテナ素子である。無線部202は通信装置である。既知シンボル系列判定部203、第1の遅延部204、第2の遅延部205、制御部206、合成制御部207、ブロック合成部208、ウェイト算出部209と、ウェイト乗算部210、および復調部211は処理回路により実現される。処理回路は、プログラムを格納するメモリ、およびメモリに格納されるプ

プログラムを実行するプロセッサであってもよいし、専用のハードウェアであってもよい。

[0067] 以上説明したように、本実施の形態によれば、送信装置 11 を備える基地局 10 は、DSTBC 符号化部 104 において既知シンボル系列を DSTBC 符号化する際に得られる行列が J 。または J_1 となるようにする。受信装置 21 を備える移動局 20 は、DSTBC 符号化のブロック番号が異なる番号同士の受信シンボル系列を合成する。これにより、受信装置 21 は、精度のよい干渉信号を抽出することができる。送信装置 11 は、受信装置 21 において干渉信号を精度良く抽出できる信号を送信することができる。

[0068] 実施の形態 2.

実施の形態 1 では、基地局 10 の数を 1 つとし、抑圧対象を遅延波としていた。実施の形態 2 では、基地局 10 の数を 2 つとし、無線通信システム内の同一チャネル干渉を抑圧する場合について説明する。

[0069] 図 10 は、実施の形態 2 に係る無線通信システム 2 の構成例を示す図である。無線通信システム 2 は、通信エリア 10E-1 を形成する基地局 10-1 と、通信エリア 10E-2 を形成する基地局 10-2 と、移動局 20 と、基地局 10-1, 10-2 を制御する制御装置 30 と、を備える。基地局 10-1 および基地局 10-2 の送信周波数は同一であり、基地局 10-1 の通信エリア 10E-1 および基地局 10-2 の通信エリア 10E-2 の一部が重複している。基地局 10-1, 10-2 は、各々、制御装置 30 からの制御に基づいて、制御装置 30 から受け取った情報である送信ビット系列を送信信号として無線で送信する。移動局 20 は、基地局 10-1 または基地局 10-2 から送信された情報である送信ビット系列を受信する。制御装置 30 は、基地局 10-1, 10-2 に対して、基地局 10-1, 10-2 が無線で送信する情報、および基地局 10-1, 10-2 の制御情報を送信する。なお、基地局 10-1, 10-2 は実施の形態 1 の基地局 10 と同様の構成とし、以降の説明において基地局 10-1, 10-2 を区別しない場合は基地局 10 と称することがある。

[0070] 図10では、無線通信システム2が備える基地局10の数を2つ、移動局20の数を1つとしているが、無線通信システム2が備える基地局10の数および移動局20の数は図10の例に限定されない。また、本実施の形態では、基地局10-1, 10-2が送信機能を有し、移動局20が受信機能をそれぞれ有しているものとしているが、移動局20が送信機能を有し、基地局10-1, 10-2が受信機能を有していてもよい。以降、本実施の形態では、具体的に、基地局10の数が2つ、移動局20の数が1つの場合を例にして説明する。

[0071] 図10では、移動局20の位置は、基地局10-1の通信エリア10E-1および基地局10-2の通信エリア10E-2が重複した地点である。そのため、移動局20は、基地局10-1からの送信信号と基地局10-2からの送信信号とが合成された信号を受信する。移動局20は、一方の基地局10からの送信信号を受信する際、他方の基地局10からの送信信号が同一チャネル干渉となるため、干渉抑圧を行う。例えば、基地局10-1からの送信信号を受信したい場合、移動局20は、基地局10-1からの受信信号が受信したい所望信号となり、基地局10-2からの受信信号が同一チャネル干渉源となる干渉信号となるため、基地局10-2からの受信信号を抑圧する。

[0072] 移動局20にて干渉抑圧を行うため、基地局10-1, 10-2は、送信信号に複素で表される既知シンボル系列を挿入する。ただし、基地局10-1の既知シンボル系列と基地局10-2の既知シンボル系列とが異なる系列となるようにする。また、基地局10-1, 10-2は、同期して送信信号を送信し、既知シンボル系列の長さおよび既知シンボル系列の挿入位置が基地局10-1, 10-2で同一とする。これにより、基地局10-1からの送信信号および基地局10-2からの送信信号に挿入された既知シンボル系列の送信タイミングをそろえる。

[0073] 例えば、図10では、基地局10-1は送信信号に既知シンボル系列Aを挿入し、基地局10-2は送信信号に既知シンボル系列Bを挿入する。図1

1 は、実施の形態 2 に係る各基地局 10 から送信される送信信号のフォーマットの例を示す図である。図 11 に示す送信信号のフォーマットは、基地局 10-1 が送信する情報を複素で表したデータシンボル系列 A の前に既知シンボル系列 A が挿入され、基地局 10-2 が送信する情報を複素で表したデータシンボル系列 B の前に既知シンボル系列 B が挿入される構成である。基地局 10-1 からの送信信号および基地局 10-2 からの送信信号は同期しており、基地局 10-1 が既知シンボル系列 A を送信するタイミングと基地局 10-2 が既知シンボル系列 B を送信するタイミングは常に同時であり、終了するタイミングも同時である。なお、図 11 では、基地局 10-1 からデータシンボル系列 A を送信し、基地局 10-2 からデータシンボル系列 B を送信する構成となっているが、基地局 10-1, 10-2 から同一のデータシンボル系列を送信してもよい。移動局 20 は、既知シンボル系列 A および既知シンボル系列 B を用いて干渉抑圧処理を行う。以降、本実施の形態では、基地局 10-1 の送信信号に既知シンボル系列 A を挿入するものとし、基地局 10-2 の送信信号に既知シンボル系列 B を挿入するものとして説明する。

[0074] まず、基地局 10-1, 10-2 の構成および動作について説明する。前述のように、基地局 10-1, 10-2 の構成は、図 3 に示す実施の形態 1 の基地局 10 の構成と同様である。ただし、基地局 10-1 の既知系列マッピング部 102 から出力される既知シンボル系列 $s_{0,1}[k, 1]$, $s_{0,1}[k, 2]$ 、および基地局 10-2 の既知系列マッピング部 102 から出力される既知シンボル系列 $s_{0,2}[k, 1]$, $s_{0,2}[k, 2]$ について、常に式 (13) が成り立つようにする。

[0075] [数13]

$$\begin{aligned} s_{0,1}[k, 1] &= -s_{0,2}[k, 1] \\ s_{0,1}[k, 2] &= -s_{0,2}[k, 2] \end{aligned} \quad \cdots (13)$$

[0076] 例えば、基地局 10-1 の既知系列マッピング部 102 の出力が式 (1) を満たす場合、基地局 10-2 の既知系列マッピング部 102 の出力が式 (

14) を満たす。

[0077] [数14]

$$(s_{0,2}[k,1], s_{0,2}[k,2]) = (-1,0), (0,-1) \quad \dots (14)$$

[0078] つぎに、移動局20の構成および動作について説明する。移動局20の構成は、図6に示す実施の形態1の移動局20の構成と同様である。ここで、本実施の形態では、式(9)は式(15)の通り表される。なお、ブロックkにおいて、基地局10-1からの送信信号を $c_{0,1}[k,1]$ 、 $-c_{0,1}^*[k,2]$ とし、基地局10-2からの送信信号を $c_{0,2}[k,1]$ 、 $-c_{0,2}^*[k,2]$ とし、 $h_n[k,1]$ 、 $h_n[k,2]$ を基地局10-1と受信アンテナnとの間の伝送路情報とし、 $g_n[k,1]$ 、 $g_n[k,2]$ を基地局10-2と受信アンテナnとの間の伝送路情報とする。

[0079] [数15]

$$\begin{aligned} r_{0,n}[k,1] &= h_n[k,1]c_{0,1}[k,1] + g_n[k,1]c_{0,2}[k,1] + w_n[k,1] \\ r_{0,n}[k,2] &= h_n[k,2](-c_{0,1}^*[k,2]) + g_n[k,2](-c_{0,2}^*[k,2]) \\ &\quad + w_n[k,2] \end{aligned} \quad \dots (15)$$

[0080] ここで、ブロックkおよびブロックk-1における伝送路情報の変動が無視できると仮定する。 $c_{0,1}[k,1]$ 、 $c_{0,1}[k,2]$ を生成する基となった $S_0[k]$ が J_0 であり、式(13)が成り立つ場合、式(16)が成り立つ。

[0081] [数16]

$$\begin{aligned} ri_n[k,1] &= r_{0,n}[k,1] - r_{0,n}[k-1,1] \\ &= 2g_n[k,1](c_{0,2}[k,1]) + w_n[k,1] - w_n[k-1,1] \\ ri_n[k,2] &= r_{0,n}[k,2] - r_{0,n}[k-2,2] \\ &= 2g_n[k,1](-c_{0,2}^*[k,2]) + w_n[k,2] - w_n[k-1,2] \end{aligned} \quad \dots (16)$$

[0082] 一方、 $c_{0,1}[k,1]$ 、 $c_{0,1}[k,2]$ を生成する基となった $S_0[k]$ が J_1 であり、式(13)が成り立つ場合、式(17)が成り立つ。

[0083]

[数17]

$$\begin{aligned}
ri_n[k,1] &= r_{0,n}[k,1] + r_{0,n}[k-1,2] \\
&= 2g_n[k,1](c_{0,2}[k,1]) + w_n[k,1] + w_n[k-1,1] \\
ri_n[k,2] &= r_{0,n}[k,2] - r_{0,n}[k-2,1] \\
&= 2g_n[k,1](-c_{0,2}^*[k,2]) + w_n[k,2] - w_n[k-1,2]
\end{aligned} \quad \dots (17)$$

[0084] つまり、基地局10-1が式(1)を満たし、基地局10-2が式(13)を満たすことで、式(16)または式(17)により所望信号をキャンセルした際に干渉信号が同位相で合成されるようになる。これにより、移動局20は、より精度のよい干渉信号の抽出ができる。なお、式(18)を満たせば、式(19)または式(20)によって所望信号をキャンセルした際に干渉信号を同位相で合成できる。

[0085] [数18]

$$\begin{aligned}
(s_{0,1}[k,1], s_{0,1}[k,2]) &= (e^{j\phi}, 0), (0, e^{j\phi}) \\
(s_{0,2}[k,1], s_{0,2}[k,2]) &= (e^{j(\phi+\pi)}, 0), (0, e^{j(\phi+\pi)}) \\
s_{0,1}[k,1] &= -s_{0,2}[k,1] \\
s_{0,1}[k,2] &= -s_{0,2}[k,2]
\end{aligned} \quad \dots (18)$$

[0086] [数19]

$$\begin{aligned}
ri_n[k,1] &= r_{0,n}[k,1] - r_{0,n}[k-1,1]e^{-j\phi} \\
&= 2g_n[k,1](c_{0,2}[k,1]) + w_n[k,1] - w_n[k-1,1] \\
ri_n[k,2] &= r_{0,n}[k,2] - r_{0,n}[k-2,2]e^{-j\phi} \\
&= 2g_n[k,1](-c_{0,2}^*[k,2]) + w_n[k,2] - w_n[k-1,2]
\end{aligned} \quad \dots (19)$$

[0087] [数20]

$$\begin{aligned}
ri_n[k,1] &= r_{0,n}[k,1] + r_{0,n}[k-1,2]e^{-j\phi} \\
&= 2g_n[k,1](c_{0,2}[k,1]) + w_n[k,1] + w_n[k-1,1] \\
ri_n[k,2] &= r_{0,n}[k,2] - r_{0,n}[k-2,1]e^{-j\phi} \\
&= 2g_n[k,1](-c_{0,2}^*[k,2]) + w_n[k,2] - w_n[k-1,2]
\end{aligned} \quad \dots (20)$$

[0088] なお、本実施の形態では、干渉信号を同位相で合成できるようにしたが、所望信号をキャンセルした際に必ずしも干渉信号を同位相にする必要はない。また、式(18)における ϕ はブロック k ごとに変更してもよい。

[0089] 以上説明したように、本実施の形態によれば、無線通信システム2は複数の基地局10を備え、送信装置11を備える基地局10-1, 10-2は、各々、基地局10ごとに異なる既知シンボル行列を用いることとした。この場合においても、受信装置21を備える移動局20は、DSTBC符号化のブロック番号が異なる番号同士の受信シンボル系列を合成することで、所望信号に対して、精度のよい干渉信号を抽出することができる。

[0090] 実施の形態3.

実施の形態1および実施の形態2では、送信装置11を備える基地局10から受信装置21を備える移動局20への通信の場合について説明した。実施の形態3では、送信装置11および受信装置21を備える通信装置について説明する。

[0091] 図12は、実施の形態3に係る無線通信システム3の構成例を示す図である。無線通信システム3は、2つの通信装置40を備える。通信装置40は、送信装置11と、受信装置21と、を備える。送信装置11および受信装置21は、各々、実施の形態1または実施の形態2で説明した機能を有する。すなわち、無線通信システム3では、通信装置40による双方向での通信が可能となる。なお、無線通信システム3は、通信装置40を3つ以上備える構成であってもよい。

[0092] 以上の実施の形態に示した構成は、一例を示すものであり、別の公知の技術と組み合わせることも可能であるし、実施の形態同士を組み合わせることも可能であるし、要旨を逸脱しない範囲で、構成の一部を省略、変更することも可能である。

符号の説明

[0093] 1, 2, 3 無線通信システム、10, 10-1, 10-2 基地局、10E, 10E-1, 10E-2 通信エリア、10P-1, 10P-2 パ

ス、１１ 送信装置、２０ 移動局、２１ 受信装置、３０ 制御装置、４
０ 通信装置、１０１ マッピング部、１０２ 既知系列マッピング部、１
０３ 選択部、１０４ ＤＳＴＢＣ符号化部、１０５，２０２ 無線部、１
０６，２０１ アンテナ、２０３ 既知シンボル系列判定部、２０４ 第１
の遅延部、２０５ 第２の遅延部、２０６ 制御部、２０７ 合成制御部、
２０８ ブロック合成部、２０９ ウェイト算出部、２１０ ウェイト乗算
部、２１１ 復調部。

請求の範囲

- [請求項1] 送信ビット系列を変調し変調シンボル系列を生成するマッピング部と、
- 既知ビット系列を変調し既知シンボル系列を生成する既知系列マッピング部と、
- 前記変調シンボル系列または前記既知シンボル系列のうち一方を選択し、送信シンボル系列として出力する選択部と、
- 前記送信シンボル系列を差動時空間ブロック符号化する符号化部と、
- を備え、
- 前記既知系列マッピング部は、前記符号化部の差動時空間ブロック符号化で得られる行列が規定された行列になるように前記既知シンボル系列を生成する、
- ことを特徴とする送信装置。
- [請求項2] 前記既知系列マッピング部は、前記規定された行列が、0および1、または0および1および-1で構成されるように前記既知シンボル系列を生成する、
- ことを特徴とする請求項1に記載の送信装置。
- [請求項3] 既知シンボル系列を用いて、差動時空間ブロック符号化された受信シンボル系列から前記既知シンボル系列の受信タイミングを検出する既知シンボル系列判定部と、
- 前記受信タイミングに基づいて、前記受信シンボル系列を合成する処理タイミングを生成する合成制御部と、
- 前記処理タイミングで、前記受信シンボル系列を差動時空間ブロック符号化のブロック単位でシンボルを加算または減算することで合成し、干渉信号を抽出するブロック合成部と、
- を備えることを特徴とする受信装置。
- [請求項4] 前記干渉信号を用いて、前記干渉信号を抑圧するための干渉抑圧ウ

エイトを算出するウェイト算出部、

を備えることを特徴とする請求項 3 に記載の受信装置。

[請求項5] 前記受信シンボル系列に前記干渉抑圧ウェイトを乗算し、前記受信シンボル系列の前記干渉信号を抑圧するウェイト乗算部、
を備えることを特徴とする請求項 4 に記載の受信装置。

[請求項6] 請求項 1 または 2 に記載の送信装置と、
請求項 3 から 5 のいずれか 1 つに記載の受信装置と、
を備えることを特徴とする通信装置。

[請求項7] 請求項 1 または 2 に記載の送信装置と、
請求項 3 から 5 のいずれか 1 つに記載の受信装置と、
を備えることを特徴とする無線通信システム。

[請求項8] 複数の前記送信装置を備え、複数の前記送信装置は、各々、異なる前記既知シンボル系列を用いる、
ことを特徴とする請求項 7 に記載の無線通信システム。

[請求項9] 送信装置を制御するための制御回路であって、
送信ビット系列を変調し変調シンボル系列を生成、
既知ビット系列を変調し既知シンボル系列を生成、
前記変調シンボル系列または前記既知シンボル系列のうち一方を選択し、送信シンボル系列として出力、
前記送信シンボル系列を差動時空間ブロック符号化、
を前記送信装置に実施させ、差動時空間ブロック符号化で得られる行列が規定された行列になるように前記既知シンボル系列を生成することを特徴とする制御回路。

[請求項10] 受信装置を制御するための制御回路であって、
既知シンボル系列を用いて、差動時空間ブロック符号化された受信シンボル系列から前記既知シンボル系列の受信タイミングを検出、
前記受信タイミングに基づいて、前記受信シンボル系列を合成する処理タイミングを生成、

前記処理タイミングで、前記受信シンボル系列を差動時空間ブロック符号化のブロック単位でシンボルを加算または減算することで合成し、干渉信号を抽出、

を前記受信装置に実施させることを特徴とする制御回路。

[請求項11] 送信装置を制御するためのプログラムが記憶された記憶媒体であって、

前記プログラムは、

送信ビット系列を変調し変調シンボル系列を生成、

既知ビット系列を変調し既知シンボル系列を生成、

前記変調シンボル系列または前記既知シンボル系列のうち一方を選択し、送信シンボル系列として出力、

前記送信シンボル系列を差動時空間ブロック符号化、

を前記送信装置に実施させ、差動時空間ブロック符号化で得られる行列が規定された行列になるように前記既知シンボル系列を生成することを特徴とする記憶媒体。

[請求項12] 受信装置を制御するためのプログラムが記憶された記憶媒体であって、

前記プログラムは、

既知シンボル系列を用いて、差動時空間ブロック符号化された受信シンボル系列から前記既知シンボル系列の受信タイミングを検出、

前記受信タイミングに基づいて、前記受信シンボル系列を合成する処理タイミングを生成、

前記処理タイミングで、前記受信シンボル系列を差動時空間ブロック符号化のブロック単位でシンボルを加算または減算することで合成し、干渉信号を抽出、

を前記受信装置に実施させることを特徴とする記憶媒体。

[請求項13] マッピング部が、送信ビット系列を変調し変調シンボル系列を生成する第1のステップと、

既知系列マッピング部が、既知ビット系列を変調し既知シンボル系列を生成する第2のステップと、

選択部が、前記変調シンボル系列または前記既知シンボル系列のうち一方を選択し、送信シンボル系列として出力する第3のステップと、

符号化部が、前記送信シンボル系列を差動時空間ブロック符号化する第4のステップと、

を含み、

前記第2のステップにおいて、前記既知系列マッピング部は、前記符号化部の差動時空間ブロック符号化で得られる行列が規定された行列になるように前記既知シンボル系列を生成する、

ことを特徴とする送信方法。

[請求項14]

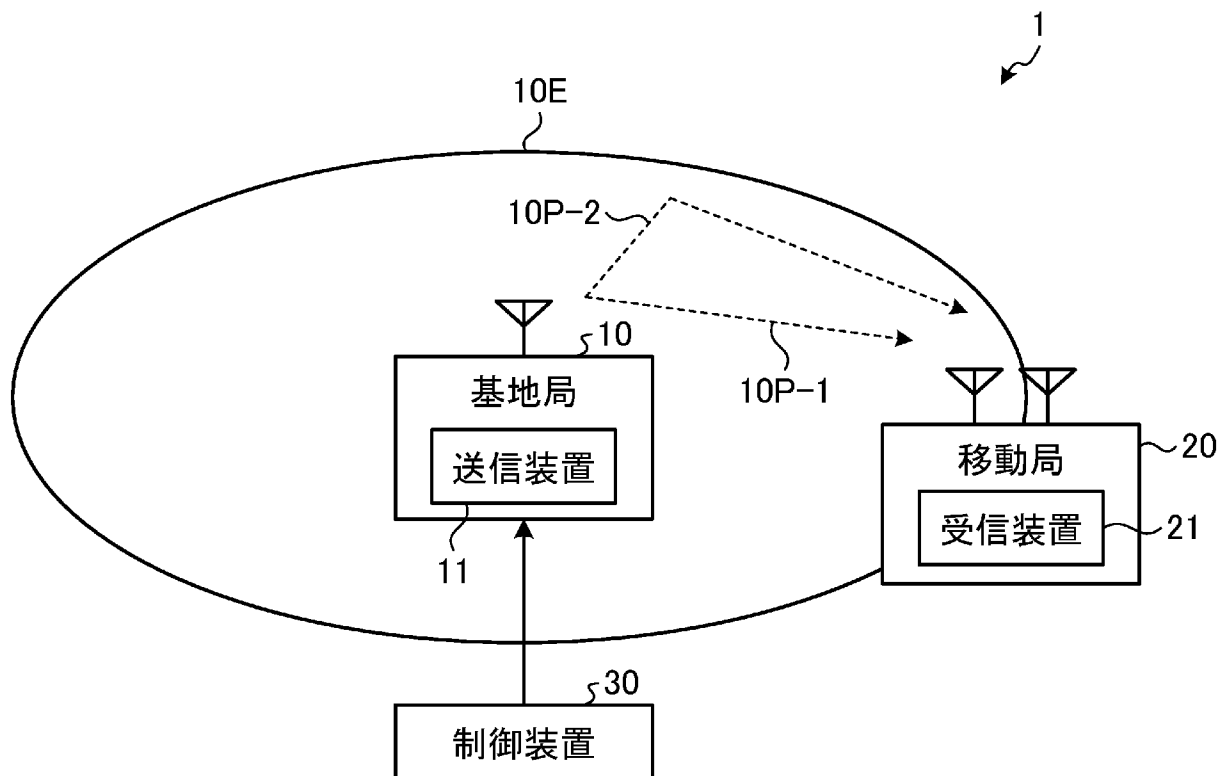
既知シンボル系列判定部が、既知シンボル系列を用いて、差動時空間ブロック符号化された受信シンボル系列から前記既知シンボル系列の受信タイミングを検出する第1のステップと、

合成制御部が、前記受信タイミングに基づいて、前記受信シンボル系列を合成する処理タイミングを生成する第2のステップと、

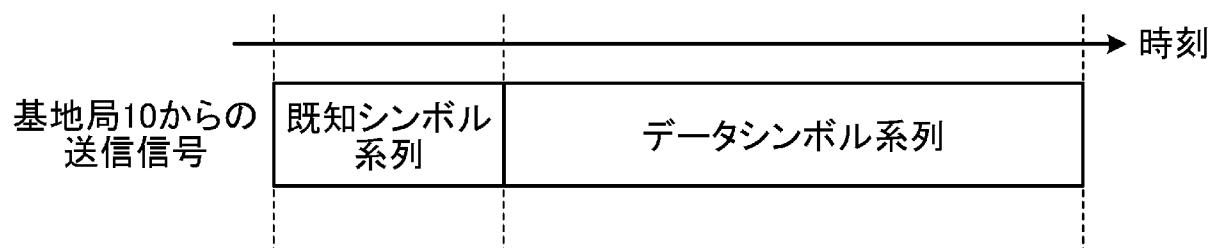
ブロック合成部が、前記処理タイミングで、前記受信シンボル系列を差動時空間ブロック符号化のブロック単位でシンボルを加算または減算することで合成し、干渉信号を抽出する第3のステップと、

を含むことを特徴とする受信方法。

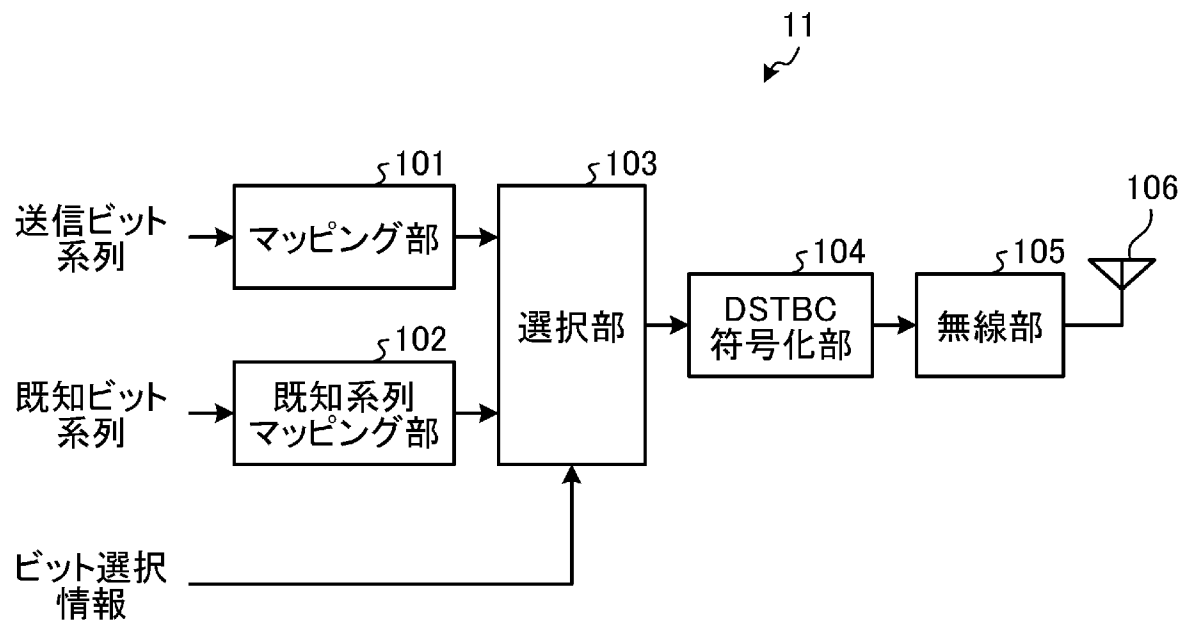
[図1]



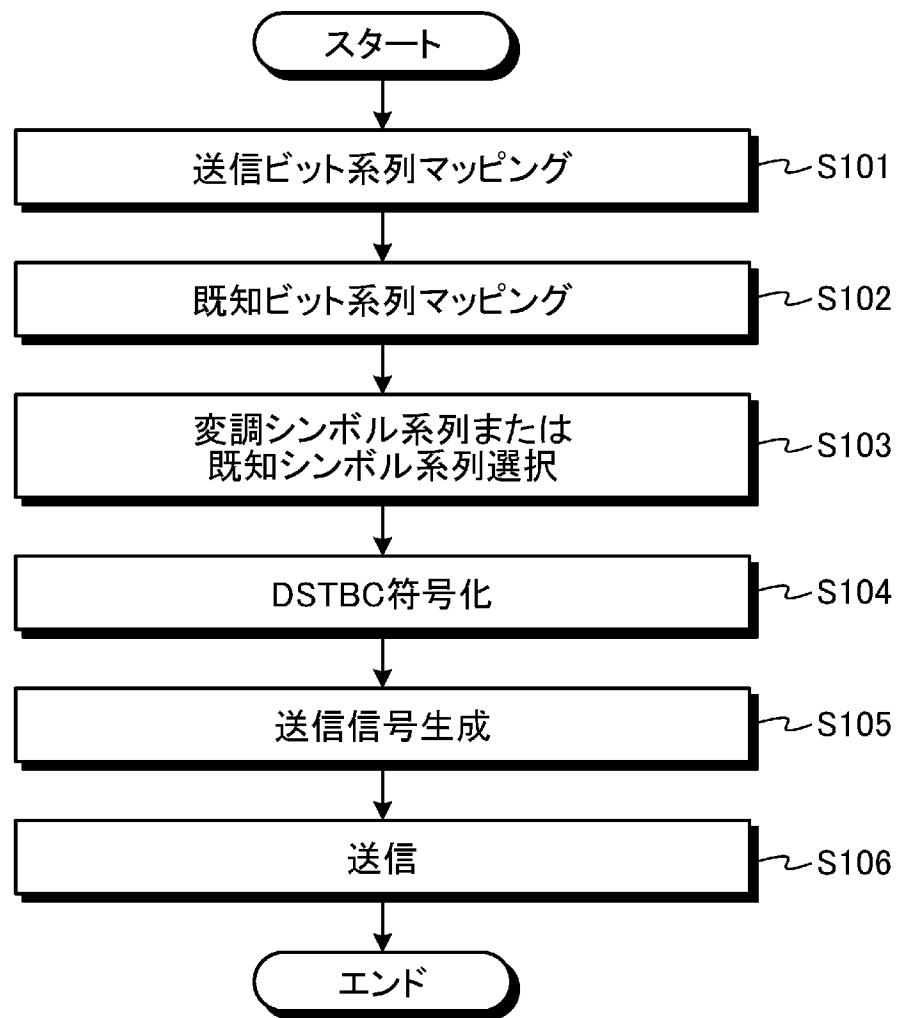
[図2]



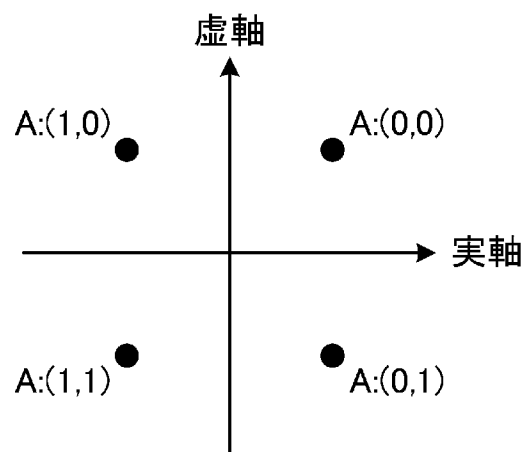
[図3]



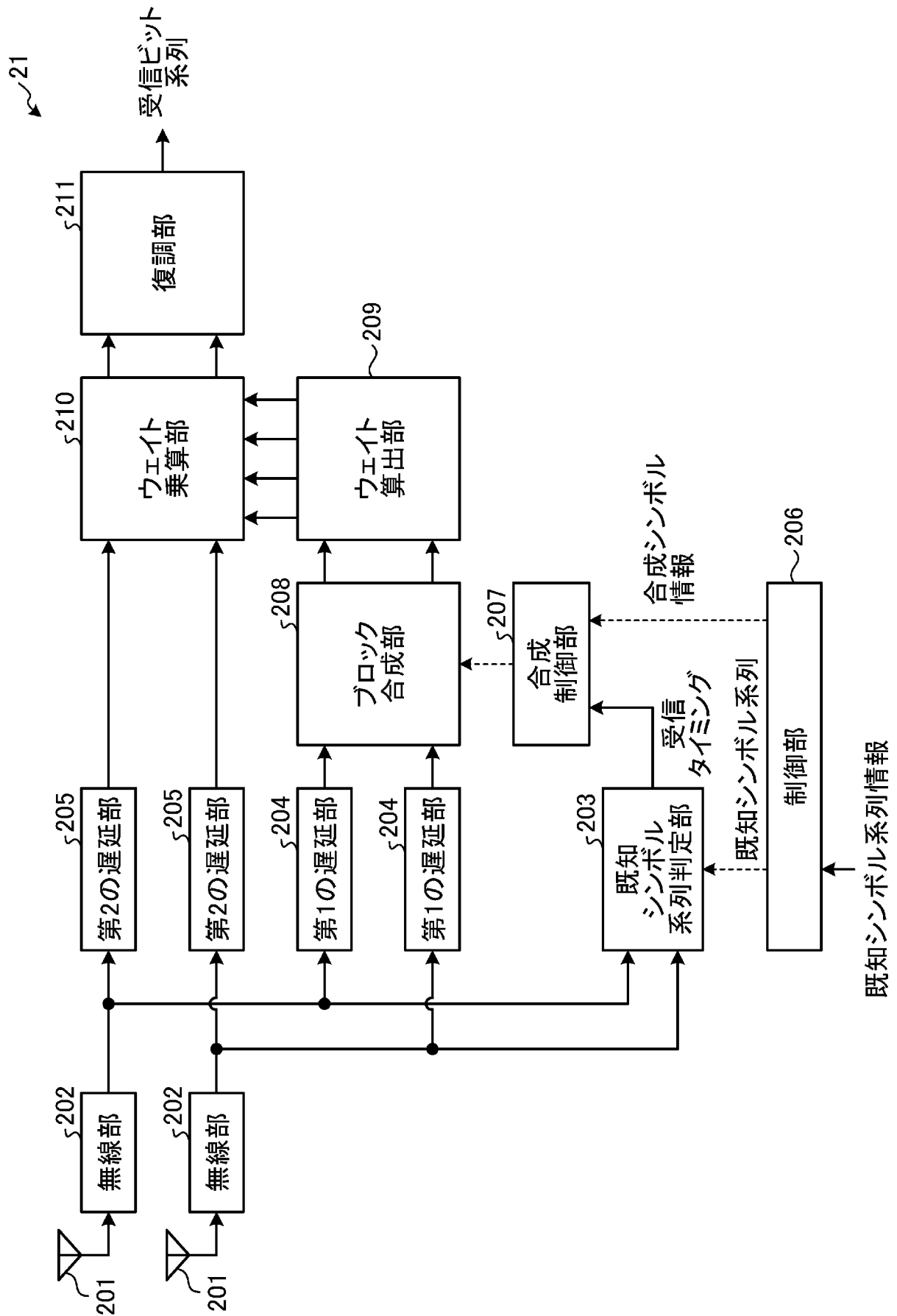
[図4]



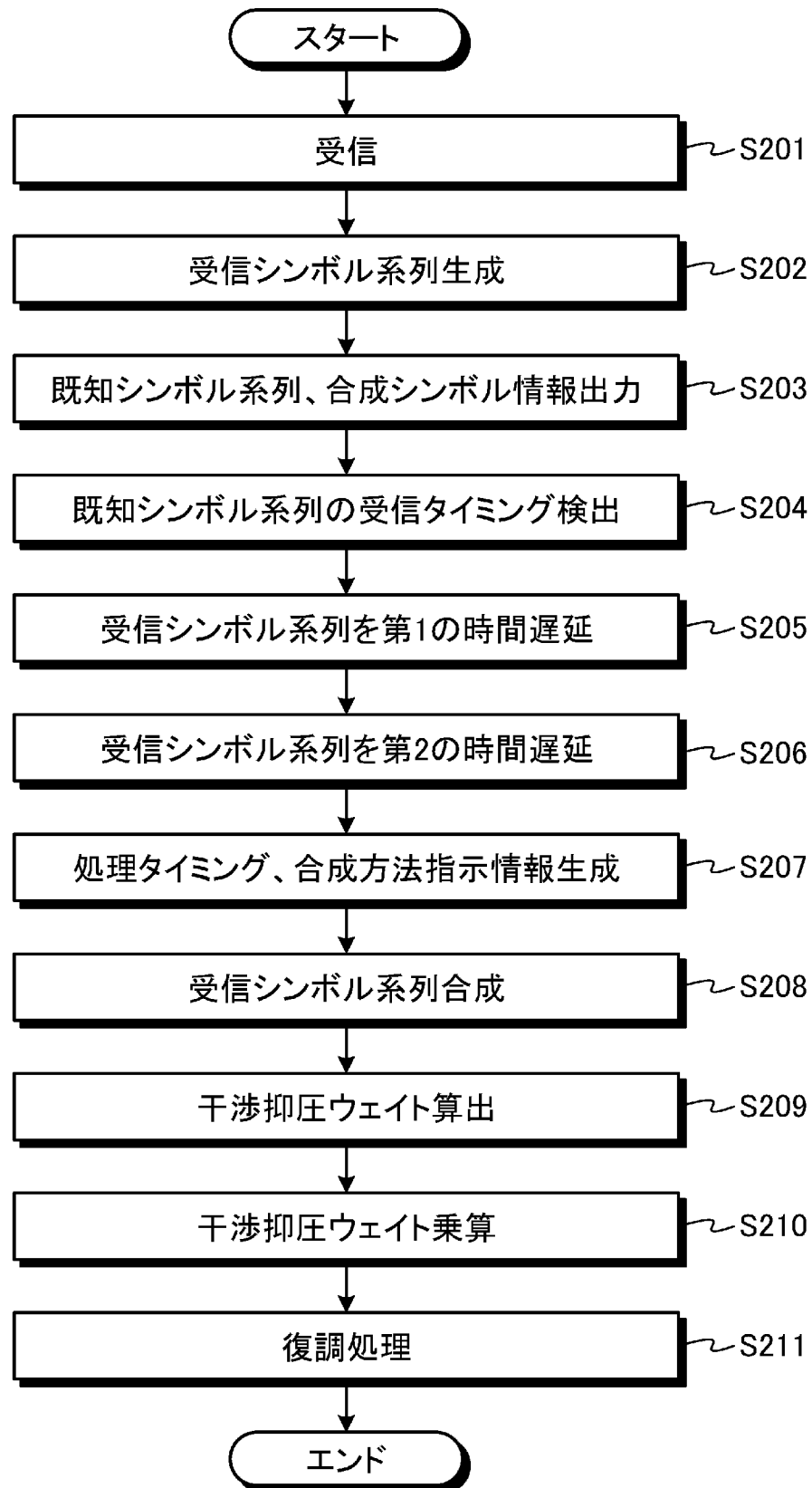
[図5]



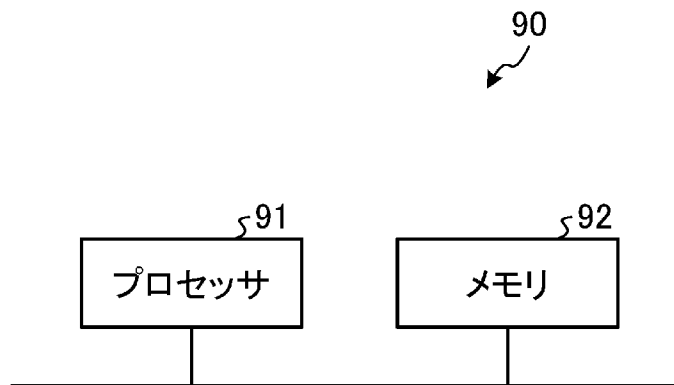
[図6]



[図7]



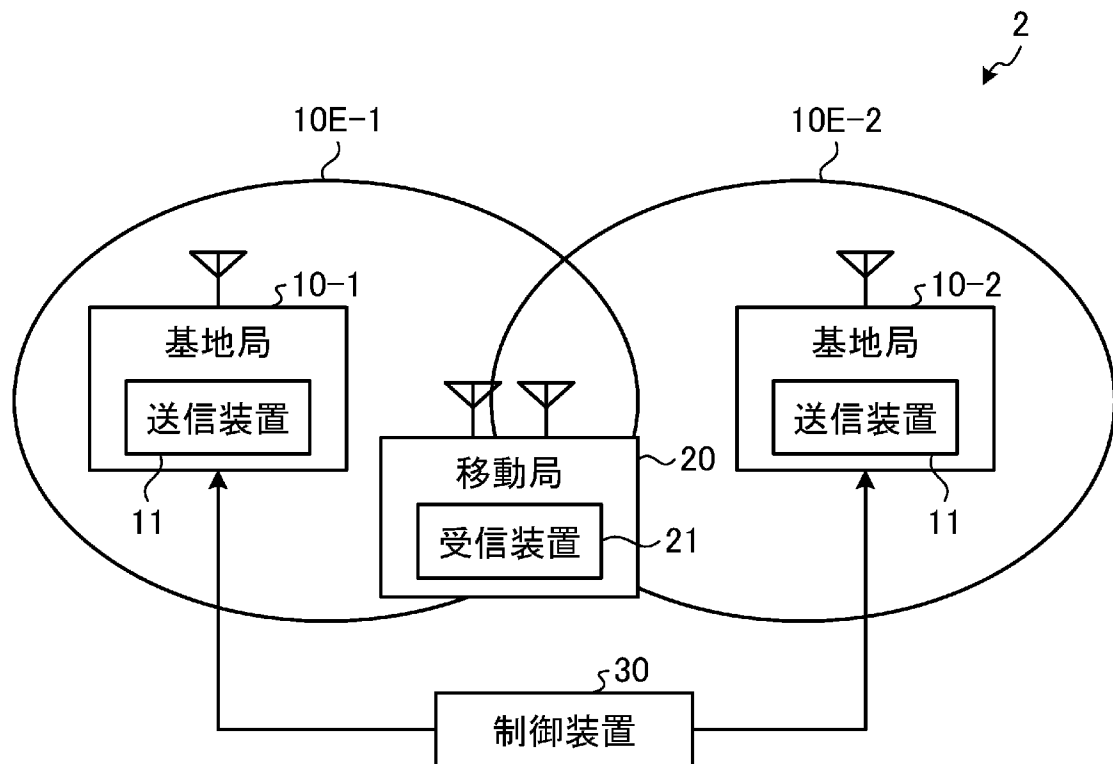
[図8]



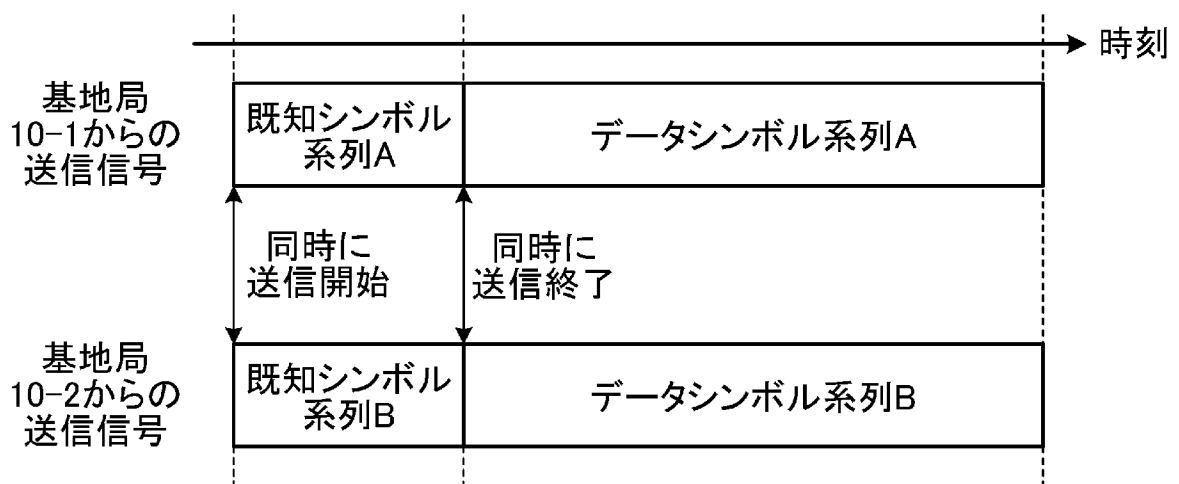
[図9]



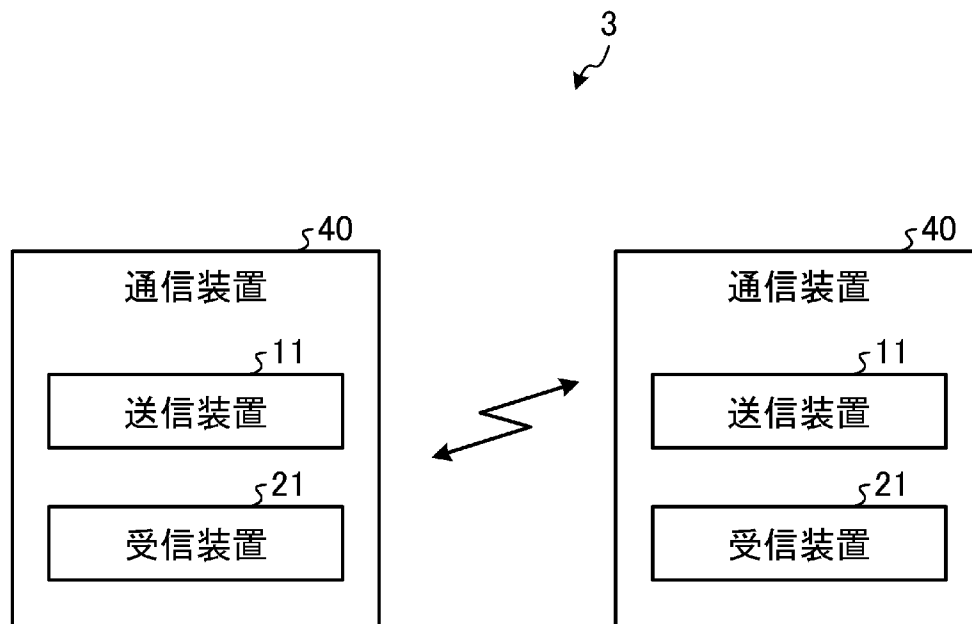
[図10]



[図11]



[図12]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2021/012363

A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl. H04L1/06 (2006.01) i

FI: H04L1/06 180

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl. H04L1/06

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2021

Registered utility model specifications of Japan 1996-2021

Published registered utility model applications of Japan 1994-2021

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

IEEE Xplore

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2014-120836 A (MITSUBISHI ELECTRIC CORP.) 30	1-2, 9, 11, 13
Y	June 2014 (2014-06-30), paragraphs [0025]-[0051], fig. 2-4	6-8
Y	JP 6526348 B1 (MITSUBISHI ELECTRIC CORP.) 05 June 2019 (2019-06-05), paragraphs [0092]-[0121], fig. 10-13	3-8, 10, 12, 14
Y	JP 2017-225117 A (NIPPON HOSO KYOKAI) 21 December 2017 (2017-12-21), paragraphs [0081]-[0093], fig. 3	3-8, 10, 12, 14



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

15.06.2021

Date of mailing of the international search report

22.06.2021

Name and mailing address of the ISA/

Japan Patent Office

3-4-3, Kasumigaseki, Chiyoda-ku,

Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No.

PCT/JP2021/012363

Patent Documents referred to in the Report	Publication Date	Patent Family	Publication Date
JP 2014-120836 A	30.06.2014	(Family: none)	
JP 6526348 B1	05.06.2019	WO 2019/163037 A1	
JP 2017-225117 A	21.12.2017	(Family: none)	

A. 発明の属する分野の分類（国際特許分類（IPC）） H04L 1/06(2006.01)i FI: H04L1/06 180		
B. 調査を行った分野		
調査を行った最小限資料（国際特許分類（IPC）） H04L1/06		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2021年 日本国実用新案登録公報 1996-2021年 日本国登録実用新案公報 1994-2021年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語） IEEE Xplore		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2014-120836 A（三菱電機株式会社）30.06.2014（2014-06-30） [0025] - [0051]，図2-4	1-2, 9, 11, 13
Y		6-8
Y	JP 6526348 B1（三菱電機株式会社）05.06.2019（2019-06-05） [0092] - [0121]，図10-13	3-8, 10, 12, 14
Y	JP 2017-225117 A（日本放送協会）21.12.2017（2017-12-21） [0081] - [0093]，図3	3-8, 10, 12, 14
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日 15.06.2021	国際調査報告の発送日 22.06.2021	
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 北村 智彦 5K 9297 電話番号 03-3581-1101 内線 3556	

国際調査報告
パテントファミリーに関する情報

国際出願番号

PCT/JP2021/012363

引用文献			公表日	パテントファミリー文献	公表日
JP	2014-120836	A	30.06.2014	(ファミリーなし)	
JP	6526348	B1	05.06.2019	WO	2019/163037 A1
JP	2017-225117	A	21.12.2017	(ファミリーなし)	