

公告本

申請日期：92.2.28

申請案號：92104050

IPC分類

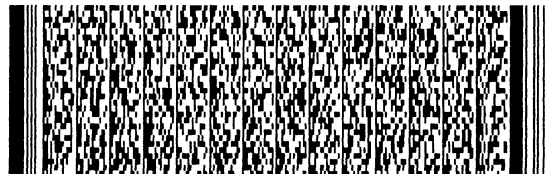
H01L 21/335, H01L 21/36, H01L 21/336

(以上各欄由本局填註)

發明專利說明書

586165

一、 發明名稱	中文	自對準奈米管場效電晶體及其製造方法
	英文	SELF-ALIGNED NANOTUBE FIELD EFFECT TRANSISTOR AND METHOD OF FABRICATING SAME
二、 發明人 (共6人)	姓名 (中文)	1. 阿本列勒, 約格 2. 阿伏利, 費頓 3. 陳, 凱文 K.
	姓名 (英文)	1. APPENZELLER, Joerg 2. AVOURIS, Phaeton 3. CHAN, Kevin K.
	國籍 (中英文)	1. 德國 DE 2. 美國 US 3. 美國 US
	住居所 (中文)	1. 美國紐約州10595法哈拉市安傳斯路55號 2. 美國紐約州10598約克鎮高地晨景道1673號 3. 美國紐約州10314史坦頓島斯勒頓大道41號
	住居所 (英文)	1. 55 Entrance Way, Valhalla, NY 10595 USA 2. 1673 Morningview Drive, Yorktown Heights, NY 10598 USA 3. 41 Slayton Avenue, Staten Island, NY 10314 USA
三、 申請人 (共1人)	名稱或姓名 (中文)	1. 國際商業機器股份有限公司
	名稱或姓名 (英文)	1. INTERNATIONAL BUSINESS MACHINES CORPORATION
	國籍 (中英文)	1. 美國 US
	住居所 (營業所) (中文)	1. 美國紐約州10504亞芒克市新奧爾察德路 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英文)	1. New Orchard Road, Armonk, NY 10504, USA
	代表人 (中文)	1. 傑羅 羅森梭
	代表人 (英文)	1. Gerald Rosenthal

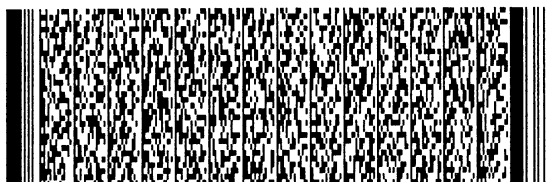


申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	
	英 文	
二、 發明人 (共6人)	姓 名 (中文)	4. 柯林斯，菲利浦 G. 5. 馬泰爾，李察 6. 王，洪生 菲利浦
	姓 名 (英文)	4. COLLINS, Philip G. 5. MARTEL, Richard 6. WONG, Hong-Sum Philip
	國 籍 (中英文)	4. 美國 US 5. 加拿大 CA 6. 美國 US
	住居所 (中 文)	4. 美國加州94618奧克蘭市哈得森街451號 5. 美國紐約州10566皮克斯基市德皮育街329號 6. 美國紐約州10514查帕奎市谷景路15號
	住居所 (英 文)	4. 451 Hudson Street, Oakland, CA 94618 USA 5. 329 Depew Street, Peekskill, NY 10566 USA 6. 15 Valley View Road, Chappaqua, NY 10514 USA
三、 申請人 (共1人)	名稱或 姓 名 (中文)	
	名稱或 姓 名 (英文)	
	國 籍 (中英文)	
	住居所 (營業所) (中 文)	
	住居所 (營業所) (英 文)	
	代表人 (中文)	
	代表人 (英文)	



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

美國 US

2002/03/20

10/102,365

有

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得，不須寄存。

五、發明說明 (1)

一、【發明所屬之技術領域】

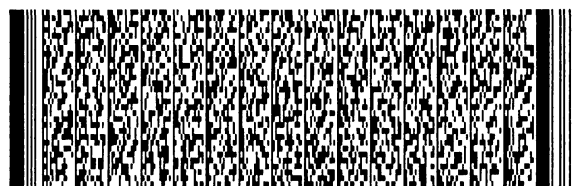
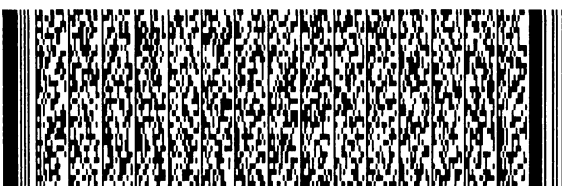
本發明係有關於一種場效電晶體，特別有關於一種碳奈米管場效電晶體。

二、【先前技術】

在分子奈米電子學 (molecular nanoelectronics) 領域中，很少有材料像奈米管那麼有希望，特別是碳奈米管，其包含有埃米等級直徑的石墨中空圓柱。奈米管可被使用於電子元件中，如二極體及電晶體，視奈米管的電子特性而定。奈米管具有特殊的尺寸、形狀以及物理特性。結構上碳奈米管類似碳的六角形晶格滾入一圓柱中。

除了有趣的低溫下量子行為，碳奈米管具有至少兩項重要特性：奈米管可以是金屬或是半導體的，依其對掌性 (chirality) 而定 (即構造幾何，conformational geometry)。金屬奈米管可以固定電阻率傳載極大電流。半導體奈米管則可以電切換開或關，類似一場效電晶體 (field-effect transistor, FET)。這兩種奈米管可共價連接 (分享電子)。這些特性使得奈米管成為製作奈米等級半導體電路之良好材料。

此外，碳奈米管為一一維電導體，意即僅有一維量子力學模式傳載電流。因為材料內之散射 (scattering) 被強烈壓抑，而使得使用碳奈米管之電晶體的元件效能具有



五、發明說明 (2)

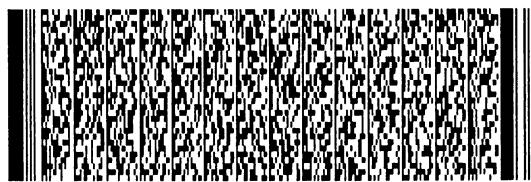
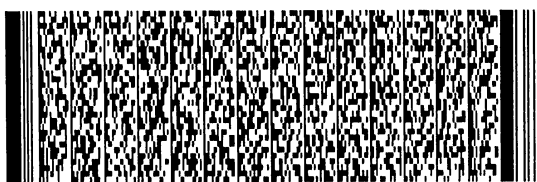
強大的優勢。元件具有較低之散射，代表具有較好之效能。

對一個三端元件而言，例如場效電晶體，一閘極(第三端)需要與主動通道區、源極以及汲極絕緣。因此需要使用例如是二氧化矽等介電材料。要改善矽元件內之元件特性，介電層厚度可降低。而介電層厚度減少，使得閘極電容增加，且促進閘極對通道(gate-to channel)之耦合。對標準矽場效應元件而言，閘極電容之大小與介電層厚度成反比。現今製造的高效能處理器中，二氧化矽之厚度低於4nm。重要的是，不易達到更低之厚度，因為當氧化層厚度低於4nm時，閘極透過介電層之漏電流指數增加。

然而，對於一碳奈米管電晶體而言，閘極電容與介電層厚度不呈反比關係。取而代之的是，碳奈米管依循一對數關係。與一般標準之矽場效電晶體相較，因為其圓柱狀幾何外形，碳奈米管電晶體之閘極電容可以更大。

未有已知系統或方法在一場效電晶體中使用奈米管以達較佳表現與較小尺寸。因此，需要一製作一奈米管場效電晶體的系統及方法。

三、【發明內容】



五、發明說明 (3)

根據本發明之一實施例，提供一自對準碳奈米管場效電晶體半導體元件。此元件包括以下。一碳奈米管放置於一基板。一源極形成於上述碳奈米管之一第一端。一汲極形成於上述碳奈米管之一第二端。以及一閘極實質形成於上述碳奈米管之一部分上，並以一介電層使上述閘極與上述碳奈米管隔開。

上述基板包括一熱氧化層沉積於一矽基板上。熱氧化層之厚度約為150nm。

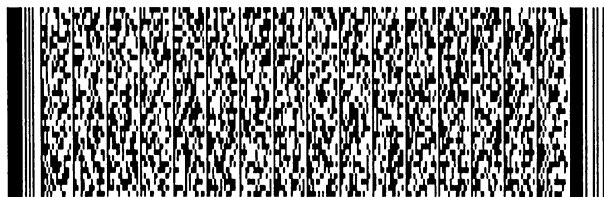
上述閘極更以一氧化層與碳奈米管隔開。一部分閘極以一氮化間隙壁 (nitride spacer) 與源極和汲極隔離。

此元件更包括一保護介電層於元件上。

此半導體元件更包括一對準記號於基板上，供源極以及汲極對準。

上述閘極披覆於介電層以及碳奈米管，並與碳奈米管之一背面接觸。

根據本發明之一實施例，提供一自對準碳奈米管場效電晶體半導體元件。此元件包括以下。一垂直碳奈米管，以一介電材料纏繞。一源極，形成於上述碳奈米管之一第



五、發明說明 (4)

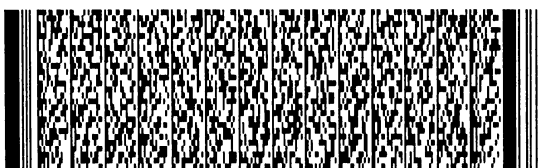
一端。一汲極，形成於上述碳奈米管之一第二端。一雙層氮化物複合體 (bilayer nitride complex)，供形成源極以及汲極各自之一捆帶 (band strap)，並使源極以及汲極與介電材料纏繞之碳奈米管連接。以及一閘極，實質形成於上述碳奈米管之一部分上。

上述之元件包括一金屬催化劑於碳奈米管之一基部 (base)。

根據本發明之一實施例，提供一形成自對準碳奈米管場效電晶體半導體元件的方法。此方法包括以下步驟。放置一碳奈米管於一熱氧化物基板上，其中基板包括一對準記號。於碳奈米管之每一端形成一金屬接點，其中一第一金屬接點係一源極，且一第二金屬接點係一汲極。沉積一非晶矽層，於自對準碳奈米管場效電晶體半導體元件上。形成一氮化間隙壁，於每一金屬接點之兩側。沉積具有高介電常數 (high k) 之一介電層，於自對準碳奈米管場效電晶體半導體元件上。氧化非晶矽層。以及形成一閘極，實質位於源極以及汲極之間，並於碳奈米管上。

上述方法更包括一步驟：沉積一保護介電層於元件上。

其中碳奈米管係一單壁 (single-walled) 碳奈米管。



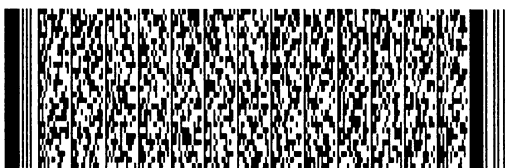
五、發明說明 (5)

金屬接點係利用一光阻形成。

根據本發明之一實施例，提供一形成自對準碳奈米管場效電晶體半導體元件的方法。此方法包括以下步驟。放置一碳奈米管於一熱氧化物基板上，其中基板包括一對準記號。以反應式離子蝕刻 (reactive ion etch) 方式，於碳奈米管之每一端形成一金屬接點，其中一第一金屬接點係一源極，且一第二金屬接點係一汲極。形成一氮化間隙壁於每一金屬接點之兩側。沉積具有高介電常數 (high k) 之一介電層，於自對準碳奈米管場效電晶體半導體元件上。以及形成一閘極，實質位於源極以及汲極之間，並於碳奈米管上。

上述方法更包含一步驟：沉積一保護介電層於元件上。

根據本發明之一實施例，提供一形成自對準碳奈米管場效電晶體半導體元件的方法。此方法包括以下步驟。放置一碳奈米管於一熱氧化物基板上，其中基板包括一對準記號。在碳奈米管之每一端，形成一非晶矽柱。以一氧化層使非晶矽柱絕緣。形成一閘極介電層，於非晶矽柱之間。形成一閘極，實質位於非晶矽柱之間，並於碳奈米管上。形成一氮化層，於閘極上。於閘極之每一邊，形成一氧化間隙壁。以金屬接點取代非晶矽柱，其中一第一金屬



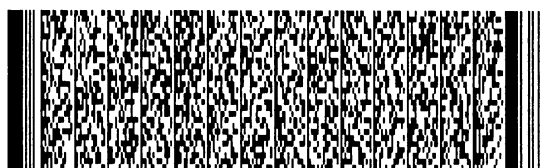
五、發明說明 (6)

接點係一源極，且一第二金屬接點係一汲極。以及沉積一保護介電層於元件上。

根據本發明之另一實施例，提供一形成自對準碳奈米管場效電晶體半導體元件的方法，此方法包括以下步驟。沉積一金屬催化劑於一熱氧化物基板。沉積一低溫氧化層於元件上。蝕刻形成一溝槽 (trench)，溝槽通過氧化層以及金屬催化劑，並進入位於金屬催化劑下方之一熱氧化層。蝕刻低溫氧化層以形成氧化物島。剝除

(stripping) 暴露之金屬催化劑。成長一奈米管，位於該等氧化物島之下的該金屬催化劑之間。以一閘極介電層包覆碳奈米管。形成氮化物間隙壁於氧化物島相對之表面。以化學氣相沉積方式形成一閘極，實質位於氧化物島之間，並位於奈米管上。以及沉積一保護介電層於元件上。

根據本發明之一實施例，提供一形成自對準碳奈米管場效電晶體半導體元件的方法，此方法包括以下步驟。成長一奈米管垂直於該半導體元件之一表面所形成之一金屬催化劑。形成一氮化物塊結構。以一閘極介電層包覆碳奈米管。沉積一閘極金屬，並以閘極介電層使閘極金屬與金屬催化劑隔開。沉積一氮化層。形成閘極金屬柱，被氮化層所覆蓋。形成氮化物間隙壁，包覆閘極金屬柱。沉積一汲極金屬，實質位於閘極金屬柱之間，以介電層使汲極金



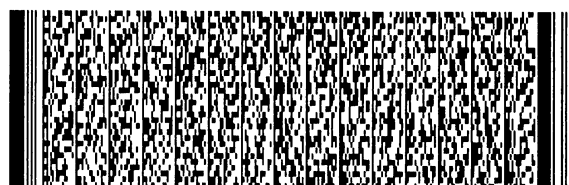
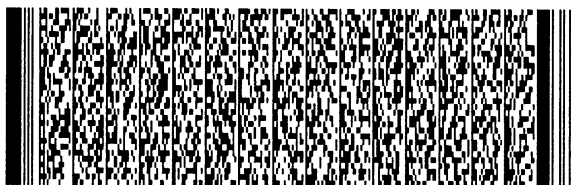
五、發明說明 (7)

屬與閘極金屬分開。以及沉積一保護介電層於元件上。

四、【實施方式】

根據本發明之一實施例，一場效電晶體之閘極、源極以及汲極係自對準，故降低重疊電容 (overlap capacitances)。

根據本發明之一實施例，一碳奈米管場效電晶體之製造，可利用一舉離蝕刻 (lift-off etch) 轉移圖案 (pattern transfer)，其中源極以及汲極形成於閘極之前。請參閱第1a~1i圖，一對準記號101形成於一熱氧化物102以及一矽基板103內。對準記號101係一精確圖樣，可做為定位圖案之參考。熱氧化物102沉積於矽基板103上，而此矽基板103可以為P+摻雜(0.01S-cm ，約 $3 \times 10^{18}\text{cm}^{-3}$)。一碳奈米管104沉積於熱氧化物102上，以及一光阻105可以微影術形成於矽基板103上。碳奈米管104可以一研漿 (slurry) 形式隨機放置。碳奈米管104亦可以應用組裝 (directed assembly) 方式放置，於後文將說明。光阻曝露出奈米管之兩端。金屬接點106~107形成於曝露出奈米管兩端之溝槽內。金屬可以為Co、Ni、W或是Ti。金屬沉積於元件上，填入曝露出奈米管104兩端之溝槽。光阻105可被剝除。金屬沉積於溝槽內以形成源極/汲極接點106、107。一非晶矽層108 (a-Si) 可沉積於元件上。一氮化層109可沉積覆蓋上述非晶矽層108上。蝕刻此氮化物

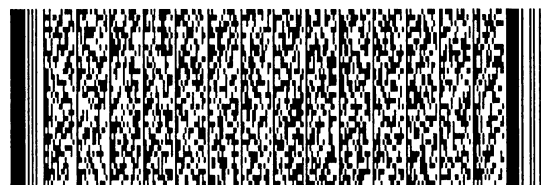
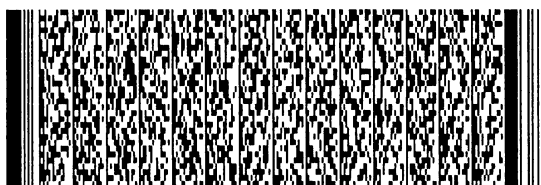


五、發明說明 (8)

109以形成金屬接點106、107之側的間隙壁110。而非晶矽108可以選擇性方式移除或以濕式化學方法氧化之。一閘極介電層111形成於元件上。這裡以及以下的方法中，介電層可以是二氧化矽或是任何高介電常數之材料，例如： HfO_2 。閘極112可利用化學氣相沉積以及蝕刻法實質形成金屬接點106、107、源極以及汲極之間。一保護介電層113沉積於元件上。源極、汲極以及閘極皆自對準於對準記號101。

在另一實施例中，在形成閘極之前，源極以及汲極以反應式離子蝕刻方法而成。請參閱第2a~2b圖，形成源極、汲極以及金屬接點106、107之方法，首先利用反應式離子蝕刻方式定義源極以及汲極之金屬。其中，反應式離子蝕刻需絕緣於碳奈米管104。一氮化層201沉積於元件上，並自金屬接點周圍區域蝕刻之。氮化物間隙壁202形成於金屬接點之側邊。一閘極介電層203沉積於元件上。閘極金屬204實質形成於源極以及閘極106、107之間。一保護介電層205可沉積於元件上。熱氧化層厚度約150nm。

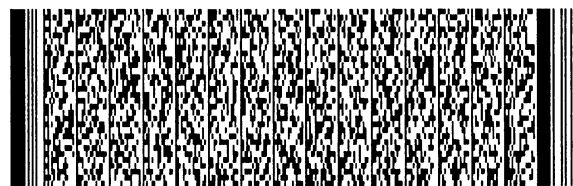
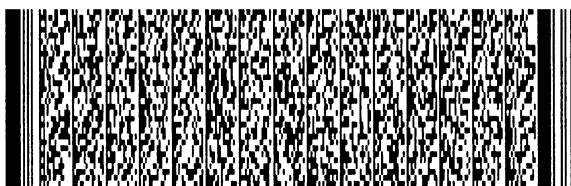
根據本發明之另一實施例，閘極可形成於源極/汲極之前。非晶矽301可沉積於碳奈米管104之兩端。此非晶矽可以一氧化物層302覆蓋。一閘極介電層303沉積於非晶矽層，例如301，之間。一閘極304實質形成於此非晶矽柱301之間。一氮化層305形成覆蓋閘極304。氧化物間隙壁



五、發明說明 (9)

306 形成於閘極304金屬之兩端。而暴露出之非晶矽/氧化物之角落，可以被剝除以露出非晶矽。餘下之非晶矽包覆閘極金屬，可以反應式離子蝕刻方式移除之。金屬接點307、308與奈米管104連接，奈米管104部分位於閘極304以及閘極介電層303下方。金屬接點307、308形成此半導體元件之源極以及汲極。金屬接點307、308可以對準沉積於熱氧化層102以及矽基板103內之對準記號101。最後一保護介電層309於此元件上。

根據本發明之一實施例，一碳奈米管場效電晶體可於適當處成長。其中源極/汲極形成於閘極之前，一非晶矽層401沉積於一熱氧化層102上。一低溫氧化層402 (LTO) 可沉積於金屬催化劑上。蝕刻低溫氧化層402、非晶矽層401以及熱氧化層102以形成一溝槽。則部分位於氧化層402下方之非晶矽層401被底切 (under cut)。一金屬催化劑401B則進入非晶矽401被底切之邊緣，其中，金屬催化劑可以為Fe、Co、Ni或是Fe/Mo。一碳奈米管403可成長於金屬催化劑401B之間，其中一部分奈米管懸吊於熱氧化層102上。一閘極介電層404以化學氣相沉積方式沉積並包覆奈米管403。因此奈米管403可完全以閘極介電層覆蓋。間隙壁405可形成於氧化層402之側邊。一閘極406可實質形成於氧化層402之間。若是熱氧化層102被蝕刻的夠深，則閘極金屬406可包覆整個碳奈米管403以及介電層404。為達到此目的，閘極金屬可以化學氣相沉積之方式，以覆



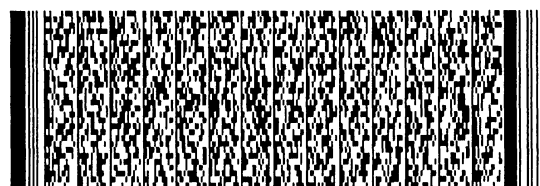
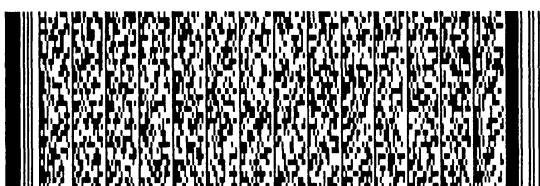
五、發明說明 (10)

蓋奈米管/介電層堆疊之背面。此一包覆方式，提供較佳之閘極與奈米管之耦合。一保護介電層406沉積於元件表面上。

根據本發明之另一實施例，一碳奈米管於適當處垂直成長。成長一奈米管垂直於例如於基部的一金屬源極或一金屬催化劑。請參閱第5a~5n圖，一金屬催化劑501形成於矽基板502上。一氮化物503之第一層沉積於半導體元件上。在氮化物503上沉積一氧化層504，再在氧化層504上沉積第二層氮化物505。一光阻506以一般微影製程形成於此半導體元件，且曝露出金屬催化劑501之部分。將複數個第二金屬催化劑507沉積於此元件上。再將光阻506剝離，使得第二金屬催化劑507僅存在於第一金屬催化劑501上。而在每一第二金屬催化劑507上，垂直地成長一奈米管508，如此形成奈米管的二維以及三維陣列。

當分子金屬催化劑設置對準於基板上之細孔 (pore)，則碳奈米管垂直於基板成長。在此情形下，成長空間被侷限，並使奈米管之成長僅在垂直方向。原則上，垂直之細孔，如第5b圖所示，可利用光阻及圖案轉移製作。

一非晶矽層509形成覆蓋元件。元件可被平坦化至與氮化層505齊。再移除部分之氮化物-氧化物-氮化物層503

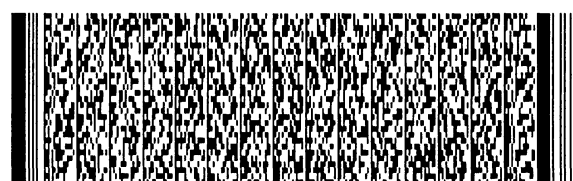
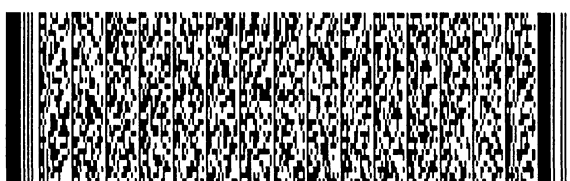


五、發明說明 (11)

~505。奈米管508周圍以及金屬催化劑501、507周圍留下柱狀物 (pillar)。一犧牲層510覆蓋氮化物505、碳奈米管508以及非晶矽509。接觸層可以為Ti或是W。移除氮化物503以及505間之氧化物504。接著非晶矽509同時自奈米管508周圍被移除。非晶矽509亦可以在移除氧化物504之後被移除。一閘極介電層511，形成於奈米管508周圍，位於犧牲層510下，金屬催化劑510上。若為二維奈米管陣列，閘極介電層511可形成於碳奈米管間。犧牲層510可以蝕刻方式移除。接著沉積於元件表面上。沉積第三氮化層513於閘極金屬512上。接著移除部份氮化物513以及閘極512，而形成柱狀之氮化物513以及閘極512仍包覆前述金屬催化劑-奈米管結構。氮化物間隙壁514形成於柱狀物周圍。汲極接點515形成於金屬催化劑-奈米管結構上，形成一場效電晶體。沉積一保護介電層516於各個場效電晶體之間。

必須注意的是，自金屬催化劑成長奈米管之確實機制並不被知道。不過此一金屬催化劑成長單壁奈米管之過程，例如鈷於氧化鋁支撐之鉬顆粒上 (Cobalt over alumina-supported Molybdenum particles)，可採用不同之方式。

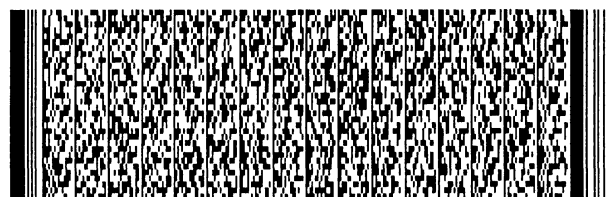
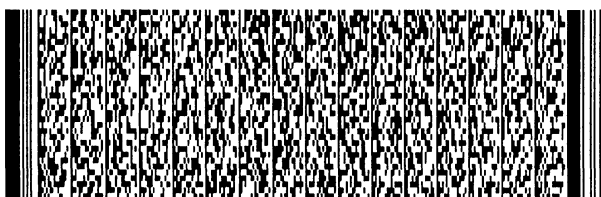
根據本發明之另一實施例，可採用應用組裝之方式，而非如前所述放置或成長的方式來擺放奈米管。應用組裝



五、發明說明 (12)

可用於垂直或是水平之奈米管放置，此放置係利用化學或物理方式驅動之選擇性設置。此一選擇性放置包括形成一黏著層或是化學基團 (chemical groups) 作為接收體，用以幫助奈米管放置在所需之位置上。第6a~6b圖分別顯示水平以及垂直應用組裝之方法。其中，一奈米管601兩端包括預設之化學基團602，例如DNA股 (strand) 或是醇類。奈米管601被帶到靠近具有接收體604之基板603，若用DNA，則使用互補之DNA股。而若用醇類，則金粒或包含金的接點可用以作為鏈結具有此類化學基團602之奈米管601。而奈米管601可以此組裝方式設置於基板603內。

效能較佳之高介電常數介電層可作為閘極之絕緣層。一碳奈米管場效電晶體之電容不會隨介電層厚度產生巨大變化，因此較難達到所需之電容，甚至是較薄之閘極介電層。 Al_2O_3 (介電常數 $k=9$) 以及 HfO_2 (介電常數 $k=20$) 在此背景之下，則有希望可以作為介電層用。化學氣相沉積鋁，再氧化以形成高介電常數之閘極介電層，或是直接沉積 Al_2O_3 (HfO_2 亦可以直接沉積)。與二氧化矽相較，使用上述材料約可增加五倍之閘極電容，且對半導體元件之效能比減少介電層厚度具有較大之影響效果。由於奈米管在一空氣環境下為pFET，而在真空下通入氫氣並經過退火後，會轉變為nFET，因此在介電層沉積前，可對此半導體元件進行退火，使此奈米管轉變為nFET。在原處 (in situ) 以一介電層加蓋此一半導體元件，以防止奈米管再次轉換為



五、發明說明 (13)

pFET。對一互補技術而言，應轉為pFET的場效電晶體上的介電層可被移除，且仍可摻雜此些場效電晶體。再在低溫下利用一化學氣相沉積塗佈此些元件，不需額外之退火步驟。

既然所有結構(pFET或是nFET)皆以氧化層(或是其他適當之介電層)覆蓋，因此在閘極電極製造時，並不會產生短路。閘極之沉積可使用化學氣相沉積。如第4以及第5圖所示，利用化學氣相沉積法進行此一製程可確定介電層完全包覆奈米管，同時閘極金屬亦完全包覆介電層，而形成一良好閘極至奈米管耦合之條件。閘極金屬可以在所需之地方被圖案化(patterned)或是移除。而源極和汲極可以開放(open)以供電接觸。

雖然本發明已以一較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

五、【圖式簡單說明】

第1a~1i圖顯示本發明一實施例之一源/閘極第一碳奈米管場效電晶體；

第2a~2b圖顯示本發明另一實施例之一源/閘第一碳奈米管場效電晶體；

第3a~3g圖顯示本發明一實施例之一閘極第一碳奈米管場效電晶體；

第4a~4d圖顯示本發明一實施例之一碳奈米管場效電晶體包含適當地方成長之一奈米管；

第5a~5n圖顯示本發明一實施例之一碳奈米管場效電晶體包含適當地方垂直成長之一奈米管；以及

第6a~b圖顯示本發明一實施例奈米管之應用組裝。

元件符號說明

101~對準記號；

102~熱氧化層；

103、502、603~矽基板；

104、403、508、601~奈米管；

105、506~光阻；

106、107、307、308、515~接點；

108、301、401、509~非晶矽層；

109、201、305、503、505、513~氮化層；

110、202、306、405、514~間隙壁；

111、113、203、205、303、309、404、511、516~介電



圖式簡單說明

層；

112、204、304、406、512~ 閘極；

302、402、504~ 氧化物層；

401B、501、507~ 金屬催化劑；

510~ 犧牲層；

602~ 化學基團；

604~ 接收體。



四、中文發明摘要 (發明名稱：自對準奈米管場效電晶體及其製造方法)

一自對準碳奈米管場效電晶體半導體元件，包括：一碳奈米管放置於一基板；一源極形成於上述碳奈米管之一第一端；一汲極形成於上述碳奈米管之一第二端；以及一閘極實質形成於上述碳奈米管之一部分上，並以一介電層使上述閘極與上述碳奈米管隔開。

伍、(一)、本案代表圖為：第1i圖

(二)、本案代表圖之元件代表符號簡單說明：

101 對準記號	102 熱氧化層
103 矽基板	104 奈米管
105 光阻	106、107 接點
108 非晶矽層	1093 氮化層
110 間隙壁	111、113 介電層
112 閘極	

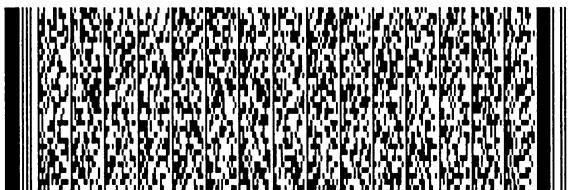
六、英文發明摘要 (發明名稱：SELF-ALIGNED NANOTUBE FIELD EFFECT TRANSISTOR AND METHOD OF FABRICATING SAME)

A self-aligned carbon-nanotube field effect transistor semiconductor device comprises a carbon-nanotube deposited on a substrate, a source and a drain formed at a first and a second end of the carbon-nanotube, respectively, and a gate formed substantially over a portion of the carbon-nanotube, separated from the carbon-nanotube by a dielectric film.



六、申請專利範圍

1. 一種自對準碳奈米管場效電晶體半導體元件，包括：
 - 一碳奈米管放置 (deposited) 於一基板；
 - 一源極形成於該碳奈米管之一第一端；
 - 一汲極形成於該碳奈米管之一第二端；以及
 - 一閘極實質形成於該碳奈米管之一部分上，並以一介電層使該閘極與該碳奈米管隔開。
2. 如申請專利範圍第1項所述之自對準碳奈米管場效電晶體半導體元件，其中該基板包括一熱氧化層沉積於一矽基板。
3. 如申請專利範圍第2項所述之自對準碳奈米管場效電晶體半導體元件，其中該熱氧化層之厚度約為150nm。
4. 如申請專利範圍第1項所述之自對準碳奈米管場效電晶體半導體元件，其中一部分之該閘極更以一氧化層與該碳奈米管隔開。
5. 如申請專利範圍第1項所述之自對準碳奈米管場效電晶體半導體元件，其中該閘極以一氮化物間隙壁 (spacer)，與該源極和汲極隔開。
6. 如申請專利範圍第1項所述之自對準碳奈米管場效電晶體半導體元件，更包括一保護介電層 (passivation



六、申請專利範圍

dielectric layer) 覆蓋該元件。

7. 如申請專利範圍第1項所述之自對準碳奈米管場效電晶體半導體元件，更包括一對準記號於該基板上，供該源極以及該汲極對準。

8. 如申請專利範圍第1項所述之自對準碳奈米管場效電晶體半導體元件，其中該閘極披覆於 (wraps around) 該介電層以及該碳奈米管，以與該碳奈米管之一背面接觸。

9. 一種碳奈米管場效電晶體半導體元件，包括：

一垂直碳奈米管，以一介電材料纏繞 (wrap) ；

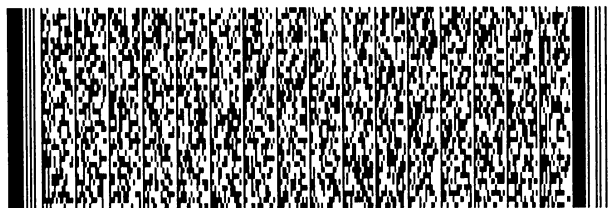
一源極，形成於該碳奈米管之一第一端；

一汲極，形成於該碳奈米管之一第二端；

一雙層氮化物複合體 (bilayer nitride complex) ，供形成該源極以及該汲極各自之一捆帶 (band strap) ，並使該源極以及該汲極與該介電材料纏繞之該碳奈米管連接；以及

一閘極，實質形成於該碳奈米管之一部分上。

10. 如申請專利範圍第9項所述之碳奈米管場效電晶體半導體元件，其更包括一金屬催化劑於該碳奈米管之一基部 (base) 。



六、申請專利範圍

11. 一種形成一自對準碳奈米管場效電晶體半導體元件的方法，包括下列步驟：

放置一奈米管於一熱氧化物基板上，其中該基板包括一對準記號；

於該奈米管之每一端形成一金屬接點，其中一第一金屬接點係一源極，且一第二金屬接點係一汲極；

沉積一非晶矽層於該元件上；

形成一氮化間隙壁，於每一該等金屬接點之兩側 (opposing sides) ；

沉積具有高介電常數(high k)之一介電層於該元件上；

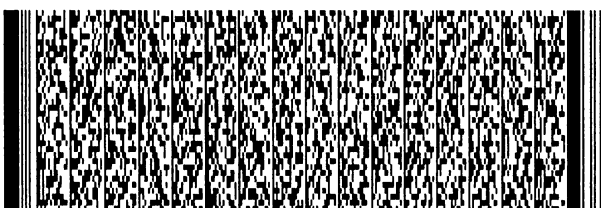
氧化該非晶矽層；以及

形成一閘極，實質上位於該源極以及該汲極之間，並位於該奈米管上。

12. 如申請專利範圍第11項所述之方法，其更包含一步驟：沉積一保護介電層於該元件上。

13. 如申請專利範圍第11項所述之方法，其中該奈米管係一單壁(single-walled)奈米管。

14. 如申請專利範圍第11項所述之方法，其中該等金屬接點係利用一光阻形成。



六、申請專利範圍

15. 一種形成一自對準碳奈米管場效電晶體半導體元件的方法，包括下列步驟：

放置一奈米管於一熱氧化物基板上，其中該基板包括一對準記號；

以反應式離子蝕刻 (reactive ion etch) 方式，於該奈米管之每一端形成一金屬接點，其中一第一金屬接點係一源極，且一第二金屬接點係一汲極；

形成一氮化間隙壁於每一該等金屬接點之兩側；

沉積具有高介電常數之一介電層於該元件上；以及

形成一閘極，實質位於該源極以及該汲極之間，且位於該奈米管上。

16. 如申請專利範圍第15項所述之方法，其更包含一步驟：沉積一保護介電層於該元件上。

17. 一種形成一自對準碳奈米管場效電晶體半導體元件的方法，包括下列步驟：

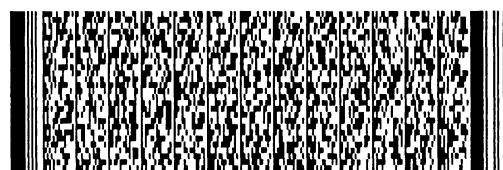
放置一奈米管於一熱氧化物基板上，其中該基板包括一對準記號；

在該奈米管之每一端上，形成一非晶矽柱 (amorphous silicon pillar)；

以一氧化層使該等非晶矽柱絕緣 (isolating)；

形成一閘極介電層於該等非晶矽柱之間；

形成一閘極，實質位於該等非晶矽柱之間，且位於該



六、申請專利範圍

奈米管上；

形成一氮化層於該閘極上；

於該閘極之每一邊，形成一氧化間隙壁；

以金屬接點取代該等非晶矽柱，其中一第一金屬接點係一源極，且一第二金屬接點係一汲極；以及

沉積一保護介電層於該元件上。

18. 一種形成一自對準碳奈米管場效電晶體半導體元件的方法，包括下列步驟：

沉積一金屬催化劑於一熱氧化物基板上；

沉積一低溫氧化層於該元件上；

蝕刻形成一溝槽，該溝槽通過該氧化層以及該金屬催化劑，並進入位於該金屬催化劑下方之一熱氧化層；

蝕刻該低溫氧化層以形成氧化物島；

剝除暴露之該金屬催化劑；

成長一奈米管，位於該等氧化物島之下的該金屬催化劑之間；

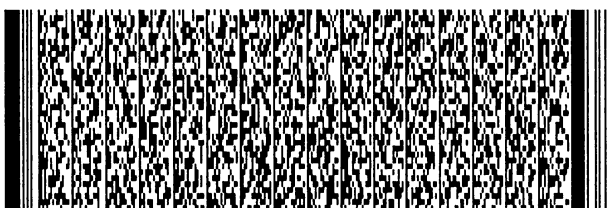
以一閘極介電層包覆該奈米管；

形成氮化物間隙壁於該等氧化物島相對之表面；

以化學氣相沉積方式形成一閘極，實質位於該等氧化物島之間，並位於該奈米管上；以及

沉積一保護介電層於該元件上。

19. 一種形成一自對準碳奈米管場效電晶體半導體元件的



六、申請專利範圍

方法，包括下列步驟：

成長一奈米管垂直於該半導體元件之一表面所形成之一金屬催化劑；

形成一氮化物塊結構 (nitride block structure) ；

以一閘極介電層包覆該奈米管；

沉積一閘極金屬，並以該閘極介電層使該閘極金屬與該金屬催化劑隔開；

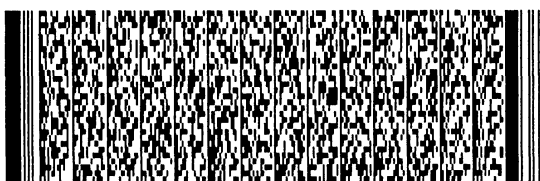
沉積一氮化層；

形成閘極金屬柱，被該氮化層所覆蓋；

形成氮化物間隙壁於該柱周圍；

沉積一汲極金屬，實質位於該柱之間，以該介電層使該汲極金屬與該閘極金屬分開；以及

沉積一保護介電層於該元件上。



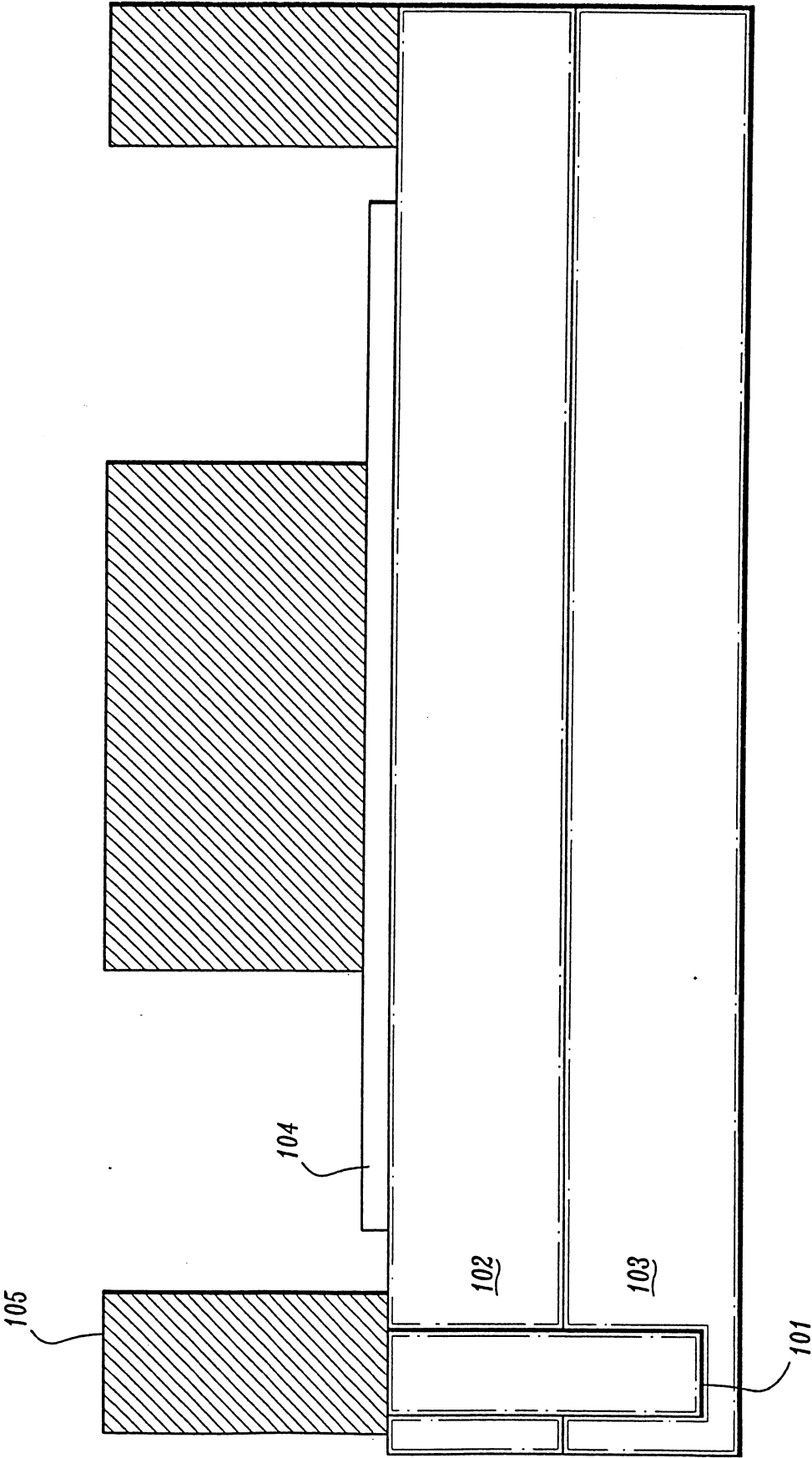


圖 1a

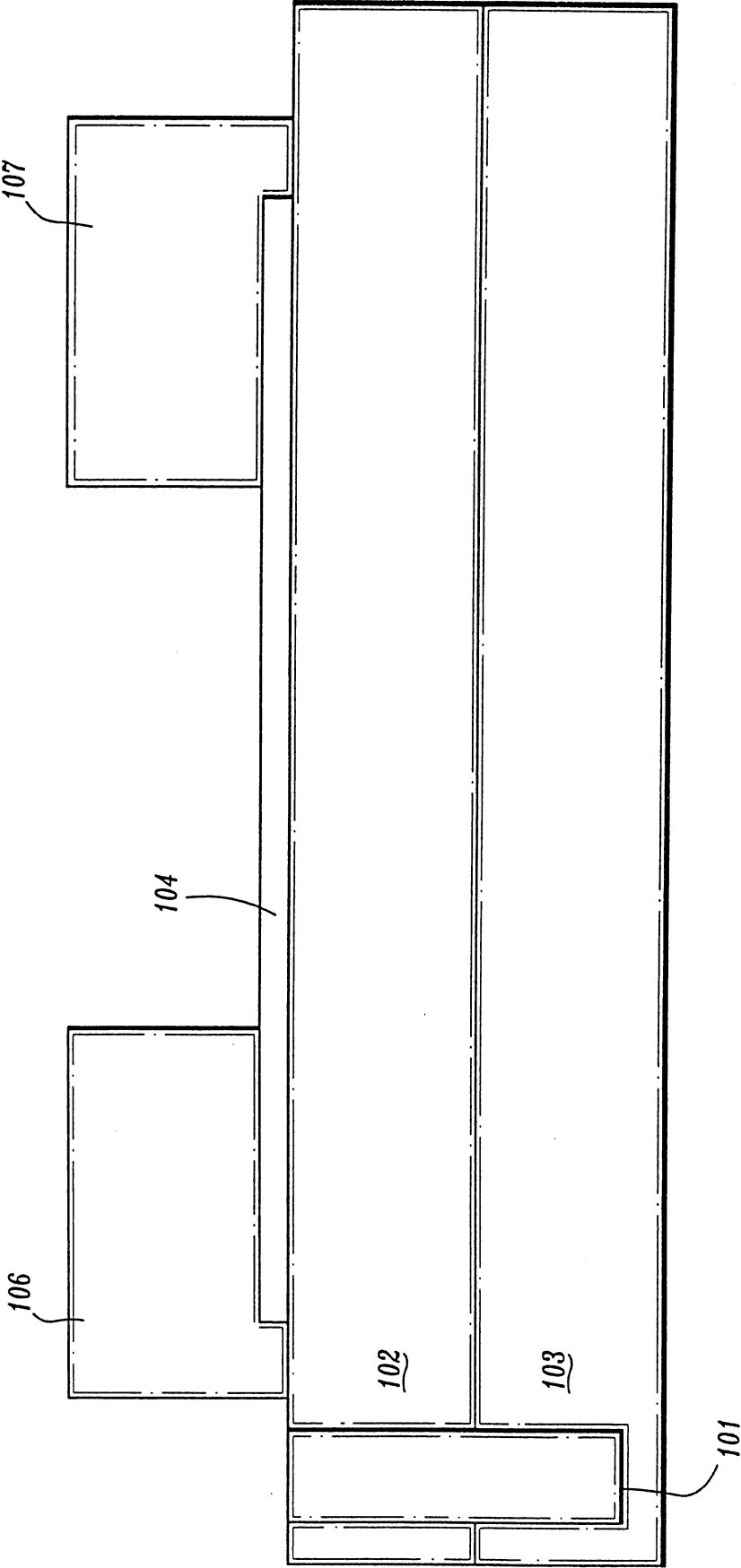


圖 1b

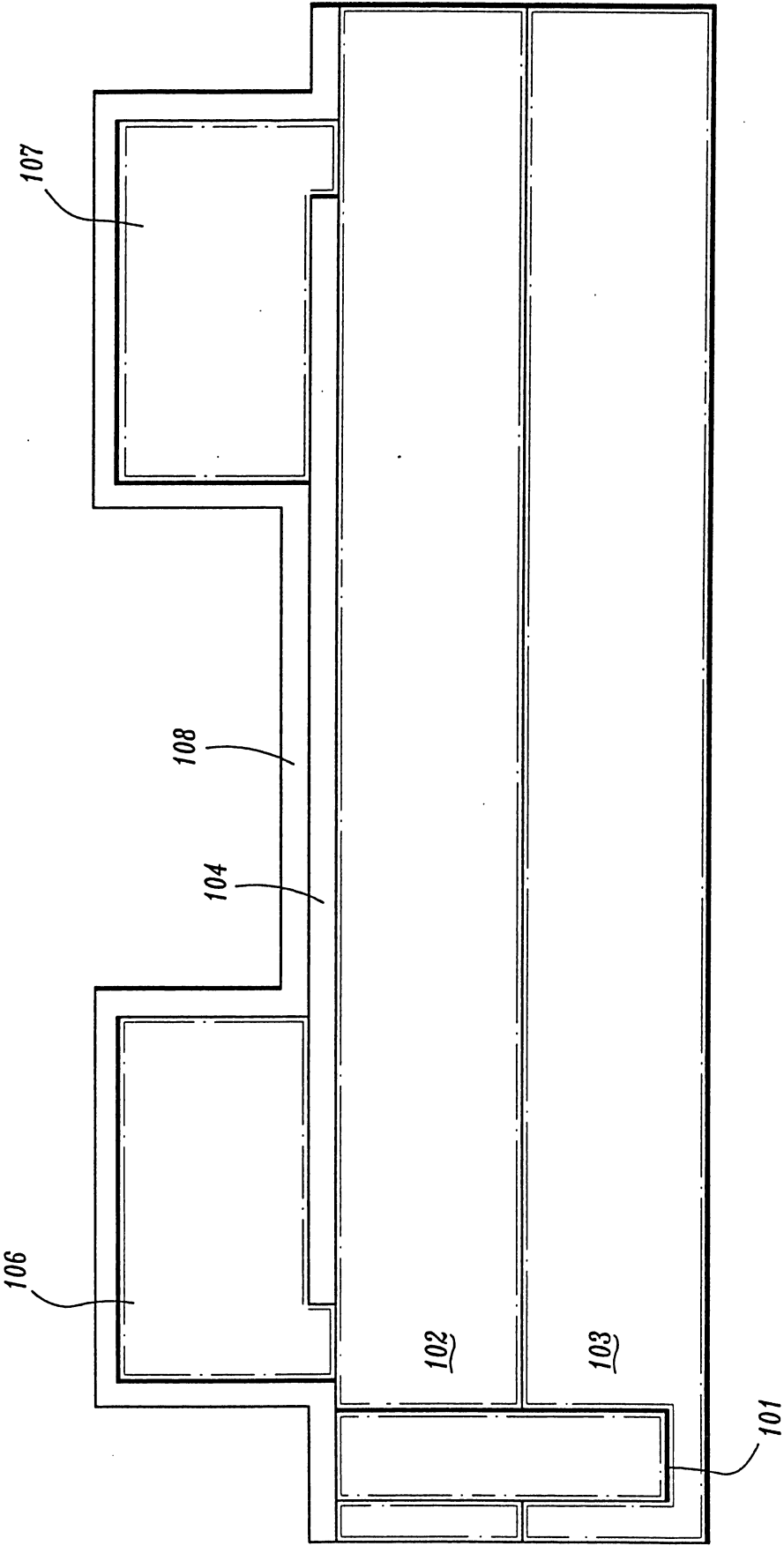


圖 1c

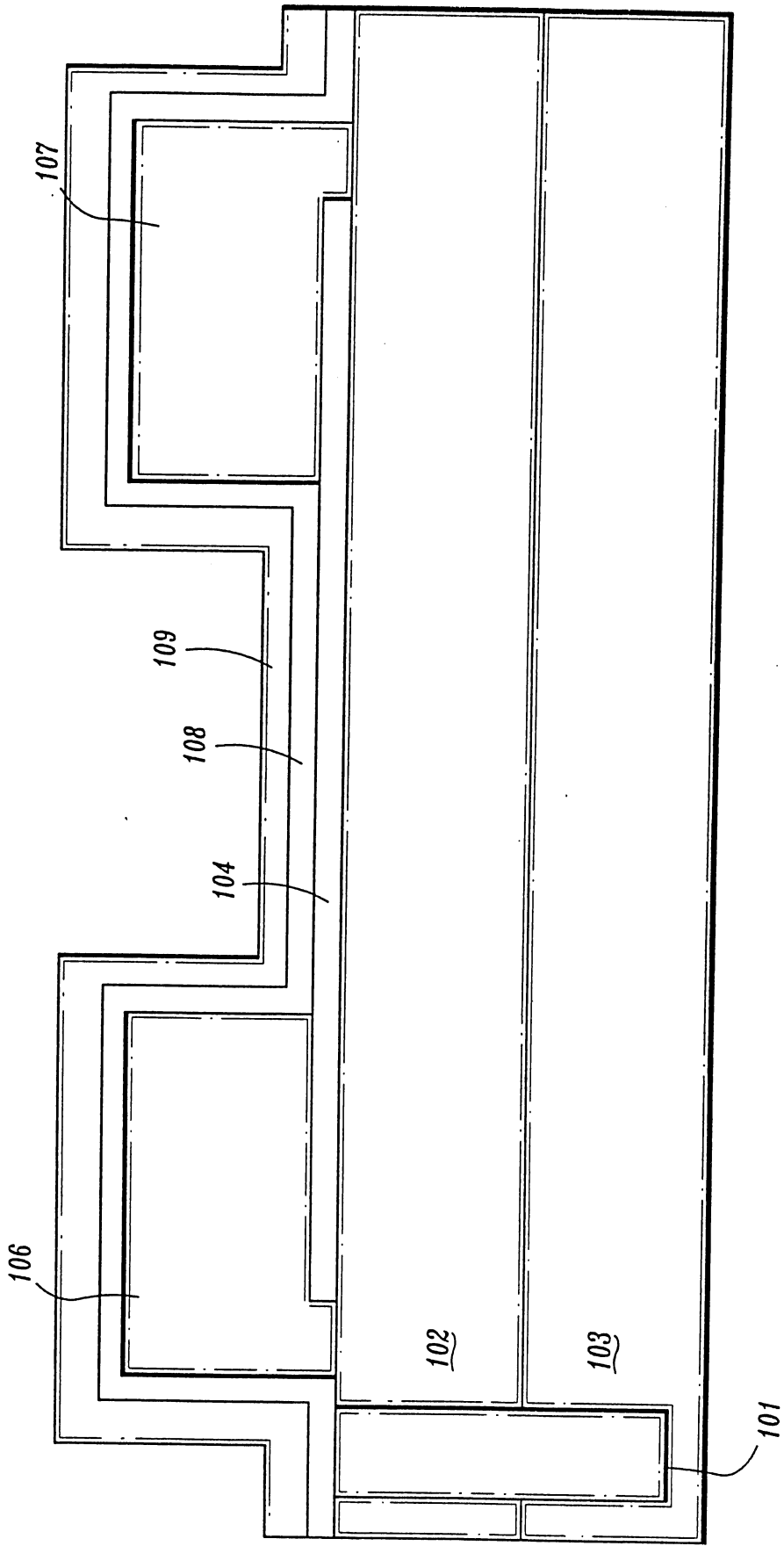


圖 1d

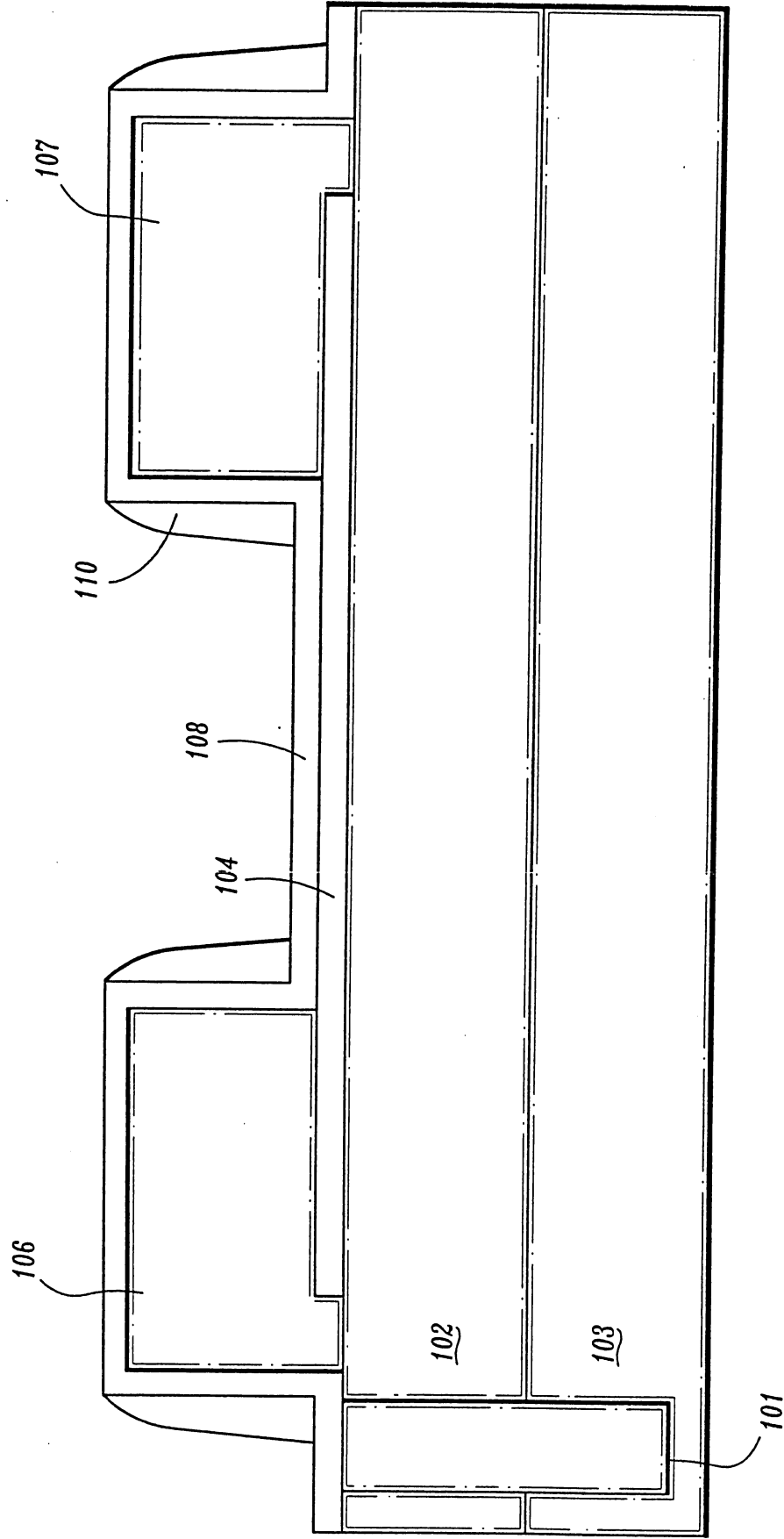


圖 1e

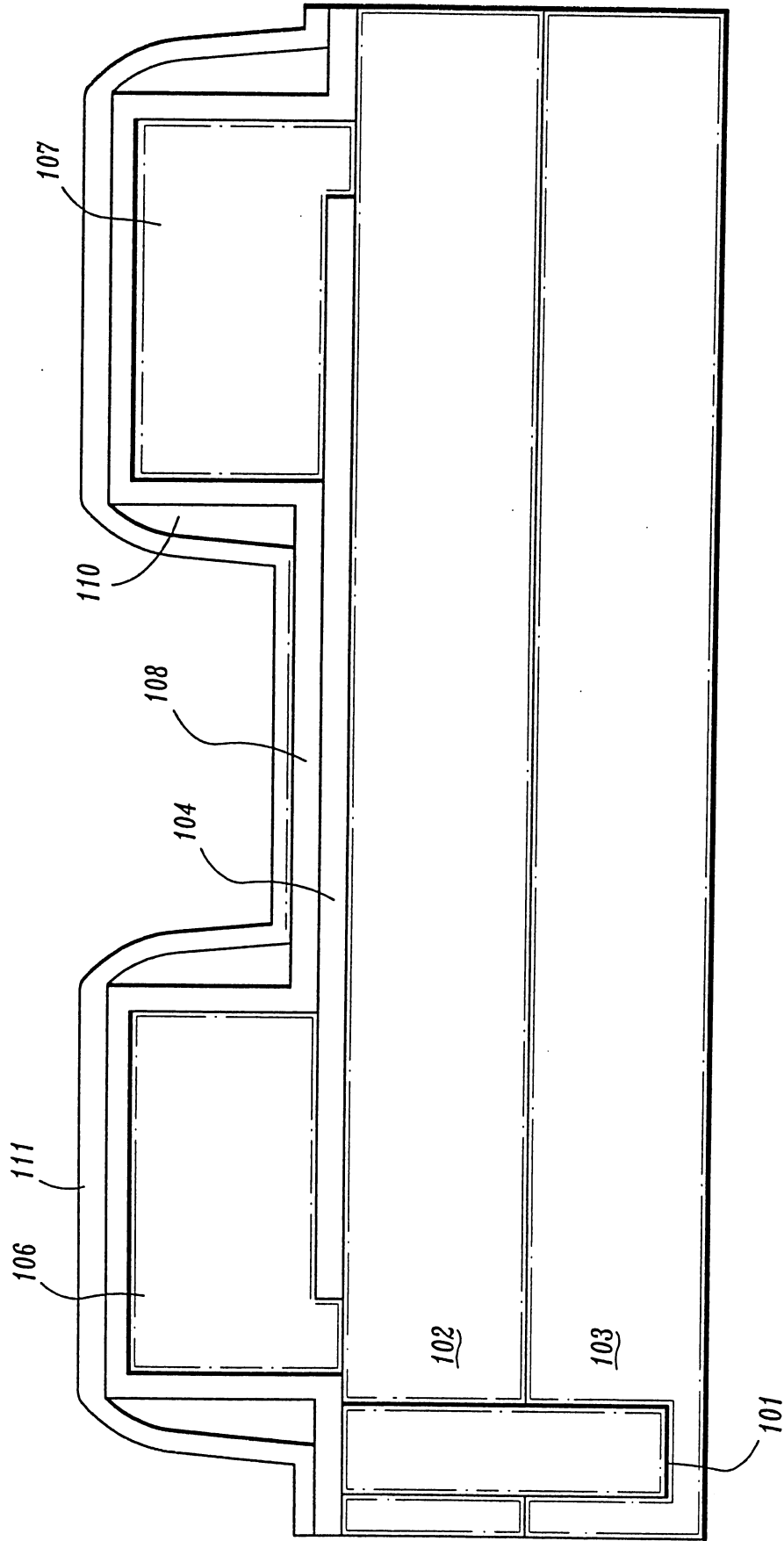


圖 1f

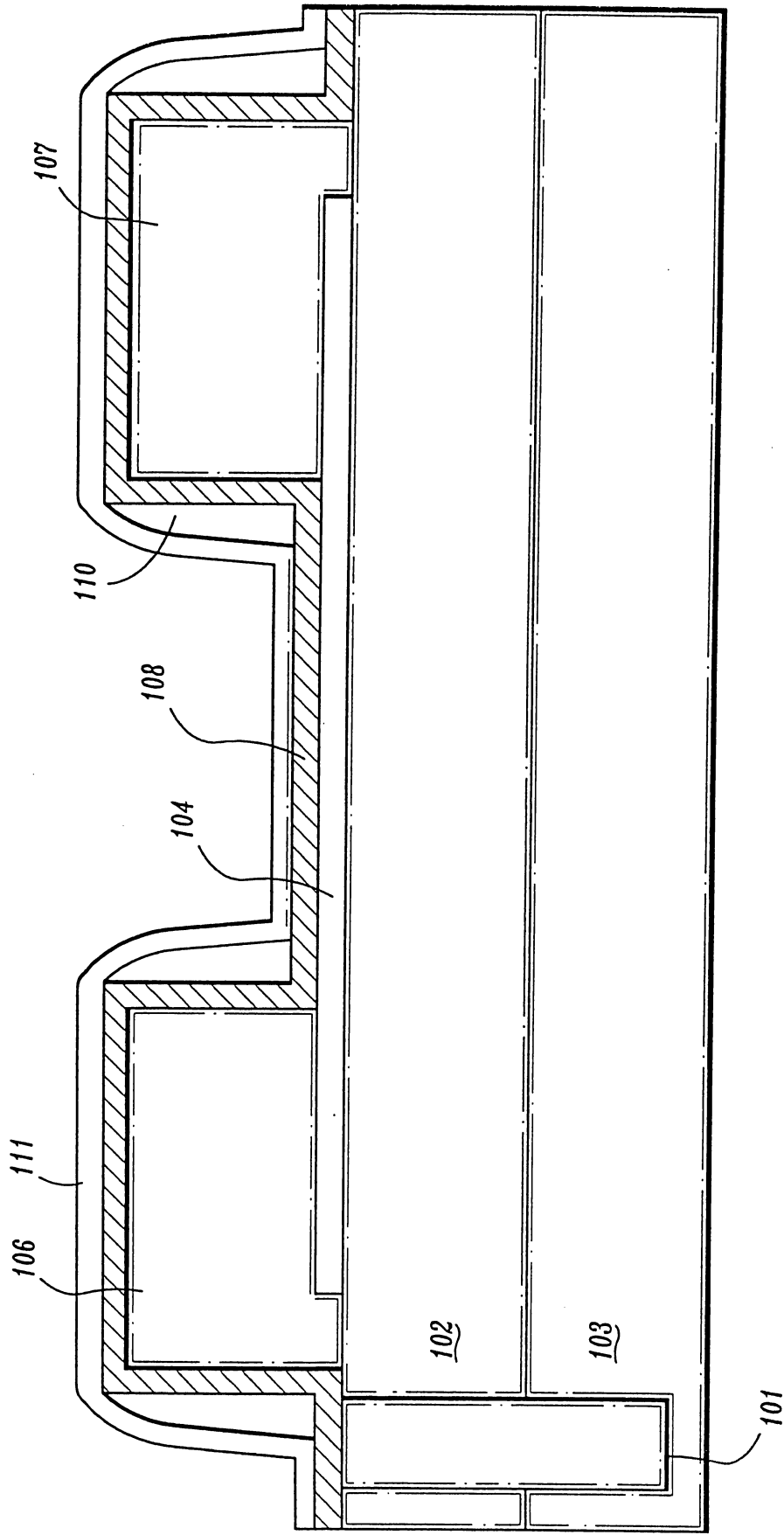


圖 19

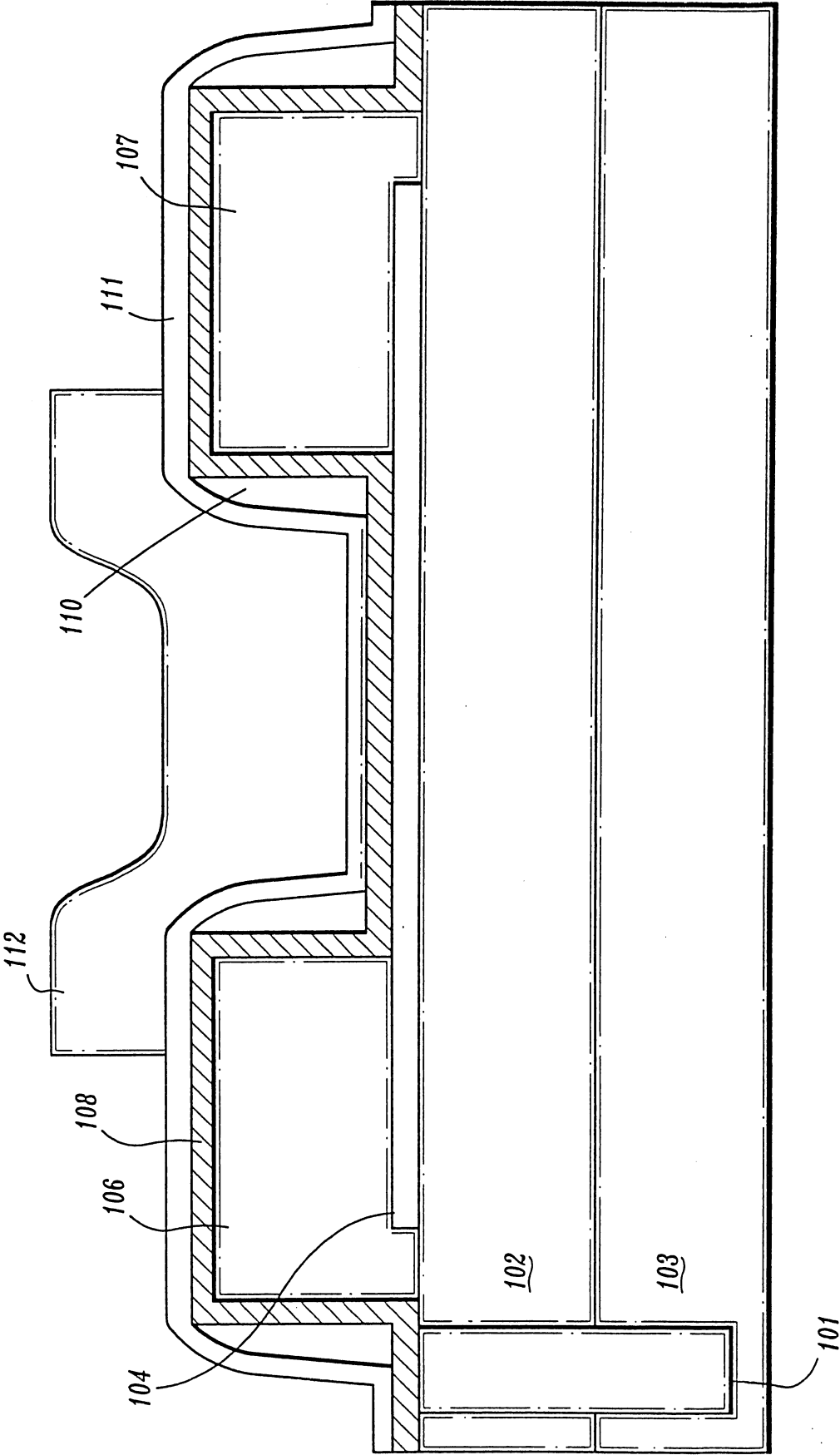


圖 1h

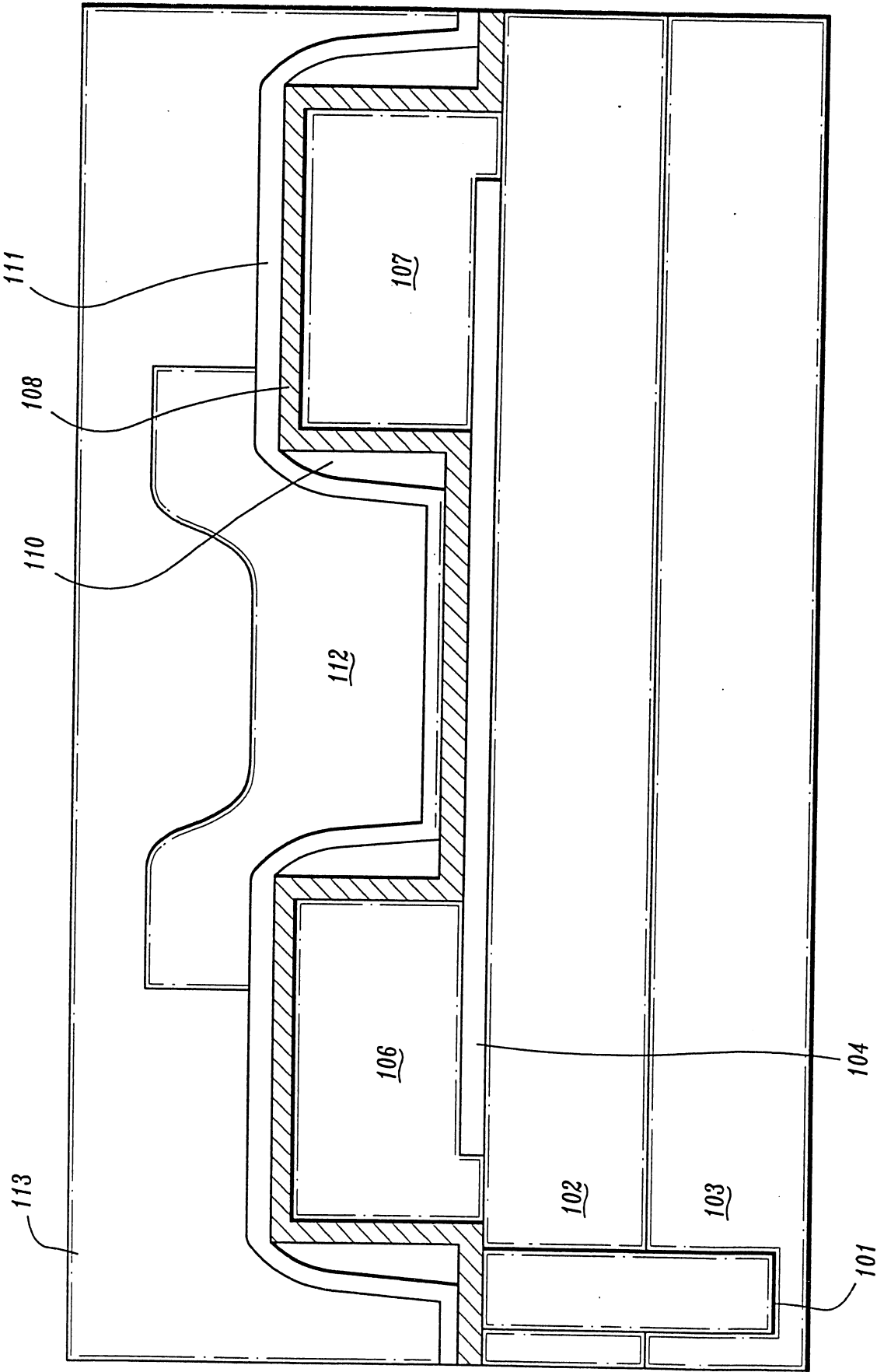


圖 1i

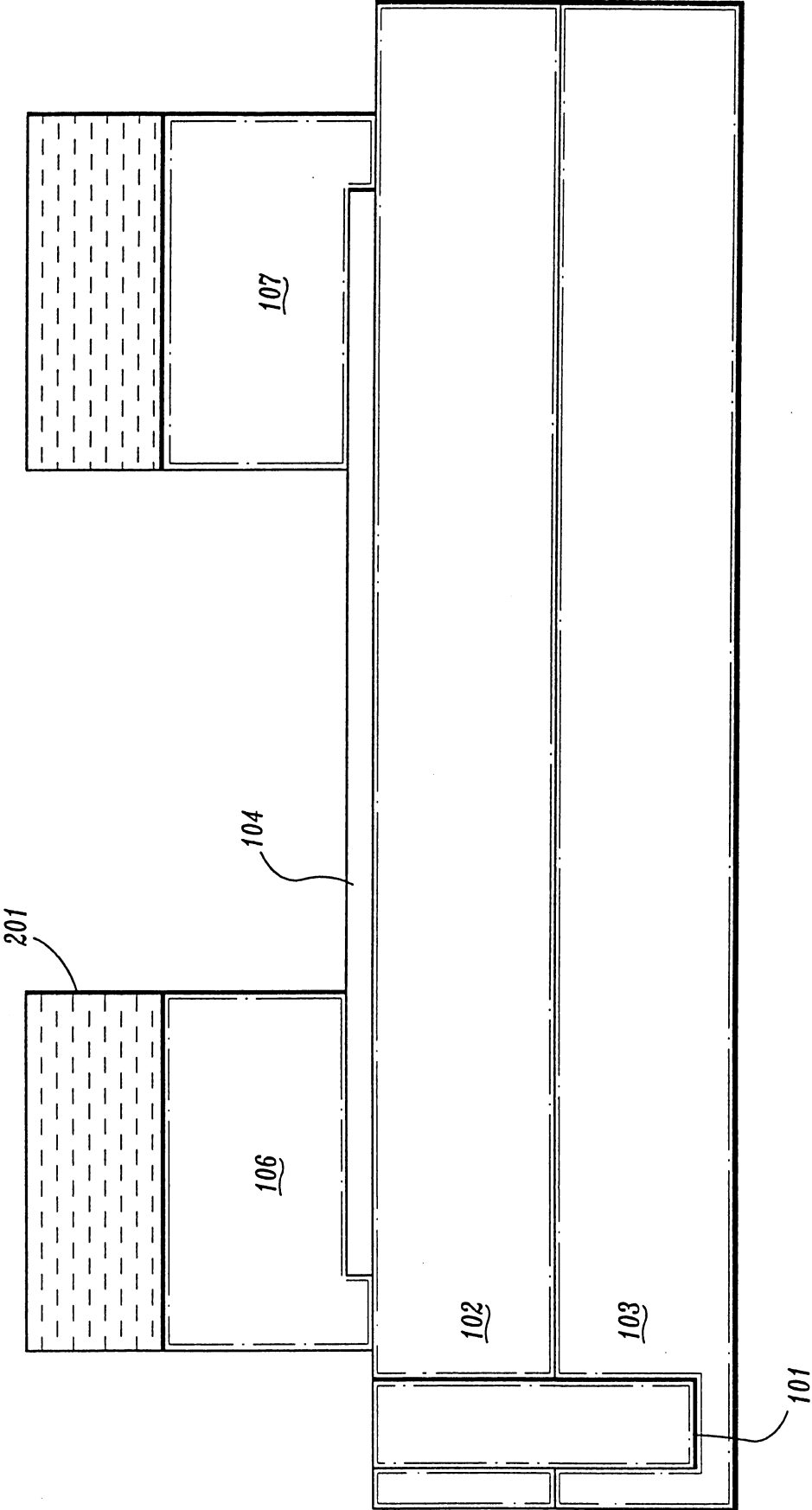


圖 2a

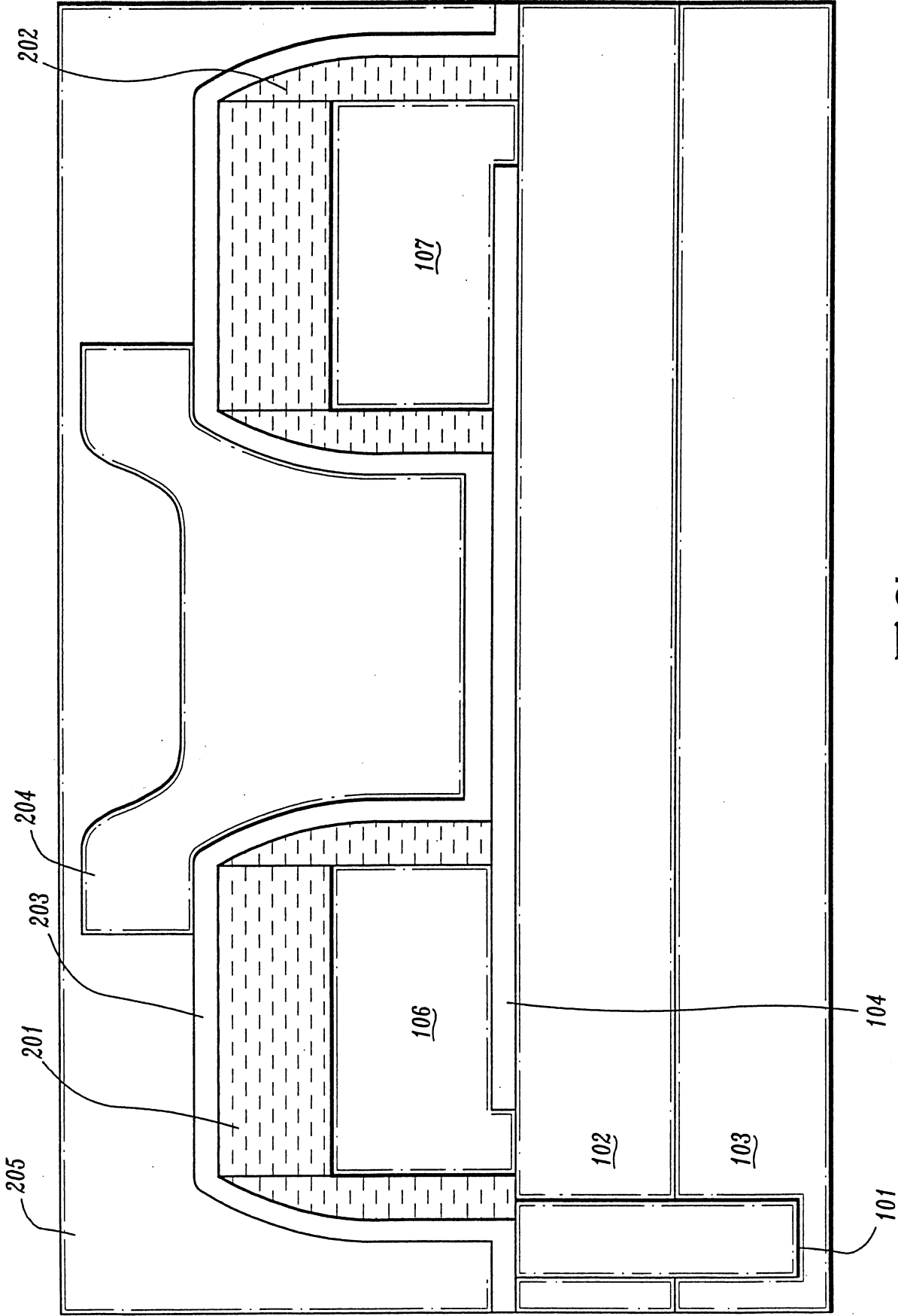


圖 2b

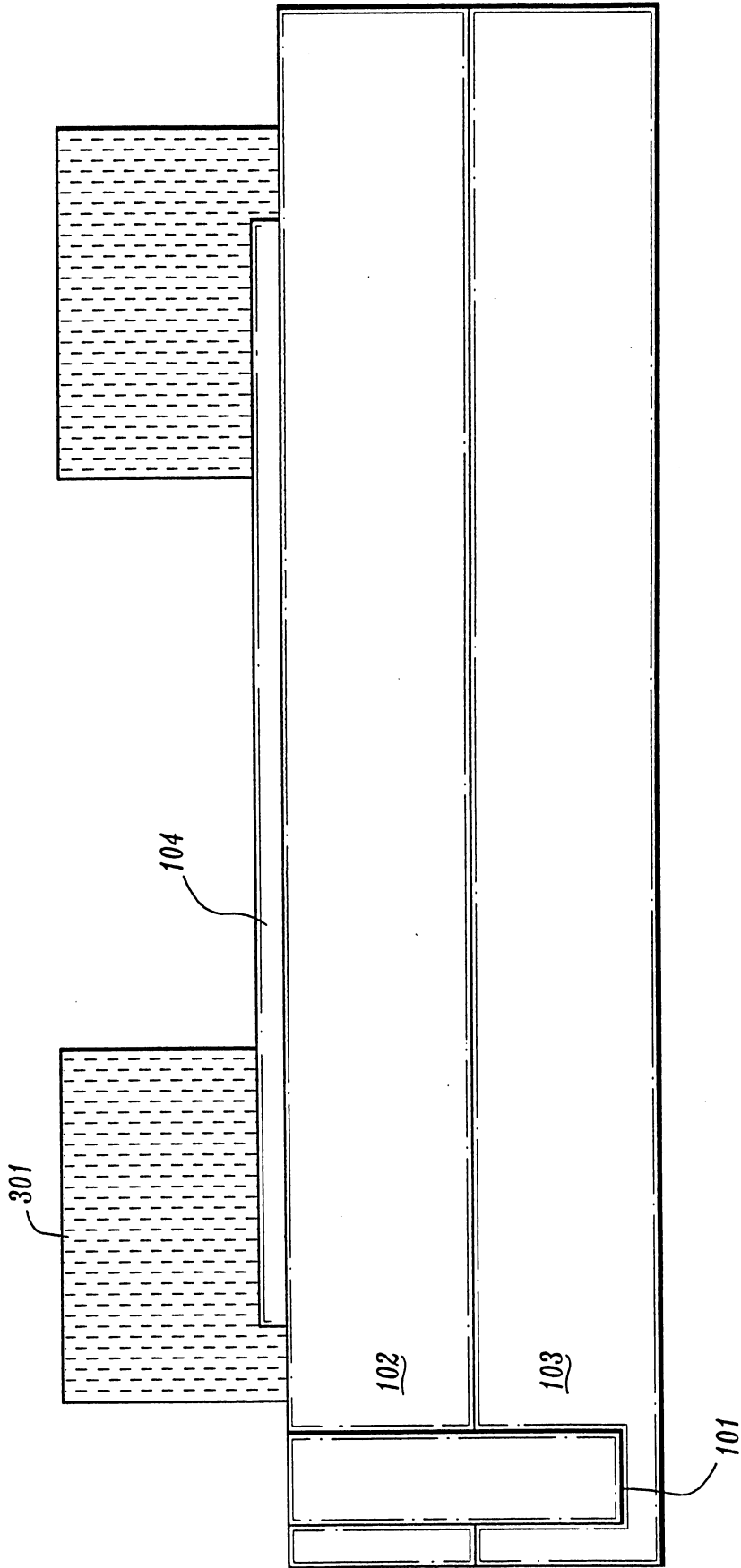


圖 3a

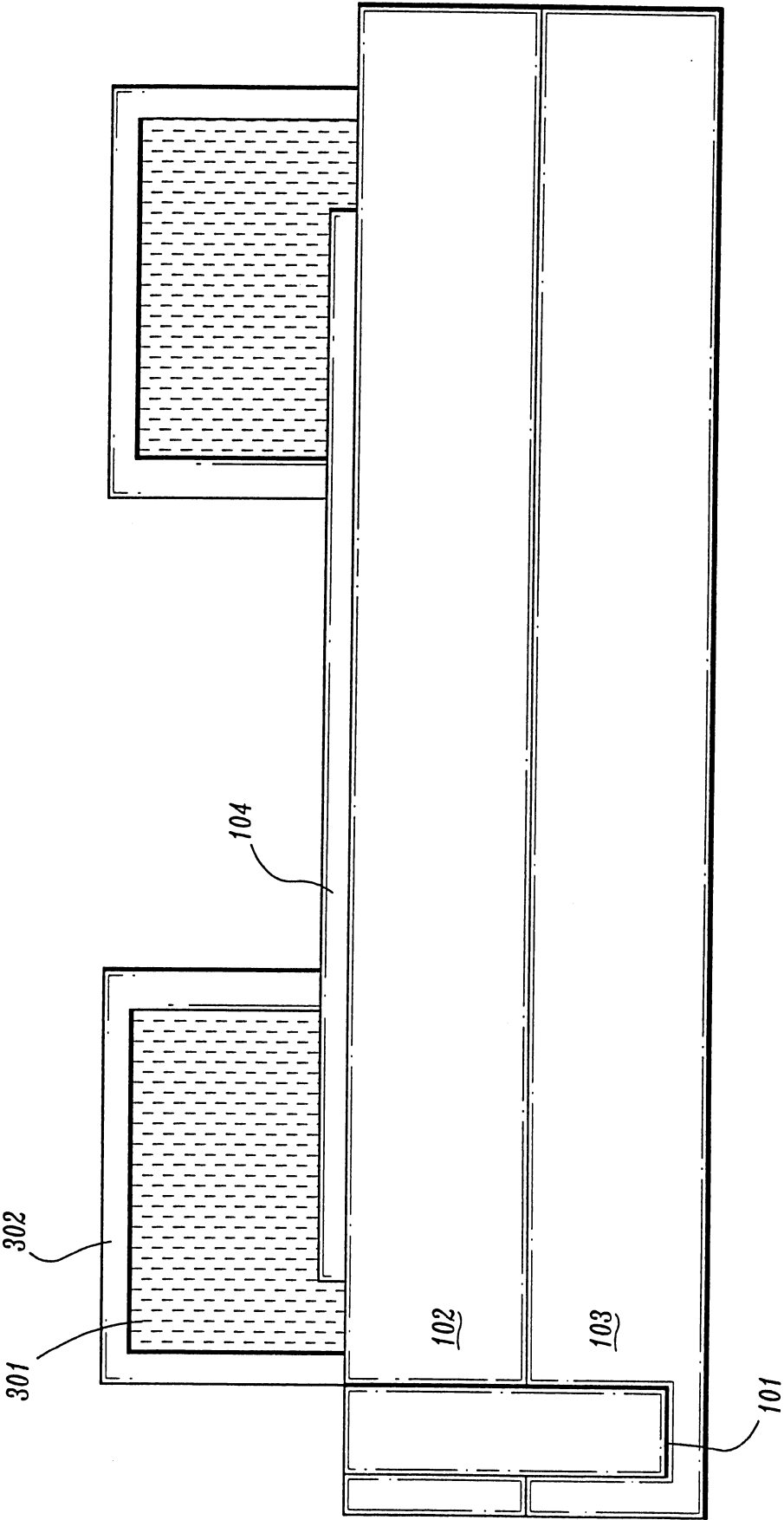


圖 3b

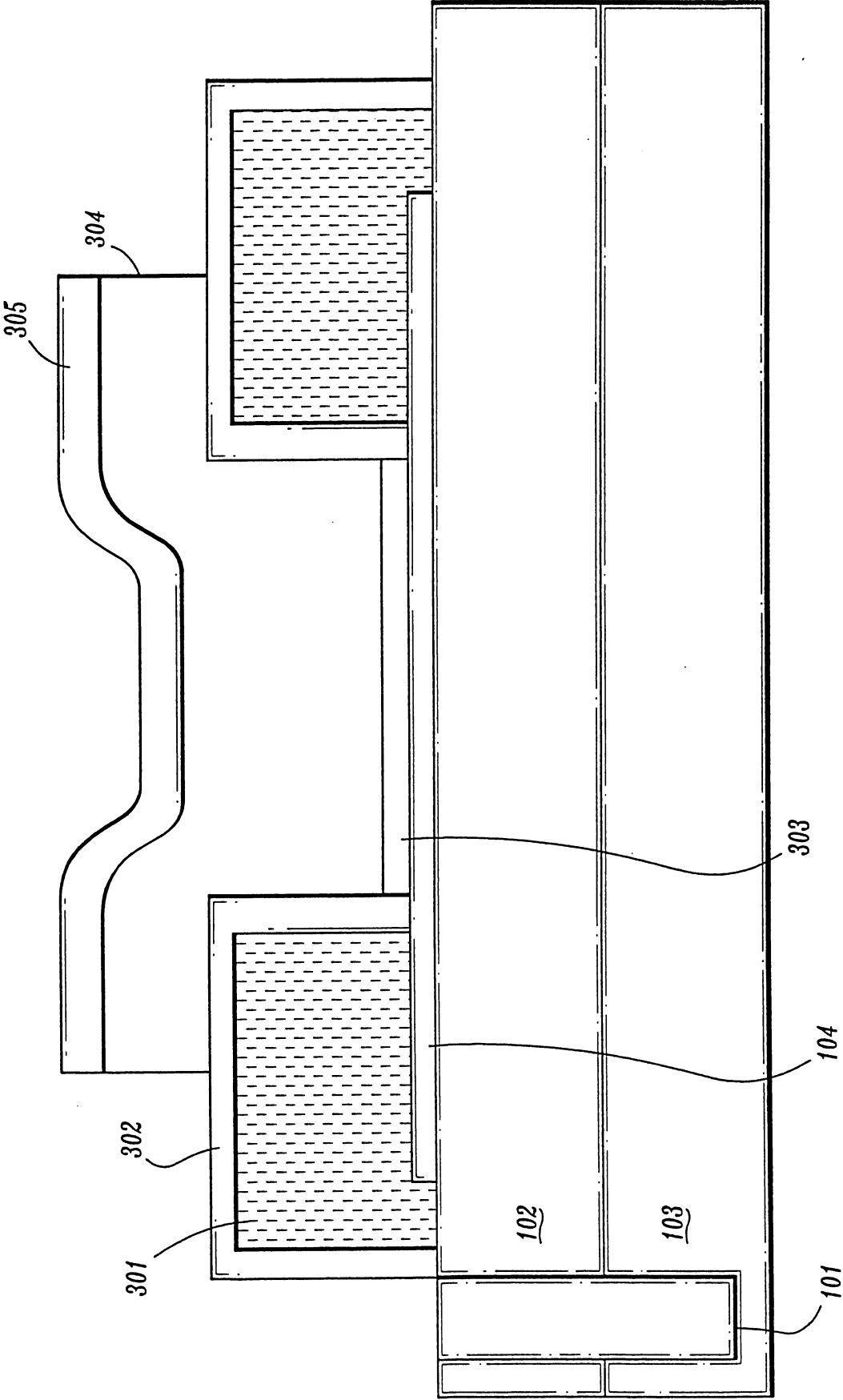


圖 3C

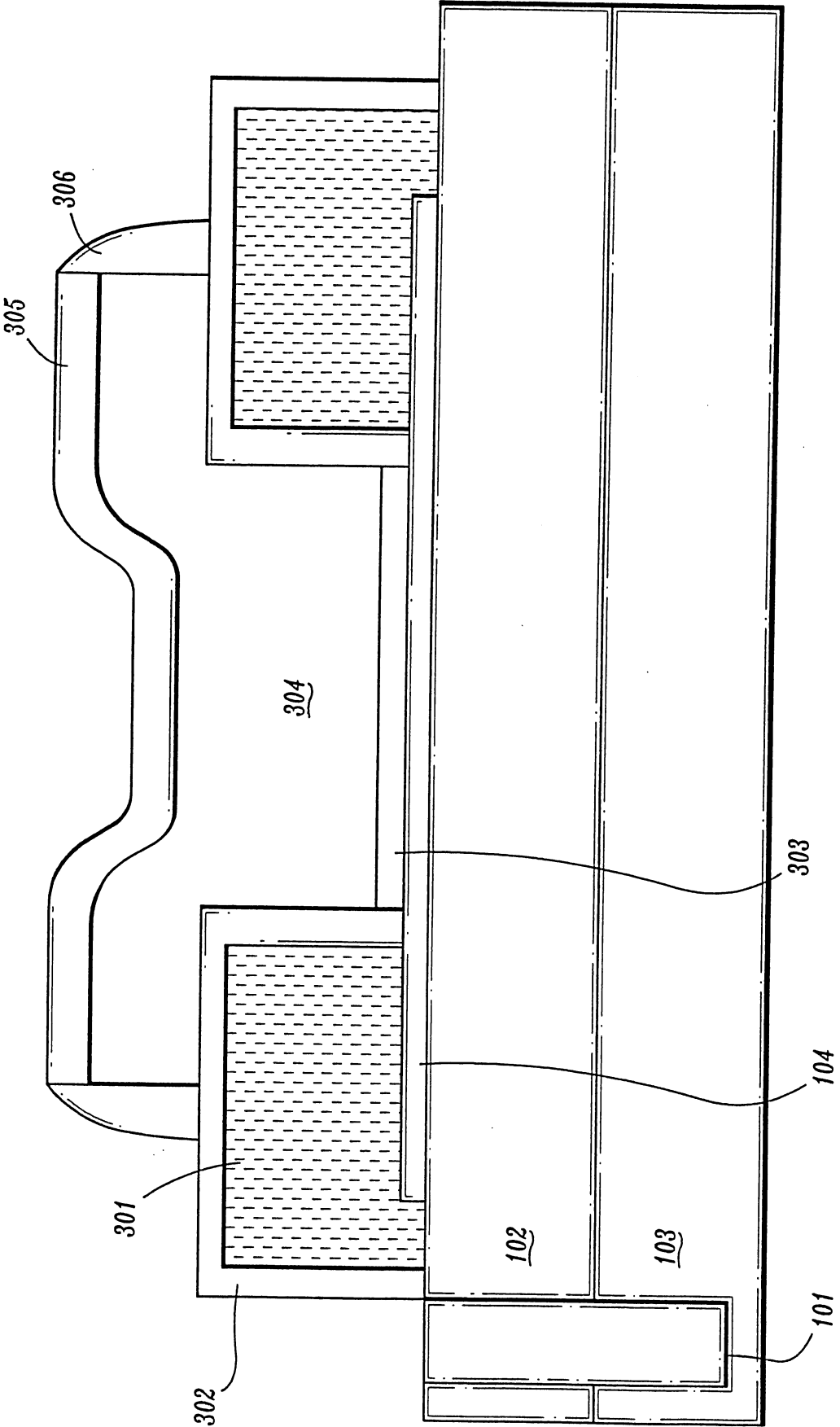


圖 3d

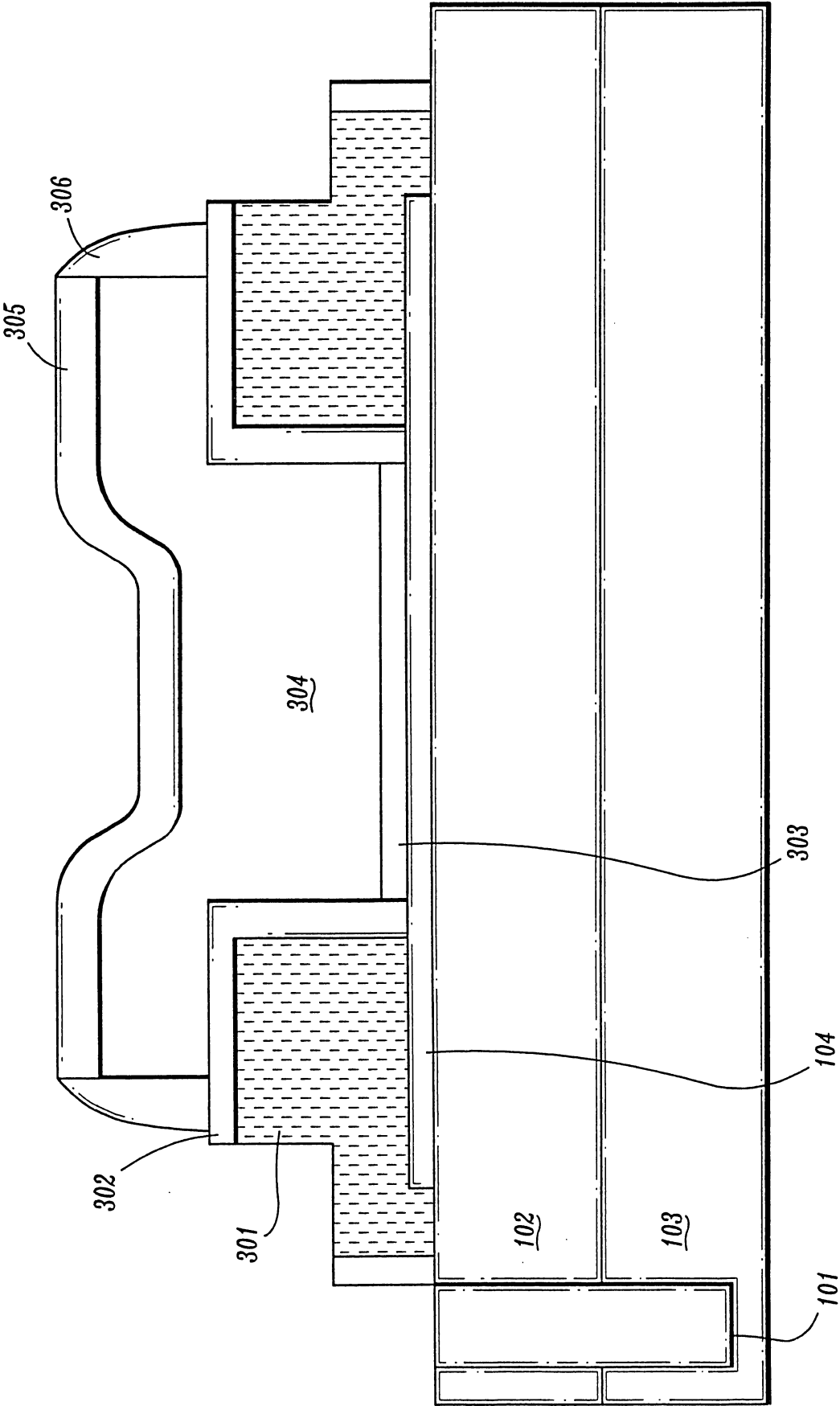


圖 3e

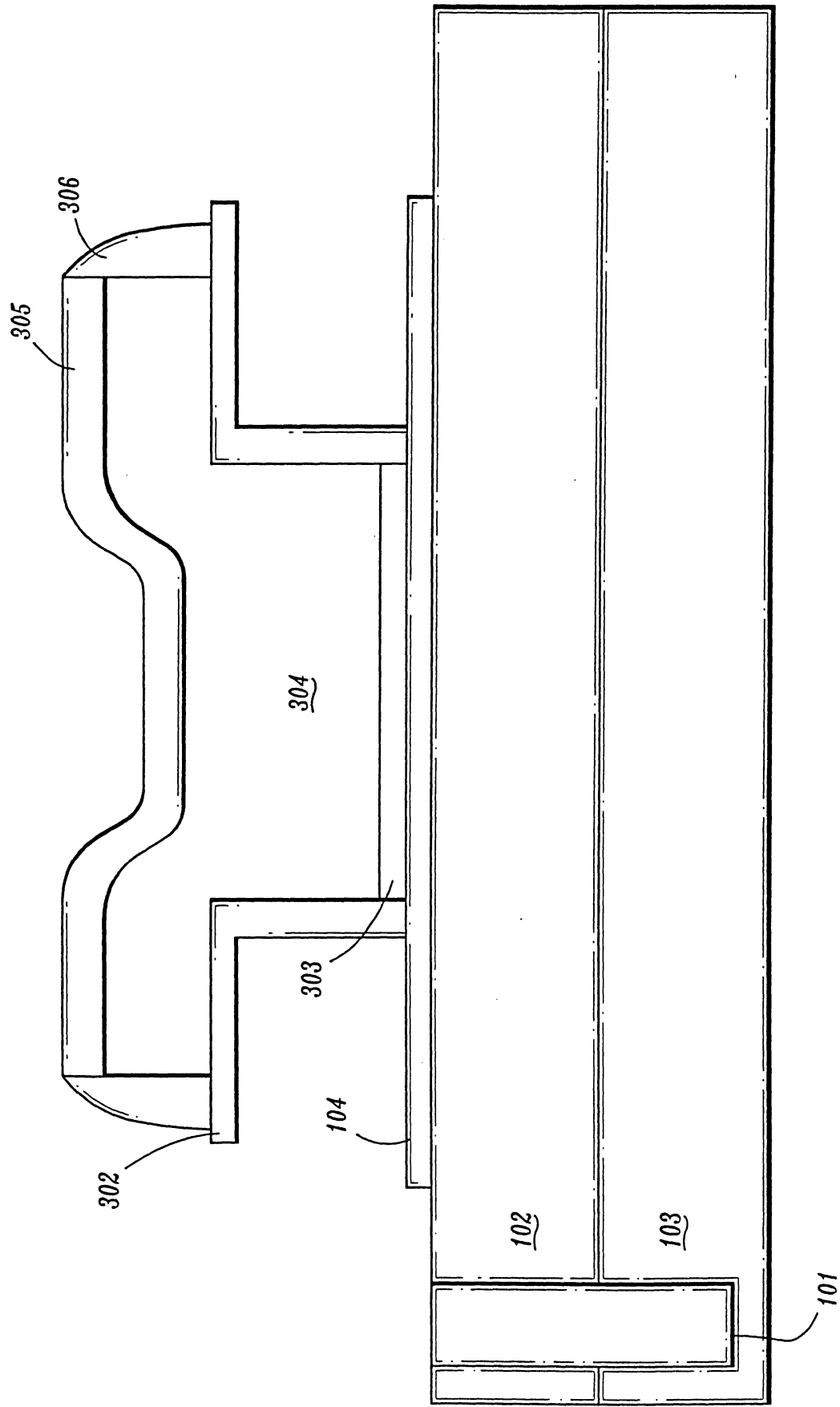


圖 3f

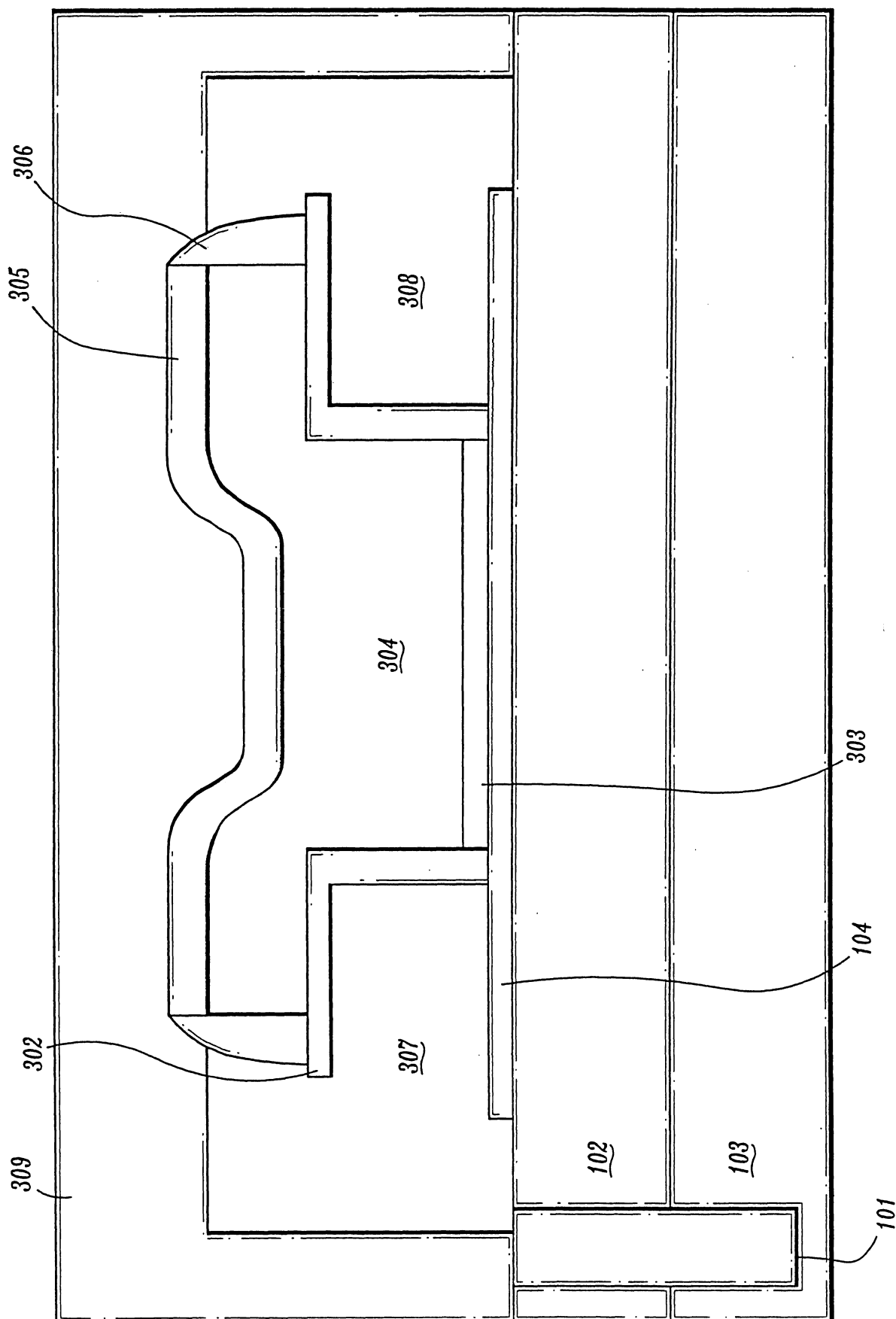


圖 3g



圖 4a

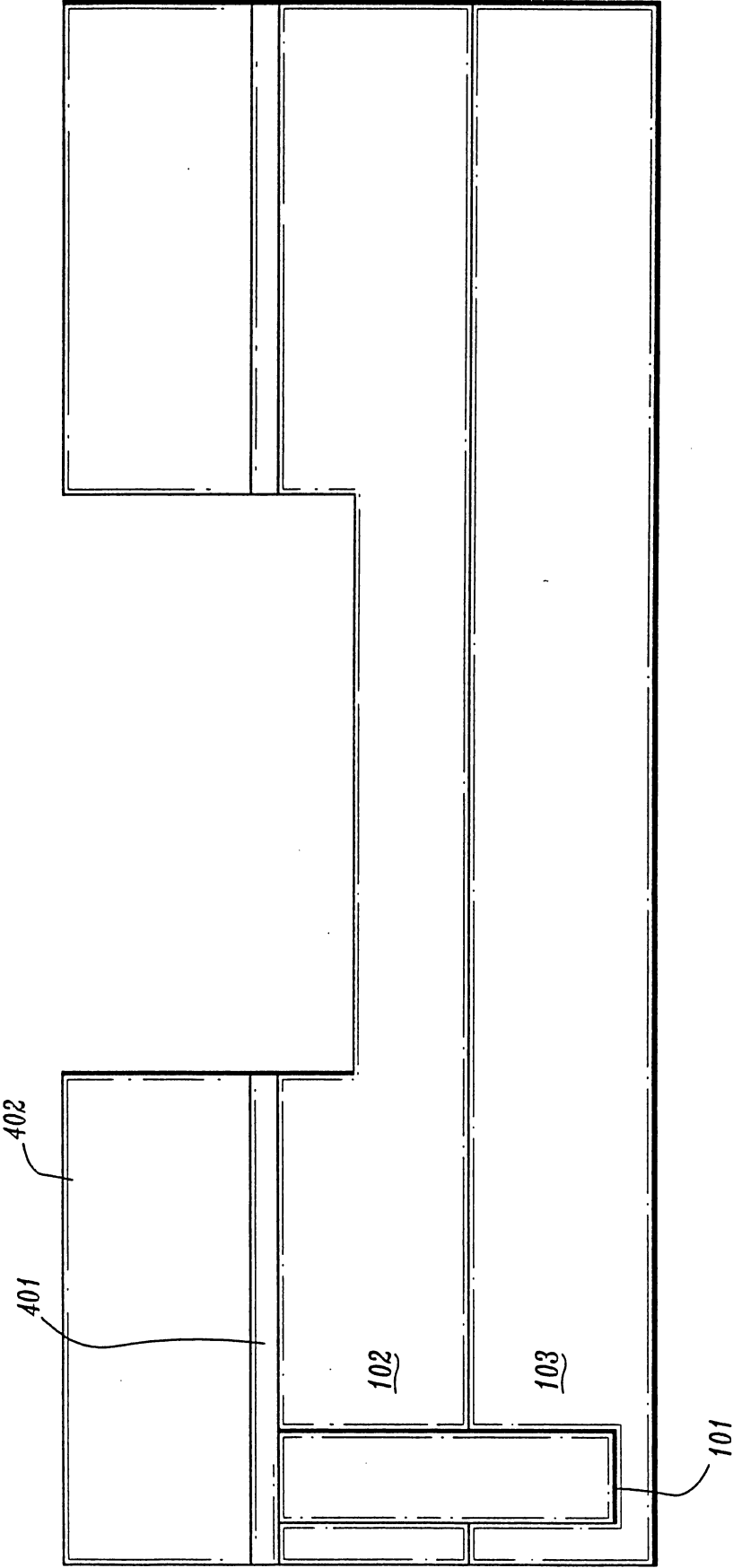


圖 4b

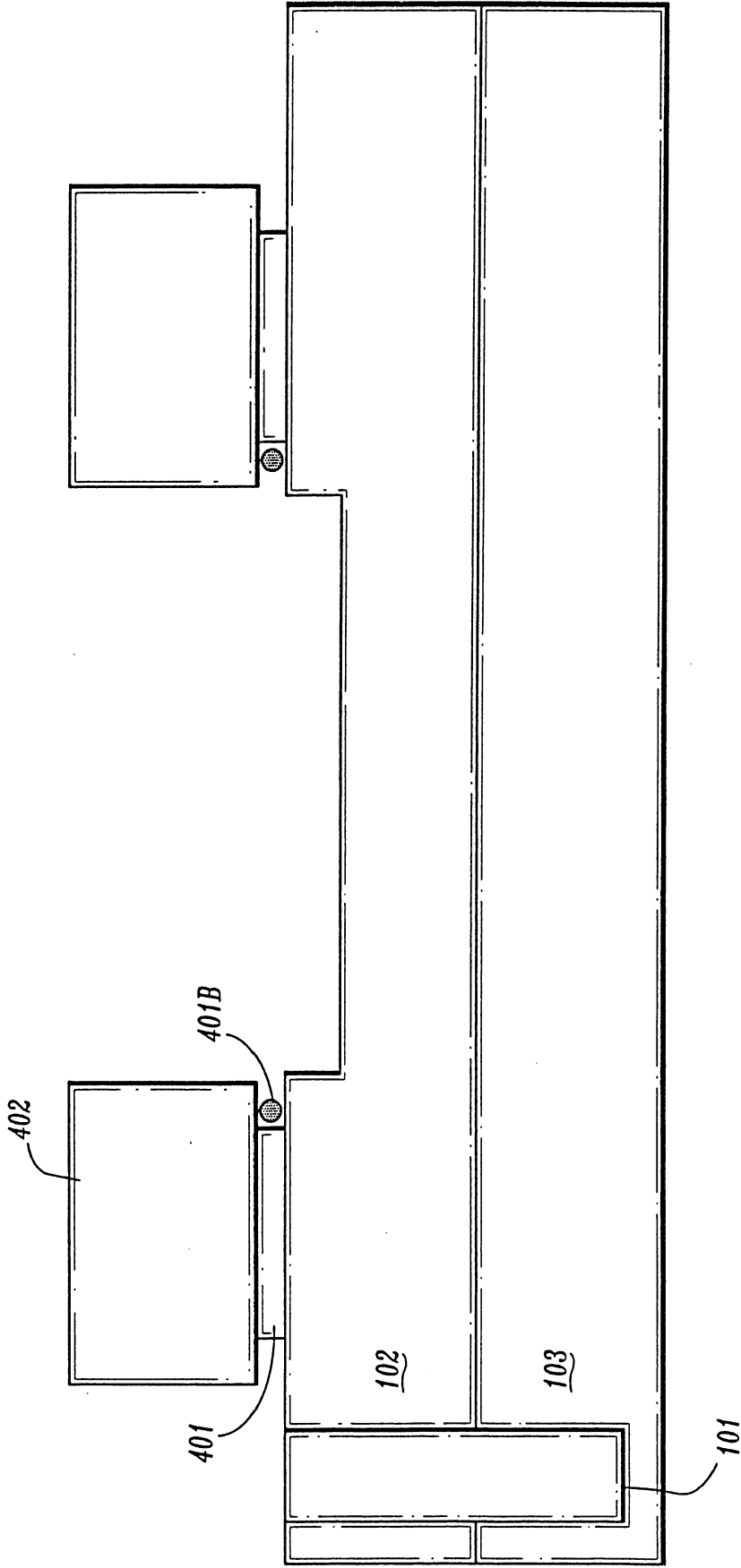


圖 4C

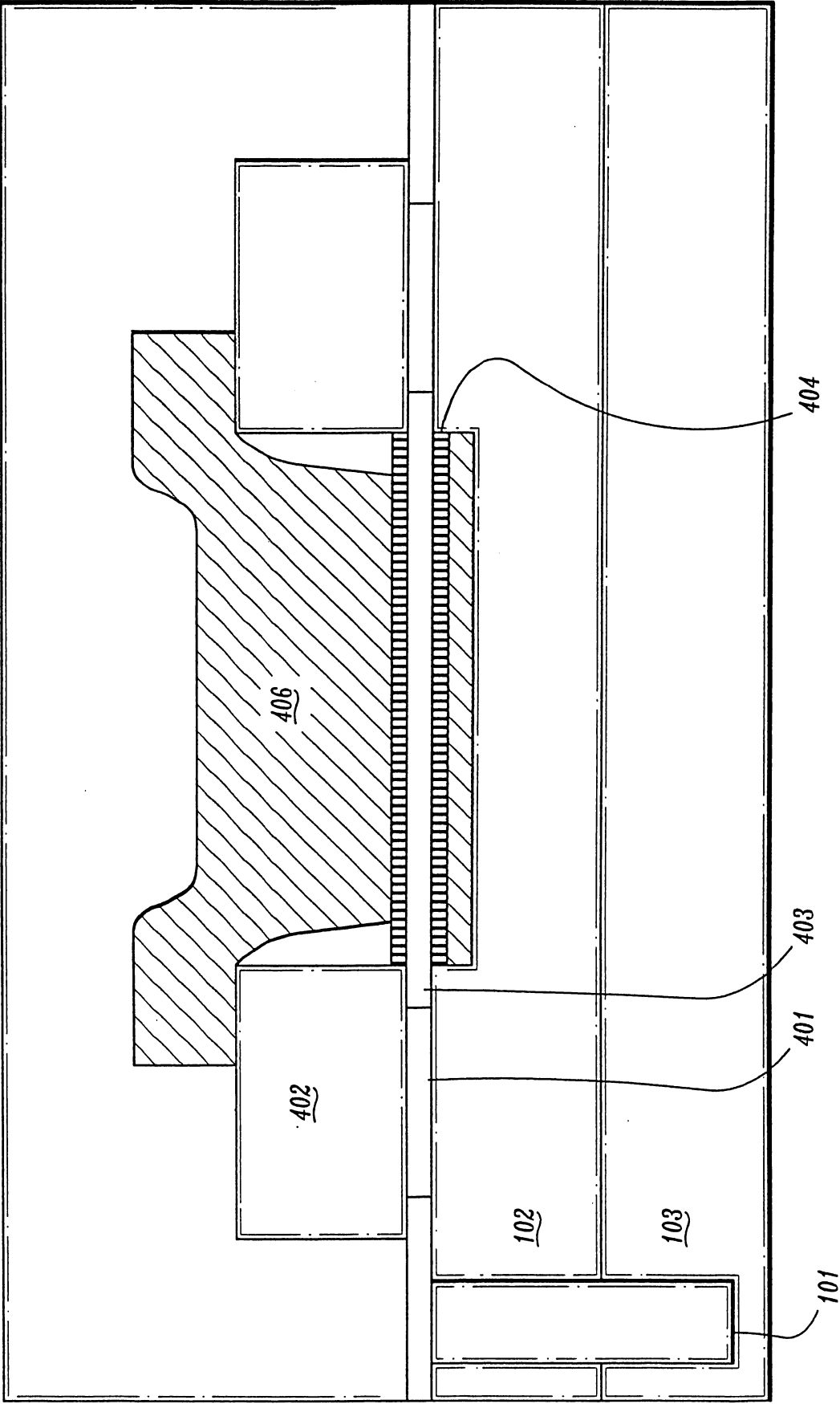


圖 4d

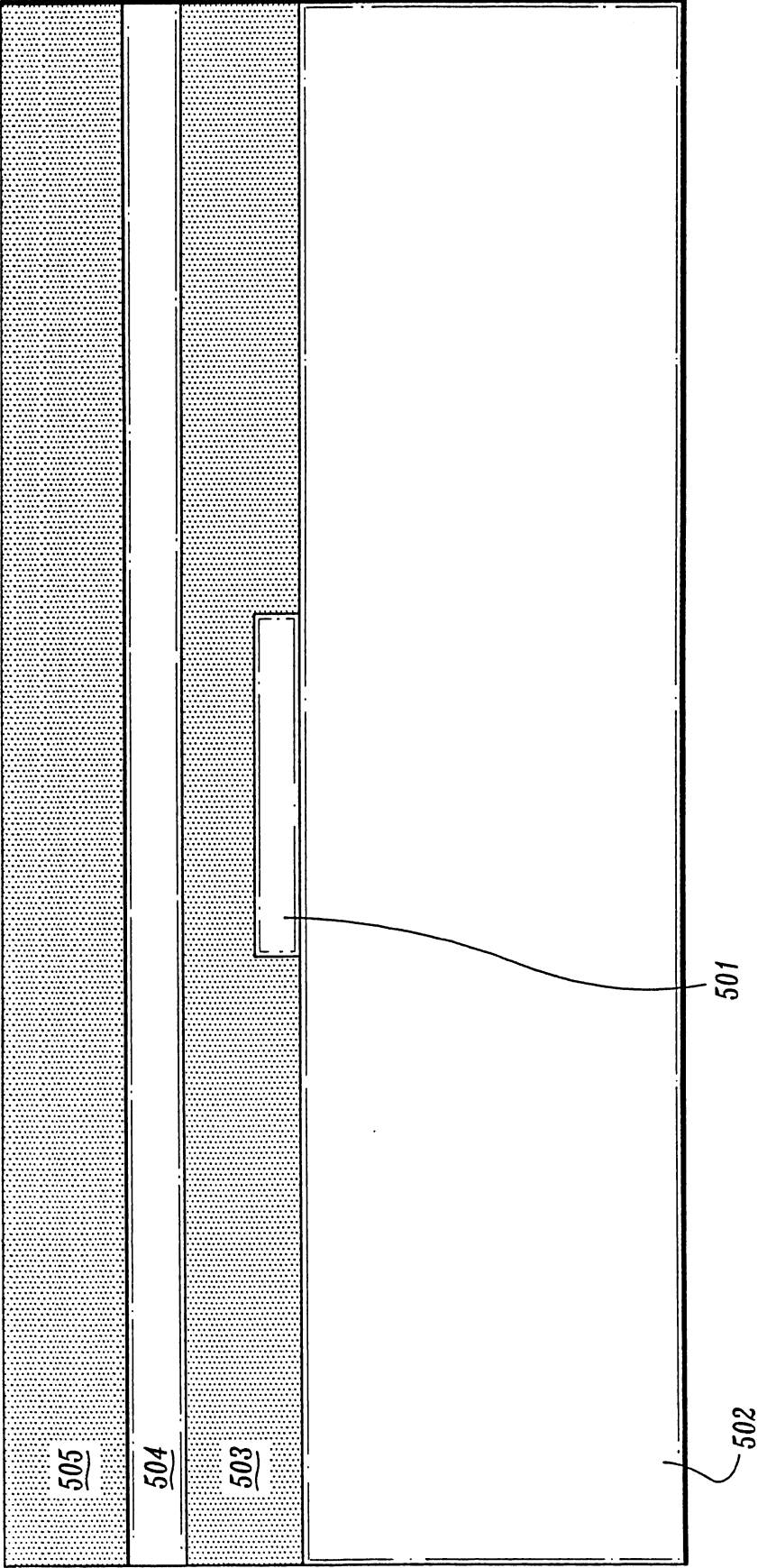


圖 5a

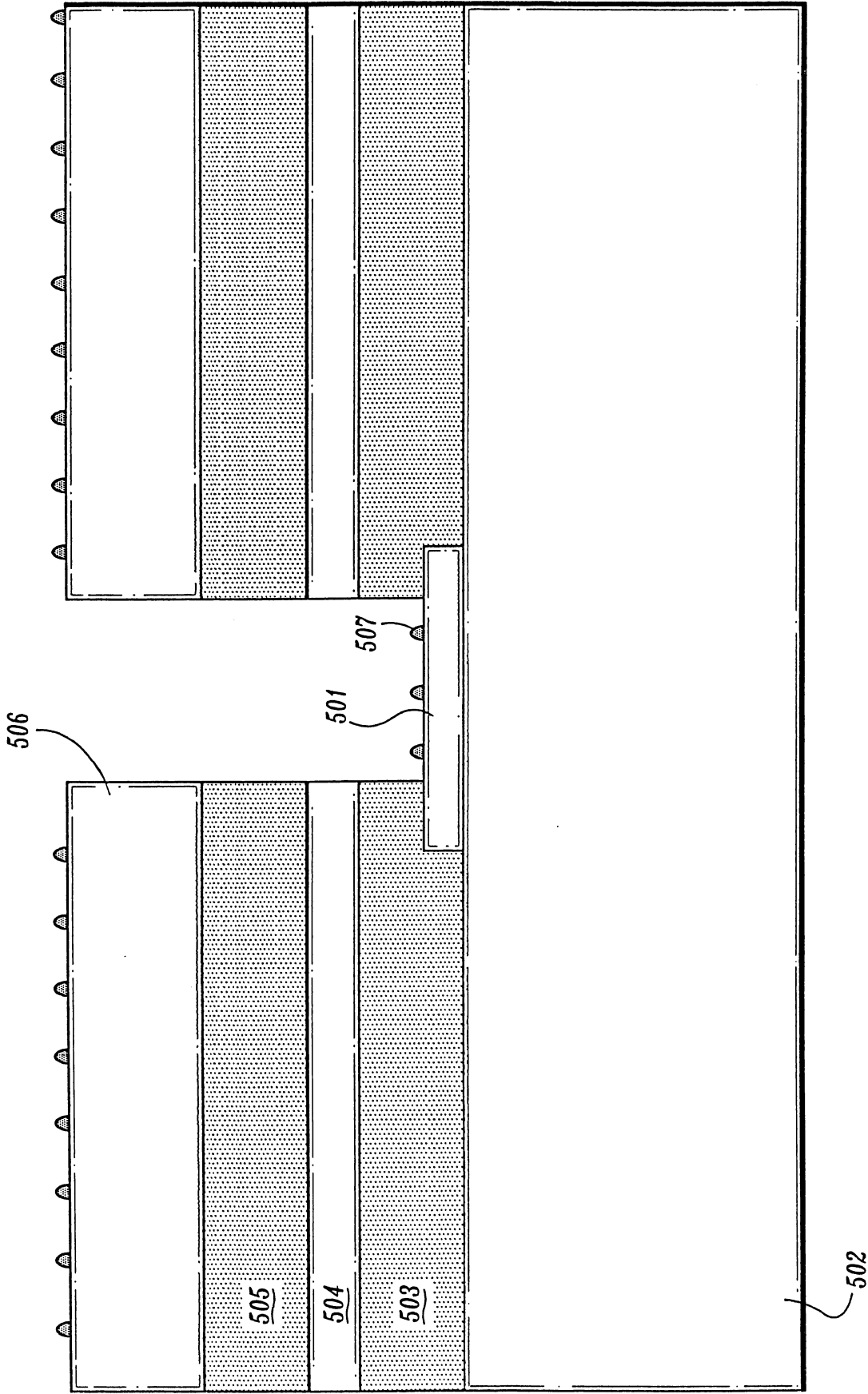


圖 5b

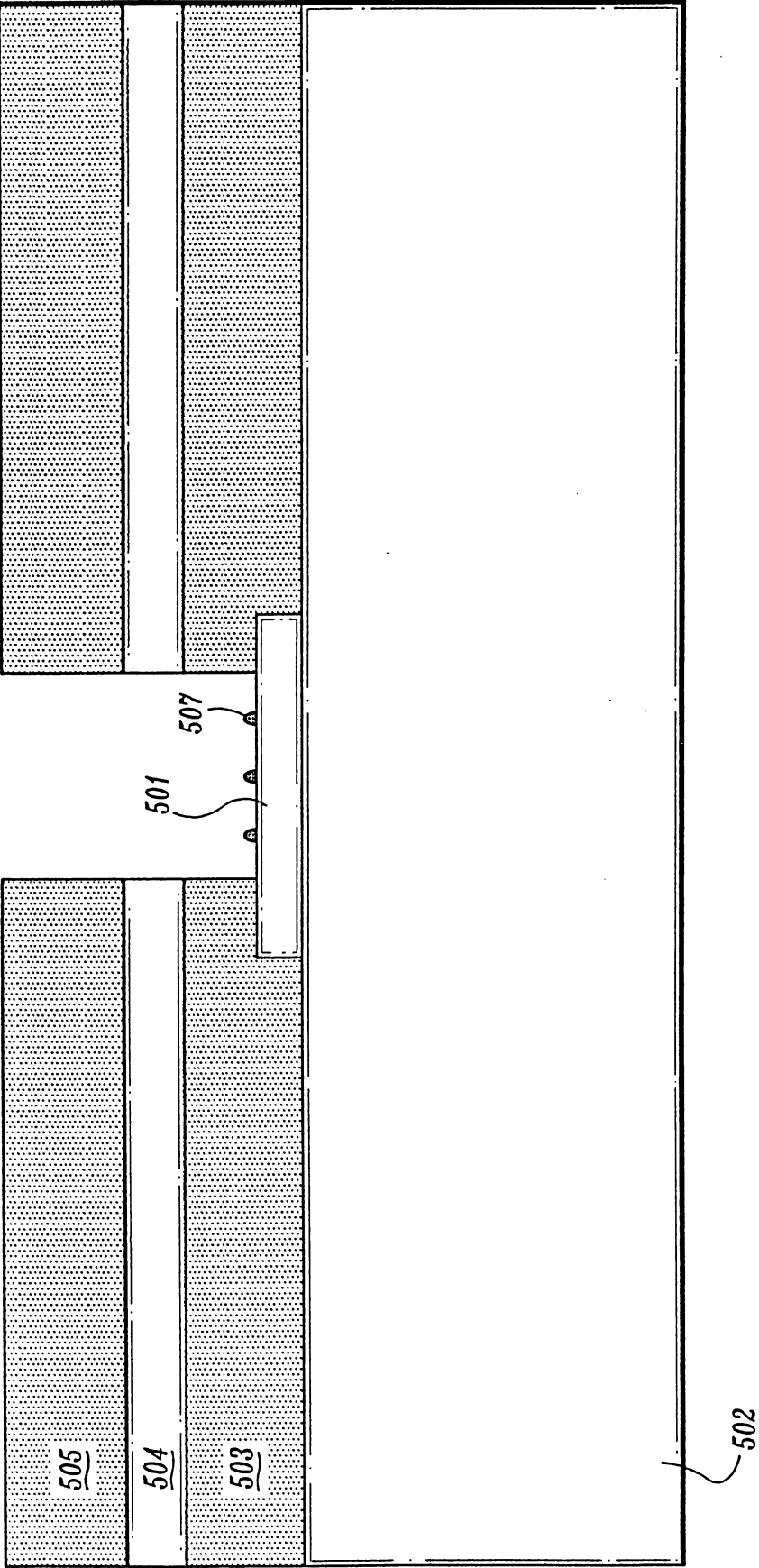


圖 5c

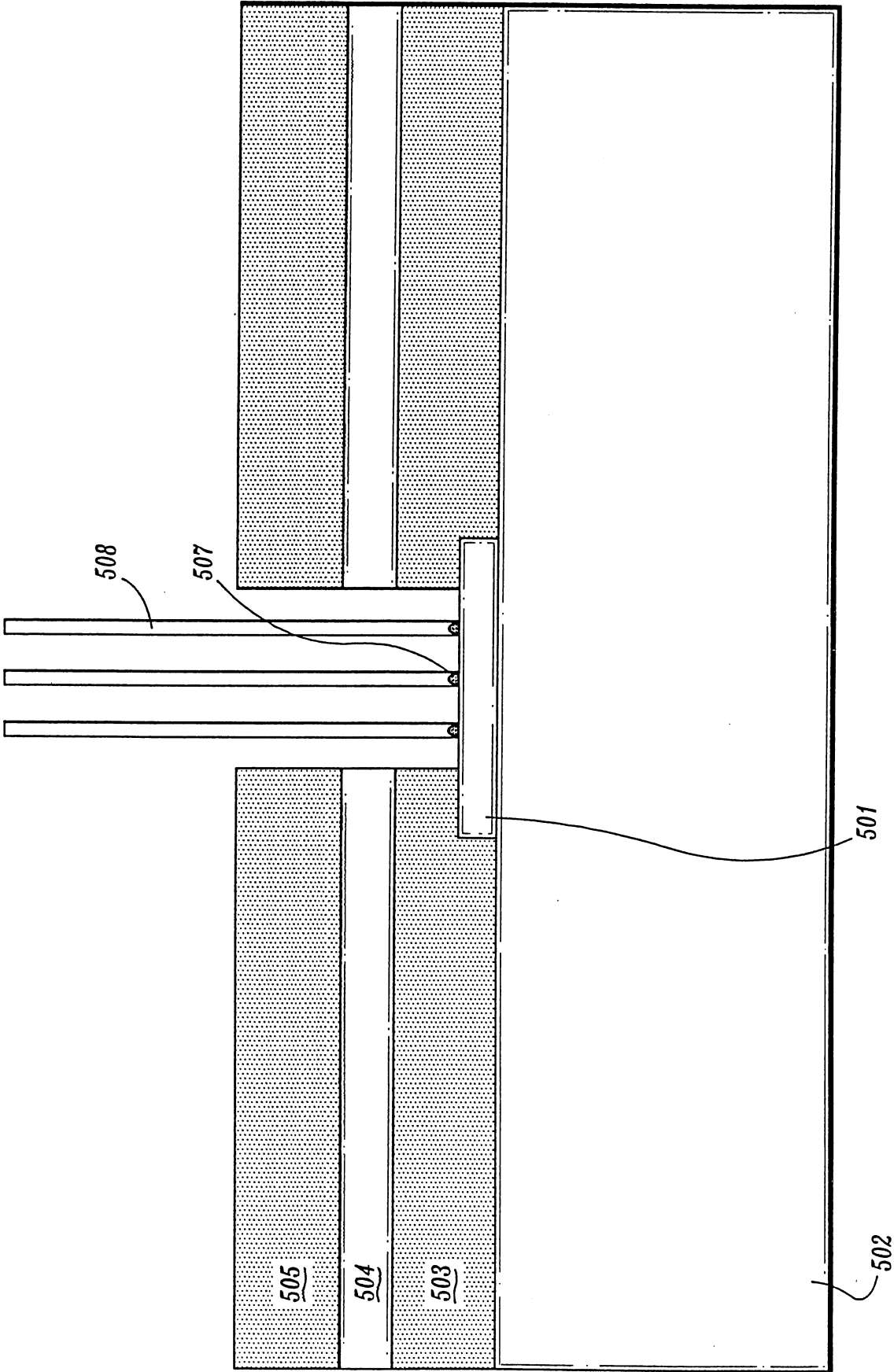


圖 5d

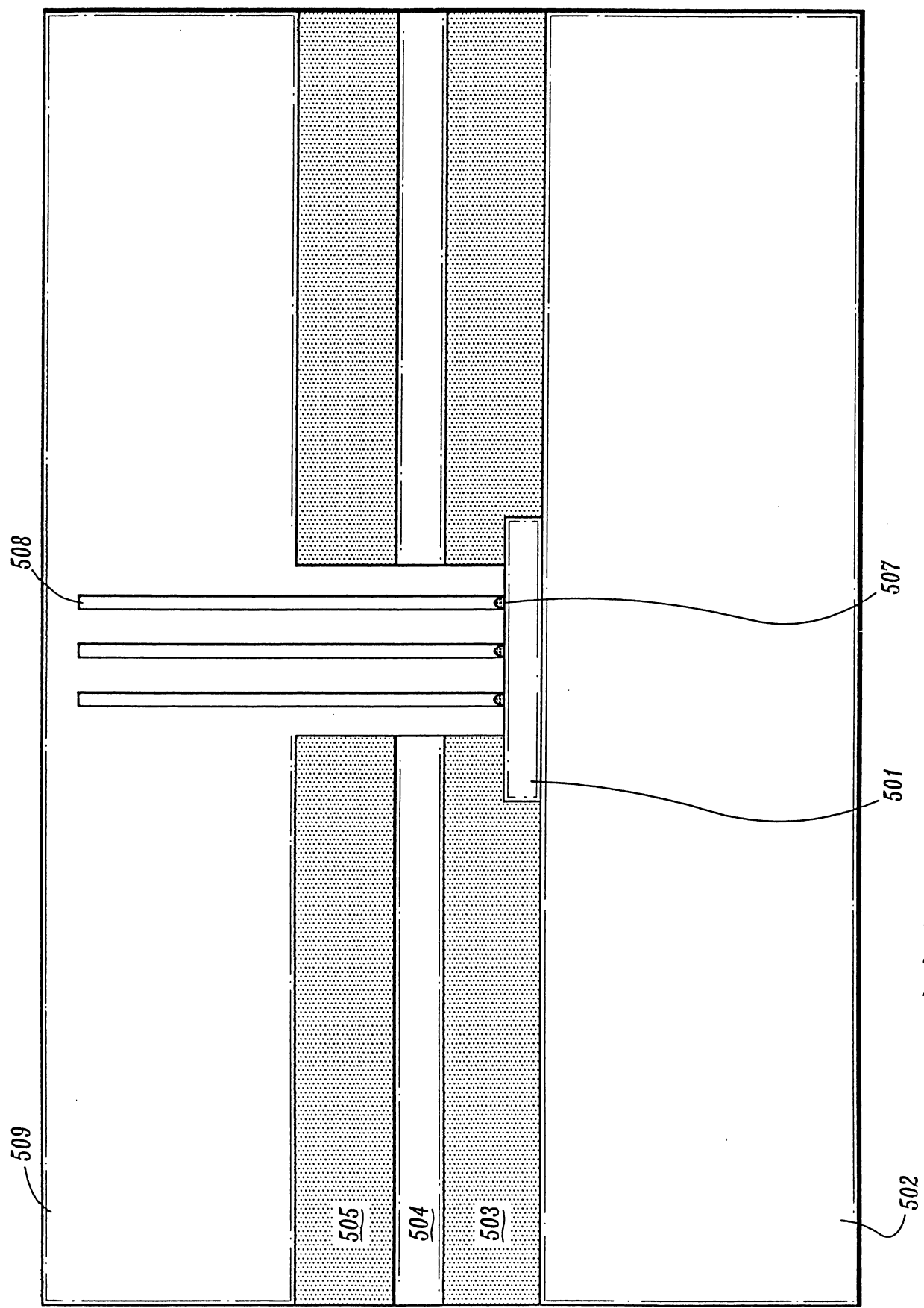
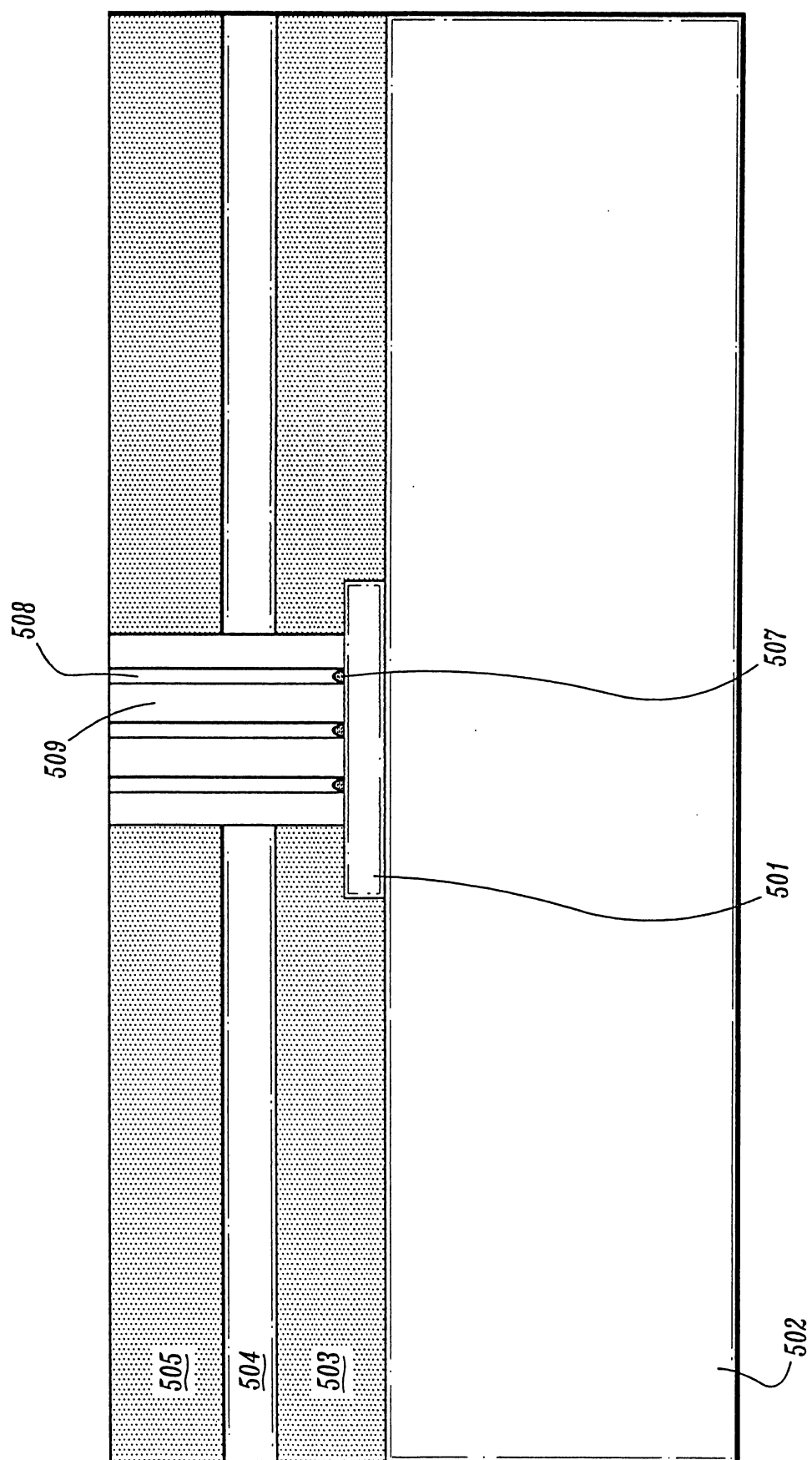


圖 5e



5f 圖

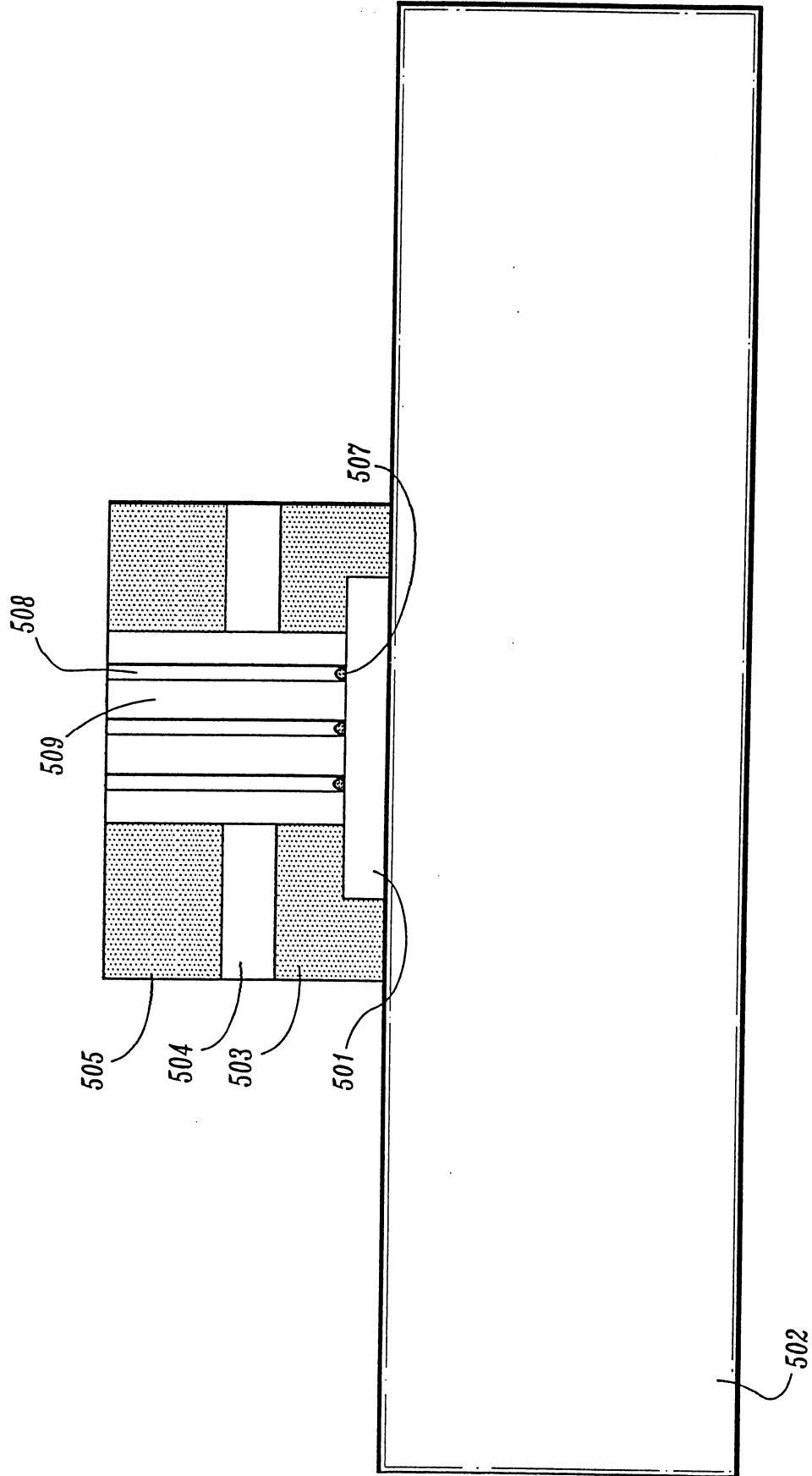


圖 5g

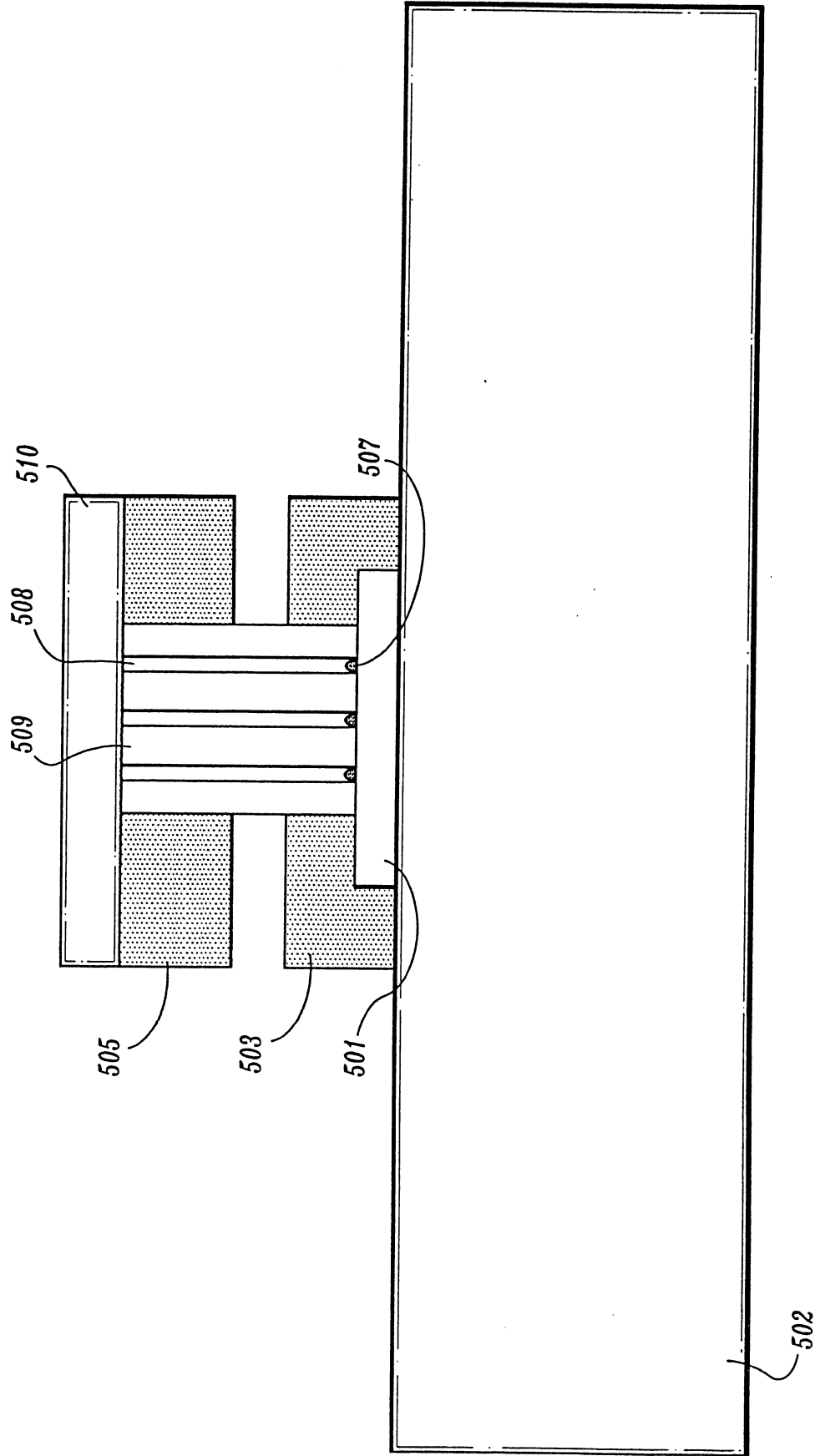


圖 5h

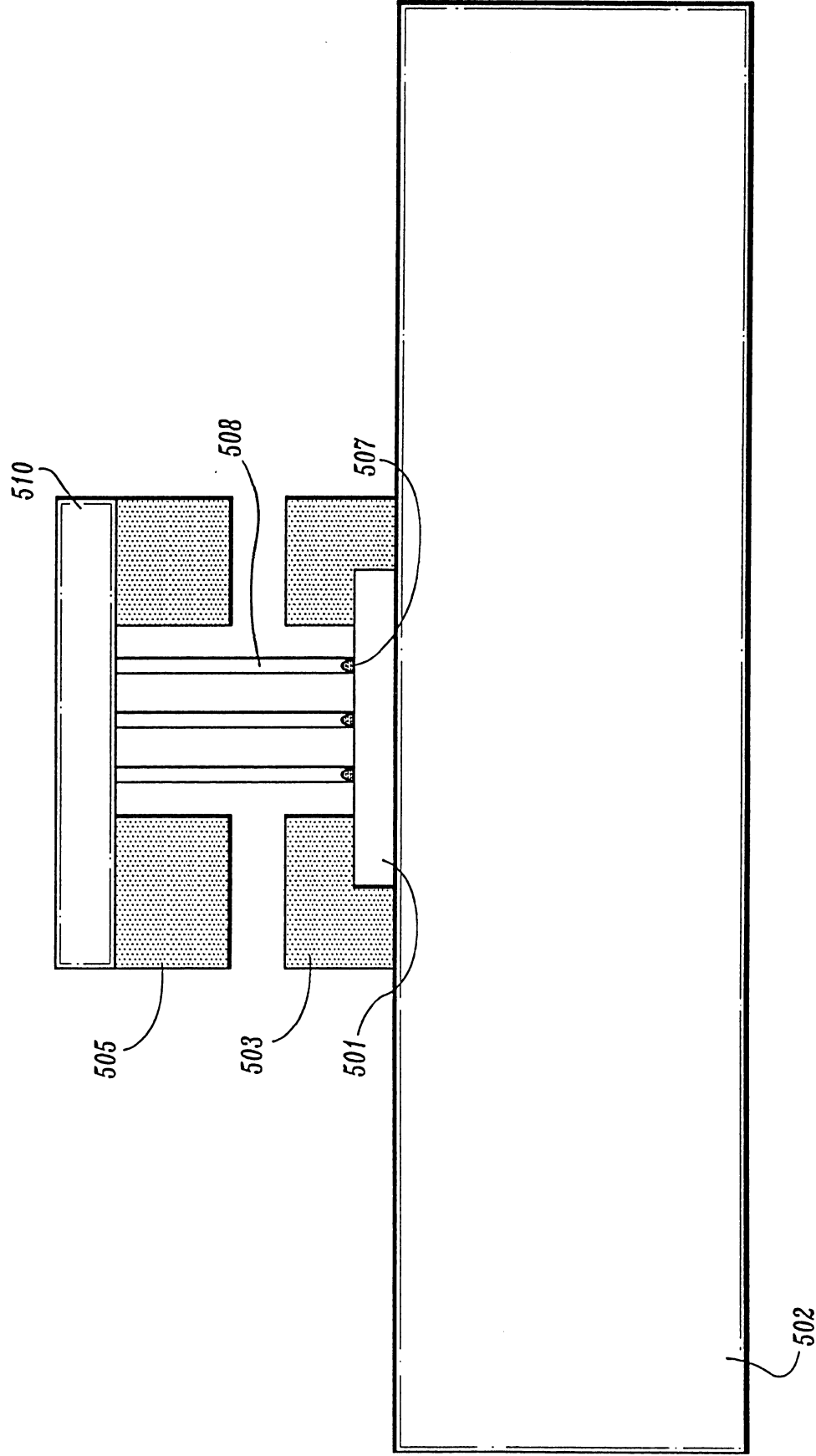


圖 5i

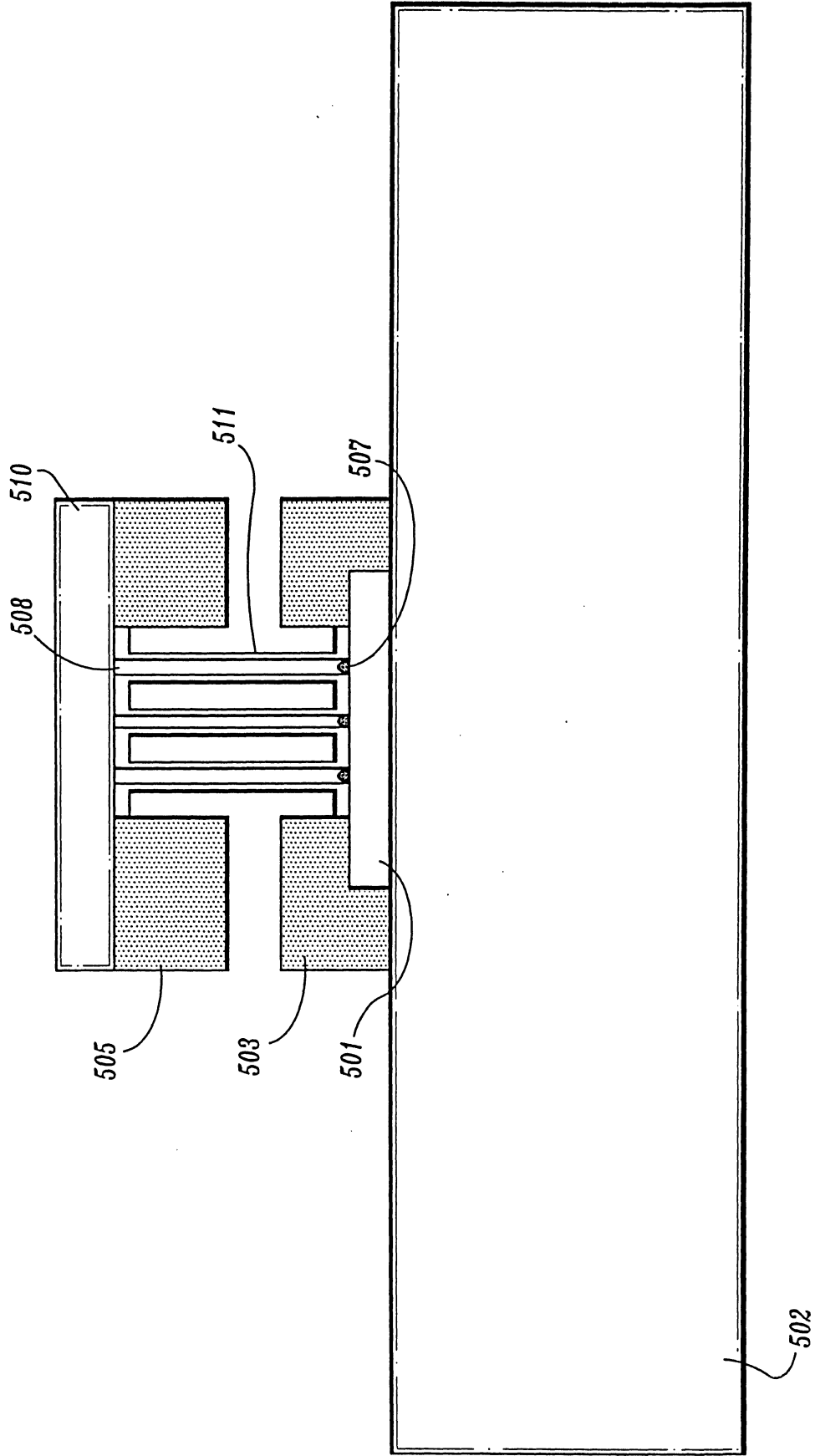


圖 5j

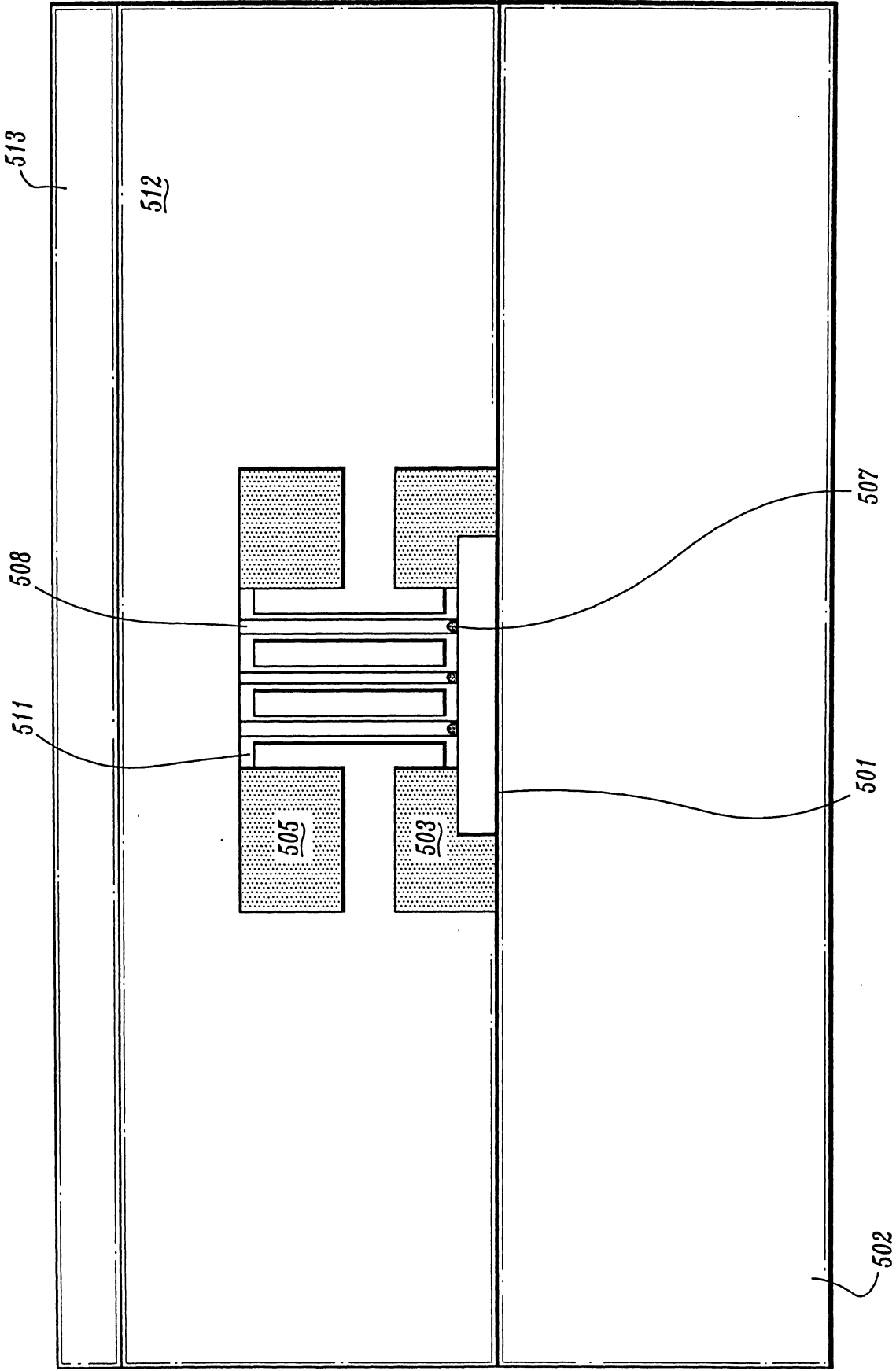


圖 5k

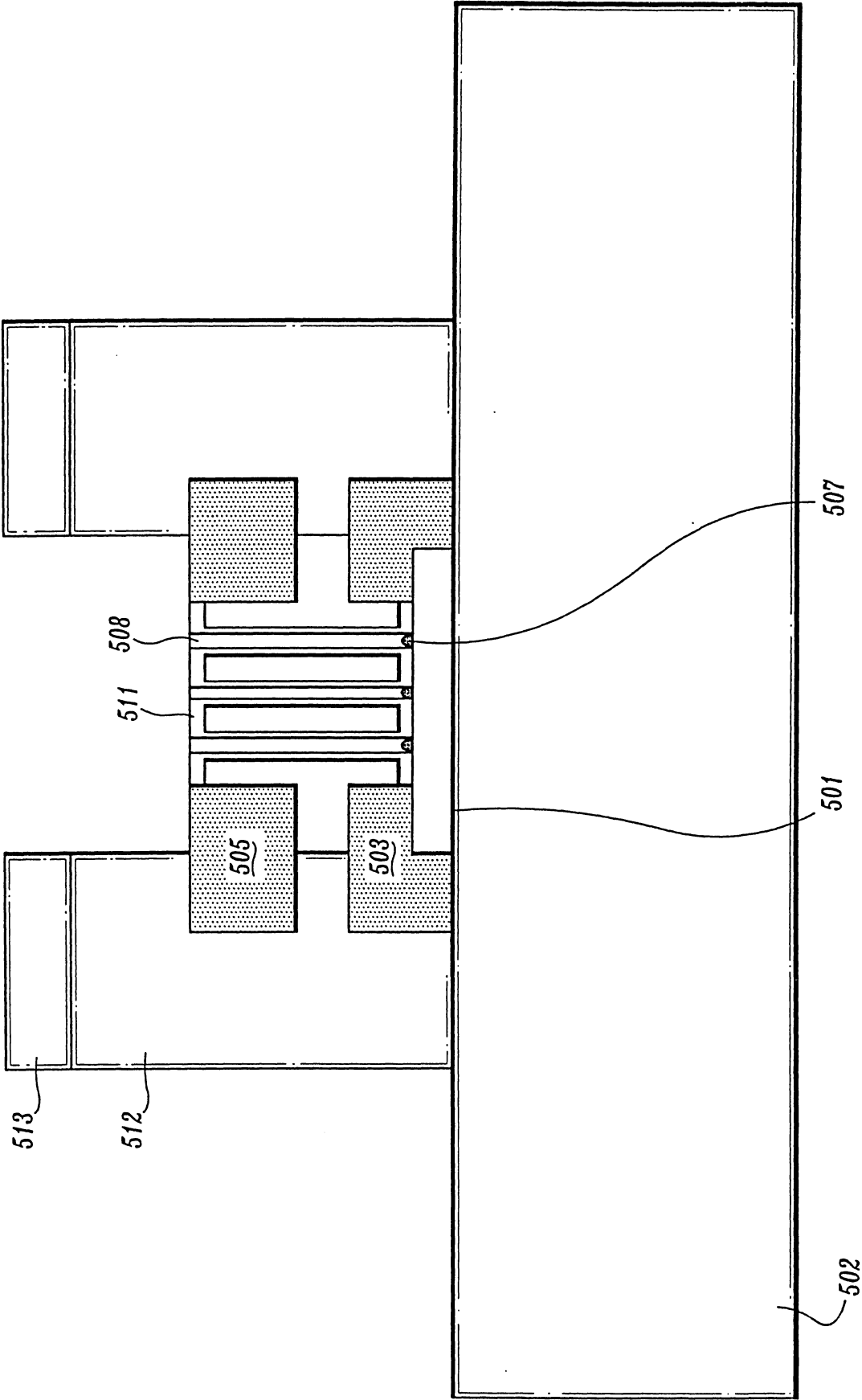


圖 51

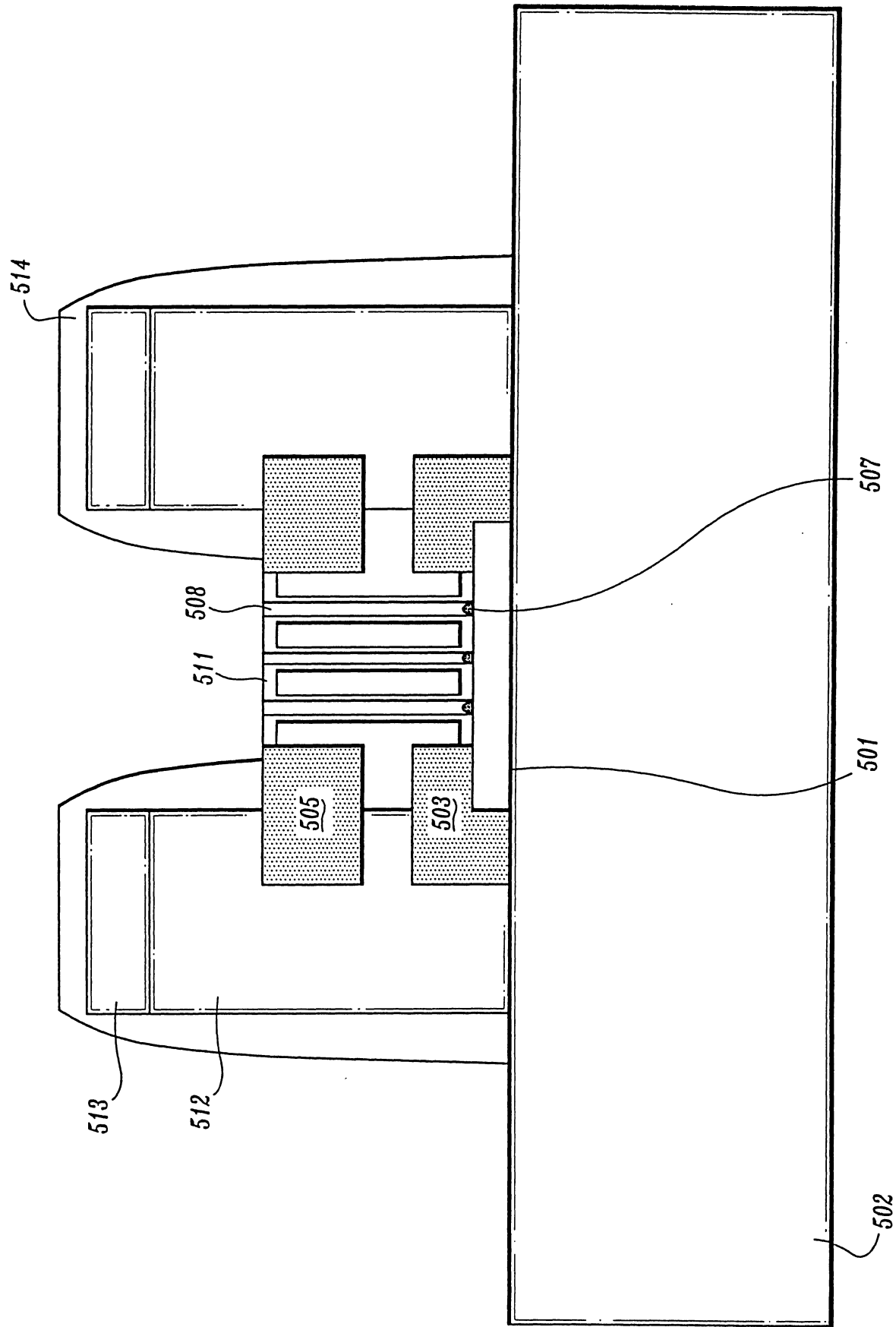


圖 5m

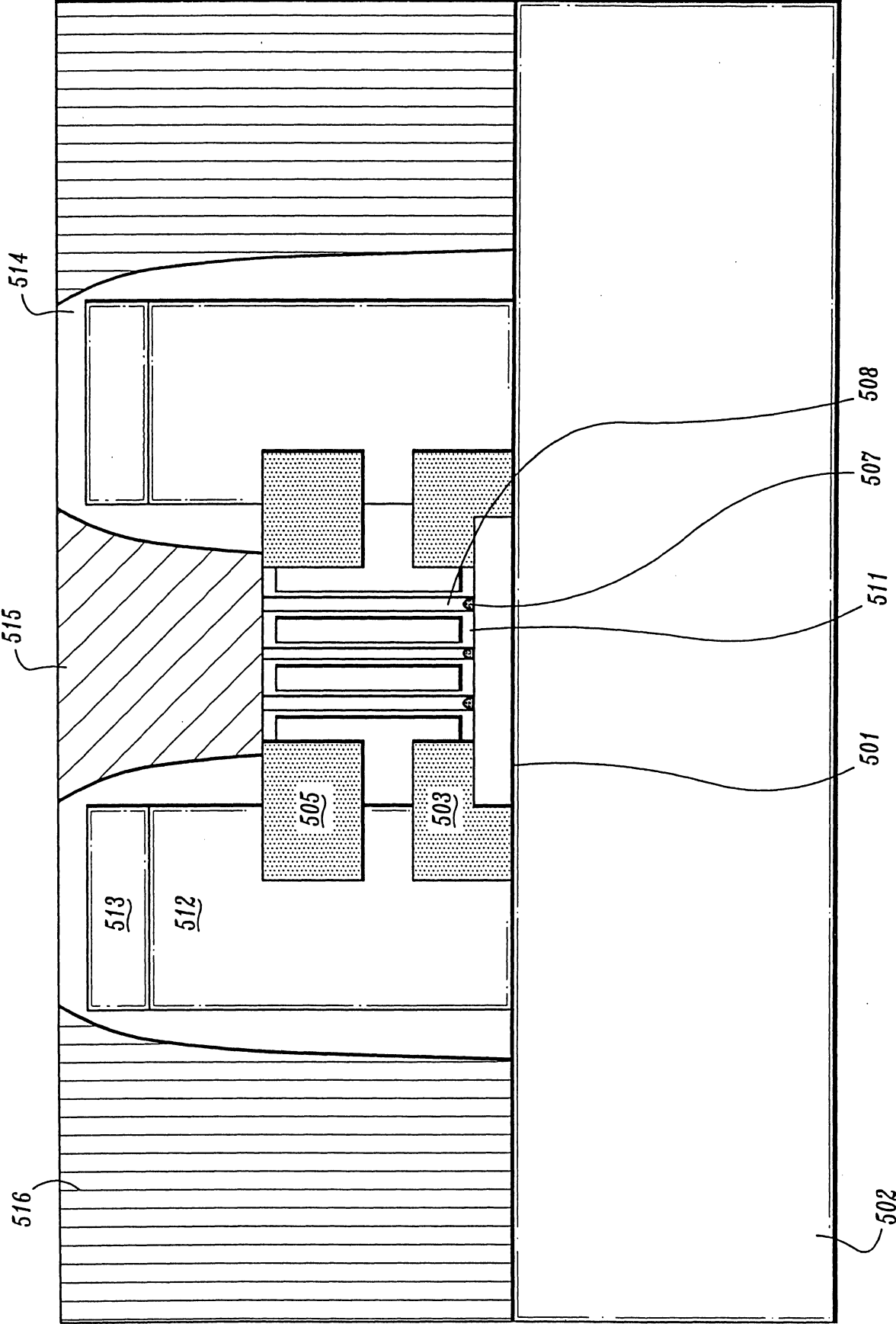


圖 5n

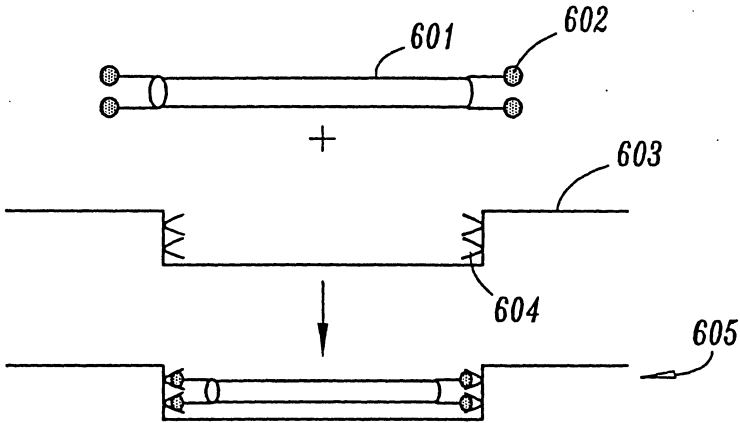


圖 6a

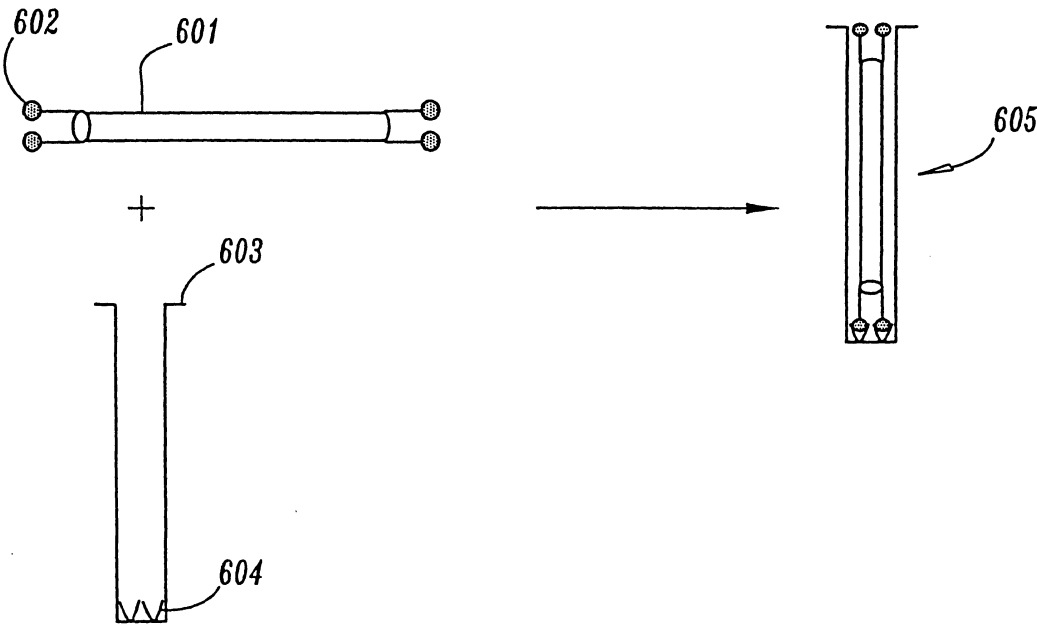


圖 6b